

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年1月21日(21.01.2021)



(10) 国際公開番号

WO 2021/010034 A1

(51) 国際特許分類:
H01L 33/62 (2010.01)

(21) 国際出願番号: PCT/JP2020/021205

(22) 国際出願日: 2020年5月28日(28.05.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-130140 2019年7月12日(12.07.2019) JP

(71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

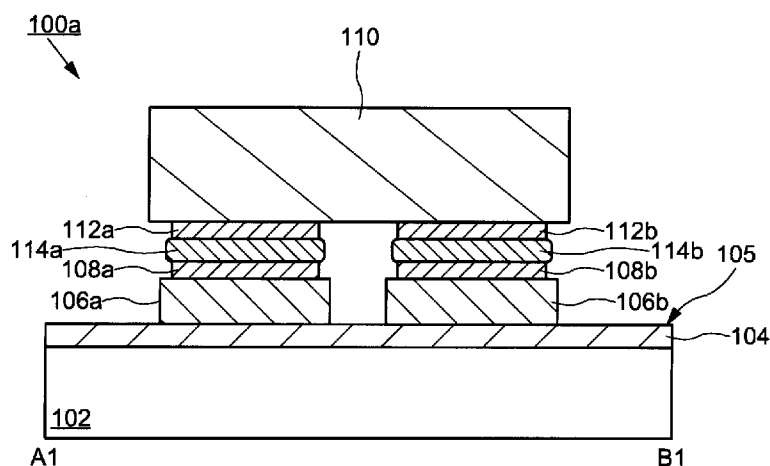
(72) 発明者:阿部 英明(ABE Hideaki); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:特許業務法人高橋・林アンドパートナーズ(TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田5-24-2 損保ジャパン日本興亜蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: LED MODULE AND DISPLAY DEVICE COMPRISING LED MODULE

(54) 発明の名称: LEDモジュール及びLEDモジュールを含む表示装置



(57) Abstract: An LED module according to the present invention comprises: a first projection provided on an insulating surface; a second projection adjacent to the first projection; a first electrode provided to the first projection; a second electrode provided to the second projection; and an LED chip disposed on upper surfaces of the first projection and the second projection. The LED chip is connected to the first electrode and the second electrode via electrically conductive members, and the first projection and the second projection are constituted of insulating materials having a height of 1-50 micrometers.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

μm, inclusive.

(57) 要約: LED モジュールは、絶縁表面に設けられた第1の突起部と、該第1の突起部に隣接する第2の突起部と、第1の突起部に設けられた第1の電極と、第2の突起部に設けられた第2の電極と、第1の突起部及び第2の突起部の上面に配置されたLEDチップと、を有し、LEDチップは、前記第1の電極及び前記第2の電極と導電性部材を介して接続され、第1の突起部及び第2の突起部は1 μm以上50 μm以下の高さを有する絶縁材料である。

明 細 書

発明の名称：

ＬＥＤモジュール及びＬＥＤモジュールを含む表示装置

技術分野

[0001] 本発明の一実施形態は、発光ダイオード（ＬＥＤ：Light Emitting Diode）がベアチップの状態で実装されたＬＥＤモジュールの構造に関する。本発明の一実施形態は、発光ダイオードにより画素が構成された表示装置の構造に関する。

背景技術

[0002] マトリクス状に配列される画素にマイクロＬＥＤと呼ばれる微小な発光ダイオードが実装されたマイクロＬＥＤディスプレイが知られている。マイクロＬＥＤディスプレイは、画素が自発光型であるという点で有機エレクトロルミネセンス素子を用いた有機ＥＬディスプレイと共通する。しかし、有機ＥＬディスプレイが、薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）が作製されたバックプレーンと呼ばれる基板に有機エレクトロルミネセンス素子を直接形成するのに対し、マイクロＬＥＤディスプレイはサファイア基板等に作製されたＬＥＤチップをバックプレーンに実装する点で相違する。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2018／0145236号明細書

発明の概要

発明が解決しようとする課題

[0004] マイクロＬＥＤディスプレイでは、マイクロＬＥＤがフェイスダウンでバックプレーンに実装される。マイクロＬＥＤの実装には、塗布時に流動性のある導電性ペーストや半田が用いられる。このとき、導電性ペーストや半田の塗布位置及び塗布量を精密に制御する必要がある。しかし、マイクロＬＥＤはチップサイズが微小であるため、電極間ショートが問題となる。

課題を解決するための手段

[0005] 本発明の一実施形態に係るＬＥＤモジュールは、絶縁表面に設けられた第１の突起部と、該第１の突起部に隣接する第２の突起部と、第１の突起部に設けられた第１の電極と、第２の突起部に設けられた第２の電極と、第１の突起部及び第２の突起部の上面に配置されたＬＥＤチップと、を有し、ＬＥＤチップは、前記第１の電極及び前記第２の電極と導電性部材を介して接続され、第１の突起部及び第２の突起部は $1\mu\text{m}$ 以上 $50\mu\text{m}$ 以下の高さを有する絶縁材料である。

[0006] 本発明の一実施形態に係る表示装置は、画素を形成する領域の絶縁表面に設けられた第１の突起部と、第１の突起部に隣接する第２の突起部と、第１の突起部に設けられた第１の電極と、第２の突起部に設けられた第２の電極と、第１の突起部及び第２の突起部の上面に配置されたＬＥＤチップと、を有し、ＬＥＤチップは、第１の電極及び第２の電極と、導電性部材を介して接続され、第１の突起部及び第２の突起部は $1\mu\text{m}$ 以上 $50\mu\text{m}$ 以下の高さを有する絶縁材料である。

図面の簡単な説明

[0007] [図1A]本発明の一実施形態に係るＬＥＤモジュールの平面図を示す。

[図1B]本発明の一実施形態に係るＬＥＤモジュールの断面図を示す。

[図2]ＬＥＤチップの構造を例示する斜視図を示す。

[図3A]本発明の一実施形態に係るＬＥＤモジュールの構造を示し、突起部の上に設けられた電極に導電性部材を滴下した状態を示す。

[図3B]本発明の一実施形態に係るＬＥＤモジュールの構造を示し、導電性部材が滴下された電極の上にＬＥＤチップを載せた状態を示す。

[図4A]本発明の一実施形態に係るＬＥＤモジュールの平面図を示す。

[図4B]本発明の一実施形態に係るＬＥＤモジュールの断面図を示す。

[図5A]本発明の一実施形態に係るＬＥＤモジュールの平面図を示す。

[図5B]本発明の一実施形態に係るＬＥＤモジュールの断面図を示す。

[図6A]本発明の一実施形態に係るＬＥＤモジュールの平面図を示す。

[図6B]本発明の一実施形態に係るLEDモジュールの断面図を示す。

[図7A]本発明の一実施形態に係るLEDモジュールの平面図を示す。

[図7B]本発明の一実施形態に係るLEDモジュールの断面図を示す。

[図8A]本発明の一実施形態に係るLEDモジュールの平面図を示す。

[図8B]本発明の一実施形態に係るLEDモジュールの断面図を示す。

[図9]本発明の一実施形態に係る表示装置の構成を示す。

[図10]本発明の一実施形態に係る表示装置における画素の断面図を示す。

[図11]本発明の一実施形態に係る表示装置における画素の断面図を示す。

[図12]本発明の一実施形態に係る表示装置における画素の断面図を示す。

発明を実施するための形態

[0008] 以下、本発明の実施の形態を、図面等を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、以下に例示する実施の形態の記載内容に限定して解釈されるものではない。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号（又は数字の後に a、b などを付した符号）を付して、詳細な説明を適宜省略することがある。さらに各要素に対する「第1」、「第2」と付記された文字は、各要素を区別するために用いられる便宜的な標識であり、特段の説明がない限りそれ以上の意味を有さない。

[0009] 本明細書において、ある部材又は領域が他の部材又は領域の「上に（又は下に）」あるとする場合、特段の限定がない限りこれは他の部材又は領域の直上（又は直下）にある場合のみでなく他の部材又は領域の上方（又は下方）にある場合を含み、すなわち、他の部材又は領域の上方（又は下方）において間に別の構成要素が含まれている場合も含む。なお、以下の説明では、特に断りのない限り、断面視において、基板を基準としたときにLEDチップは基板の「上」又は「上方」にあるものとし、LEDチップを基準とした

ときに基板はＬＥＤチップの「下」又は「下方」にあるものとする。

[0010] 本発明において、マイクロＬＥＤとは、チップサイズが数 μm 以上１００ μm 以下、ミニＬＥＤとは、チップサイズが１００ μm 以上のものをいうが、本発明の一実施形態はいずれのサイズのＬＥＤも用いることができ、ＬＥＤモジュール及び表示装置の画素サイズに応じて使い分けることができる。

[0011] [第１の実施形態]

本発明の一実施形態に係るＬＥＤモジュール１００ａの構造を図１Ａ及び図１Ｂに示す。図１ＡはＬＥＤモジュール１００ａの模式的な平面図を示し、図１ＢはＡ１－Ａ２線に対応する模式的な断面図を示す。

[0012] ＬＥＤモジュール１００ａは、絶縁表面１０５に設けられた第１の突起部１０６ａ及び第２の突起部１０６ｂ、の上にＬＥＤチップ１１０が実装された構造を有する。絶縁表面１０５は、絶縁性を有する基板によって形成され、または、基板１０２上に設けられた第１の絶縁層１０４によって形成されてもよい。図１Ａ及び図１Ｂには示されないが、基板１０２上にはＬＥＤチップ１１０と接続される配線が形成されていてもよいし、ＬＥＤチップ１１０の発光を制御する回路が薄膜トランジスタによって形成されていてもよい。

[0013] 絶縁表面１０５は、略平坦な面を有する。第１の突起部１０６ａ及び第２の突起部１０６ｂは、略平坦な絶縁表面１０５から突出するように設けられる。第１の突起部１０６ａ及び第２の突起部１０６ｂは絶縁材料で形成される。例えば、第１の突起部１０６ａ及び第２の突起部１０６ｂは、ポリイミド、アクリル等の樹脂材料、酸化シリコンなどの無機絶縁材料を用いて形成される。また、第１の突起部１０６ａ及び第２の突起部１０６ｂは、金属材料で形成されるコア部分と、その表面を覆う絶縁膜によって形成されてもよい。

[0014] 第１の突起部１０６ａと第２の突起部１０６ｂとは、絶縁表面１０５上において離隔して配置される。なお、第１の突起部１０６ａと第２の突起部１０６ｂとは、必ずしも明確に分離された２つの領域として区別される必要は

ないが、図1A及び図1Bに示すように、少なくともLEDチップ110と重なる領域において第1の突起部106aと第2の突起部106bの間には空隙が形成されるように離隔されていることが好ましい。第1の突起部106aと第2の突起部106bとは、後述されるように、LEDチップ110が備える一对の電極間隔と整合する間隔を有するように配置される。

[0015] 第1の突起部106a及び第2の突起部106bは立体的な形状を有し、四角錐台、円錐台のように上面に平面を有する錐台状の形状を有する。第1の突起部106a及び第2の突起部106bの絶縁表面105から上面までの高さは、第1の突起部106a及び第2の突起部106bの上に導電性部材を塗布したとき、突起部の上面と絶縁表面との間で当該導電性部材が分離する高さを有していることが好ましい。このような状態を発現するために、第1の突起部106a及び第2の突起部106bの高さは、例えば、 $1\mu\text{m}$ から $50\mu\text{m}$ 、好ましくは $5\mu\text{m}$ から $10\mu\text{m}$ の高さを有していることが好ましい。

[0016] 第1の突起部106a及び第2の突起部106bの高さは同じであってもよいし、異なってもよい。別言すれば、LEDチップ110が第1の突起部106aと第2の突起部106bの上に配置されたとき、水平になるように高さが調節されていることが好ましい。

[0017] 第1の突起部106aの上面には第1の電極108aが設けられ、第2の突起部106bの上面には第2の電極108bが設けられる。第1の電極108a及び第2の電極108bは、それぞれ第1の突起部106a及び第2の突起部106bの上に設けられることで、絶縁表面105よりも高い位置に配置される。第1の電極108aと第2の電極108bとは、第1の突起部106aと第2の突起部106bとの間の間隙により分離されている。第1の電極108a及び第2の電極108bを形成する材料に限定はないが、塗布又は滴下時に流動性を有する導電性材料とぬれ性の良い材料が選択される。第1の電極108a及び第2の電極108bは、例えば、金(Au)、銅(Cu)、銀(Ag)、錫(Sn)、アルミニウム(Al)などの導電性

材料で形成される。

[0018] LEDチップ110は2端子型の素子であり、所謂フリップチップ実装が可能のように第1のパッド電極112a及び第2のパッド電極112bを有する。例えば、LEDチップ110は、第1の電極108a及び第2の電極108bに対向する面側に、第1のパッド電極112a及び第2のパッド電極112bが設けられる。第1のパッド電極112a及び第2のパッド電極112bは、LEDチップ110を発光させるための電極であり、一方がn側電極、他方がp側電極とも呼ばれる。第1のパッド電極112a及び第2のパッド電極112bは、金属材料を用いて形成され、金(Au)、銀(Ag)等の金属表面を有していることが好ましい。

[0019] LEDチップ110は、第1の導電性部材114a及び第2の導電性部材114bによって、第1の突起部106a及び第2の突起部106bの上に固定される。第1のパッド電極112aと第1の電極108aとの間には第1の導電性部材114aが設けられ、第2のパッド電極112bと第2の電極108bとの間には第2の導電性部材114bが設けられる。第1の導電性部材114aと第2の導電性部材114bとは、第1のパッド電極112aと第2のパッド電極112bとが短絡しないように、相互に離隔して設けられる。

[0020] 第1の導電性部材114a及び第2の導電性部材114bは、導電性ペーストが用いられる。導電ペーストとしては、銀ペースト、カーボンペースト、銀とカーボンが混合されたペースト等が用いられる。また、第1の導電性部材114a及び第2の導電性部材114bとして、半田ペーストが用いられてもよい。導電ペーストは流動性を有し、対象物に滴下した後、焼成又は単に乾燥させることにより硬化する。導電ペーストは、第1の電極108a及び第2の電極108bのそれぞれの上に精密に滴下する必要がある。導電性ペーストの滴下量が多すぎると広がってしまい、電極間のショートの原因となる。一方、導電性ペーストの滴下量が少なすぎると導通不良を生じさせ、LEDチップ110を固定する力(付着力)が低下して剥落することが問

題となる。

[0021] また、第1の電極108a及び第2の電極108bに導電性ペースト又は半田ペーストを滴下した後、その上にLEDチップ110を設置すると、導電性ペーストが押圧されて横方向に広がってしまう。このとき、導電性ペースト又は半田ペーストの滴下量が多すぎると、導電性ペースト又は半田ペーストの広がりが大きくなり、第1のパッド電極112aと第2のパッド電極112bとのが短絡する原因となり得る。このため、導電性ペーストの滴下量に精密な制御が求められる。しかし、LEDチップ110は微小なサイズであることから、導電性ペースト又は半田ペーストの滴下量の制御は困難性を増している。

[0022] 図2にLEDチップ110の構造の一例を示す。LED110チップはGaAs等の半導体ウエハを用いた基板、又はサファイア等の絶縁材料で形成された基板202の上に窒化ガリウム等で形成されるバッファ層204、窒化ガリウム系の化合物半導体で形成されるn型層206、窒化ガリウム系の化合物半導体で量子井戸構造が形成される活性層208、窒化ガリウム系の化合物半導体で形成されるp型層210、パッシベーション層214、第1のパッド電極112a、第2のパッド電極112bが設けられた構造を有する。LEDチップ110のサイズは、所謂マイクロLEDと呼ばれるものであって、縦幅Lが10 μ mから20 μ m、横幅Wが20 μ mから40 μ m、高さHが150 μ m程度のサイズを有する。したがって、第1のパッド電極112aと第2のパッド電極112bとの間隔は10 μ m以下となる。ただし、LED110のサイズはマイクロLEDに限定されず、所謂ミニLEDと呼ばれるものであってもよい。

[0023] このような微小な構造に対し、本実施形態に係るLEDモジュール100aは、LEDチップ110とコンタクトを形成する第1の電極108a及び第2の電極108bが、断面視において2つの領域に区別され得る突起部106（第1の突起部106a、第2の突起部106b）の上に設けられることにより電極間の短絡を防止する構造を有している。すなわち、LEDモジ

ジュール100は、第1の電極108aと第2の電極108bとは平坦な絶縁表面105に並置されるのではなく、両電極間に段差部が介在することにより、第1の導電性部材114aと第2の導電性部材114bとが横方向に広がった場合でも短絡しにくい構造を有している。

[0024] 図3Aは、第1の電極108a及び第2の電極108bの上に第1の導電性部材114a及び第2の導電性部材114bを滴下した状態を示す。第1の導電性部材114a及び第2の導電性部材114bは流動性を有すると共に、所定の厚みをもって第1の電極108a及び第2の電極108bの上に設けられる。この状態でLEDチップ110を第1の電極108a及び第2の電極108bの上に載せると、図3Bに示すように、第1の導電性部材114a及び第2の導電性部材114bは、LEDチップ110により押圧されて厚みが減少した分、横方向に広がってしまう。この場合、LEDモジュール110aは、第1の突起部106a及び第2の突起部106bにより形成される段差を有しているので、流動した導電性部材11cは突起部により形成される段差で第1の導電性部材114aと第2の導電性部材114bと段切れを起こし、第1の電極108aと第2の電極108bとが導通することを防止する構造を有している。

[0025] なお、第1の突起部106aと第2の突起部106bの高さは、LEDチップ110の形状に合わせて適宜調整されてもよい。例えば、図4A及び図4Bに示すように、LEDチップ110において第1のパッド電極112aと第2のパッド電極112bとの高さが異なる場合、第1の突起部106aの高さを第2の突起部106bの高さに比べて大きくすることができる。これにより、LEDチップ110を水平に実装すると共に、電極間の短絡を防止することができる。

[0026] このように、本実施形態によれば、LEDチップ110を実装する面に突起部106（第1の突起部106a、第2の突起部106b）を設け、その上に導電性部材114（第1の導電性部材114a、第2の導電性部材114b）を用いてLEDチップ110が着接されるようにすることで、電極間

の短絡を防止することができる。それにより、LEDモジュール100aの短絡欠陥の発生を防止することができ、製造時の歩留まりを向上させることができる。また、LEDモジュール100aの製造後に、導電性部材114（第1の導電性部材114a、第2の導電性部材114b）がマイグレーションした場合でも、突起部106（第1の突起部106a、第2の突起部106b）により段差が形成されていることで、LEDチップ110における短絡欠陥の生成を防止することができる。

[0027] [第2の実施形態]

本実施形態は、第1の実施形態で示すLEDモジュールに対し、突起部の構造が異なる態様を示す。以下の説明では、第1の実施形態と相違する部分について述べる。

[0028] 図5A及び図5Bは、本実施形態に係るLEDモジュール100bを示す。ここで、図5Aは、LEDモジュール100bの平面図を示し、図5BはA3-A4線に沿った断面図を示す。本実施形態において、突起部106は貫通孔116を有する。貫通孔116は、突起部106の上面から下面を貫通するように設けられる。具体的には、第1の突起部106aには第1の貫通孔116aが設けられ、第2の突起部106bには第2の貫通孔116bが設けられる。第1の電極108aは第1の貫通孔116aと重なるように配置され、第2の電極108bは第2の貫通孔116bと重なるように配置される。

[0029] 突起部の上に設けられる電極は、貫通孔によって基板側に設けられる回路と接続することができる。例えば、図5A及び図5Bに示すように、第1の突起部106aが第1の配線118aと重なるように設けられ、第2の突起部106bが第2の配線118bと重なるように設けられているとき、第1の電極108aは第1の貫通孔116aを介して第1の配線118aと接続され、第2の電極108bは第2の貫通孔116bを介して第2の配線118bと接続される。

[0030] このように、突起部の下層側に配線又は電極が設けられる場合において、

突起部に貫通孔を設けることで、突起部の上面に設けられる電極と下層側の配線又は電極とを接続することが可能となる。本実施形態においても、第1の実施形態と同様に、第1の突起部106aと第2の突起部106bにより、第1の電極108aと第2の電極108bとの間に段差部が形成されているので、LEDチップ110を実装したときの電極間のショートを防止することができる。

[0031] [第3の実施形態]

本実施形態は、第1の実施形態で示すLEDモジュールに対し、突起部に設けられる電極の構造が異なる態様を示す。以下の説明では、第1の実施形態と相違する部分について述べる。

[0032] 図6A及び図6Bは、本実施形態に係るLEDモジュール100cを示す。ここで、図6Aは、LEDモジュール100cの平面図を示し、図6BはA5-A6線に沿った断面図を示す。本実施形態において、第1の電極108aは第1の突起部106aの上面及び側面にかけて設けられ、第2の電極108bは第2の突起部106bの上面及び側面にかけて設けられる。別言すれば、LEDモジュール100cは、第1の電極108aの一部が突起するように第1の突起部106aが第1の電極108aと重ねて設けられ、第2の電極108bの一部が突起するように第2の突起部106bが第2の電極108bと重ねて設けられた構造を有する。

[0033] 第1の電極108a及び第2の電極108bを、第1の突起部106a及び第2の突起部106bのそれぞれの上面部だけでなく側面部にかけて設けることで、LEDチップ110を実装するのに必要な電極幅を十分に確保することができる。第1の電極108a及び第2の電極108bの上面を露出させ側面を覆う保護絶縁層120が設けられてもよい。保護絶縁層120が設けられることで、第1の電極108aと第2の電極108bとの絶縁を確実に図ることができる。

[0034] LEDチップ110は、第1の電極108aが第1の突起部106aによって突出した部分と、第2の電極108bが第2の突起部106bによって

突出した部分と接するように設けられる。この場合、第1の導電性部材114aは第1の電極108aの突出部分に設けられ、第2の導電性部材114bは第2の電極108bの突出部分に設けられる。本実施形態においても、LEDモジュール100cは、第1の導電性部材114aと第2の導電性部材114bとは、第1の突起部106aと第2の突起部106bとで形成される段差部を介して設けられるので、両者が接触し導通することが防止できる構造を有している。

[0035] なお、第1の突起部106a及び第2の突起部106bは、側面が傾斜していてもよい。図7Aの平面図、及び図7Bの断面図に示すように、第1の突起部106a及び第2の突起部106bの断面形状が台形の形状を有することにより、第1の電極108a及び第2の電極108bを段差部で段切れしないように設けることができる。図7Bでは図示されないが、第1の電極108a及び第2の電極108bの側面には保護絶縁層が設けられていてもよい。

[0036] 図6A及び図6B、図7A及び図7Bに示すいずれの形態においても、第1の導電性部材114aは第1の電極108aに形成される突起部の上面に設けられ、第2の導電性部材114bは第2の電極108bに形成される突起部の上面に設けられる。その結果、第1の導電性部材114aと第2の導電性部材114bとの間には段差部が介在することになる。これにより、LEDチップ110を実装したときの電極間のショートを防止することができる。

[0037] なお、本実施形態で示す構成に、第2の実施形態で示す構成を適宜組み合わせることができる。すなわち、突起部を覆う電極の構造に対し、突起部に貫通孔が設けられていてもよい。そして、貫通孔によって下層側の配線と接続する構造を有していてもよい。

[0038] [第4の実施形態]

本実施形態は、第3の実施形態で示すLEDモジュールに対し、第3の突起部が設けられた態様を示す。以下の説明では、第3の実施形態と相違する

部分について述べる。

[0039] 図8A及び図8Bは、本実施形態に係るLEDモジュール100dを示す。ここで、図8Aは、LEDモジュール100dの平面図を示し、図8BはA7-A8線に沿った断面図を示す。

[0040] 図8A及び図8Bに示すように、第1の突起部106aと第2の突起部106bの間に第3の突起部106cが設けられる。第3の突起部106cは、第1の突起部106aと第2の突起部106bとの間を横断するように設けられる。このような突起部の構造を有することで、第1の電極108aと第2の電極108bとを、それぞれ第1の突起部106aと第2の突起部106bとの表面に沿って設ける場合でも、確実に2つの電極を分離することができる。また、第1の導電性部材114a及び第2の導電性部材114bが横方向に流動した場合でも、第3の突起部106cがその流動を防止する遮断壁として機能し、隣接する電極への流動を阻止することができる。これにより、第1の電極108aと第2の電極108bとのショートを確実に防止することができる。

[0041] 本実施形態は、第3の実施形態のみならず、第1の実施形態及び第2の実施形態と適宜組み合わせて実施することができる。

[0042] [第5の実施形態]

本実施形態は、第1乃至第4の実施形態に示すLEDモジュールの構成を有する表示装置を示す。

[0043] 図9は、本実施形態に係る表示装置300の構成を示す。表示装置300は、基板102上に、画素302aがマトリクス状に複数個配列された表示部304を有する。表示部304には、画素302aに走査信号を入力する走査信号線306と、映像信号を入力するデータ信号線308が配設される。走査信号線306とデータ信号線308は交差するように配設される。基板102の周縁部には、走査信号線306の入力端子部310aとデータ信号線308の入力端子部310bが設けられている。なお、図9では図示されないが、基板102上には、画素302aを駆動するドライバICが実装

されていてもよい。

[0044] 図10は、画素302aの断面構造の一例を示す。画素302aは、基板102側から第1の絶縁層104、第2の絶縁層122、第3の絶縁層124が積層され、第3の絶縁層126で形成される絶縁表面の上に第1の突起部106aと第2の突起部106bが設けられた構造を有する。走査信号線306は、第1の絶縁層104と第2の絶縁層122の間に設けられ、データ信号線308は第2の絶縁層122と第3の絶縁層124の間に設けられる。表示部304は、走査信号線306とデータ信号線308との間に第2の絶縁層124が設けられることで、2つの信号線を交差するように配設することが可能とされている。

[0045] 第1の電極108aは、第1の突起部106aの上面から傾斜した側面に沿って第3の絶縁層124及び第2の絶縁層122を貫通するコンタクトホール126aと重なるように設けられ、走査信号線306と接続される。第2の電極108bは、第2の突起部106bの上面から傾斜した側面に沿って第3の絶縁層124を貫通するコンタクトホール126bに重なるように設けられ、データ信号線308と接続される。第1の電極108a及び第2の電極108bの上層側には、さらにパッシベーション層128が設けられていてもよい。

[0046] LEDチップ110は、第1の突起部106a及び第2の突起部106bの上に配置される。LEDチップ110の第1のパッド電極112aは、第1の導電性部材114aを介して第1の電極108aと接続され、第2のパッド電極112bは、第2の導電性部材114bを介して第2の電極108bと接続される。LEDチップ110は、第1の突起部106a及び第2の突起部106bの上に設けられる。表示部304は、第1の電極108aと第2の電極108bとの間に第1の突起部106aと第2の突起部106bによる段差が形成されていることにより、第1の導電性部材114aと第2の導電性部材114bが横方向に流動しても、LEDチップ110の電極間の短絡が防止できる構造を有している。別言すれば、画素302の中に第1

の突起部 106a 及び第 2 の突起部 106b を有することで、第 1 の導電性部材 114a と第 2 の導電性部材 114b とを滴下するときの工程にマージンを与えることができ、表示装置 300 の生産性の向上と歩留まりの向上を図ることができる。

[0047] また、走査信号線 306 は第 1 の突起部 106a と重なるように配置され、データ信号線 308 は第 2 の突起部 106b と重なるように配置されてもよい。この場合、第 1 の電極 108a は、第 1 の突起部 106a に設けられる第 1 の貫通孔 116a を介して走査信号線 306 と接続され、第 2 の電極 108b は、第 2 の突起部 106b の設けられる第 2 の貫通孔 116b を介してデータ信号線 308 と接続される。

[0048] 本実施形態は、第 1 の電極 108a と第 2 の電極 108b の構造が、第 3 の実施形態にかかる構成を適用したものを示したが、これに限定されず第 1 の実施形態、第 2 の実施形態、第 4 の実施形態に係る構成を適宜適用することができる。

[0049] なお、本実施形態は、LED モジュールによってパッシブマトリクス型の画素が構成される例を示すが、本実施形態はこれに限定されず、個々の画素の発光がトランジスタによる画素回路で制御されるアクティブマトリクス型の画素に適用することもできる。

[0050] [第 6 の実施形態]

本実施形態は、第 5 の実施形態で示す画素の構造において、封止層とカバーガラスがさらに設けられた態様を示す。以下の説明では、第 4 の実施形態と相違する部分について説明する。

[0051] 本実施形態において、表示装置 300 における画素 302 は、図 12 に示すように封止層 130 とカバーガラス 132 とを備える。その他の構造については、第 5 の実施形態において図 10 を参照して説明するものと同等である。封止層 130 は LED チップ 110 を保護する保護膜としての機能を有し、またカバーガラスと貼り合わせるための粘着層としての機能を有し、さらにカバーガラス 132 の貼り合せ時に LED チップ 110 による段差を平

平坦化するための平坦化層としての機能も有する。

[0052] 封止層130は、例えば、アクリルなどの樹脂により形成され、LEDチップ110の実装後に、例えばスリットコート法により塗布され、塗布後にカバーガラスを貼り付け紫外線硬化を行うことで接着される。封止層130の塗布の際、本発明の一実施形態に係る突起部106（106a、106b）が設けられない場合、LEDチップ110の下面（基板102側）とLEDチップ110直下の絶縁表面105（図12においては最上絶縁膜であるパッシベーション層128の表面）とLEDチップ110とのギャップが小さくなると考えられる。このギャップが小さいと、封止層130を形成する流動性の組成物が製造時にギャップに流れ込まないという問題がある。また、ギャップに気泡が残ってしまうという問題がある。仮に、気泡がLEDチップ110の直下に残っていると、LEDチップ110から絶縁表面105に向かって発光される光を乱反射してしまい表示特性を損ねることが懸念される。さらに気泡が封止層130内を移動してしまい望まぬ場所で乱反射を起こしてしまうことが問題となる。

[0053] これに対し、本実施形態に係る画素302は、突起部106（106a、106b）が設けられていることにより、導電性部材114の流動による短絡防止以外にも、LEDチップ110直下と絶縁表面105とのギャップを拡大させ、封止層130を形成する流動性の組成物を流れ込みやすくさせることができ、上述のような気泡の発生を抑制できる。それにより、表示装置における表示特性の低下を防止することができる。なお、本実施形態で示す封止層130及びカバーガラス132の構成は、第1乃至第4の実施形態に示す構成を適宜組み合わせる実施することができる。

符号の説明

[0054] 100・・・LEDモジュール、102・・・基板、104・・・第1の絶縁層、105・・・絶縁表面、106・・・突起部、108・・・電極、110・・・LEDチップ、112・・・パッド電極、114・・・導電性部材、116・・・貫通孔、118・・・配線、120・・・保護絶縁層、1

22・・・第2の絶縁層、124・・・第3の絶縁層、126・・・コンタクトホール、128・・・パッシベーション層、130・・・封止層、132・・・カバーガラス、202・・・基板、204・・・バッファ層、206・・・n型層、208・・・活性層、210・・・p型層、212・・・透明導電層、214・・・パッシベーション層、300・・・表示装置、302・・・画素、304・・・表示領域、306・・・走査信号線、308・・・データ信号線、310・・・端子部

請求の範囲

- [請求項1] 絶縁表面に設けられた第1の突起部と、前記第1の突起部に隣接する第2の突起部と、
- 前記第1の突起部に設けられた第1の電極と、前記第2の突起部に設けられた第2の電極と、
- 前記第1の突起部及び前記第2の突起部の上面に配置されたLEDチップと、
- を有し、
- 前記LEDチップは、前記第1の電極及び前記第2の電極と、導電性部材を介して接続され、
- 前記第1の突起部及び前記第2の突起部は $1\mu\text{m}$ 以上 $50\mu\text{m}$ 以下の高さを有する絶縁材料であることを特徴とするLEDモジュール。
- [請求項2] 前記LEDチップは、第1のパッド電極と、前記第1のパッド電極に隣接する第2のパッド電極と、を有し、
- 前記第1のパッド電極が前記第1の電極と、前記第2のパッド電極が前記第2の電極と、前記導電性部材を介してそれぞれ接続されている、請求項1に記載のLEDモジュール。
- [請求項3] 前記第1の突起部の高さ、と、前記第2の突起部の高さが異なる、請求項1又は2に記載のLEDモジュール。
- [請求項4] 前記第1の突起部は上面から底面を貫通する第1の貫通孔を有し、前記第2の突起部は上面から底面を貫通する第2の貫通孔を有し、
- 前記第1の電極は前記貫通孔と重なるように配置され、前記第2の電極は前記第2の貫通孔と重なるように配置されている、請求項1に記載のLEDモジュール。
- [請求項5] 前記第1の突起部に少なくとも一部が覆われる第1の配線と、前記第2の突起部に少なくとも一部の領域が覆われる第2の配線と、を有し、
- 前記第1の突起部は前記第1の配線を露出させる第1の貫通孔を有

し、前記第2の突起部は前記第2の配線を露出させる第2の貫通孔を有し、

前記第1の電極は、前記第1の貫通孔を介して前記第1の配線と接続され、前記第2の電極は、前記第2の貫通孔を介して前記第2の配線と接続されている、請求項1に記載のLEDモジュール。

[請求項6] 前記第1の電極は、前記第1の突起部の上面及び側面に沿って設けられ、前記第2の電極は、前記第2の突起部の上面及び側面に沿って設けられている、請求項1に記載のLEDモジュール。

[請求項7] 前記第1の突起部及び前記第2の突起部は、前記側面が傾斜面である、請求項5に記載のLEDモジュール。

[請求項8] 前記第1の突起部と前記第2の突起部との間に第3の突起部を有する、請求項1に記載のLEDモジュール。

[請求項9] 前記LEDチップが、マイクロLEDチップである、請求項1に記載のLEDモジュール。

[請求項10] 画素を形成する領域の絶縁表面に設けられた第1の突起部と、前記第1の突起部に隣接する第2の突起部と、

前記第1の突起部に設けられた第1の電極と、前記第2の突起部に設けられた第2の電極と、

前記第1の突起部及び前記第2の突起部の上面に配置されたLEDチップと、

を有し、

前記LEDチップは、前記第1の電極及び前記第2の電極と、導電性部材を介して接続され、

前記第1の突起部及び前記第2の突起部は $1\mu\text{m}$ 以上 $50\mu\text{m}$ 以下の高さを有する絶縁材料であることを特徴とする表示装置。

[請求項11] 前記LEDチップは、第1のパッド電極と、前記第1のパッド電極に隣接する第2のパッド電極と、を有し、

前記第1のパッド電極が前記第1の電極と、前記第2のパッド電極

が前記第２のパッド電極と、前記導電性部材を介してそれぞれ接続されている、請求項１０に記載の表示装置。

[請求項12] 前記第１の突起部の高さと、前記第２の突起部の高さが異なる、請求項１０又は１１に記載の表示装置。

[請求項13] 前記第１の突起部に少なくとも一部が覆われる第１の配線と、前記第２の突起部に少なくとも一部の領域が覆われる第２の配線と、を有し、

前記第１の突起部は前記第１の配線を露出させる第１の貫通孔を有し、前記第２の突起部は前記第２の配線を露出させる第２の貫通孔を有し、

前記第１の電極は、前記第１の貫通孔を介して前記第１の配線と接続され、前記第２の電極は、前記第２の貫通孔を介して前記第２の配線と接続されている、請求項１０に記載の表示装置。

[請求項14] 前記第１の電極は、前記第１の突起部の上面及び側面に沿って設けられ、前記第２の電極は、前記第２の突起部の上面及び側面に沿って設けられている、請求項１０に記載の表示装置。

[請求項15] 前記第１の突起部及び前記第２の突起部は、前記側面が傾斜面である、請求項１４に記載の表示装置。

[請求項16] 前記第１の突起部と重ならない第１の配線と、前記第２の突起部と重ならない第２の配線と、を有し、

前記第１の電極は、前記第１の突起部の外側で前記第１の配線と接続され、前記第２の電極は、前記第２の突起部の外側で前記第２の配線と接続されている、請求項１４又は１５に記載の表示装置。

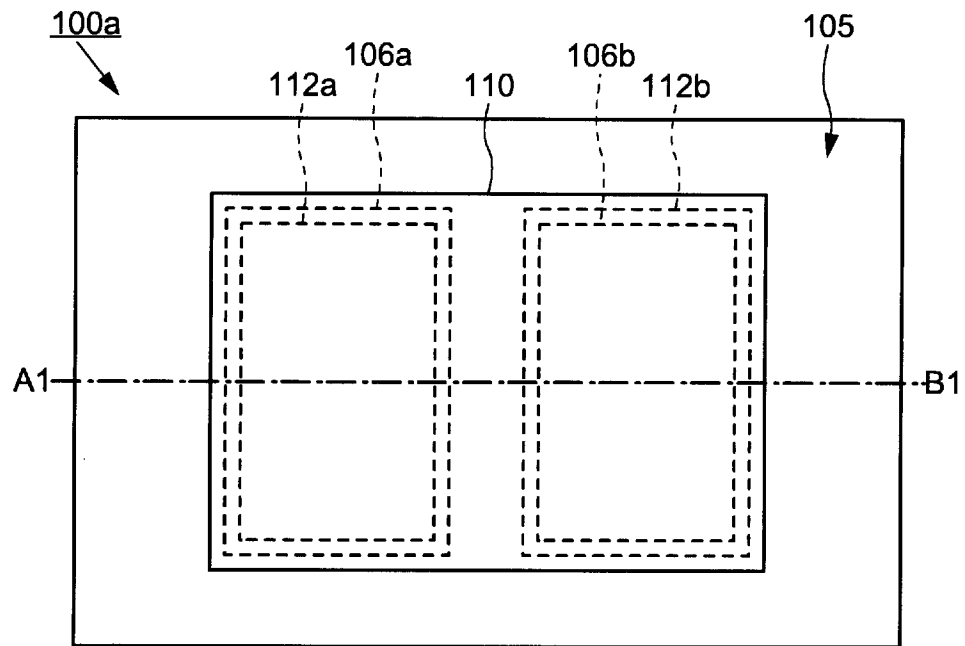
[請求項17] 前記第１の配線が走査信号線であり、前記第２の配線がデータ信号線である、請求項１３又は１６に記載の表示装置。

[請求項18] 前記第１の突起部と前記第２の突起部との間に第３の突起部を有する、請求項１０に記載の表示装置。

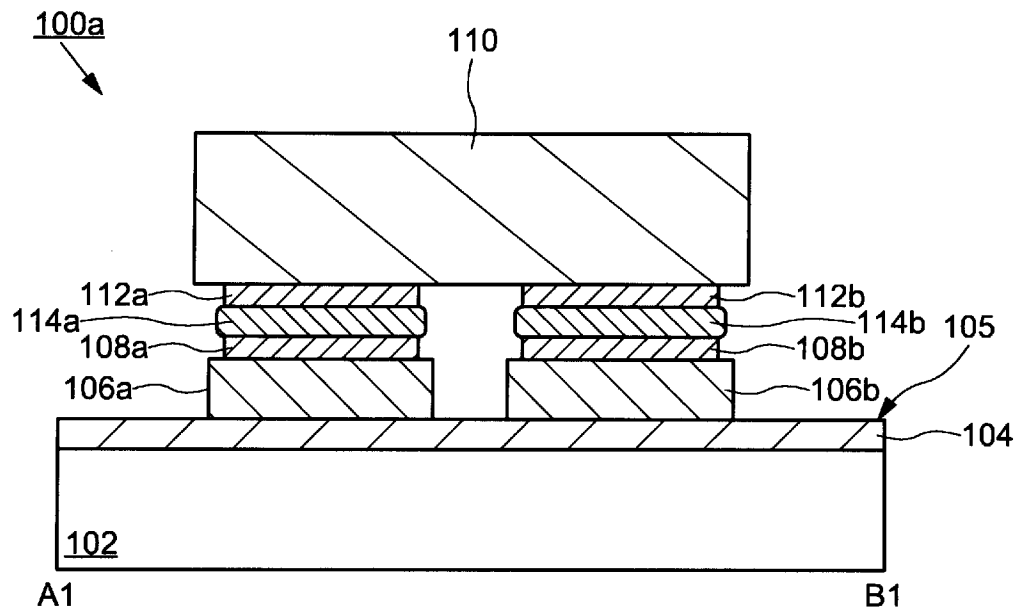
[請求項19] 前記ＬＥＤチップが、マイクロＬＥＤチップである、請求項１０に

記載の表示装置。

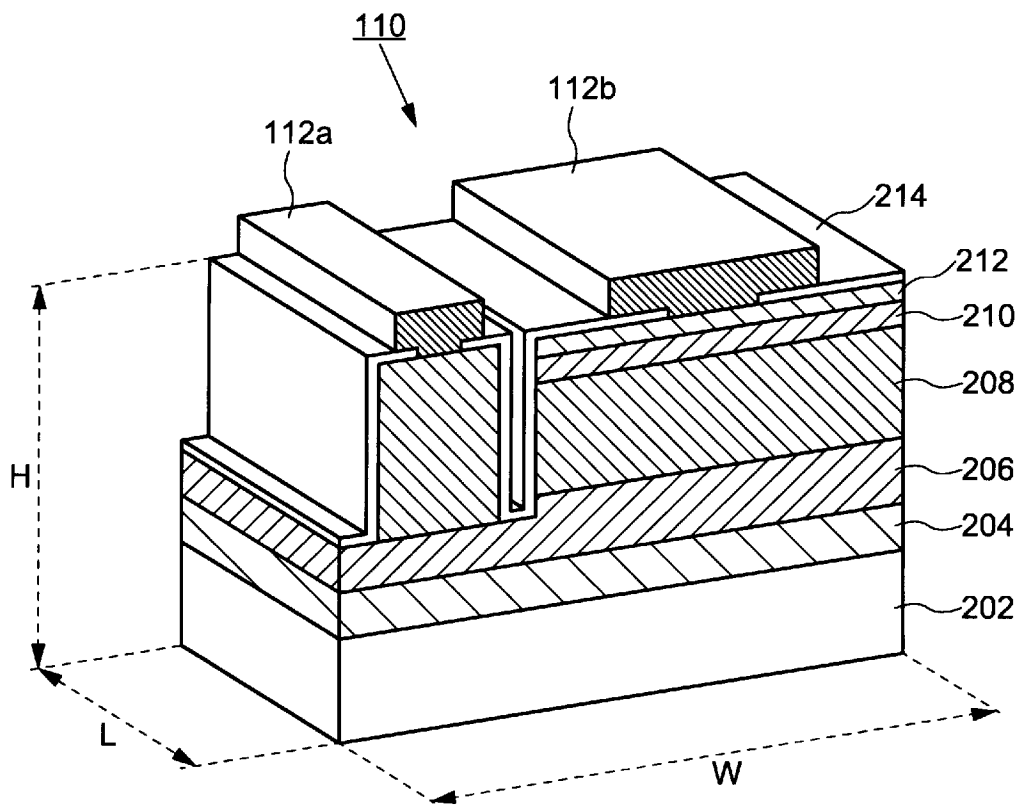
[図1A]



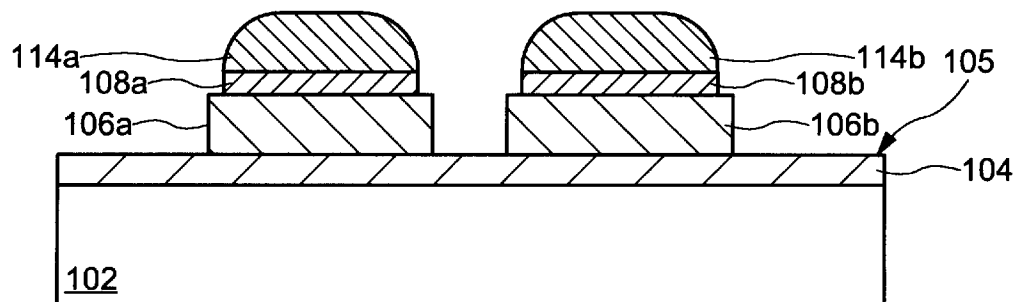
[図1B]



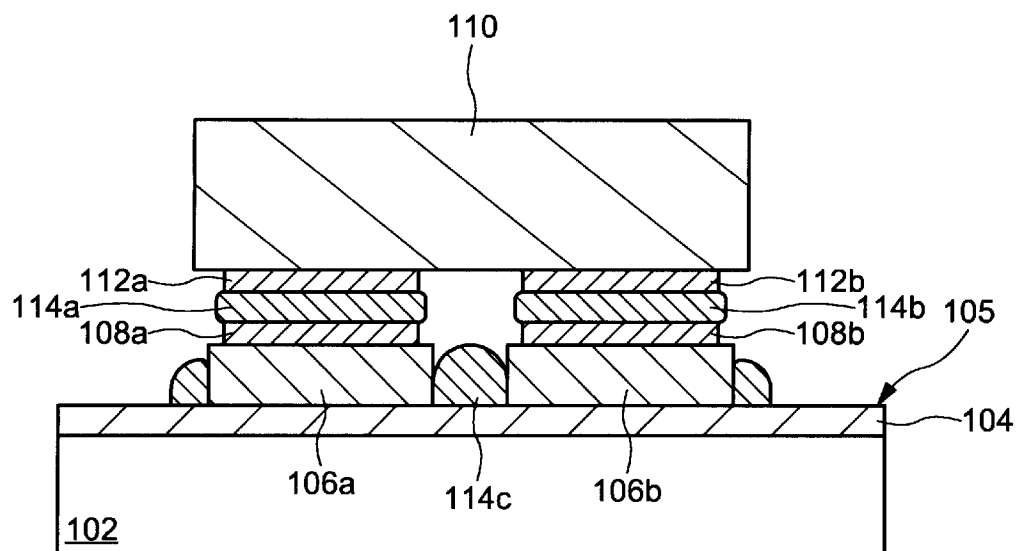
[図2]



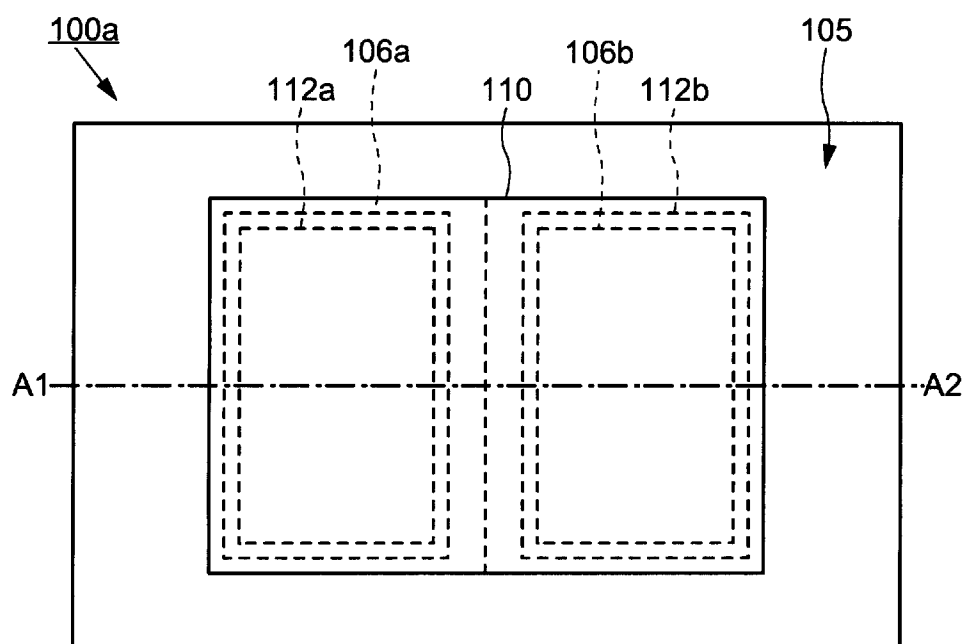
[図3A]



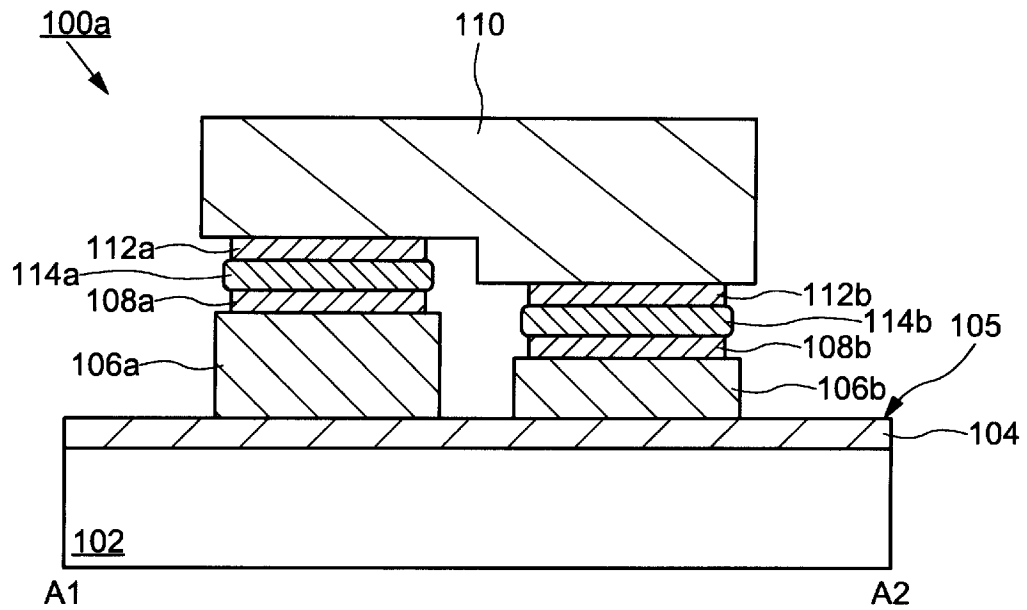
[図3B]



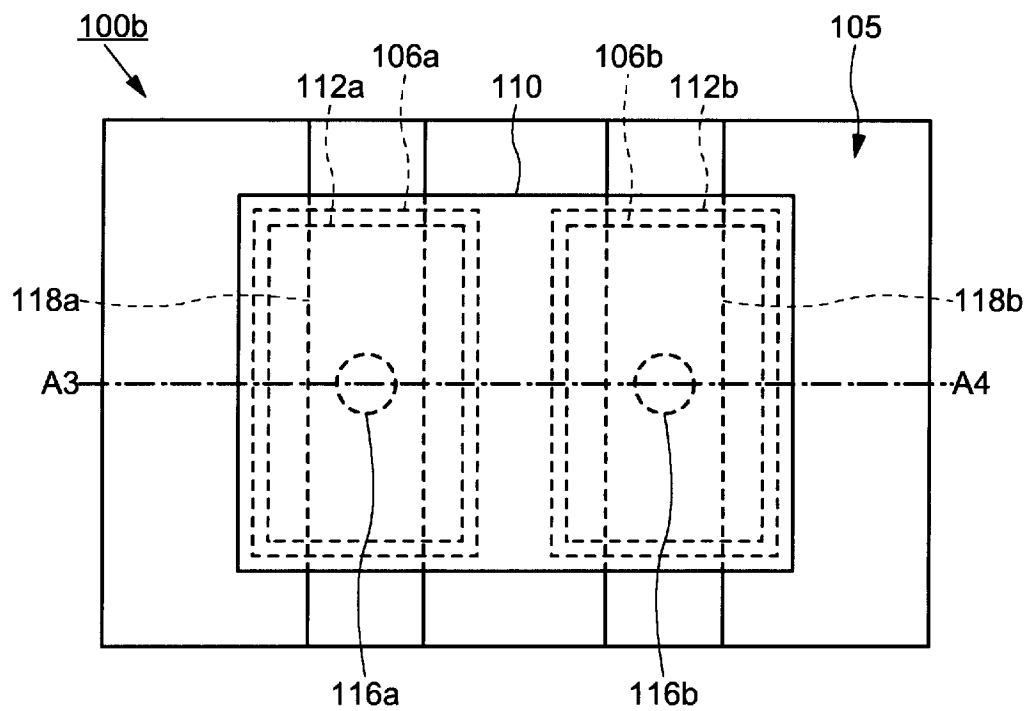
[図4A]



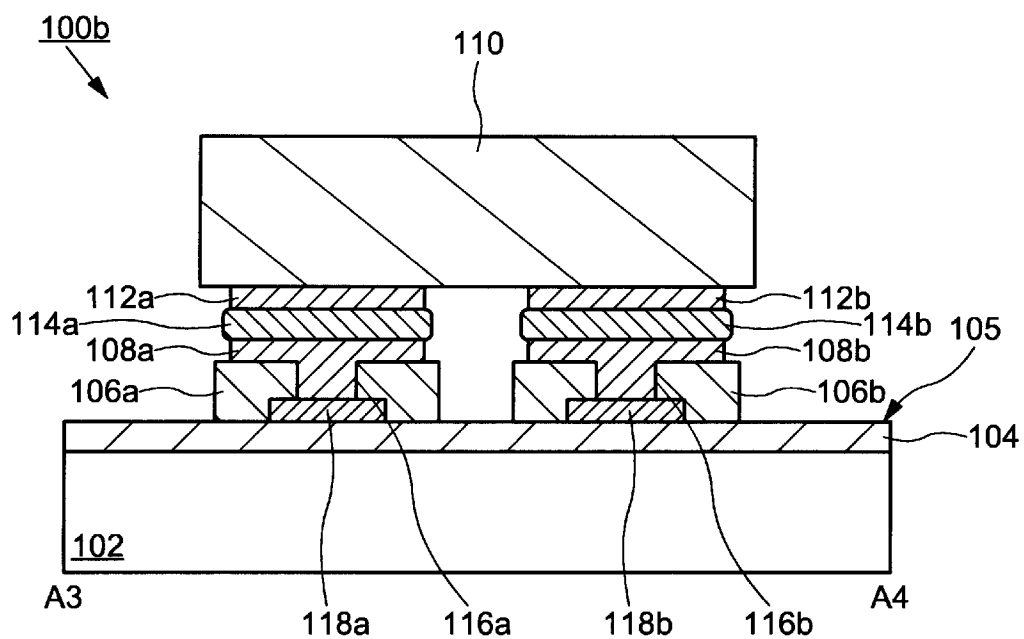
[図4B]



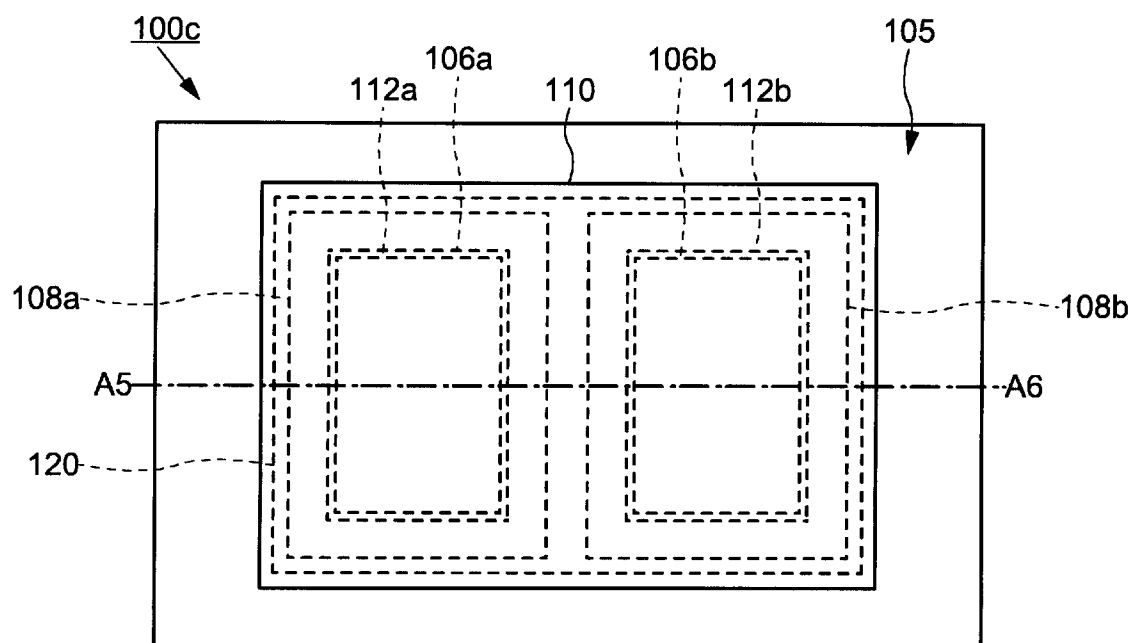
[図5A]



[図5B]

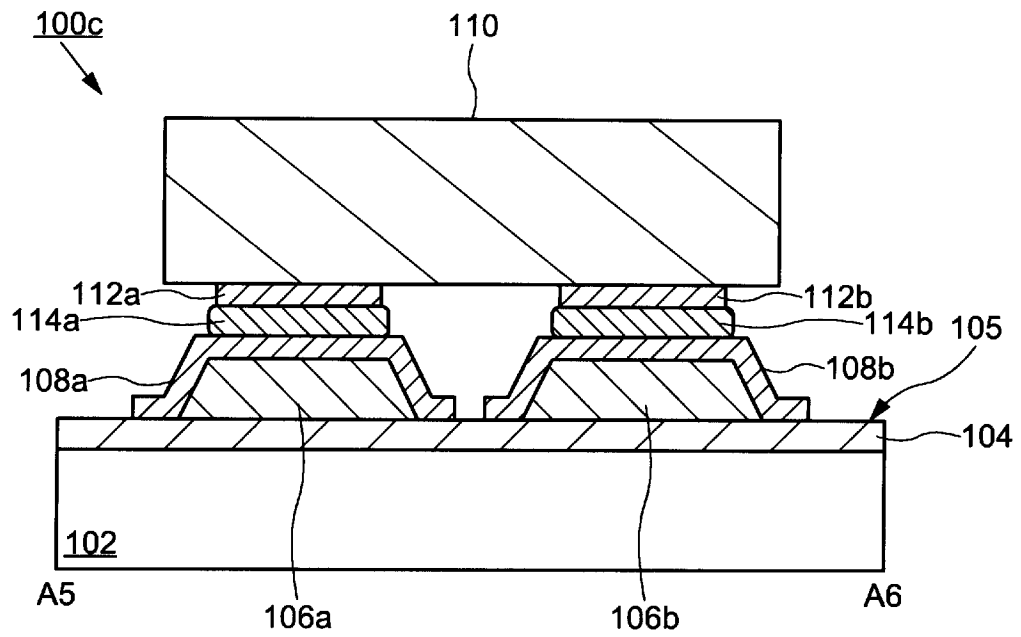


[図6A]

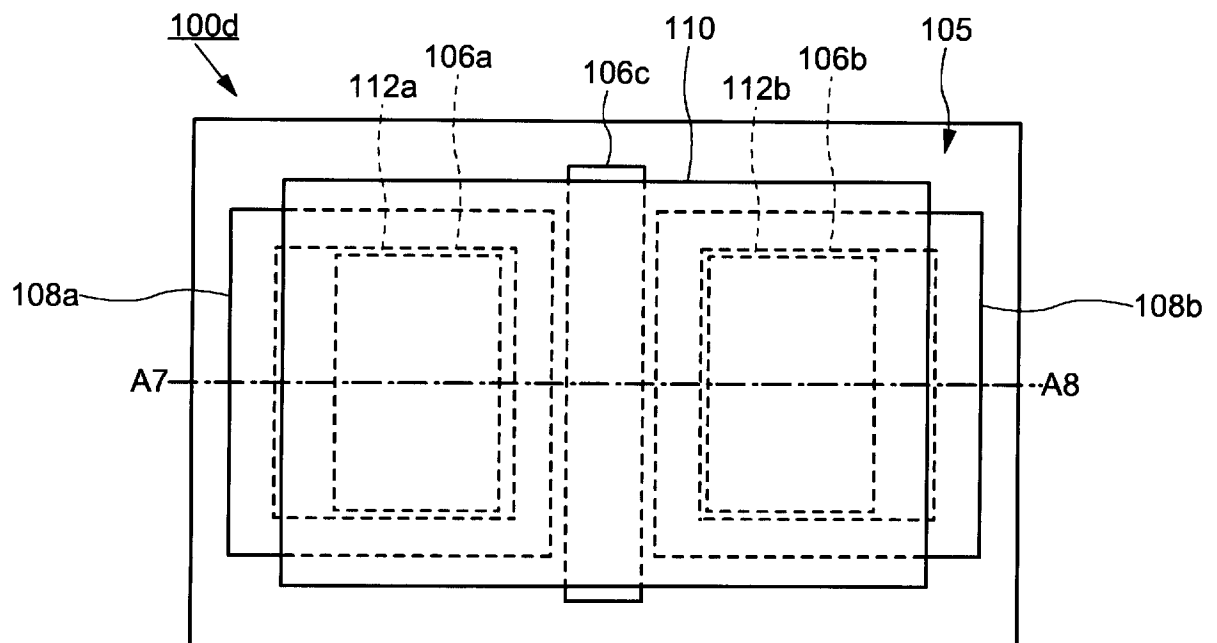


A cross-sectional view of a semiconductor device 100c. The device is shown in a cross-section along a line A5-A6. It features a substrate 102 with a thin layer 104 on its top surface. A central region 105 is defined by a trench 106a and 106b. The trench is filled with a material 110. The trench is surrounded by a layer 112a and 112b. The layer 112a and 112b are further surrounded by a layer 114a and 114b. The layer 114a and 114b are further surrounded by a layer 120. The layer 120 is further surrounded by a layer 108a and 108b. The layer 108a and 108b are further surrounded by a layer 106a and 106b. The layer 106a and 106b are further surrounded by a layer 104. The layer 104 is further surrounded by a layer 102.

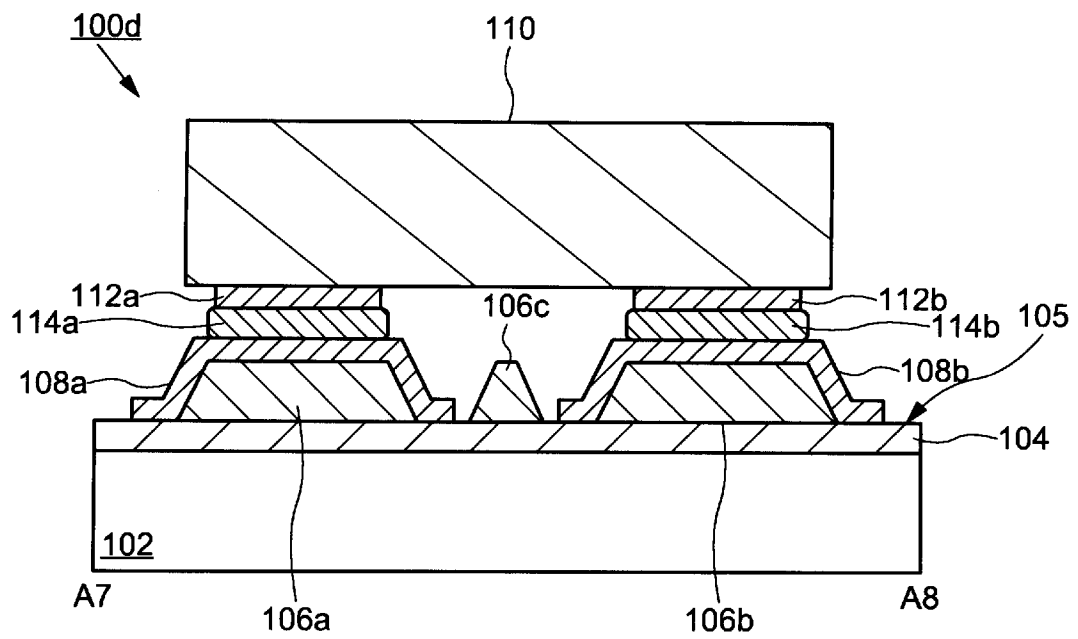
[図7B]



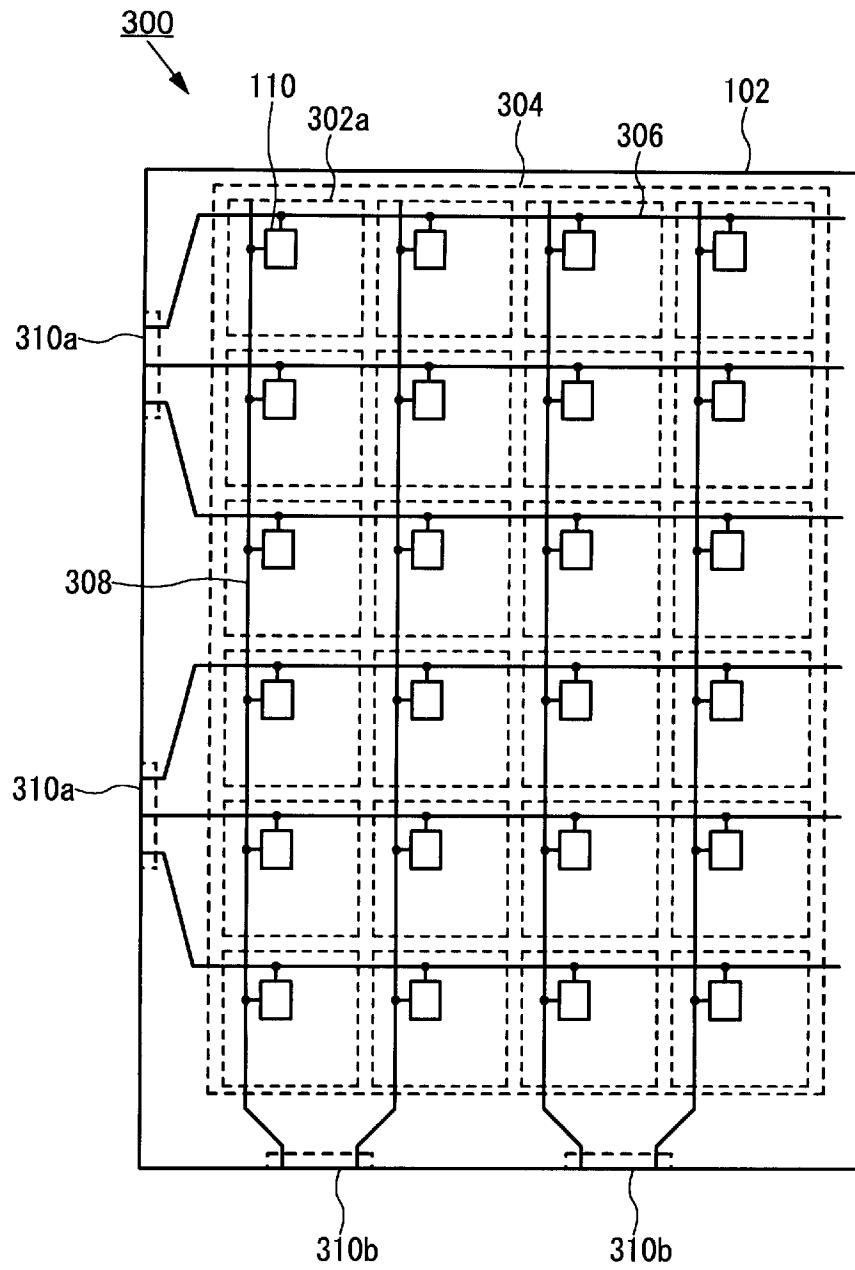
[図8A]



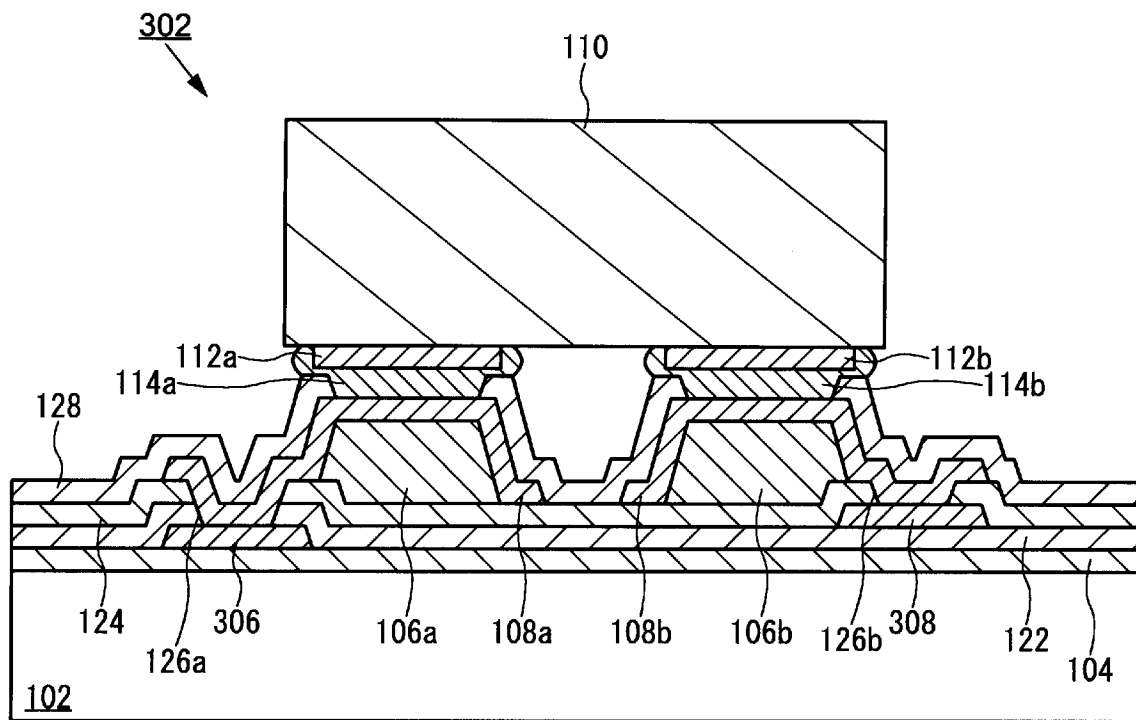
[図8B]



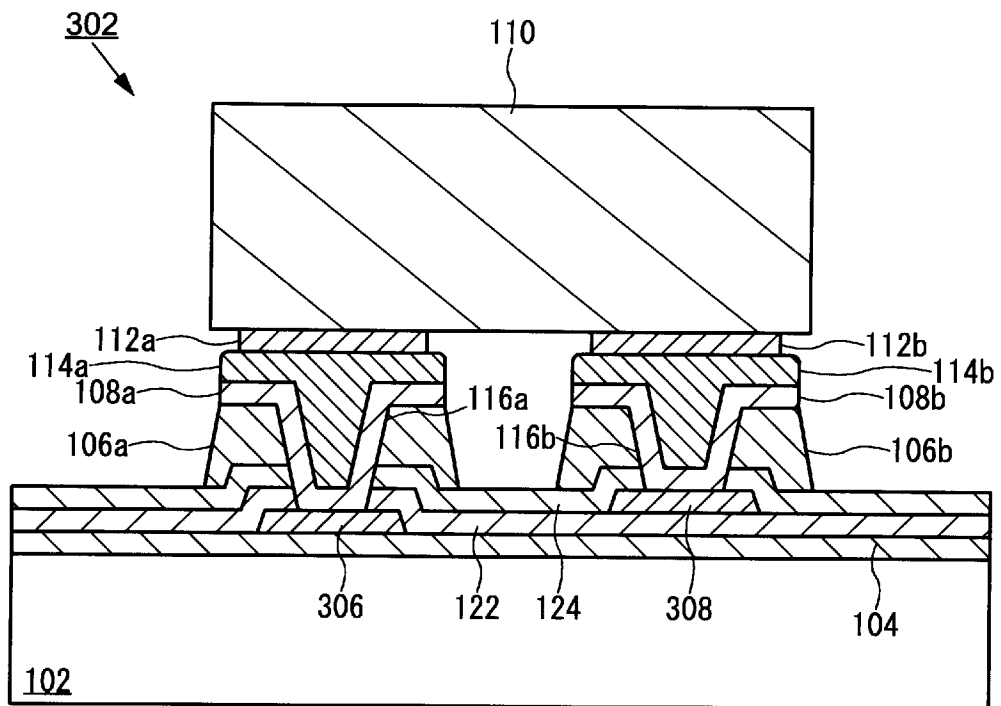
[図9]



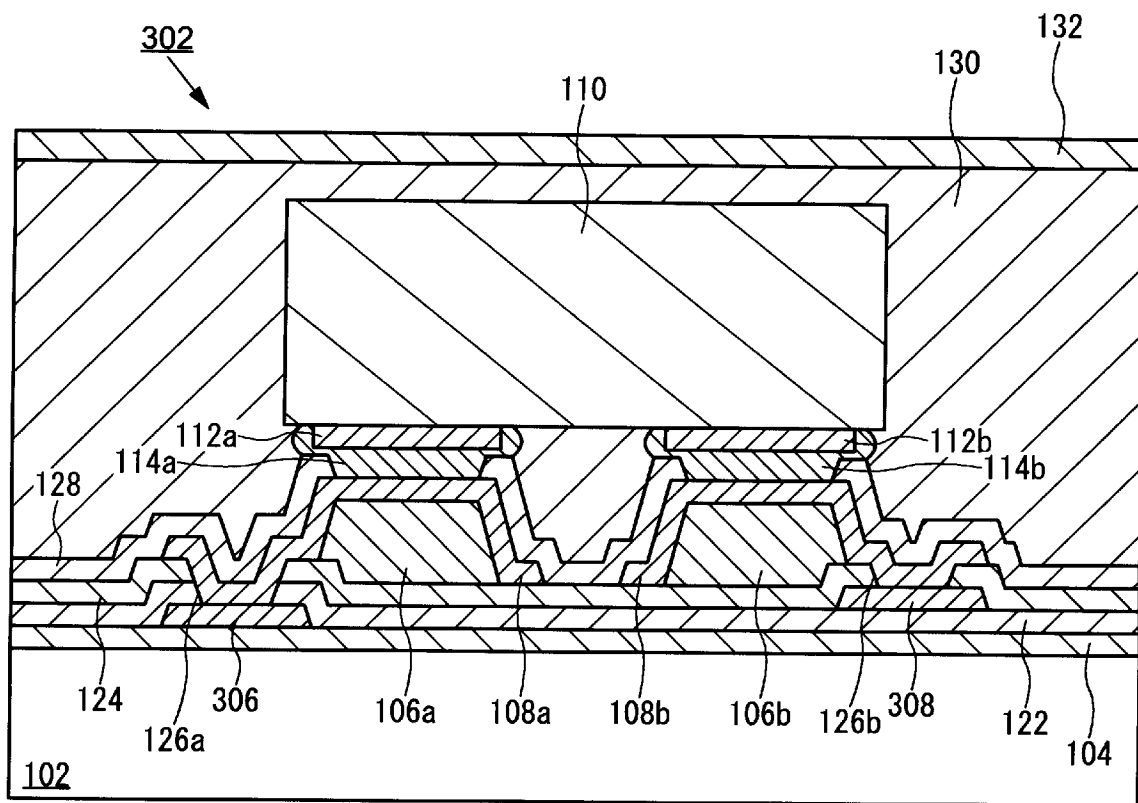
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/021205

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L33/62 (2010.01) i

FI: H01L33/62

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-38892 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 10.02.2005 (2005-02-10), entire text, all drawings	1-19
A	JP 2005-51233 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 24.02.2005 (2005-02-24), entire text, all drawings	1-19
A	JP 11-330617 A (NEC CORPORATION) 30.11.1999 (1999-11-30), entire text, all drawings	1-19
A	JP 6-310617 A (MITSUBISHI ELECTRIC CORPORATION) 04.11.1994 (1994-11-04), entire text, all drawings	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12.08.2020

Date of mailing of the international search report

25.08.2020

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/021205

JP 2005-38892 A	10.02.2005	(Family: none)
JP 2005-51233 A	24.02.2005	(Family: none)
JP 11-330617 A	30.11.1999	US 6184560 B1 entire text, all drawings EP 961327 A1
JP 6-310617 A	04.11.1994	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 33/62(2010.01)i FI: H01L33/62														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L33/00-33/64 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2005-38892 A（松下電器産業株式会社）10.02.2005（2005 - 02 - 10） 全文全図	1-19												
A	JP 2005-51233 A（松下電器産業株式会社）24.02.2005（2005 - 02 - 24） 全文全図	1-19												
A	JP 11-330617 A（日本電気株式会社）30.11.1999（1999 - 11 - 30） 全文全図	1-19												
A	JP 6-310617 A（三菱電機株式会社）04.11.1994（1994 - 11 - 04） 全文全図	1-19												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 12.08.2020	国際調査報告の発送日 25.08.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 村井 友和 2K 3207 電話番号 03-3581-1101 内線 3255													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/021205

引用文献			公表日	パテントファミリー文献	公表日
JP	2005-38892	A	10.02.2005	(ファミリーなし)	
JP	2005-51233	A	24.02.2005	(ファミリーなし)	
JP	11-330617	A	30.11.1999	US 6184560 B1	
				全文全図	
				EP 961327 A1	
JP	6-310617	A	04.11.1994	(ファミリーなし)	