

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7681663号
(P7681663)

(45)発行日 令和7年5月22日(2025.5.22)

(24)登録日 令和7年5月14日(2025.5.14)

(51)国際特許分類		F I	
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20 6 2 1 L
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/36
G 0 9 G	3/3266(2016.01)	G 0 9 G	3/3266
G 0 9 G	3/3275(2016.01)	G 0 9 G	3/3275
		G 0 9 G	3/20 6 2 2 D
請求項の数 11 (全24頁) 最終頁に続く			
(21)出願番号	特願2023-183654(P2023-183654)	(73)特許権者	501426046
(22)出願日	令和5年10月26日(2023.10.26)		エルジー ディスプレイ カンパニー リ
(65)公開番号	特開2024-85382(P2024-85382A)		ミテッド
(43)公開日	令和6年6月26日(2024.6.26)		大韓民国 ソウル、ヨンドゥンポング、
審査請求日	令和5年10月26日(2023.10.26)		ヨウィーテロ 1 2 8
(31)優先権主張番号	10-2022-0174463	(74)代理人	100094112
(32)優先日	令和4年12月14日(2022.12.14)		弁理士 岡部 譲
(33)優先権主張国・地域又は機関	韓国(KR)	(74)代理人	100106183
			弁理士 吉澤 弘司
		(74)代理人	100114915
			弁理士 三村 治彦
		(74)代理人	100125139
			弁理士 岡部 洋
		(74)代理人	100209808
			弁理士 三宅 高志
		最終頁に続く	

(54)【発明の名称】 レベルシフタとこれを含む表示装置

(57)【特許請求の範囲】

【請求項1】

第1のゲート電圧が印加される第1の電源入力端子と、
前記第1のゲート電圧よりも低い第2のゲート電圧が印加される第2の電源入力端子と、
前記第1のゲート電圧よりも低く前記第2のゲート電圧よりも高い第3のゲート電圧が
印加される第3の電源入力端子と、
シフトクロックが出力される出力端子と、
第1の制御信号のオン期間の電圧に応答して、前記第1の電源入力端子を前記出力端子
に電氣的に連結する第1のスイッチ素子と、
第2の制御信号のオン期間の電圧に応答して、前記第2の電源入力端子を前記出力端子
に電氣的に連結する第2のスイッチ素子と、
第3の制御信号のオン期間の電圧に応答して、前記第3の電源入力端子を前記出力端子
に電氣的に連結する第3のスイッチ素子と、
第1の入力クロックと、前記第1の入力クロックに対して同一の周波数と位相差を有す
る第2の入力クロックとが入力され、前記第1の制御信号、前記第2の制御信号、及び前
記第3の制御信号を出力する制御部と
を含み、
前記第3の制御信号の第1のオン期間の一部が、前記第1の制御信号のオン期間の一部
と重畳し、
前記第3の制御信号の第2のオン期間の一部が、前記第2の制御信号のオン期間の一部と

重畳し、

前記第3の制御信号の第1のオン期間は、

前記第1の制御信号のオン期間及び前記第2の制御信号のオン期間と重畳しない第1の非重畳期間と、

前記第1の制御信号のオン期間のうちで、パルスの立ち上がりエッジを含む一部期間と重畳する第1の重畳期間と、を含み、

前記第3の制御信号の第2のオン期間は、

前記第1の制御信号のオン期間及び前記第2の制御信号のオン期間と重畳しない第2の非重畳期間と、

前記第2の制御信号のオン期間のうちで、パルスの立ち上がりエッジを含む一部期間と重畳する第2の重畳期間と

を含む、レベルシフタ。

【請求項2】

前記第1の重畳期間の間、

前記第1の電源入力端子と前記出力端子との間に電流が流れるとともに、前記第3の電源入力端子と前記出力端子との間に電流が流れ、

前記第2の重畳期間の間、

前記第2の電源入力端子と前記出力端子との間に電流が流れるとともに、前記第3の電源入力端子と前記第2の電源入力端子との間に電流が流れる、

請求項1に記載のレベルシフタ。

【請求項3】

前記第1の重畳期間と前記第2の重畳期間のそれぞれは、前記第1の入力クロック及び前記第2の入力クロックと重畳しない、請求項1に記載のレベルシフタ。

【請求項4】

前記第1の重畳期間と前記第2の重畳期間との間、前記第3のゲート電圧が印加される電源配線に電流が流れ、前記第1の入力クロックと前記第2の入力クロックのパルスが入力されない、請求項1に記載のレベルシフタ。

【請求項5】

前記第1の非重畳期間と前記第2の非重畳期間のそれぞれは、前記第1の制御信号のオン期間及び前記第2の制御信号のオン期間と重畳しない、請求項1に記載のレベルシフタ。

【請求項6】

前記第1の制御信号のオン期間は、

前記第1の重畳期間と、

前記第2の制御信号のオン期間と、前記第3の制御信号の第1及び第2のオン期間と重畳しない第3の非重畳期間と、

を含み、

前記第2の制御信号のオン期間は、

前記第2の重畳期間と、

前記第2の制御信号のオン期間と、前記第1の制御信号の第1及び第2のオン期間と重畳しない第4の非重畳期間と、

を含む、請求項1に記載のレベルシフタ。

【請求項7】

複数のデータライン、複数のゲートライン、及び複数のピクセルが配置された表示パネルと、

前記データラインに印加されるデータ信号を出力するデータ駆動部と、シフトクロックが入力されて、ゲートパルスを前記ゲートラインに供給するゲート駆動部と、

第1の入力クロック、前記第1の入力クロックに対して同一の周波数と異なる位相を持つ第2の入力クロック、第1のゲート電圧、前記第1のゲート電圧よりも低い第2のゲート電圧、及び前記第1のゲート電圧と前記第2のゲート電圧との間の電圧レベルを持つ第

10

20

30

40

50

3 のゲート電圧が入力され、前記シフトクロックを出力するレベルシフトと、
を含み、

前記レベルシフトは、

前記第 1 のゲート電圧が印加される第 1 の電源入力端子と、

前記第 2 のゲート電圧が印加される第 2 の電源入力端子と、

前記第 3 のゲート電圧が印加される第 3 の電源入力端子と、

前記シフトクロックが出力される出力端子と、

前記第 1 の入力クロックと前記第 2 の入力クロックとが入力され、第 1 の制御信号、第 2 の制御信号、及び第 3 の制御信号を出力する制御部と、

前記第 1 の制御信号のオン期間の電圧に応答して、前記第 1 の電源入力端子を前記出力端子に電氣的に連結する第 1 のスイッチ素子と、

10

前記第 2 の制御信号のオン期間の電圧に応答して、前記第 2 の電源入力端子を前記出力端子に電氣的に連結する第 2 のスイッチ素子と、

前記第 3 の制御信号のオン期間の電圧に応答して、前記第 3 の電源入力端子を前記出力端子に電氣的に連結する第 3 のスイッチ素子と、

前記第 1 の入力クロックと、前記第 1 の入力クロックに対して前記同一の周波数と前記異なる位相を持つ前記第 2 の入力クロックとが入力され、前記第 1 の制御信号、前記第 2 の制御信号、及び前記第 3 の制御信号を出力する制御部と

を含み、

前記第 3 の制御信号の第 1 のオン期間の一部が、前記第 1 の制御信号のオン期間の一部と重畳し、

20

前記第 3 の制御信号の第 2 のオン期間の一部が、前記第 2 の制御信号のオン期間の一部と重畳し、

前記第 3 の制御信号の第 1 のオン期間は、

前記第 1 の制御信号のオン期間及び前記第 2 の制御信号のオン期間と重畳しない第 1 の非重畳期間と、

前記第 1 の制御信号のオン期間のうちで、パルスの立ち上がりエッジを含む一部期間と重畳する第 1 の重畳期間と、を含み、

前記第 3 の制御信号の第 2 のオン期間は、

前記第 1 の制御信号のオン期間及び前記第 2 の制御信号のオン期間と重畳しない第 2 の非重畳期間と、

30

前記第 2 の制御信号のオン期間のうちで、パルスの立ち上がりエッジを含む一部期間と重畳する第 2 の重畳期間と

を含む、

表示装置。

【請求項 8】

前記第 1 の重畳期間の間、

前記第 1 の電源入力端子と前記出力端子との間に電流が流れるとともに、前記第 3 の電源入力端子と前記出力端子との間に電流が流れ、

前記第 2 の重畳期間の間、

40

前記第 2 の電源入力端子と前記出力端子との間に電流が流れるとともに、前記第 3 の電源入力端子と前記第 2 の電源入力端子との間に電流が流れる、請求項 7 に記載の表示装置。

【請求項 9】

複数のデータライン、複数のゲートライン、及び複数のピクセルが配置された表示パネルと、

前記データラインに印加されるデータ信号を出力するデータ駆動部と、

シフトクロックが入力されて、ゲートパルスを前記ゲートラインに供給するゲート駆動部と、

第 1 のゲート電圧、前記第 1 のゲート電圧よりも低い第 2 のゲート電圧、及び前記第 1 のゲート電圧と前記第 2 のゲート電圧との間の電圧レベルを持つ第 3 のゲート電圧を出力

50

する電源部と、

第1の入力クロック、前記第1の入力クロックに対して同一の周波数と異なる位相を持つ第2の入力クロック、前記第1のゲート電圧、前記第2のゲート電圧、及び前記第3のゲート電圧が入力され、前記シフトクロックを出力するレベルシフタと、を含み、

前記第1の入力クロックのパルスと前記第2の入力クロックのパルスが無い少なくとも一部時間の間、前記電源部と前記レベルシフタとの間に連結された電源配線のうちで、前記第3のゲート電圧が印加される電源配線に電流が流れる、表示装置。

【請求項10】

前記レベルシフタは、

前記第1のゲート電圧が印加される第1の電源入力端子と、

前記第2のゲート電圧が印加される第2の電源入力端子と、

前記第3のゲート電圧が印加される第3の電源入力端子と、

前記シフトクロックが出力される出力端子と、

前記第1の入力クロックと前記第2の入力クロックとが入力され、第1の制御信号、第2の制御信号、及び第3の制御信号を出力する制御部と、

前記第1の制御信号のオン期間の電圧に応答して、前記第1の電源入力端子を前記出力端子に電氣的に連結する第1のスイッチ素子と、

前記第2の制御信号のオン期間の電圧に応答して、前記第2の電源入力端子を前記出力端子に電氣的に連結する第2のスイッチ素子と、

前記第3の制御信号のオン期間の電圧に応答して、前記第3の電源入力端子を前記出力端子に電氣的に連結する第3のスイッチ素子と、
を含む、請求項9に記載の表示装置。

【請求項11】

前記第3の制御信号の第1のオン期間は、

前記第1の制御信号のオン期間及び前記第2の制御信号のオン期間と重畳しない第1の非重畳期間と、

前記第1の制御信号のオン期間のうちで、パルスの立ち上がりエッジを含む一部期間と重畳し、前記第1の入力クロック及び前記第2の入力クロックのパルスと重畳しない第1の重畳期間と、
を含み、

前記第3の制御信号の第2のオン期間は、

前記第1の制御信号のオン期間及び前記第2の制御信号のオン期間と重畳しない第2の非重畳期間と、

前記第2の制御信号のオン期間のうちで、パルスの立ち上がりエッジを含む一部期間と重畳し、前記第1の入力クロック及び前記第2の入力クロックのパルスに重畳しない第2の重畳期間と、
を含む、請求項10に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レベルシフタとこれを含む表示装置に関する。

【背景技術】

【0002】

フラットパネルディスプレイ (Flat Panel Display、FPD) の駆動回路は、入力映像のピクセルデータを表示パネルのピクセルに書き込んで、ピクセルアレイ上に入力映像を再現する。このような表示装置の駆動回路は、データ信号をデータラインに供給するデータ駆動回路、ゲートパルスをゲートラインに供給するゲート駆動回路、データ駆動回路とゲート駆動回路の動作タイミングを制御するためのタイミングコントローラ (Timing controller) 等を含む。

【0003】

タイミングコントローラは、データ駆動回路とゲート駆動回路の出力を制御することができる。タイミングコントローラは、ゲート駆動回路を制御するクロック信号を発生する。レベルシフタ (level shifter) は、タイミングコントローラから入力されるクロックに応答して、ゲート駆動回路を駆動するためのシフトクロックを出力する。ゲート駆動回路は、レベルシフタからのシフトクロックが入力されるシフトレジスタを用いて、ゲートパルスを順次に出力する。

【発明の概要】

【発明が解決しようとする課題】

【0004】

表示装置のEMI (Electromagnetic Interference) 低減のための様々な研究が進行しつつある。レベルシフタの場合、レベルシフタの出力端にEMIフィルタを追加したり、レベルシフタの出力端バッファのトランジスタのオン抵抗を調節するために、複数のトランジスタを並列に連結する方案が考慮されている。しかしながら、この方法は、レベルシフタの出力端に追加されたEMIフィルタで消費電力が発生し、レベルシフタが内蔵されたIC (Integrated Circuit) のチップ (Chip) の大きさとコストが大きくなり得る。レベルシフタを構成するスイッチ素子のオン／オフタイミング間のデッドタイム (dead time) が存在する場合、デッドタイムの後に制御信号の電圧が急激に変わる際に生じる高調波とピーク電流によりEMI低減の効果が制限的である。

【0005】

したがって、本発明の目的は、EMIを低減可能なレベルシフタとこれを含む表示装置を提供することにある。

【0006】

本発明の課題は、以上で言及した課題に制限されず、言及していないさらなる課題は、以下の記載から当業者にとって明らかに理解されるであろう。

【課題を解決するための手段】

【0007】

本発明の一実施例によるレベルシフタは、第1のゲート電圧が印加される第1の電源入力端子と、前記第1のゲート電圧よりも低い第2のゲート電圧が印加される第2の電源入力端子と、前記第1のゲート電圧よりも低く前記第2のゲート電圧よりも高い第3のゲート電圧が印加される第3の電源入力端子と、シフトクロックが出力される出力端子と、第1の制御信号のオン期間の電圧に応答して、前記第1の電源入力端子を前記出力端子に電氣的に連結する第1のスイッチ素子と、第2の制御信号のオン期間の電圧に応答して、前記第2の電源入力端子を前記出力端子に電氣的に連結する第2のスイッチ素子と、第3の制御信号のオン期間の電圧に応答して、前記第3の電源入力端子を前記出力端子に電氣的に連結する第3のスイッチ素子と、を含む。前記第3の制御信号の第1のオン期間の一部が、前記第1の制御信号のオン期間の一部と重畳する。前記第3の制御信号の第2のオン期間の一部が、前記第2の制御信号のオン期間の一部と重畳する。

【0008】

前記第3の制御信号の第1のオン期間は、前記第1の制御信号のオン期間及び前記第2の制御信号のオン期間と重畳しない第1の非重畳期間と、前記第1の制御信号のオン期間のうちで、パルスの立ち上がりエッジを含む一部期間と重畳する第1の重畳期間を含むことができる。前記第3の制御信号の第2のオン期間は、前記第1の制御信号のオン期間及び前記第2の制御信号のオン期間と重畳しない第2の非重畳期間と、前記第2の制御信号のオン期間のうちで、パルスの立ち上がりエッジを含む一部期間と重畳する第2の重畳期間と、を含み得る。

【0009】

前記第1の重畳期間の間、前記第1の電源入力端子と前記出力端子との間に電流が流れるとともに、前記第3の電源入力端子と前記出力端子との間に電流が流れることができる。前記第2の重畳期間の間、前記第2の電源入力端子と前記出力端子との間に電流が流れ

10

20

30

40

50

るとともに、前記第3の電源入力端子と前記第2の電源入力端子との間に電流が流れることができる。

【0010】

前記レベルシフタは、第1の入力クロックと、前記第1の入力クロックに対して同一の周波数と位相差を有する第2の入力クロックとが入力され、前記第1の制御信号、前記第2の制御信号、及び前記第3の制御信号を出力する制御部、をさらに含み得る。

【0011】

前記第1の重畳期間と前記第2の重畳期間のそれぞれは、前記第1の入力クロック及び前記第2の入力クロックと重畳しないこともあり得る。

【0012】

前記第1の重畳期間と前記第2の重畳期間の間、前記第3のゲート電圧が印加される電源配線に電流が流れ、前記第1の入力クロックと前記第2の入力クロックのパルスが入力されないことがあり得る。

【0013】

前記第1の非重畳期間と前記第2の非重畳期間のそれぞれは、前記第1の制御信号のオン期間及び前記第2の制御信号のオン期間と重畳しないことがあり得る。

【0014】

前記第1の制御信号のオン期間は、前記第1の重畳期間と、前記第2の制御信号のオン期間と、第3の制御信号の第1及び第2のオン期間と重畳しない第3の非重畳期間と、を含み得る。前記第2の制御信号のオン期間は、前記第2の重畳期間と、前記第2の制御信号のオン期間と、前記第3の制御信号の第1及び第2のオン期間と重畳しない第4の非重畳期間とを含むことができる。

【0015】

本発明の一実施例による表示装置は、複数のデータライン、複数のゲートライン、及び複数のピクセルが配置された表示パネルと、前記データラインに印加されるデータ信号を出力するデータ駆動部と、前記レベルシフタからシフトクロックが入力されて、ゲートパルスを前記ゲートラインに供給するゲート駆動部とを含む。

【0016】

本発明の他の実施例による表示装置は、複数のデータライン、複数のゲートライン、及び複数のピクセルが配置された表示パネルと、前記データラインに印加されるデータ信号を出力するデータ駆動部と、シフトクロックが入力されてゲートパルスを前記ゲートラインに供給するゲート駆動部と、第1のゲート電圧、前記第1のゲート電圧よりも低い第2のゲート電圧、及び前記第1のゲート電圧と前記第2のゲート電圧との間の電圧レベルを持つ第3のゲート電圧を出力する電源部と、第1の入力クロック、前記第1の入力クロックに対して同一の周波数と異なる位相を持つ第2の入力クロック、前記第1のゲート電圧、前記第2のゲート電圧、及び前記第3のゲート電圧が入力され前記シフトクロックを出力するレベルシフタとを含む。前記第1の入力クロックのパルスと前記第2の入力クロックのパルスが無い少なくとも一部時間の間、前記電源部と前記レベルシフタとの間に連結された電源配線のうちで、前記第3のゲート電圧が印加される電源配線に電流が流れる。

【発明の効果】

【0017】

本発明によれば、ゲート駆動部に入力されるシフトクロックの立ち上がりエッジと立ち下がりエッジで互いに異なる電圧レベルを持つゲート電圧が短絡 (Short circuit) する重畳期間を設定することで、スルーレート (Slew rate) を下げてEMI特性を改善することができる。

【0018】

本発明によれば、レベルシフタに入力されるゲート電圧をスイッチングするスイッチ素子を制御するための制御信号の一部を重畳させることで、制御信号のパルス間に存在するデッドタイム (dead time) を減らしてEMIを低減することができる。

【0019】

10

20

30

40

50

本発明の効果は以上で言及した効果に制限されず、言及していない更なる効果は、請求の範囲の記載から当業者にとって明確に理解できるであろう。

【図面の簡単な説明】

【0020】

【図1】本発明の実施例による表示装置を示すブロック図である。

【図2】ピクセル回路の一例を示す回路図である。

【図3a】本発明の一実施例によるレベルシフタが表示装置に適用される例を示す図である。

【図3b】本発明の一実施例によるレベルシフタが表示装置に適用される例を示す図である。

【図3c】本発明の一実施例によるレベルシフタが表示装置に適用される例を示す図である。

【図4】レベルシフタの構成を示すブロック図である。

【図5】レベルシフタの入出力信号を示す波形図である。

【図6】ゲート駆動部のシフトレジスタを概略的に示す回路図である。

【図7】図4に示されたクロック出力部を詳細に示す回路図である。

【図8】本発明の一実施例によるレベルシフタの駆動方法を示す波形図である。

【図9】本発明の一実施例による第3の制御信号生成回路を示す回路図である。

【図10】図9に示された第3の制御信号生成回路の入出力信号を示す波形図である。

【図11】本発明の他の実施例によるレベルシフタの駆動方法を示す波形図である。

【図12】本発明の一実施例による第3の制御信号生成回路を示す回路図である。

【図13】図12に示された第3の制御信号生成回路の入出力信号を示す波形図である。

【発明を実施するための形態】

【0021】

本発明の利点及び特徴、並びにそれらを達成する方法は、添付の図面と共に詳細に後述されている実施例を参照すれば明確になるであろう。本発明は、以下で開示する実施例に限定されるものではなく、互いに異なる様々な形態で具現されるものであり、単に実施例は、本発明の開示が完全になるようにし、本発明の属する技術分野において通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものであり、本発明は請求項の範疇により定義されるだけである。

【0022】

本発明の実施例を説明するための図面に開示された形状、大きさ、比率、角度、個数などは例示的なものであるから、本発明は図面に示された事項に限定されるものではない。明細書の全体に亘って、同一の参照符号は実質的に同一の構成要素を指し示す。また、本発明を説明するにあたり、関連する公知の技術についての具体的な説明が本発明の要旨を不要に濁らせると判断される場合、その詳細な説明を省略する。

【0023】

本明細書上で言及された「備える／具備する」、「含む／包含する」、「有する／持つ」、「からなる」などが使用される場合、「～だけ／のみ」が用いられない以上、他の部分が追加され得る。構成要素を単数で表現した場合に、特別に明示的な記載事項がない限り、複数であると解釈され得る。

【0024】

構成要素を解釈するにあたり、別途の明示的な記載がなくても、誤差範囲を含むものと解釈する。

【0025】

「～上に」、「～の上部に」、「～の下部に」、「～の側方に」、「～連結又は結合（connect、couple）」、交差（crossing、intersecting）などのように、2つの構成要素の間で位置関係と相互連結関係が説明される場合、「すぐに」又は「直接」のような言及がない限り、それらの構成要素の間に1つ以上の他の構成要素が介在され得る。

【0026】

「～後に」、「～に引き続き」、「～の次に」、「～の前に」などで時間的な先後関係が説明される場合、「すぐに」又は「直接」が用いられない以上、時間軸上で連続的でないこともあり得る。

【0027】

構成要素を区分するために第1、第2などが使用され得るが、これらの構成要素は構成要素の前に付いた序数や構成要素の名称によりその機能や構造が制限されない。特許請求の範囲は必須構成要素を中心として記載されるため、特許請求の範囲における構成要素の名称の前に付いた序数と、実施例における構成要素の名称の前に付いた序数とが一致しないこともあり得る。

【0028】

以下の実施例は、部分的に又は全体的に互いに結合或いは組み合わせることが可能であり、技術的に様々な連動及び駆動が可能である。各実施例が互いに対して独立して実施することもでき、連関関係をもって一緒に実施することもできる。

【0029】

本発明の表示装置において、表示パネル駆動回路、ピクセルアレイ、レベルシフタ等はトランジスタを含むことができる。トランジスタは、酸化物半導体を含むOxide TFT (Thin Film Transistor)、低温ポリシリコン (Low Temperature Poly Silicon、LTPS) を含むLTPSTFT等で具現され得る。

【0030】

トランジスタは、ゲート (gate)、ソース (source) 及びドレイン (drain) を含む3電極素子である。ソースは、キャリア (carrier) をトランジスタに供給する電極である。トランジスタ内において、キャリアはソースから流れ出す。ドレインは、トランジスタからキャリアが外部へ出る電極である。トランジスタにおいて、キャリアの流れはソースからドレインへと流れる。nチャネルトランジスタの場合、キャリアが電子 (electron) であるため、ソースからドレインへと電子が流れるように、ソース電圧がドレイン電圧よりも低い電圧を有する。nチャネルトランジスタにおいて、電流の方向はドレインからソース側へと流れる。pチャネルトランジスタの場合、キャリアが正孔 (hole) であるため、ソースからドレインへと正孔が流れるように、ソース電圧がドレイン電圧よりも高い。pチャネルトランジスタにおいて、正孔がソースからドレイン側へと流れるため、電流がソースからドレイン側へと流れる。トランジスタのソースとドレインは、固定されたものではないことに注意すべきである。例えば、ソースとドレインは、印加電圧に応じて変更され得る。したがって、トランジスタのソースとドレインによって発明が制限されない。以下の説明では、トランジスタのソースとドレインを第1及び第2の電極であると称することにする。

【0031】

本発明は、液晶表示装置 (Liquid Crystal Display、LCD)、有機発光表示装置 (Organic Light Emitting Display、OLED Display) 等、ピクセルを駆動するための集積回路と電源回路が必要である、如何なるフラットパネルディスプレイにも適用可能である。

【0032】

以下、添付の図面を参照して、本発明の様々な実施例を詳細に説明する。

【0033】

図1乃至図3cを参照すれば、本発明の実施例による表示装置は、表示パネル100と、表示パネル駆動回路と、を含む。

【0034】

表示パネル100の画面は、入力映像のピクセルデータを表示するピクセルアレイAAを含む。ピクセルアレイAAのピクセルに、入力映像のピクセルデータが表示される。ピクセルアレイAAは、多数のデータラインDL、データラインDLと交差する多数のゲー

10

20

30

40

50

トラインGL、及びマトリックス状に配置されるピクセルを含む。ピクセルの配置形態は、マトリックス状の以外にも、同じ色を発光するピクセルを共有する形態、ストライプ状、ダイヤモンド状等、様々に形成されることができる。

【0035】

ピクセルアレイAAの解像度が $n \times m$ のとき、ピクセルアレイAAは、 n 本のピクセルカラム(Column)と、ピクセルカラムと交差する m 本のピクセルライン $L_1 \sim L_m$ とを含む。ピクセルラインは、第1の方向Xに沿って配置されたピクセルを含む。ピクセルカラムは、第1の方向に沿って配置されたピクセルを含む。1水平期間1Hは、1フレーム期間を m 本のピクセルライン $L_1 \sim L_m$ の本数で割った時間である。1水平期間1Hで、1ピクセルラインのピクセルにピクセルデータが書き込まれる。

10

【0036】

ピクセルの各々は、色(カラー)の具現のために、2つ以上のサブピクセル101を含む。例えば、ピクセルの各々は、赤色サブピクセルと、緑色サブピクセルと、青色サブピクセルとに分けられ得る。ピクセルの各々は、白色サブピクセルをさらに含むこともできる。サブピクセル101の各々は、ピクセル回路を含む。ピクセル回路は、ピクセル電極、1つ以上のTFT(Thin Film Transistor)、及びキャパシタを含む。ピクセル回路は、データラインDLとゲートラインGLに連結される。有機発光表示装置の場合、ピクセル回路は図2に示された回路で具現され得るが、これに限定されない。

【0037】

図2を参照すれば、ピクセル回路は、発光素子EL、発光素子ELに電流を供給する駆動素子DT、ゲートパルスGATEに応答してデータ信号Vdataを駆動素子DTのゲート電極に供給するスイッチ素子ST、及び駆動素子DTのゲート電極とソース電極との間に連結されたキャパシタCstを含む。駆動素子DTとスイッチ素子STは、 n チャネルトランジスタで具現され得る。

20

【0038】

ピクセル駆動電圧EVDDが駆動素子DTのドレイン電極に印加され得る。駆動素子DTは、ゲートソース間電圧Vgsに応じて発光素子ELへ電流を供給して発光素子ELを駆動する。スイッチ素子STは、ゲートパルスGATEのゲートハイ電圧VGHに응答してターンオンされ、ゲートロー電圧VGLに応じてターンオフされる。発光素子ELは、アノード電極とカソード電極との間の順方向電圧が閾値電圧以上であるときにターンオンされて発光する。発光素子ELのカソード電極には、ピクセル駆動電圧EVDDよりも低いピクセル基底電圧EVSSが印加される。キャパシタCstは、駆動素子DTのゲート電極とソース電極との間に連結され、駆動素子DTのゲートソース間電圧Vgsを維持する。

30

【0039】

発光素子ELは、アノードとカソードとの間に形成された有機化合物層を含むOLEDで具現され得る。有機化合物層は、正孔注入層(Hole Injection layer)HIL、正孔輸送層(Hole transport layer)HTL、発光層(Light Emission layer)EML、電子輸送層(Electron transport layer)ETL及び電子注入層(Electron Injection layer)EILを含み得るが、これに限定されない。OLEDのアノード電極とカソード電極へ電圧が印加されると、正孔輸送層HTLを通過した正孔と電子輸送層ETLを通過した電子とが発光層EMLへ移動されて励起子を形成し、発光層EMLから可視光が放出される。発光素子に用いられるOLEDは、複数の発光層が積層されたタンデム(Tandem)構造であり得る。タンデム構造のOLEDは、ピクセルの輝度と寿命を向上させることができる。

40

【0040】

表示パネルの製造工程でもたらされる工程のばらつきと素子特性のばらつきのため、ピクセルの間には駆動素子DTの電気的特性で違いがあり得る。このような駆動素子DTの電気的特性の違いは、ピクセルの駆動時間が経過するにつれてさらに大きくなり得る。ピ

50

クセル間での駆動素子の電気的特性のばらつきを補償するために、サブピクセルそれぞれのピクセル回路に内部補償回路が含まれるか、外部補償回路が連結され得る。

【0041】

表示パネル100上にタッチセンサが配置されてタッチスクリーン（touch screen）が構成され得る。タッチ入力は、別途のタッチセンサを用いてセンシングされるか、ピクセルを通じてセンシングされ得る。タッチセンサは、オンセルタイプ（On-cell type）又はアドオンタイプ（Add-on type）で表示パネルの画面上に配置されるか、ピクセルアレイに内蔵されるインセルタイプ（In-cell type）のタッチセンサで構成され得る。

【0042】

図1において、表示パネル駆動回路は、タイミングコントローラ130の制御下で、入力映像のデータを表示パネル100のピクセルに書き込む。表示パネル駆動回路は、データ駆動部110と、ゲート駆動部120とを含む。表示装置は、データ駆動部110及びゲート駆動部120の動作タイミングを制御し、データ駆動部110へ入力映像のピクセルデータを伝送するタイミングコントローラ130と、タイミングコントローラ130とゲート駆動部120との間に連結されたレベルシフタ140と、電源部400等をさらに含む。

【0043】

データ駆動部110は、毎フレームごとにタイミングコントローラ130からデジタル信号で受信される入力映像のピクセルデータを、アナログガンマ補償電圧に変換して、データ信号Vdata1～Vdata3を出力する。図1において円の中に示されたように、データ駆動部110から出力されたデータ信号（Vdata1～Vdata3）は、対応するデータラインDL1～DL3に供給される。データ駆動部110は、デジタル信号に入力されたピクセルデータをアナログガンマ補償電圧に変換するデジタル-アナログコンバータ（Digital to Analog Converter、以下で「DAC」という。）を用いて、データ信号Vdata1～Vdata3を出力する。データ駆動部110は、図3a乃至図3cに示されたソースドライブIC110aに集積されることができる。ソースドライブIC110aは、柔軟なフィルム110b上に実装され、COF（Chip on film）ボンディング工程において、ソースPCB152、153と表示パネル100との間に連結され得る。ソースドライブIC110aのそれぞれには、タッチセンサを駆動するためのタッチセンサ駆動部が内蔵され得る。

【0044】

表示パネル駆動回路は、データ駆動部110とデータラインDLとの間に配置されたデマルチプレクサアレイ112、をさらに含むことができる。

【0045】

デマルチプレクサアレイ112は、データ駆動部110の1チャンネルを多数のデータラインDLに順次に連結して、データ駆動部110の1チャンネルから出力されるデータ信号をデータラインDLに時分割分配することで、データ駆動部110のチャンネル数を減らすことができる。デマルチプレクサアレイ112は省略可能である。

【0046】

ゲート駆動部120は、表示パネル100で映像が表示されないベゼル領域BZに形成されるか、少なくとも一部がピクセルアレイAAに配置され得る。ゲート駆動部120は、レベルシフタ140から受信されたシフトクロックに応答して、ゲートパルスGATE1、GATE2、GATE3を出力する。ゲートパルスGATE1、GATE2、GATE3は、ゲートラインGL1、GL2、GL3へ順次に供給される。

【0047】

ゲートラインGL1～GL3に印加されるゲートパルスGATE1～GATE3は、サブピクセル101のスイッチ素子STをターンオン（turn-on）させて、データ信号Vdata1～Vdata3の電圧が充電されるピクセルを選択する。サブピクセル101のスイッチ素子STは、対応するゲートパルスGATE1～GATE3のゲートハイ

10

20

30

40

50

電圧 V_{GH} に応答してターンオンされ、ゲートロー電圧 V_{GL} に応じてターンオフされ得る。ゲートパルス $GATE1 \sim GATE3$ は、ゲートハイ電圧 V_{GH} とゲートロー電圧 V_{GL} との間でスイングする。ゲート駆動部 120 は、シフトレジスタ (Shift register) を用いてゲートパルスをシフトする。

【0048】

タイミングコントローラ 130 は、入力フレームの周波数を i 倍逡倍して、入力フレームの周波数 $\times i$ (i は、0 よりも大きい正の整数) Hz のフレーム周波数で表示パネル駆動部 110、120 の動作タイミングを制御することができる。入力フレームの周波数は、NTSC (National Television Standards Committee) 方式で 60 Hz であり、PAL (Phase-Alternating Line) 方式で 50 Hz である。

10

【0049】

タイミングコントローラ 130 は、ホストシステム 200 から入力映像のピクセルデータと、それと同期したタイミング信号を受信する。タイミングコントローラ 130 に受信される入力映像のピクセルデータは、デジタル信号である。タイミングコントローラ 130 は、ピクセルデータをデータ駆動部 110 へ伝送する。タイミング信号は、垂直同期信号 $Vsync$ 、水平同期信号 $Hsync$ 、データイネーブル信号 DE 等を含むことができる。データイネーブル信号 DE をカウントする方法から垂直期間と水平期間がわかるため、垂直同期信号 $Vsync$ と水平同期信号 $Hsync$ は省略することができる。データイネーブル信号 DE は、1 水平期間 1 H の周期を持つ。

20

【0050】

タイミングコントローラ 130 は、ホストシステム 200 から受信されたタイミング信号に基づいて、データ駆動部 110 を制御するためのデータタイミング制御信号と、ゲート駆動部 120 を制御するためのゲートタイミング制御信号と、デマルチプレクサアレイ 112 のスイッチ素子を制御するための MUX 制御信号等を発生することができる。タイミングコントローラ 130 から出力される制御信号は、デジタル信号電圧レベルのクロックを含むことができる。

【0051】

ホストシステム 200 は、テレビ (Television)、セットトップボックス、ナビゲーションシステム、パーソナルコンピュータ (PC)、ホームシアター、車両システム、モバイルシステム、ウェアラブルシステムのうちのいずれか 1 つのメインボードを含むことができる。ホストシステムのプロセッサは、ビデオソースからの映像信号を表示パネル 100 の解像度に合わせてスケールリングして、タイミング信号とともにタイミングコントローラ 130 へ伝送することができる。ホストシステムのプロセッサは、タッチセンサ駆動部から入力されるタッチデータに応答して、タッチ入力に対応するアプリケーションプログラム (Application program) を実行することができる。モバイル機器とウェアラブル機器において、データ駆動部 110、タイミングコントローラ 130、レベルシフタ 140 等は、1 つのドライブ IC (不図示) に集積され得る。

30

【0052】

レベルシフタ 140 ~ 142 から出力されるシフトクロックは、ゲートハイ電圧 V_{GH} とゲートロー電圧 V_{GL} との間でスイングし、クロックライン $CL1 \sim CLn$ を通じてゲート駆動部 120 へ供給される。レベルシフタ 140 ~ 142 から出力されるクロックは、デマルチプレクサアレイ 112、ゲート駆動部 120、データ駆動部 110、タッチセンサ駆動部のうちの少なくとも 1 つに印加され得る。

40

【0053】

電源部 400 は、直流-直流変換器 (DC-DC Converter) を用いて、表示パネル 100 のピクセルアレイと表示パネル駆動回路の駆動に必要な電圧を発生する。直流-直流変換器は、チャージポンプ (Charge pump)、レギュレータ (Regulator)、バックコンバータ (Buck converter)、ブーストコンバータ (Boost converter)、バックブーストコンバータ (Buck-Bo

50

ost converter)等を含むことができる。電源部400は、ホストシステム200からの直流入力電圧を調整して、ガンマ基準電圧VGMA、ゲートハイ電圧VGH、ゲートロー電圧VGL、正極性電源電圧AVDD、ピクセルの共通電圧等の直流電圧を発生することができる。ゲートハイ電圧VGHは、ゲートロー電圧VGLよりも高い電圧である。正極性電源電圧AVDDは、ゲートハイ電圧VGHよりも低くゲートロー電圧VGLよりも高い電圧である。以下で、「ゲートハイ電圧」を第1のゲート電圧と、「ゲートロー電圧」を第2のゲート電圧と、「正極性電源電圧AVDD」を第3のゲート電圧とそれぞれ称することにする。第3のゲート電圧AVDDは、第1のゲート電圧VGHと第2のゲート電圧VGLとの間の1/2電圧に限定されず、第1のゲート電圧VGHよりも低く第2のゲート電圧VGLよりも低い電圧であることに注意すべきである。例えば、VGH=25[V]、VGL=-15[V]、AVDD=12[V]に設定され得るが、これに限定されない。第1のゲート電圧VGH、第2のゲート電圧VGL、及び第3のゲート電圧AVDDは、レベルシフタ140に供給される。

10

【0054】

ガンマ基準電圧VGMAは、データ駆動部110に供給される。ガンマ基準電圧VGM Aは、データ駆動部110の分圧回路を通じて階調別に分圧されて、データ駆動部110のDACに供給される。電源部400は、ピクセルへ共通に印加される定電圧、例えば、ピクセル駆動電圧EVDDとピクセル基底電圧EVS Sを発生することができる。

【0055】

図3a乃至図3cは、本発明の一実施例による表示装置において、レベルシフタの様々な実施例を示す図である。

20

【0056】

図3a乃至図3cを参照すれば、コントロールボード150は、可撓性の回路基板、例えば、FFC(Flexible Flat Cable)、FPCB(Flexible Printed Circuit Board)等のような軟性回路ボード151とコネクタ151a、151bを通じて、第1及び第2のソースPCB152、153に連結され得る。ソースドライバIC110aは、ソースPCB152、153と表示パネル100との間に連結される。

【0057】

タイミングコントローラ130とレベルシフタ140は、図3aに示されたように、コントロールボード150上に実装され得る。この場合、レベルシフタ140の入力端子は、コントロールボード150上に形成された配線を通じて、タイミングコントローラ130に連結される。レベルシフタ140の出力端子は、軟性回路ボード151、ソースPCB152、COF(Chip on film)110b及び表示パネル100上のゲート駆動部120を連結する配線を通じて、ゲート駆動部120に連結され得る。

30

【0058】

レベルシフタ141、142は、図3bに示されたように、ソースPCB152、153のそれぞれに実装され得る。第1のソースPCB152に第1のレベルシフタ141が実装され、第2のソースPCB153に第2のレベルシフタ142が実装され得る。レベルシフタ141、142の入力端子は、コントロールボード150、軟性回路ボード151及びソースPCB152、153を連結する配線を通じて、タイミングコントローラ130に連結される。レベルシフタ141、142の出力端子は、ソースPCB152、153、COF110b及び表示パネル100上のゲート駆動部120を連結する配線を通じて、ゲート駆動部120に連結され得る。

40

【0059】

レベルシフタ141、142は、図3cに示されたように、ソースドライバIC110aに連結され得る。タイミングコントローラ130は、入力映像のピクセルデータを含むビデオデータパケットと、種々の制御情報を含むコントロールパケットをソースドライバIC110aへ転送することができる。タイミングコントローラ130は、ゲートタイミング制御情報をコントロールパケットにエンコードしてソースドライバIC110aへ転

50

送り、ソースドライバIC110aは、ゲートタイミング制御情報からゲートタイミング制御信号を発生し、これをレベルシフタ141、142に提供することができる。

【0060】

図4は、レベルシフタ140、141、142の構成を示すブロック図である。図5は、レベルシフタ140、141、142の入出力信号を示す波形図である。

【0061】

図4を参照すれば、レベルシフタ140、141、142のそれぞれは、制御部300と、複数のクロック出力部311～31Nとを含むことができる。

【0062】

レベルシフタ140、141、142がN（Nは、2以上の正の整数）個のチャネルを含む場合、N個のクロック出力部311～31NからシフトクロックGCLK1～GCLKNが順次に出力される。第1乃至第NのシフトクロックGCLK1～GCLKNは、位相が順次にシフトされ、パルス期間が互いに重畳し得る。例えば、図5に示されたように、第1のシフトクロックGCLK1、第2のシフトクロックGCLK2及び第3のシフトクロックGCLK3が順次に出力されるとき、第2のシフトクロックGCLK2は、第1のシフトクロックGCLK1のパルスの一部期間と重畳し、第3のシフトクロックGCLK3のパルスの一部期間と重畳する。シフトクロックGCLK1～GCLKNは、第2のゲート電圧VGLと第1のゲート電圧VGHとの間でスイングする。シフトクロックGCLK1～GCLKNの立ち上がりエッジ（Rising edge）において、シフトクロックGCLK1～GCLKNの電圧は、第2のゲート電圧VGLから第3のゲート電圧AVDDまでに第1のスルーレート（Slew rate）で高くなった後、第1のゲート電圧VGHまでに第2のスルーレートで高くなる。シフトクロックGCLK1～GCLKNの立ち下がりエッジ（Falling edge）において、シフトクロックGCLK1～GCLKNの電圧は、第1のゲート電圧VGHから第3のゲート電圧AVDDまでに第3のスルーレートで低くなった後、第3のゲート電圧AVDDから第2のゲート電圧VGLまでに第4のスルーレートで低くなる。

【0063】

スルーレートは、単位時間当たりの電圧変化量のことである。スルーレートが大きいとき、電圧が目標電圧までに速く到達する一方、スルーレートが遅いときは、電圧が目標電圧までにゆっくり到達する。制御部300は、レベルシフタ140、141、142から出力されるクロックの立ち上がり及び立ち下がりエッジの各々において、スルーレートを下げてレベルシフタ140、141、142で発生されるEMIを低減することができる。

【0064】

制御部300は、タイミングコントローラ130から第1及び第2の入力クロックONCLK、OFFCLKを受信する。第1及び第2の入力クロックONCLK、OFFCLKは、周波数が互いに同一であり、位相差がある。第2の入力クロックOFFCLKは、第1の入力クロックONCLKに比べて位相が180度遅れることがあり得るが、これに限定されない。第1の入力クロックONCLKは、シフトクロックGCLK1～GCLKNの立ち上がりタイミングを定義する。第2の入力クロックOFFCLKは、シフトクロックGCLK1～GCLKNの立ち下がりタイミングを定義する。

【0065】

制御部300は、第1及び第2の入力クロックONCLK、OFFCLKと同期する第1及び第2の制御信号SWH、SWLを出力する。制御部300は、第1及び第2の入力クロックONCLK、OFFCLKを合わせて逡倍された周波数を持つ第3の制御信号SWGを出力する。チャネル別に分離された第1乃至第3の制御信号SWH、SWL、SWGは、チャネル単位で位相がシフトされる。第1乃至第3の制御信号SWH、SWL、SWGは、チャネル別に分離されてクロック出力部311～31Nに入力される。

【0066】

制御部300は、ゲート駆動部120に出力されるシフトクロックGCLK1～GCLKNのEMIを減らすために、第3の制御信号SWGのパルスの一部を第1及び第2の制

10

20

30

40

50

御信号 SWH、SWL のパルスと重畳させる。第 1 及び第 2 の制御信号 SWH、SWL と重畳する第 3 の制御信号 SWG のパルス期間（又はパルス幅）の一部は、第 3 の制御信号 SWG のパルスで立ち下がりエッジを含むことができる。第 3 の制御信号 SWG のパルスで立ち上がりエッジは、第 1 及び第 2 の制御信号 SWH、SWL と重畳しないことがあり得る。

【0067】

クロック出力部 311～31N には、チャンネル別に分離された第 1 乃至第 3 の制御信号 SWH、SWL、SWG が入力される。例えば、第 1 のクロック出力部 311 には、第 1 チャンネルの制御信号 SWH1、SWL1、SWG1 が入力される。第 2 のクロック出力部 312 には、第 1 チャンネルの制御信号 SWH1、SWL1、SWG1 よりも位相が遅れている第 2 チャンネルの制御信号 SWH2、SWL2、SWG2 が入力される。第 N のクロック出力部 31N には、第 N-1 チャンネルの制御信号よりも位相が遅れている第 N チャンネルの制御信号 SWHN、SWLN、SWG N が入力される。

【0068】

クロック出力部 311～31N のそれぞれは、第 1 の制御信号 SWH のパルス期間の間、第 1 のゲート電圧 VGH を出力し、第 2 の制御信号 SWL のパルス期間の間、第 2 のゲート電圧 VGL を出力する。クロック出力部 311～31N のそれぞれは、第 1 の制御信号 SWH のパルスと第 3 の制御信号 SWG のパルスとが重畳する時間に、シフトクロック GCLK1～GCLKN のスルーレートを下げて EMI を低減することができる。クロック出力部 311～31N のそれぞれは、第 2 の制御信号 SWL のパルスと第 3 の制御信号 SWG のパルスとが重畳する期間で、シフトクロック GCLK1～GCLKN のスルーレートを下げて EMI を低減することができる。したがって、パルスが互いに重畳する時間にスルーレートが低下され得る。

【0069】

図 6 は、ゲート駆動部 120 のシフトレジスタを概略的に示す回路図である。

【0070】

図 6 を参照すれば、ゲート駆動部 120 のシフトレジスタは、カスケード連結された信号伝達部 ST1～ST4 を含む。信号伝達部 ST1～ST4 には、外部から受信されたスタートパルス VST 又は前の信号伝達部からのキャリー信号 CAR が入力され、シフトクロック GCLK1～GCLKN が入力される。スタートパルス VST は、第 1 の信号伝達部 ST1 に入力される第 1 のシフトクロック GCLK1 の 1 番目のパルス又はシフトクロック GCLK1～GCLKN とは独立して生成され得る。

【0071】

信号伝達部 ST1～ST4 それぞれの駆動部 60 は、第 1 の制御ノード Q と第 2 の制御ノード QB を充放電する。信号伝達部 ST1～ST4 それぞれの出力バッファは、プルアップトランジスタ Tu とプルダウントランジスタ Td とを含む。プルアップトランジスタ Tu は、第 1 の制御ノード Q が充電された状態でシフトクロック GCLK1～GCLKN が入力される際にターンオンされ、出力ノードを第 1 のゲート電圧 VGH で充電して、ゲートパルス GATE1～GATE4 の電圧を高める。プルダウントランジスタ Td は、第 2 の制御ノード QB が充電される際にターンオンされ、出力ノードを第 2 のゲート電圧 VGL までに放電させて、ゲートパルス GATE1～GATE4 の電圧を下げる。したがって、ゲート駆動部 120 のシフトレジスタは、シフトクロック GCLK1～GCLKN に応答して、ゲートパルス GATE1～GATE4 のパルスを順次にシフトしながらゲートラインに出力する。

【0072】

図 7 は、レベルシフタ 140、141、142 のクロック出力部を詳細に示す回路図である。

【0073】

図 7 を参照すれば、クロック出力部 310 は、第 1 の電源入力端子 n1 と出力端子 n3 との間に連結された第 1 のトランジスタ M1、第 2 の電源入力端子 n2 と出力端子 n3 と

10

20

30

40

50

の間に連結された第2のトランジスタM2、及び第3の電源入力端子n4と出力端子n3との間に連結された第3のトランジスタM3を含む。第1のゲート電圧VGHは、第1の電源入力端子n1に供給される。第2のゲート電圧VGLは、第2の電源入力端子n2に供給される。第3のゲート電圧AVDDは、第3の電源入力端子n4に供給される。

【0074】

クロック出力部310から出力されたシフトクロックGCLKは、出力端子n3を通じてゲート駆動部120に供給される。クロック出力部310とゲート駆動部120との間のクロックラインにローパスフィルタ(Low Pass Filter)LPFが連結され得るが、これに限定されない。ローパスフィルタLPFは、クロックラインに直列に連結された抵抗Rと、クロックラインと基底電圧源GNDとの間に連結されたキャパシタCとを含むことができる。

10

【0075】

第1のトランジスタM1は、第1の制御信号SWHのオン期間の電圧に応答してターンオンされて、第1の電源入力端子n1を出力端子n3に電氣的に連結し、第1の制御信号SWHのオフ期間の電圧に応答してターンオフされる。第1のトランジスタM1がターンオンされるとき、第1のゲート電圧VGHが出力端子n3に供給される。第1のトランジスタM1は、第1の電源入力端子n1に連結された第1の電極、第1の制御信号SWHが印加されるゲート電極、及び出力端子n3に連結された第2の電極を含む。

【0076】

第2のトランジスタM2は、第2の制御信号SWLのオン期間の電圧に応答してターンオンされて、第2の電源入力端子n2を出力端子n3に電氣的に連結し、第2の制御信号SWLのオフ期間の電圧に応答してターンオフされる。第2のトランジスタM2がターンオンされるとき、第2のゲート電圧VGLが出力端子n3に供給される。第2のトランジスタM2は、第2の電源入力端子n2に連結された第1の電極、第2の制御信号SWLが印加されるゲート電極、及び出力端子n3に連結された第2の電極を含む。

20

【0077】

第3のトランジスタM3は、第3の制御信号SWGのオン期間の電圧に応答してターンオンされて、第3の電源入力端子n4を出力端子n3に電氣的に連結し、第3の制御信号SWGのオフ期間の電圧に応答してターンオフされる。第3のトランジスタM3がターンオンされるとき、第3のゲート電圧AVDDが出力端子n3に供給される。第3のトランジスタM3は、第3の電源入力端子n4に連結された第1の電極、第3の制御信号SWGが印加されるゲート電極、及び出力端子n3に連結された第2の電極を含む。

30

【0078】

第1及び第3のトランジスタM1、M3はNチャネルMOSFET(NMOS)で具現され、第2のトランジスタM2はPチャネルMOSFET(PMOS)で具現されることができる。この場合、図8において、第2の制御信号SWLは位相が反転された信号であり、第2のトランジスタM2のゲート電極に印加され得る。図8において、制御信号SWH、SWL、SWGのオン期間ONの間、対応するトランジスタM1、M2、M3がターンオンされる。

【0079】

図8は、本発明の一実施例によるレベルシフタの駆動方法を示す波形図である。

40

【0080】

図8を参照すれば、第3の制御信号SWGのパルス期間ON1、ON2のそれぞれは、第1及び第2の入力クロックONCLK、OFFCLKそれぞれのパルス期間よりも大きい。

【0081】

第3の制御信号SWGの第1のオン期間ON1は、第1の非重畳期間T1と第1の重畳期間t01とを含む。第3の制御信号SWGの第1のオン期間ON1は、第3の制御信号SWGの奇数番目のパルス期間であり得るが、これに限定されない。

【0082】

50

第1の非重畳期間 T_1 は、第1及び第2の制御信号 SWH 、 SWL のオン期間 ON と重畳しない。第1の重畳期間 t_{01} は、第1の制御信号 SWH のオン期間 ON のうちで、立ち上がりエッジを含む一部期間と重畳する。第1の重畳期間 t_{01} は、入力クロック $ONCLK$ 、 $OFFCLK$ と重畳しない。第1の重畳期間 t_{01} の間、第3のゲート電圧 $AVDD$ が印加される電源配線とプルアップ抵抗 R_a に電流 I_{ra} が流れ、入力クロック $ONCLK$ 、 $OFFCLK$ のパルスがレベルシフタ140、141、142に入力されない。

【0083】

第1の非重畳期間 T_1 の間、第3のトランジスタ M_3 がオン状態である一方、第1及び第2のトランジスタ M_1 、 M_2 はオフ状態である。第1の非重畳期間 T_1 の間、シフトクロック $GCLK$ の電圧は、第2のゲート電圧 V_{GL} から第3のゲート電圧 $AVDD$ まで第1のスルーレートで高くなる。

【0084】

第1の重畳期間 t_{01} の間、第1及び第3のトランジスタ M_1 、 M_3 がオン状態である一方、第2のトランジスタ M_2 はオフ状態である。第1の重畳期間 t_{01} の間、第1の電源入力端子 n_1 から出力端子 n_3 へ電流が流れるとともに、第3の電源入力端子 n_4 を通じて第3のゲート電圧 $AVDD$ が印加される配線に連結されたプルアップ抵抗 R_a に電流 I_{ra} が流れる。このとき、入力クロック $ONCLK$ 、 $OFFCLK$ のパルスがレベルシフタ140、141、142に入力されない。第1の重畳期間 t_{01} の間、シフトクロック $GCLK$ の電圧は、第3のゲート電圧 $AVDD$ から第1のゲート電圧 V_{GH} までに第2のスルーレートで高くなる。第2のスルーレートは、第1のスルーレートよりも高いことがあり得るが、これに限定されない。第2のスルーレートは、第1の重畳期間 t_{01} に応じて制御され得る。第1の重畳期間 t_{01} の時間だけ第2のスルーレートが低くなるため、シフトクロック $GCLK$ の電圧が第1のゲート電圧 V_{GH} に高くなる際に生じる EMI が減少され得る。

【0085】

第3の制御信号 SWG の第2のオン期間 ON_2 は、第2の非重畳期間 T_2 と第2の重畳期間 t_{02} とを含む。第3の制御信号 SWG の第2のオン期間 ON_2 は、第3の制御信号 SWG の偶数番目のパルス期間であり得るが、これに限定されない。

【0086】

第2の非重畳期間 T_2 は、第1及び第2の制御信号 SWH 、 SWL のオン期間 ON と重畳しない。第2の重畳期間 t_{02} は、第2の制御信号 SWL のオン期間 ON のうちで、立ち上がりエッジを含む一部期間と重畳する。第2の重畳期間 t_{02} は、入力クロック $ONCLK$ 、 $OFFCLK$ と重畳しない。第2の重畳期間 t_{02} の間、第3のゲート電圧 $AVDD$ が印加される電源配線とプルアップ抵抗 R_a に電流 I_{ra} が流れ、入力クロック $ONCLK$ 、 $OFFCLK$ のパルスがレベルシフタ140、141、142に入力されない。

【0087】

第2の非重畳期間 T_2 の間、第3のトランジスタ M_3 がオン状態である一方、第1及び第2のトランジスタ M_1 、 M_2 はオフ状態である。第2の非重畳期間 T_2 の間、シフトクロック $GCLK$ の電圧は、第1のゲート電圧 V_{GH} から第3のゲート電圧 $AVDD$ までに第3のスルーレートで低くなる。

【0088】

第2の重畳期間 t_{02} の間、第2及び第3のトランジスタ M_2 、 M_3 がオン状態である一方、第1のトランジスタ M_1 はオフ状態である。第2の重畳期間 t_{02} の間、出力端子 n_3 から第2の電源入力端子 n_2 へ電流が流れるとともに、第3の電源入力端子 n_4 を通じて第3のゲート電圧 $AVDD$ が印加される配線に連結されたプルアップ抵抗 R_a に電流 I_{ra} が流れる。このとき、入力クロック $ONCLK$ 、 $OFFCLK$ のパルスがレベルシフタ140、141、142に入力されない。第2の重畳期間 t_{02} の間、シフトクロック $GCLK$ の電圧は、第3のゲート電圧 $AVDD$ から第2のゲート電圧 V_{GL} までに第4のスルーレートで低くなる。第4のスルーレートは、第3のスルーレートよりも高いことがあり得るが、これに限定されない。第4のスルーレートは、第2の重畳期間 t_{02} に応

じて制御され得る。第2の重畳期間 t_{02} の時間だけ第4のスルーレートが低くなるため、シフトクロックGCLKの電圧が第2のゲート電圧VGLに低くなる際に生じるEMIが減少され得る。

【0089】

第1の制御信号SWHのオン期間ONは、第1の重畳期間 t_{01} と第3の非重畳期間T3とを含む。第1の重畳期間 t_{01} の間、第1及び第3のトランジスタM1、M3が同時にオン状態である。第3の非重畳期間T3は、第2及び第3の制御信号SWL、SWGのオン期間ON、ON1、ON2と重畳しない。第3の非重畳期間T3間、第1のトランジスタM1がオン状態である一方、第2及び第3のトランジスタM2、M3はオフ状態である。したがって、第3の非重畳期間T3の間、シフトクロックGCLKの電圧は、第1のゲート電圧VGHを維持する。

10

【0090】

第2の制御信号SWLのオン期間ONは、第2の重畳期間 t_{02} と第4の非重畳期間T4とを含む。第2の重畳期間 t_{02} の間、第2及び第3のトランジスタM2、M3が同時にオン状態である。第4の非重畳期間T4は、第1及び第3の制御信号SWH、SWGのオン期間ON、ON1、ON2と重畳しない。第4の非重畳期間T4間、第2のトランジスタM2がオン状態である一方、第1及び第3のトランジスタM1、M3はオフ状態である。したがって、第4の非重畳期間T4の間、シフトクロックGCLKの電圧は、第2のゲート電圧VGLを維持する。

【0091】

20

第1の制御信号SWHのオフ期間は、第2の非重畳期間T2、第2の重畳期間 t_{02} 、第4の非重畳期間T4、及び第1の非重畳期間T1と重畳する。第2の制御信号SWLのオフ期間は、第1の非重畳期間T1、第1の重畳期間 t_{01} 、第3の非重畳期間T3、及び第2の非重畳期間T2と重畳する。したがって、第1のトランジスタM1と第2のトランジスタM2とは、同時にターンオンされず、交互にターンオンされる。

【0092】

図9は、図8に示された第3の制御信号を生成するためのクロック発生回路を示す回路図である。図10は、図9に示された第3の制御信号生成回路の入出力信号を示す波形図である。

【0093】

30

図9及び図10を参照すれば、クロック発生回路は、入力回路92、クロック変調回路94、及び出力バッファ96を含む。

【0094】

入力回路92は、第1及び第2の入力クロックONCLK、OFFCLKが入力されて、それらの論理和を出力するORゲートを含むことができる。クロック変調回路94には、入力回路92の出力信号が入力される。クロック変調回路94は、入力回路92から入力されたクロックのパルス幅を、図8に示されたように、重畳期間 t_{01} 、 t_{02} だけさらに長く変調して出力する。出力バッファ96は、クロック変調回路94の出力信号が入力され、第3のゲート電圧AVDDと昇圧された第3のゲート電圧AVDD+5Vとの間でスイングする第3の制御信号SWGを出力する。出力バッファ96は、電圧フォロワ（Voltage follower）を含むことができる。

40

【0095】

レベルシフタ140、141、142は、第3のゲート電圧AVDDを昇圧する電源回路、例えばチャージポンプを用いて、昇圧された第3のゲート電圧AVDD+5Vを発生し得る。昇圧された第3のゲート電圧AVDD+5Vは、第3トランジスタM3の閾値電圧以上さらに高い電圧に設定される。第3の制御信号SWGのオン期間の電圧は、昇圧された第3のゲート電圧AVDD+5Vであり得る。

【0096】

図11は、本発明の他の実施例によるレベルシフタの駆動方法を示す波形図である。図11において、図8と結び付けて前述した実施例と実質的に同じ構成要素については、同

50

一の図面符号を付して、それについての詳細な説明を省略することにする。

【0097】

図11を参照すれば、第3の制御信号SWGの第1のオン期間ON1は、第1の非重畳期間T1と第1の重畳期間t01とを含む。第1の重畳期間t01は、第1の制御信号SWHのオン期間ONのうちで、立ち上がりエッジを含む一部期間と重畳する。第1の重畳期間t01は、入力クロックONCLK、OFFCLKと重畳しない。第1の重畳期間t01の間、第3の制御信号SWGの電圧は、徐々に低くなる。第1の重畳期間t01の一部は、シフトクロックGCLKの電圧が第1のゲート電圧VGHに維持される期間と重畳し得る。

【0098】

第1の重畳期間t01の間、第1の電源入力端子n1から出力端子n3側へ電流が流れるとともに、第1の電源入力端子n1から第3の電源入力端子n4側へ電流が流れる。したがって、第1の重畳期間t01の間、第3のゲート電圧AVDDが印加される電源配線とプルアップ抵抗Raに電流Iraが流れる。このとき、入力クロックONCLK、OFFCLKのパルスが、レベルシフタ140、141、142に入力されない。

【0099】

第3の制御信号SWGの第2のオン期間ON2は、第2の非重畳期間T2と第2の重畳期間t02とを含む。第2の重畳期間t02は、第2の制御信号SWLのオン期間ONのうちで、立ち上がりエッジを含む一部期間と重畳する。第2の重畳期間t02は、入力クロックONCLK、OFFCLKと重畳しない。第2の重畳期間t02の間、第3の制御信号SWGの電圧は徐々に低くなる。第2の重畳期間t02の一部は、シフトクロックGCLKの電圧が、第1のゲート電圧VGHに維持される期間と重畳し得る。

【0100】

第2の重畳期間t02の間、出力端子n3から第2の電源入力端子n2側へ電流が流れるとともに、第3の電源入力端子n4から第2の電源入力端子n2側へ電流が流れる。したがって、第2の重畳期間t02の間、第3のゲート電圧AVDDが印加される電源配線とプルアップ抵抗Raに電流Iraが流れる。このとき、入力クロックONCLK、OFFCLKのパルスが、レベルシフタ140、141、142に入力されない。

【0101】

図12は、図11に示された第3の制御信号を生成するためのクロック発生回路を示す回路図である。図13は、図12に示された第3の制御信号生成回路の入出力信号を示す波形図である。

【0102】

図12及び図13を参照すれば、クロック発生回路は、入力回路92、出力バッファ96、エッジ検出回路97、第1及び第2のスイッチ素子M01、M02、及び遅延回路98を含む。

【0103】

入力回路92は、第1及び第2の入力クロックONCLK、OFFCLKが入力されて、それらの論理和を出力するORゲートを含むことができる。出力バッファ96は、入力回路92の出力信号が入力され、第3のゲート電圧AVDDと昇圧された第3のゲート電圧AVDD+5Vとの間でスイングする第3の制御信号SWGを出力する。

【0104】

第1のスイッチ素子M01は、出力バッファ96の出力端子と遅延回路98の出力端子との間に連結され、エッジ検出回路97の制御下でオン／オフされ得る。第2のスイッチ素子M02は、出力バッファ96の出力端子と遅延回路98の入力端子との間に連結され、エッジ検出回路97の制御下でオン／オフされ得る。第1及び第2のスイッチ素子M01、M02のそれぞれは、トランジスタで構成され得る。

【0105】

エッジ検出回路97は、出力バッファ96から入力される第3の制御信号SWGのパルスから、立ち上がりエッジと立ち下がりエッジを検出する。エッジ検出回路97は、第3

10

20

30

40

50

の制御信号 S W G から立ち上がりエッジが検出されるとき、第 1 のスイッチ素子 M 0 1 のゲート電極へゲートオン電圧のゲート信号を印加して、第 1 のスイッチ素子 M 0 1 をターンオンさせる。したがって、第 3 の制御信号 S W G から立ち上がりエッジが検出されるとき、第 3 の制御信号 S W G は、遅延なしに、第 3 のスイッチ素子 M 3 のゲート電極に印加される。

【 0 1 0 6 】

エッジ検出回路 9 7 は、第 3 の制御信号 S W G から立ち下がりエッジが検出されるとき、第 2 のスイッチ素子 M 0 2 のゲート電極へゲートオン電圧の反転されたゲート信号を印加して、第 2 のスイッチ素子 M 0 2 をターンオンさせる。したがって、第 3 の制御信号 S W G から立ち下がりエッジが検出されるとき、第 3 の制御信号 S W G は、遅延回路 9 8 を通じて立ち下がりエッジ電圧が遅延されて、第 3 のスイッチ素子 M 3 のゲート電極に印加される。

10

【 0 1 0 7 】

遅延回路 9 8 は、第 2 のスイッチ素子 M 0 2 を通じて入力される第 3 の制御信号 S W G の立ち下がりエッジを遅延させる。遅延回路 9 8 は、R C 遅延回路で具現され得るが、これに限定されない。

【 0 1 0 8 】

以上より、発明が解決しようとする課題、課題を解決するための手段、発明の効果に記載した明細書の内容が請求項の必須的な特徴を特定するものではないので、請求項の権利範囲は明細書の内容に記載した事項によって制限されない。

20

【 0 1 0 9 】

以上、添付の図面を参照して本発明の実施例をより詳細に説明したが、本発明は必ずしもこのような実施例に局限されるものではなく、本発明の技術思想を逸脱しない範囲内で様々に変形して実施することができる。したがって、本発明に開示された実施例は、本発明の技術思想を限定するためのものではなく説明するためのものであり、このような実施例によって本発明の技術思想の範囲が限定されるものではない。それゆえに、以上で記述した実施例は、あらゆる面で例示的なものであり、非限定的なものであると理解すべきである。本発明の保護範囲は、請求の範囲によって解釈されるべきであり、それと同等な範囲内にある全ての技術思想は本発明の権利範囲に含まれるものであると解釈されるべきであろう。

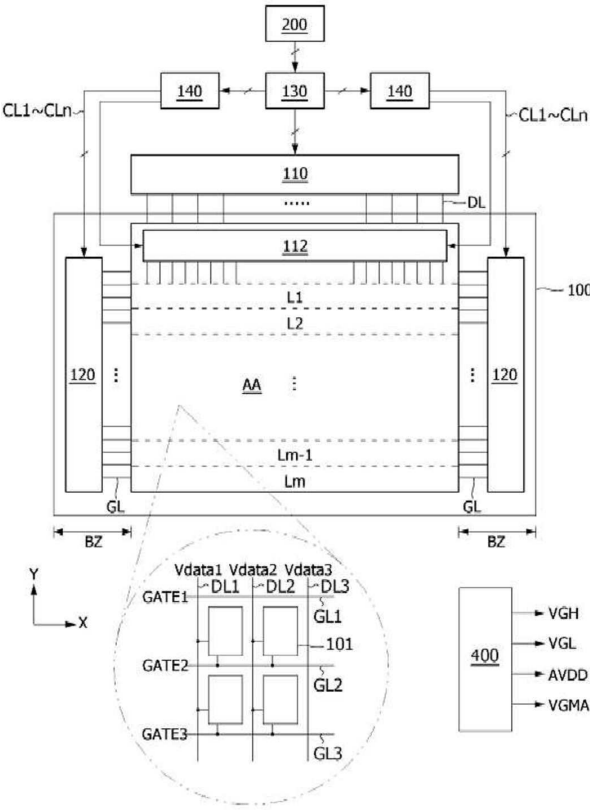
30

40

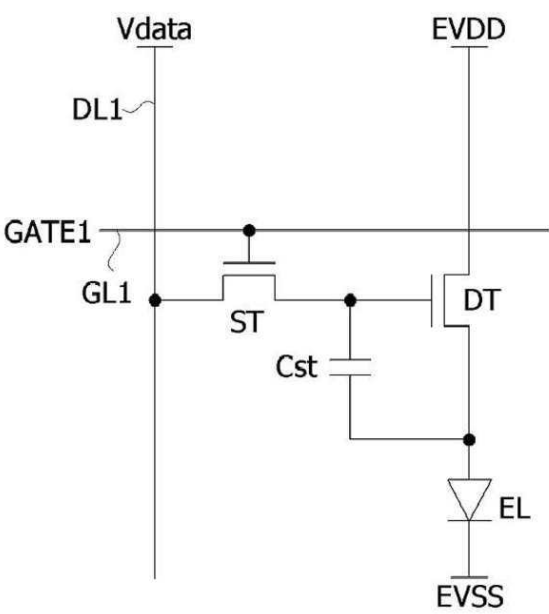
50

【図面】

【図 1】



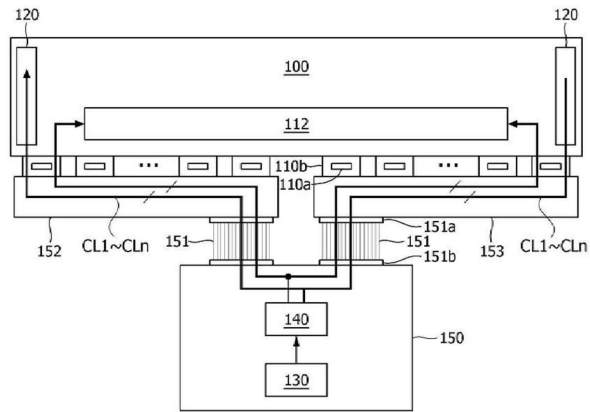
【図 2】



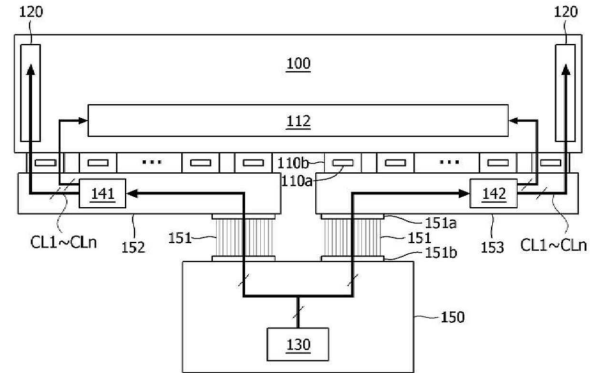
10

20

【図 3 a】



【図 3 b】

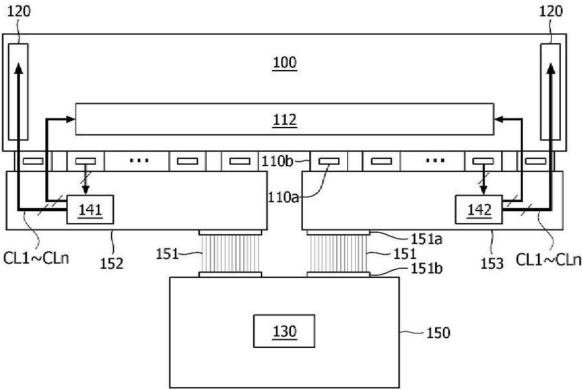


30

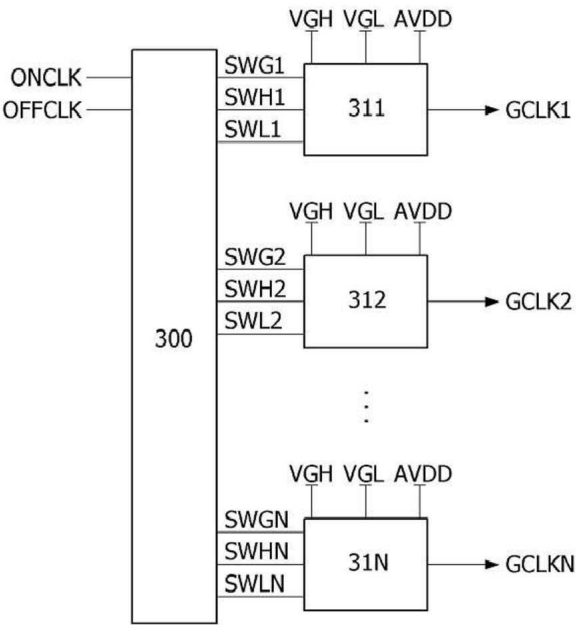
40

50

【図 3 c】



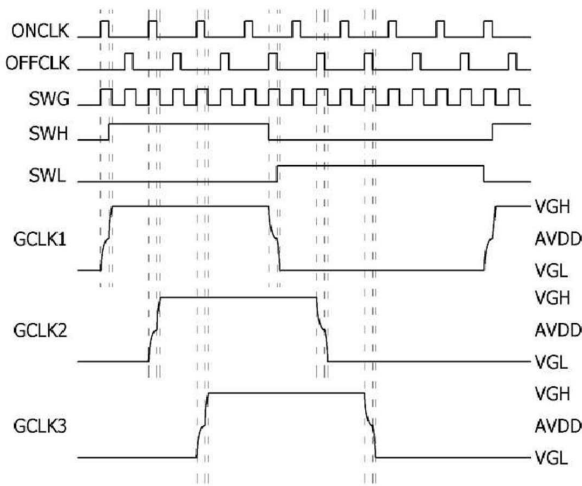
【図 4】



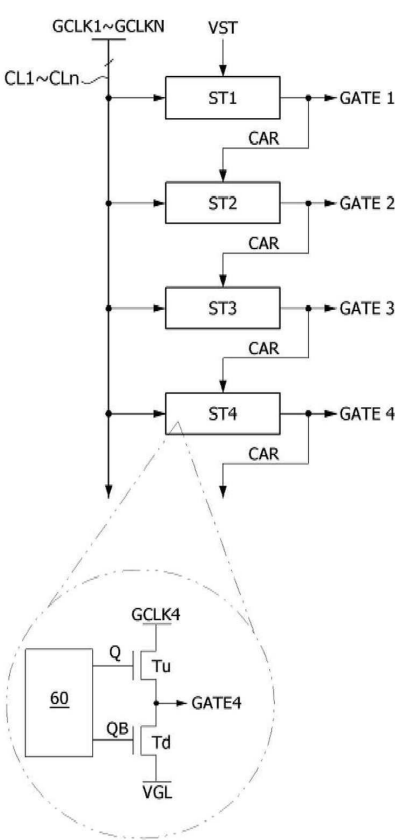
10

20

【図 5】



【図 6】

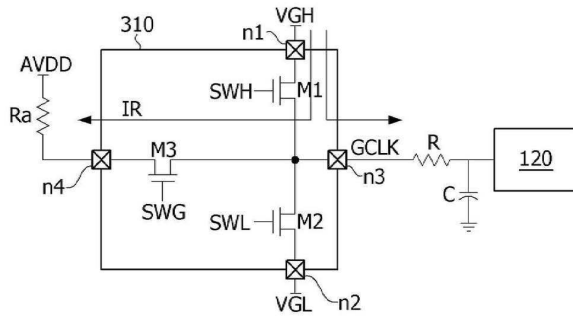


30

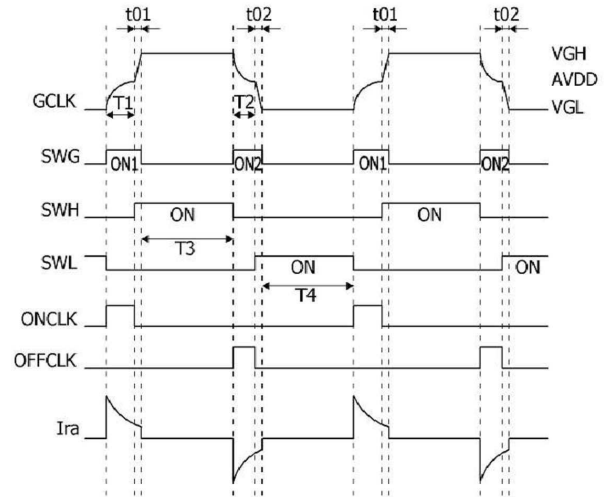
40

50

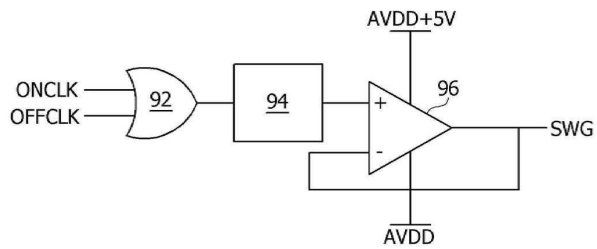
【圖 7】



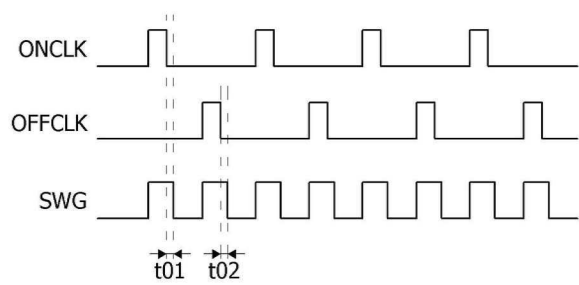
【図 8】



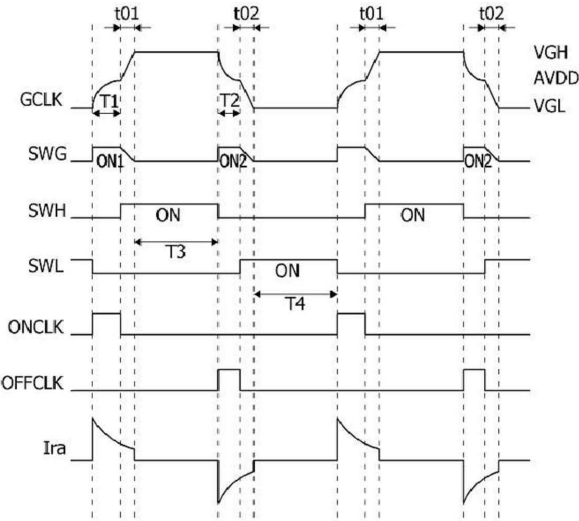
【圖 9】



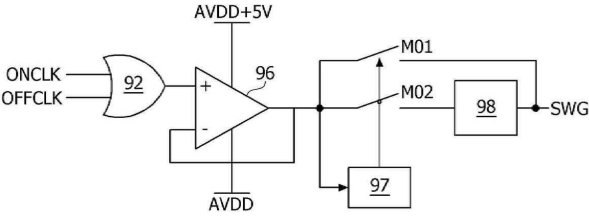
【図 10】



【図 1 1】

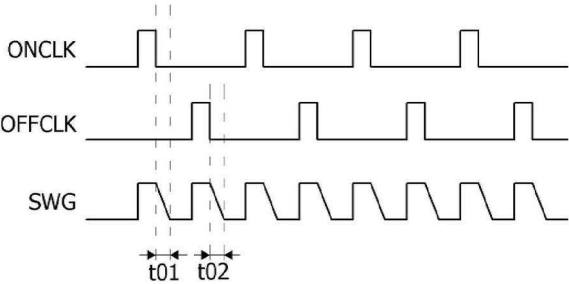


【図 1 2】



10

【図 1 3】



20

30

40

50

フロントページの続き

(51)国際特許分類

	F I		
	G 0 9 G	3/20	6 2 3 D
	G 0 9 G	3/20	6 1 1 C

(72)発明者 チャン フン
大韓民国、1 0 8 4 5 キョンギード、パジューシ、ウーロンーミョン、エルジーー口 2 4 5

(72)発明者 ホ ジュンオ
大韓民国、1 0 8 4 5 キョンギード、パジューシ、ウーロンーミョン、エルジーー口 2 4 5

(72)発明者 キム ドンジュ
大韓民国、1 0 8 4 5 キョンギード、パジューシ、ウーロンーミョン、エルジーー口 2 4 5

審査官 西島 篤宏

(56)参考文献 米国特許出願公開第2 0 1 3 / 0 0 8 2 9 9 6 (U S , A 1)
 米国特許出願公開第2 0 2 2 / 0 2 0 8 0 5 2 (U S , A 1)
 韓国公開特許第1 0 - 2 0 1 9 - 0 0 3 7 7 4 9 (K R , A)
 韓国公開特許第1 0 - 2 0 1 1 - 0 0 7 7 2 1 1 (K R , A)
 韓国公開特許第1 0 - 2 0 1 7 - 0 0 1 5 7 2 8 (K R , A)
 中国特許出願公開第1 0 3 9 5 6 1 4 8 (C N , A)

(58)調査した分野 (Int.Cl., D B名)
 G 0 9 G 3 / 0 0 - 3 / 3 8