

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.⁷
 H01L 29/00

(45) 공고일자 2005년11월29일
 (11) 등록번호 10-0532208
 (24) 등록일자 2005년11월23일

(21) 출원번호	10-2002-7008085	(65) 공개번호	10-2002-0089311
(22) 출원일자	2002년06월21일	(43) 공개일자	2002년11월29일
번역문 제출일자	2002년06월21일		
(86) 국제출원번호	PCT/US2000/031352	(87) 국제공개번호	WO 2001/46989
국제출원일자	2000년11월13일	국제공개일자	2001년06월28일

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니아드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 코스타리카, 도미니카, 모로코, 탄자니아, 남아프리카, 그라나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 시에라리온, 세르비아 앤 몬테네그로, 짐바브웨, 안티구와바부다, 알제리, 벨리제, 모잠비크,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스, 터키,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우,

(30) 우선권주장 09/469,406 1999년12월22일 미국(US)

(73) 특허권자 인텔 코오퍼레이션
 미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200

(72) 발명자 캐사바르지알리
 미국97229오레곤주포틀랜드엔더블유버켄덴스트리트2341

디이비백케이.
 미국97007오레곤주비버튼에스더블유151에스티애비뉴9785

칼니크타네이

미국97229오레곤주포틀랜드엔더블유블랙콤드라이브3574

네어라젠드라

미국97124오레곤주힐스보로엔더블유에버그린파크웨이#25819000

(74) 대리인

유미특허법인

심사관 : 조지은

(54) 얇은 게이트 산화물용 감결합 커패시터

요약

어떤 실시예들에서 본 발명은 전원 전압을 전달하는 제1 도체와 접지 전압을 전달하는 제2 도체를 포함한다. 반도체 커패시터는 공핍 모드에서 동작하며 상기 제1 및 제2 도체에 결합되어 상기 제1 및 제2 도체 사이에 감결합 커패시턴스 제공하고, 이 반도체 커패시터는 게이트 전압을 갖는다. n형 몸체에 n+ 게이트 폴리 및 n+ 소스/드레인 영역, n형 몸체에 p+ 게이트 폴리 및 n+ 소스/드레인 영역, n형 몸체에 p+ 게이트 폴리 및 p+ 소스/드레인 영역, p형 몸체에 p+ 게이트 폴리 및 p+ 소스/드레인 영역, p형 몸체에 n+ 게이트 폴리 및 n+ 소스/드레인 영역을 포함하는 여러 구성이 사용될 수 있다. 전원 전압의 절대값은 평탄 대역의 절대값보다 더 크다.

내용

도 4

색인어

다이, 감결합, 커패시터, 게이트 산화물, MOS-C

명세서

기술분야

본 발명은 접적 회로에 관한 것으로, 더욱 상세하게는 접적 회로의 감결합 커패시터에 관한 것이다.

배경기술

감결합 커패시터(decoupling capacitor)는 노이즈 감결합을 위하여 접적 회로(IC) 설계에 사용된다. 실제, 감결합 커패시터는 사실상 모든 IC에 대량 사용된다. 반도체 커패시터 종류 중 하나는 MOS-C 또는 금속 산화물 반도체 커패시터라 (metal oxide semiconductor capacitor)라고 한다. 이 MOS-C는 게이트 산화물과 같은 절연체를 적어도 포함하는 유전체 영역에 의해 분리되는 두 단자를 구비한다. 단자 중 하나는 게이트이고 나머지는 몸체(body)(및 어쩌면 소스와 드레인 확산 영역)이다. 다른 종류의 반도체 커패시터는 n 채널 금속 산화물 FET(NMOSFET) 또는 p 채널 금속 산화물 반도체 FET(PMOSFET)와 같은 전계 효과 트랜지스터(FET)를 사용한다. 단자 중 하나는 게이트이고 나머지 단자는 소스, 드레인 및 몸체이다. 이 단자들은 게이트 산화물과 같은 절연체를 적어도 포함하는 유전체에 의해 분리된다. MOS-C와 FET 커패시터의 차이는 FET가 몸체의 극성과 다른 유형의 극성을 갖는 소스 및 드레인을 가지는 것이다. MOS-C에서는 (만약 있다면) 소스/드레인 확산 영역이 몸체와 동일한 극성을 가진다. 접적 회로의 커패시터의 작용은 R. Pierret 등의 "Field Effect Devices," (Addison-Wesley, 2nd Ed. 1990), pp. 47-59 및 N. Weste 등의 "Principles of CMOS VLSI Design," (Addison-Wesley, 2nd Ed. 1993), pp. 180-82에 기술되어 있다.

높은 유전 상수 절연체를 가지는 두 금속선 사이에 끼인 커패시터와 같은 다른 감결합 커패시터도 또한 가능하다. 그러나 현재 MOS 테크놀로지로 재료 선택(material challenge) 및 접적은 매우 어려울 것이다.

커패시터의 커패시턴스 C 는 식 $C = \frac{A}{d}$ 로 주어진다. 여기서 A 는 유전 상수, A 는 면적, 그리고 d 는 거리이다. IC 설계에서, 부품의 치수를 작게하는 것이 바람직하다. 따라서, 시간이 흐름에 따라 커패시터 면적 A 는 더 작아지고 전극들 사이의 거리 d 또한 더 작아진다. 현재 사용되는 커패시터 구조는 일반적으로 누설 없는 산화물과 함께 꽤 잘 작용한다. 현재의 감결합 커패시터 구조는 우수한 고주파 응답 시간을 함께 단위 면적당 커패시턴스 값이 최대가 되도록 MOS-C를 반전 상태(inversion)로 유지하도록 인가되는 전압과 낮은 직렬 저항을 구비한다.

공정 기술의 규모가 조정(sacle)됨에 따라, 게이트 산화물 두께 또한 우수한 구동 전류 능력 및 우수한 쇼트 채널 작용(short channel behavior)을 갖는 트랜지스터를 유지하기 위하여 조정된다. 게이트 산화물의 규모가 계속하여 조정됨(예: 30A 이하)에 따라 이 용량성 구성을 산화물을 통한 높은 누설 전도(예: 높아진 터널링 누설)를 초래한다.

발명의 상세한 설명

어떤 실시예에서, 본 발명은 전원 전압을 전달하는 제1 도체와 접지 전압을 전달하는 제2 도체를 구비하는 다이(die)를 포함한다. 공핍 모드에서 동작하는 반도체 커패시터는 제1 및 제2 도체 사이에 결합되어 제1 및 제2 도체 사이에 감결합 커패시턴스를 제공하고 이 반도체 커패시터는 게이트 전압을 갖는다.

다음과 같은 다양한 구성, 즉 n형 몸체에 n+ 소스/드레인 영역 및 n+ 게이트 폴리(poly) 및 n형 몸체에 n+ 소스/드레인 영역 및 p+ 게이트 폴리, n형 몸체에 p+ 소스/드레인 영역 및 p+ 게이트 폴리, p형 몸체에 p+ 소스/드레인 영역 및 p+ 게이트 폴리, p형 몸체에 P+ 소스/드레인 영역 및 n+ 게이트 폴리, 그리고 p형 몸체에 n+ 소스/드레인 영역 및 n+ 게이트 폴리를 사용할 수 있다. 전원 전압은 절대값이 평탄 대역(flatband) 전압의 절대값보다 클 수 있다.

추가 실시예들을 설명하고 주장한다.

본 발명은 이하의 상세한 설명 및 본 발명의 실시예에 대한 첨부 도면으로부터 더욱 완전히 이해될 것이지만 기술된 특정 실시예로 본 발명을 제한되지 않고 오직 설명과 이해를 위해서만 고려되어야 한다.

도면의 간단한 설명

도 1은 종래 커패시터를 나타내는 개략 단면도이다.

도 2는 0(zero) 일함수를 가지는 n형 몸체를 구비하는 커패시터의 커패시턴스 대 게이트 몸체간 전압을 나타내는 그래프이다.

도 3은 0이 아닌(noe-zero) 일함수를 가지는 n형 몸체를 구비하는 커패시터의 커패시턴스 대 게이트 몸체간 전압을 나타내는 그래프이다.

도 4는 본 발명의 어떤 실시예들에 따른 커패시터를 나타내는 개략 단면도이다.

도 5는 본 발명의 어떤 실시예들에 따른 커패시터를 나타내는 개략 단면도이다.

도 6은 본 발명의 어떤 실시예들에 따른 커패시터를 나타내는 개략 단면도이다.

도 7은 0(zero) 일함수를 가지는 p형 몸체를 구비하는 커패시터의 커패시턴스 대 게이트 몸체간 전압을 나타내는 그래프이다.

도 8은 0이 아닌(none-zero) 일함수를 가지는 p형 몸체를 구비하는 커패시터의 커패시턴스 대 게이트 몸체간 전압을 나타내는 그래프이다.

도 9는 종래 커패시터를 나타내는 개략 단면도이다.

도 10은 본 발명의 어떤 실시예들에 따른 커패시터를 나타내는 개략 단면도이다.

도 11은 본 발명의 어떤 실시예들에 따른 커패시터를 나타내는 개략 단면도이다.

도 12는 본 발명의 어떤 실시예들에 따른 커패시터를 나타내는 개략 단면도이다.

도 13은 본 발명의 어떤 실시예들에 따른 커패시터를 구비하는 다이(die)를 나타내는 블록도이다.

도 14는 본 발명의 어떤 실시예들에 따른 커패시터 및 전압 회로를 구비하는 다이를 나타내는 블록도이다.

실시예

본 발명은 절연체(예: 게이트 산화물)를 통한 누설을 감소시키기 위하여 공핍 모드(depletion mode)에서 동작하는 반도체 커패시터(트랜지스터 또는 MOS-C)를 포함한다. 이것은 면적당 커패시턴스를 감소시키는 공핍 모드에서 동작하기 때문에 직관에 반하는(counter-intuitive) 것이다. 이러한 커패시턴스의 감소를 보충하기 위하여 면적을 더 크게 할 수 있지만 이것은 바람직하지 않다. 본 발명의 창작물에서, 본 발명자들은 공핍 모드에서 동작함으로써 캐리어의 수가 더 작고 따라서 게이트 산화물에서의 터널링 양이 더 적어서 누설이 더 적을 것을 알았다.

일반적으로, 착상(idea)은 반전 모드에서 동작하는 MOS 트랜지스터 구조로부터 파생되는 MOS-C 커패시터의 사용으로부터 멀어지는 것이다. 대안적인 제안은 공핍 모드에서 동작하는 절연체로서 게이트 산화물을 사용하는 커패시터 구조를 사용하는 것이다. 유효 커패시턴스는 약 25%(근사) 만큼 줄어들고 대략 1V 전원 테크놀로러지의 경우 대략 100분의 1(factor of 100)만큼 줄어든다. 축적 영역에 가까운 공핍 모드에서 커패시터가 바이어스되기 때문에 커패시턴스 감소는 C-V 곡선에서 관찰할 수 있다. 누설 감소는 얇은 게이트 산화물을 통해 터널링하는 게이트 산화물 아래 공핍 채널에서의 캐리어 수가 더 작은 사실에 기인한다. 이러한 커패시터의 Q 계수는 반전 모드에서의 MOS 트랜지스터 캡(cap)과 유사하며, 특히 디캡(decap)에 중첩된 AC 신호에 대해 응답해야 하는 캐리어를 공급하기 위하여 소수 캐리어 생성 및 재결합에 의존하지 않는 경우 그렇다. 크기의 차수(order of magnitude) 이상으로 디캡을 통한 누설이 더 적도록 하여야 하는 경우, 약간 더 큰 면적의 커패시터를 사용함으로써 감소된 커패시턴스를 항상 보상할 수 있다.

n형 몸체를 갖는 감결합 커패시터

도 1을 참조하면, 종래 PMOS 트랜지스터 커패시터(10)는 p형 기판(substrate), n형 우물(n-well), p+ 소스(S), p+ 드레인(D), p+ 폴리실리콘 게이트 전극(폴리, poly)(G) 및 몸체(B)의 n형 몸체 텁(BT)을 포함한다. 본 명세서의 술어에 따라, 트랜지스터 커패시터(10)는 n형 몸체(n형 우물) 상의 p+/p+ 캡이라 하며, 첫 번째 p+는 폴리형(poly type)을 의미하고 두 번째 p+는 S/D 영역의 유형을 의미한다. 용량성 구조의 경우에 소스 및 다른 드레인을 하나의 확산 영역이라 하는 것은 특별히 의미 있는 것이 아니라 명명의 편의를 위함 것임에 유의하라. 소스/드레인 확산이 본 발명의 모든 실시예에서 필요한 것이 아니지만 RC 주파수 응답을 갖도록 돋는 직렬 저항을 감소시킬 수 있다. 채널(Ch)은 게이트 산화물 표면 아래에 있다. 본 기재에서 그 영역을 채널이라 하고, MOC-C 구조에서도 그러하며, 트랜지스터가 아니다. 트랜지스터 커패시터(10)는 다음과 같이 인가되는 전압을 구비한다. 즉 몸체 전압(V_b)은 전원 전압(V_{cc})(때로는 V_{dd}라 함)이고, 소스 및 드레인 전압(V_s, C_d)은 둘 다 V_{cc}이며, 게이트 전압(V_g)은 모두 접지(V_{ss} 또는 0이라고 함)이다. 기판은 아래로, 위로 또는 어느 곳으로든 접지될 수 있다. 도 1에서 V_g는 V_{ss}와 결합된다. 그러나 어떤 실시예들에서는 G는 V_{ss}와 결합되지 않을 수도, 0이 아닐 수도, 그리고 V_{cc} 값이 아닐 수도 있다.

도 2는 폴리 및 몸체가 동형(same type)이기 때문에 일함수가 0인 n형 몸체(예: n형 우물) 용량성 구조에 대한 커패시턴스 대 게이트 몸체간 전압(V_{GB})곡선을 나타낸다. 드레인 및 소스 전압이 몸체 전압과 같을 수 있음에 유의하라. 이 곡선은 정확한 값이나 형태가 아니라 일반적인 관계만을 나타내도록 의도된다. 실제 곡선은 약간 다르게 보일 수 있다. 또한 곡선의 형태는 다른 주파수에서 변화될 수 있다. 나타낸 바와 같이, 커패시턴스는 축적 모드 및 반전 모드에서 더 높고 공핍 모드에서 더 낮다. V_t는 임계 전압이다. 일반적으로, 축적, 공핍 및 반전 모드 사이의 경계는 부정확할 수 있지만, 축적 모드는 0 < V_{GB}일 때, 공핍 모드는 -V_t < V_{GB} < 0일 때, 그리고 반전 모드는 V_{GB} < -V_t일 때 발생한다.

도 3은 폴리 및 몸체가 이형(different type)이기 때문에 일함수가 0이 아닌(평탄 대역 전압 V_{FB}가 0이 아닌) n형 몸체 용량성 구조에 대한 커패시턴스 대 게이트 몸체간 전압(V_{GB})곡선을 나타낸다. 이 곡선은 정확한 값이나 형태가 아니라 일반적인 관계만을 나타내도록 의도된다. 실제 곡선은 약간 다르게 보일 수 있다. 또한 곡선의 형태는 다른 주파수에서 변화될 수 있다. 나타낸 바와 같이, 커패시턴스는 축적 모드 및 반전 모드에서 더 높고 공핍 모드에서 더 낮다. 대량 도핑된 폴리에 대한 V_{FB}는 대략 1.0 V이다. 일반적으로, 축적, 공핍 및 반전 모드 사이의 경계는 부정확할 수 있지만, 축적 모드는 V_{FB}

$< V_{GB}$ 일 때, 공핍 모드는 $-Vt < V_{GB} < V_{FB}$ 일 때, 그리고 반전 모드는 $V_{GB} < -Vt$ 일 때 발생한다. $-Vt$ 와 0 사이 그리고 0과 V_{FB} 사이의 상대적인 거리는 V_{FB} 또는 Vt 의 실제값에 대해 제한하고자 의도된 것은 아니며, 이것은 실시예에 따라 변화할 수 있다.

도 1의 종래의 트랜지스터 커패시터(10)의 경우를 고찰하자. n형 몸체와 폴리가 있고, 몸체가 이형이어서 0이 아닌 일함수가 존재하므로 도 3의 곡선이 적용한다. 이 구조의 평탄 대역 전압(V_{FB})은 대략 1V이다. 도 1의 경우에 $V_{GB} = -Vcc$ 이며, 이것은 $-Vt$ 보다 더 음(negative)이다. 따라서, 트랜지스터 커패시터(10)는 반전 모드에 있다[더욱 상세하게는, 채널이 몸체와 반대 유형인 정공(hole)을 포함하기 때문에 채널은 반전 모드에 있다]. 따라서, 단위 면적당 커패시턴스는 매우 높을 것(아마 최대)이고, 매우 우수한 주파수 응답 및 낮은 직렬 저항을 가진다. 그러나 또한 게이트 산화물 통한 누설이 있으며, 특히 얇은 게이트 산화물에 대한 누설은 또한 높다(아마 최대). Vcc 는 이 디캡 구성의 Vt 보다 커야 한다. (변위 전류에 대해) 캡과 직렬로 주파수 및 저항 기능의 커패시턴스는 디캡의 Q 계수를 나타냄에 유의하라. p+ 폴리 게이트 및 n형 몸체 때문에 반전 모드에서 PMOS 캡의 경우 평탄 대역 전압(V_{FB})은 약 1V(0이 아님)이다.

도 4는 본 발명의 실시예들에 따른 MOS-C(40)를 나타낸다. 용어 MOS(metal oxide semiconductor)는 넓게 해석하기 위해 의도된 것이며 여기서 금속은 특정 형태의 도체로 제한되지 않고(즉 폴리실리콘이어야 하는 것은 아님), 절연체이 산화물을 가져야 하는 것은 아니며, 또 반도체 부분이 특정 형태의 구조로 제한되지 않음에 유의하라. MOS-C(40)는 앞서 설명한 명명법(즉 폴리가 n+, S/D가 n+)에 따라 n형 몸체 상의 n+/n+ 라 한다. n형 우물이 사용되고 폴리 및 몸체가 동형이기 때문에 도 2의 곡선이 적용된다. MOS-C(40)의 V_{FB} 는 0V이다. $V_{GB} = Vcc$ 이므로 MOS-C(40)는 축적 모드(채널이 전자로 축적되며, 이것은 몸체와 동형이다)에 있다. 도 4의 구성에서, 설계 도구에서 그러한 레이아웃(n형 우물 상에 n형 폴리를 그림)을 허용하는 것이 바람직할 수 있다. MOS-C(40)는 모든 Vcc 값과 함께 작용한다. 이것은 약간 더 낮은 누설에서 단위 면적당 높은(우수한) 커패시턴스를 가진다.

도 5는 본 발명의 실시예들에 따른 MOS-C(50)를 나타낸다. MOS-C(50)는 앞서 설명한 명명법에 따라 n형 몸체 상의 p+/n+ 라 한다. Vg 는 Vcc 이고 S/D/B는 0(Vss)이다. n형 우물이 사용되고 폴리 및 몸체가 이형이기 때문에 도 3의 곡선이 적용된다. MOS-C(50)의 V_{FB} 는 대략 1V이다. $V_{GB} = Vcc$ 이다. $Vcc > V_{FB}$ 이면 MOS-C(50)는 축적 모드(채널이 축적됨)에 있고, $MOS-C < V_{FB}$ 이면 MOS(50)은 공핍 모드(채널이 공핍됨)에 있다. $Vcc = V_{FB}$ 인 경우, 모드는 축적 모드와 공핍 모드 사이이다. 본 발명의 어떤 실시예들에서 Vcc 는 V_{FB} 보다 적어서 MOS-C(40)는 공핍 모드에 있을 것이고 누설은 감소될 것이다. 이 구성은 특별한 레이아웃을 요구할 수 있다. MOS-C(50)는 단위 면적당 더 낮은 커패시턴스를 가지지만 공핍 모드(누설하는 캐리어가 더 소수이다) 때문에 누설이 훨씬 더 적다. 주파수 응답이 우수하지만 직렬 저항이 높을 수 있다. 이 구조는 매립(buried) 채널 MOS 트랜지스터 구조와 유사함에 유의하라.

도 6은 본 발명의 실시예들에 따른 PMOS 트랜지스터 커패시터 MOS-C(60)를 나타낸다. MOS-C(60)는 앞서 설명한 명명법에 따라 n형 몸체 상의 p+/p+ 라 한다. Vg 는 Vcc 이고 S/D/B는 0V(Vss)이다(도 1의 반대). n형 우물이 사용되고 폴리 및 몸체가 이형이기 때문에 도 3의 곡선이 적용된다. MOS-C(50)의 V_{FB} 는 대략 1V이다. $V_{GB} = Vcc$ 이다. $Vcc > V_{FB}$ 이면 MOS-C(60)는 축적 모드(채널 축적됨)에 있고, $MOS-C < V_{FB}$ 이면 MOS(60)은 공핍 모드(채널 공핍됨)에 있다. 본 발명의 어떤 실시예들에서 Vcc 는 V_{FB} 보다 작아서 MOS-C(60)는 공핍 모드에 있을 것이고 누설은 감소될 것이다. MOS-C(60)는 단위 면적당 커패시턴스가 더 낮지만 공핍 모드(누설하는 캐리어가 더 소수이다) 때문에 누설이 훨씬 더 적다. 그러나 주파수 응답 및 직렬 저항이 문제될 수 있다.

p형 몸체를 갖는 간결합 커패시터

다음에 트랜지스터 및 p형 몸체(p형 우물 또는 p형 기판)를 갖는 MOS-C 용량성 구조를 설명한다. p형 우물은 몸체에 나타나지만 단지 p형 기판일 수 있음에 유의하라. 더욱이 기판은 p형 우물을 갖는 n형일 수 있다.

도 7은 폴리와 몸체가 동형이기 때문에 일함수가 0인 p형 몸체 용량성 구조에 대한 커패시턴스 대 게이트 몸체간 전압(V_{GB}) 곡선을 나타낸다. 이 곡선은 정확한 값이나 형태가 아니라 일반적인 관계만을 나타내도록 의도된다. 실제 곡선은 약간 다르게 보일 수 있다. 또한 곡선의 형태는 다른 주파수들에서 변화될 수 있다. 나타낸 바와 같이, 커패시턴스는 축적 모드 및 반전 모드에서 더 높고 공핍 모드에서 더 낮다. Vt 는 임계 전압이다. 일반적으로, 축적, 공핍 및 반전 모드 사이의 경계는 부정확할 수 있지만, 축적 모드는 $V_{GB} < 0$ 일 때, 공핍 모드는 $0 < V_{GB} < Vt$ 일 때, 그리고 반전 모드는 $V_{GB} > Vt$ 일 때 발생한다.

도 8은 폴리 및 몸체가 이형이기 때문에 일함수가 0이 아닌(평탄 대역 전압 V_{FB} 가 0이 아닌) p형 몸체 용량성 구조에 대한 커패시턴스 대 게이트 몸체간 전압(V_{GB}) 곡선을 나타낸다. 이 곡선은 정확한 값이나 형태가 아니라 일반적인 관계만을 나타내도록 의도된다. 실제 곡선은 약간 다르게 보일 수 있다. 또한 곡선의 형태는 다른 주파수들에서 변화될 수 있다. 나타낸 바와 같이, 커패시턴스는 축적 모드 및 반전 모드에서 더 높고 공핍 모드에서 더 낮다. 대량 도핑된 폴리에 대한 V_{FB} 는 (비록 곡선의 음의 영역에 있지만) 대략 1.0 V이다. 일반적으로, 축적, 공핍 및 반전 모드 사이의 경계는 부정확할 수 있지만, 축적 모드는 $V_{GB} < -V_{FB}$ 일 때(예: -1V), 공핍 모드는 $-V_{FB} < V_{GB} < V_t$ 일 때, 그리고 반전 모드는 $V_t < V_{GB}$ 일 때 발생한다. $-V_{FB}$ 와 0 사이 그리고 0과 V_t 사이의 상대적인 거리는 V_{FB} 또는 V_t 의 실제값에 대해 제한하고자 의도된 것은 아니며, 이것은 실시예에 따라 변화할 수 있다.

도 9는 앞서 설명한 명명법에 따라 p형 몸체 상의 n+/n+ 라 하는 종래의 NMOS 트랜지스터 커패시터(90)를 나타낸다. 이 경우에 p형 몸체는 p형 기판이지만 n형 기판 상의 p형 우물 또는 p형 기판 내의 p형 우물일 수 있다. $V_g = V_{cc}$ 이고 S/D/B는 0(Vss)이다. 폴리 및 몸체가 이형이기 때문에 도 8의 곡선이 이용된다. $V_{GB} = V_{cc}$. 도 8에서 V_{cc} 가 V_t 보다 커서 커패시터(90)는 반전 모드(채널이 반전 상태)에서 동작하고 있다. 디캡(90)은 3중 우물 과정(triple well process)을 필요로 하지 않으며 특별한 레이아웃 요건 없이 사용한다. 단위 면적당 커패시턴스는 매우 높으며(아마 최대)이고, 매우 우수한 주파수 응답 및 낮은 직렬 저항을 가진다. 주요한 문제는 게이트 산화물을 통한 누설, 특히 얇은 게이트 산화물에 대한 누설이 또한 높다(아마 최대)는 것이다. 이 디캡 구성의 경우 V_{cc} 는 V_t 보다 커야 한다.

도 10은 앞서 설명한 명명법에 따라 p형 몸체 상의 p+/p+ 구성을 갖는 MOS-C 커패시터(100)를 나타낸다. p형 우물은 도시하였지만 필수적인 것은 아니다. $V_g = 0(Vss)$ 이고 S/D/B = V_{cc} 이다. 폴리와 몸체가 동형이기 때문에 도 7의 곡선을 적용한다. $V_{GB} = -V_{cc}$ 이므로 커패시터(100)는 축적 모드(채널이 축적될 것임)에 있다. 어떤 실시예들에서, 커패시터(100)는 p형 우물과 p형 기판 사이에 n형 몸체 또는 다른 절연체를 포함한다. 그 목적은 기판 또는 다른 몸체들의 전압 영향으로부터 V_{cc} 전압을 보호하는 것이다. 이 3중 우물 과정은 설계 도구들의 부가적인 레이아웃(p형 우물 상에 p형 폴리를 그림)을 요구할 수 있다. 이것은 약간 더 낮은 누설에서 단위 면적당 높은(우수한) 커패시턴스를 가진다.

도 11은 앞서 설명한 명명법에 따라 p형 몸체 상의 n+/p+ 구성을 갖는 MOS-C 커패시터(110)를 나타낸다. $V_g = 0(Vss)$ 이고 S/D/B = V_{cc} 이다. 폴리와 몸체가 이형이기 때문에 도 8의 곡선을 적용한다. $V_{GB} = -V_{cc}$ 이다. $V_{cc} > V_{FB}$ ($-V_{cc} < -V_{FB}$)이면 커패시터(110)는 축적 모드에 있게 될 것이다(채널이 축적될 것임). $V_{cc} < V_{FB}$ ($-V_{cc} > -V_{FB}$)이면 커패시터(110)는 공핍 모드에 있게 될 것이다(채널이 공핍될 것임). 누설을 돋기 위해, 어떤 실시예에서는 공핍 모드가 사용된다. 어떤 실시예에서 커패시터(110)는 p형 우물과 p형 기판 사이에 n형 몸체 또는 다른 절연체를 포함한다. 커패시터(110)는 훨씬 더 낮은 누설에서 단위 면적당 더 낮은 커패시턴스를 가진다. 주파수 응답은 우수하지만 직렬 저항이 높다.

도 12는 앞서 설명한 명명법에 따라 p형 몸체 상의 n+/n+ 구성을 갖는 NMOS 트랜지스터 커패시터(120)를 나타낸다. p형 우물을 도시하였지만 필수적인 것은 아니다. $V_g = 0(Vss)$ 이고 S/D/B = V_{cc} 이다. 폴리와 몸체가 이형이기 때문에 도 8의 곡선을 적용한다. $V_{GB} = -V_{cc}$ 이다. $V_{cc} > V_{FB}$ ($-V_{cc} < -V_{FB}$)이면 커패시터(120)는 축적 모드에 있게 될 것이다(채널이 축적될 것임). $V_{cc} < V_{FB}$ ($-V_{cc} > -V_{FB}$)이면 커패시터(120)는 공핍 모드에 있게 될 것이다(채널이 공핍될 것임). 누설을 돋기 위해, 어떤 실시예에서는 공핍 모드가 사용된다. 어떤 실시예에서 커패시터(120)는 p형 우물과 p형 기판 사이에 n형 몸체 또는 다른 절연체를 포함한다. 이 구성에서 누설은 우수하다(더 낮다). 그러나 주파수 응답 및 직렬 저항이 문제일 수 있다. 이 구성은 3중 우물 과정을 필요로 할 수 있다.

청구범위 앞에 첨부된 표는 전술한 커패시터들은 물론 본 발명의 실시예 범위 내의 다른 커패시터들에 대한 비교 요약표이다.

다른 정보 및 실시예들

도 13은 그 안에 본 명세서에서 기술한 구성 중 하나 이상을 포함하는 커패시터들[예: 커패시터(134)]이 포함될 수 있는 다이(130)를 도시한다. 다이(130)는 마이크로프로세서, DSP(digital signal processor), 내장 컨트롤러, ASIC(application specific integrated circuit) 및 통신 칩을 포함하는 여러 종류의 전기 장치 중 어떤 것일 수 있다.

전술한 바와 같이, 어떤 실시예들에서는 공핍 모드에 있는 커패시터를 구비하는 것이 바람직하다. 여러 경우에서, 축척 모드 또는 반전 모드 가까이에 있는 커패시터를 구비하는 것이 또한 바람직하다. 도 2, 3, 7, 및 8에서, 공핍 모드에서는 곡선이 축척 모드 또는 반전 모드를 향해 증가함에 유의하라.

게이트 전압, 몸체 전압, 소스/드레인 전압, 임계 전압 및/또는 도핑 레벨을 조절함으로 커패시턴스를 변경할 수 있을 것이다. 도 14를 참조하면, 다이(140)는 (그 내부에 하나 이상의 다양한 커패시터를 나타내는) 커패시터(134)를 포함한다. 다이(140)는 전압 회로(142)를 포함하며, 이것은 원하는 커패시턴스 레벨을 제공하도록 하나 이상의 몸체, 게이트 및 소스/드레인에 전압을 공급할 수 있다. 몸체 전압을 변경함으로써 순방향 또는 역방향 몸체 바이어스를 갖는 커패시터를 만들 수 있다. V_t 는 몸체 바이어스가 변화됨에 따라 변화됨에 유의하라. 또한 원하는 커패시턴스 레벨을 얻기 위하여 피드백 기구(feedback mechanism)가 있을 수 있다.

단지 예로서, 일부 실시예들에서는 유효 커패시턴스가 대략 25% 정도 감소될 수 있고, 대략 1V 전원 테크놀러지의 경우 누설은 대략 100분의 1(factor of 100)만큼 줄어든다고 생각된다. 커패시턴스 감소는 커패시터가 (축척 모드에 가까운) 공핍 모드에서 바이어스됨에 따라 C-V 곡선에서 관찰할 수 있다. 누설 감소는 얇은 게이트 산화물을 통해 터널링하기 위한 캐리어 수가 게이트 산화물 아래의 공핍된 채널에서 더 적게 존재하기 때문이다. 이러한 커패시터의 Q 계수는 반전 모드에서 MOS 트랜지스터 캡과 유사하며, 특히 디캡에 중첩된 AC 신호에 대해 응답해야 하는 캐리어를 공급하기 위하여 소수 캐리어 생성 및 재결합에 의존하지 않는 경우 그렇다. 크기의 차수(order of magnitude) 이상으로 디캡을 통한 누설이 더 적도록 하여야 하는 경우, 약간 더 큰 면적의 커패시터를 사용함으로써 감소된 커패시턴스를 보상할 수 있다. 따라서 본 발명은 추가적인 공급 전압의 규모 조정(scaling) 및 저전압, 고성능 및 저전력 CMOS 회로에 대한 공정 기술 개발을 지원한다. 장차, 고속 스케일 트랜지스터(faster scaled transistor)에 대해 요구되는 게이트 산화물 두께를 조정하더라도 제안된 구성의 사용으로 IC의 노이즈 감결합을 위해 디캡을 계속 사용할 수 있다. 본 발명에서 제안된 해결책은 현재의 공정 기술과 호환성이 있다.

본 발명은 SOI(silicon on insulator) 구성과 관련하여 사용될 수 있다.

또한, 공지된 바와 같이 전원 전압 및 접지 전압은 반드시 일정한 것이 아니라 오히려 노이즈, 부하 또는 다른 이유로 변동한다.

FET, MOSFET 등이 사용될 수 있다. 예시된 실시예는 인핸스먼트 모드(enhancement mode) 트랜지스터를 포함하지만, 회로에 이 기술 분야의 당업자에게 명백한 수정을 가한 본 명세서에 개재된 이점을 갖는 공핍 모드 트랜지스터가 사용될 수 있다.

명세서에서 언급한 "실시예", "일 실시예", "어떤 실시예들" 또는 "다른 실시예들"은 실시예와 관련한 특별한 특성(feature), 구조 또는 특징(characteristic)이 적어도 어떤 실시예에서 포함되는 것을 의미하고, 반드시 본 발명의 모든 실시예는 아니다. 다양한 표현 "실시예", "일 실시예" 또는 "어떤 실시예들"은 반드시 동일한 실시예를 의미하지는 않는다.

명세서가 구성 요소, 특성, 구조 또는 특징을 "해도 좋다(may)", "할 수 있다(could)", "일 수 있다(might)"를 포함하여 설명하는 경우, 그 특별한 구성 요소, 특성, 구조 또는 특징이 포함될 것을 요구하지 않는다. 명세서 또는 청구범위에서 소자(element)를 언급하는 경우에 그 소자가 하나만 있는 것을 의미하지 않으며, 그 소자가 하나 이상 부가되어 있는 것을 배제하지 않는다.

본 명세서에 기재한 혜택을 갖는 이 기술 분야의 당업자는 전술한 상세한 설명 및 도면의 많은 다른 변형이 본 발명의 범위 내에 이루어질 수 있음을 인식할 것이다. 따라서, 그것에 대한 모든 수정을 포함하는 이하의 청구범위는 본 발명의 범위를 규정한다.

첨부: 어떤 가능성들에 대한 비교 요약표 목록. 이것은 포괄적인 것으로 의도된 것은 아니다. 다른 가능성들이 존재한다. 일부 정보는 단지 최상의 추측이다.

유형	Vcc	모드	캡	누설	Hi freq	Rs	비고
DeCap on n-well							
p+/p+ (prior art) (FIG. 1)	>Vt	반전	최대	최대	우수	낮음	
n+/n+ (FIG. 4)	All	축적	~ 최대	약간 적음	우수	낮음	No LO
p+/p+ (FIG. 6)	<1V	공핍	더 낮음	더 낮음	OK	높음	No LO
p+/p+	>1V	축적	~ 최대	약간 적음	OK	높음	No LO
p+/n+ (FIG. 5)	<1V	공핍	더 낮음	더 낮음	OK	높음	LO
p+/n+	>1V	축적	~ 최대	약간 적음	우수	낮음	LO
n+/p+	>1V+Vt	반전	최대	최대	우수	낮음	LO, Vcc ?
n+/p+	<1V+Vt	공핍	더 낮음	더 낮음	OK	높음	LO, Vcc ?
DeCap on p-well							
n+/n+ (prior art) (FIG. 9)	>Vt	반전	최대	최대	우수	낮음	
p+/p+ (FIG. 10)	All	축적	~ 최대	약간 적음	우수	낮음	No LO
n+/n+ (FIG. 12)	<1V	공핍	더 낮음	더 낮음	OK	높음	No LO, TW
n+/n+	>1V	축적	~ 최대	약간 적음	OK	높음	No LO, TW
n+/p+ (FIG. 11)	<1V	공핍	더 낮음	더 낮음	OK	높음	LO, TW
n+/p+	>1V	축적	~ 최대	약간 적음	우수	낮음	LO, TW
p+/n+	>1V+Vt	반전	최대	최대	우수	낮음	LO, Vcc ?
p+/n+	<1V+Vt	공핍	더 낮음	더 낮음	OK	높음	LO, Vcc ?

p+/p+ on n-well은 n형 우물 상에 p+ 폴리 및 p+ S/D 영역을 갖는 커패시터를 의미한다.

No Lo = 종래 설계에 관해 레이아웃 또는 도구 변경 없음.

LO = 종래 설계의 레이아웃과 비교하여 레이아웃 변경을 필요로 할 수 있음.

VFB = Vcc 옆에 대해 -1V 사용됨.

TW = 커패시터 몸체의 절연을 위해 3중 우물이 사용될 수 있음.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

전원 전압을 전달하는 제1 도체,

접지 전압을 전달하는 제2 도체, 및

상기 제1 도체와 상기 제2 도체 사이에 감결합 커패시턴스를 제공하는 반도체 감결합 커패시터

를 포함하는 다이(die)로서,

상기 반도체 감결합 커패시터는

(a) 상기 제1 도체에 결합되어 상기 전원 전압을 제공받는 게이트 전극,

(b) 상기 제2 도체에 결합되어 상기 접지 전압을 제공받는 확산 영역, 및

(c) 상기 확산 영역을 통해 상기 접지 전압을 제공받는 몸체

를 포함하여, 상기 반도체 감결합 커패시터가 공핍 모드에 있으며,

상기 확산 영역은 제1 확산 영역이고,

상기 반도체 감결합 커패시터는 상기 제2 도체에 결합되어 상기 접지 전압을 제공받는 제2 확산 영역을 더 포함하며,

상기 몸체는 상기 제1 및 제2 확산 영역을 통해 상기 접지 전압을 제공받는 것을 특징으로 하는 다이.

청구항 30.

제29항에 있어서,

상기 게이트 전극은 p형이고, 상기 확산 영역 및 상기 몸체는 n형인 것을 특징으로 하는 다이.

청구항 31.

제29항에 있어서,

상기 게이트 전극은 p형이고, 상기 확산 영역 및 상기 몸체는 n형이며, 상기 확산 영역은 상기 몸체보다 더 고농도(more heavily)로 도핑되어 있는 것을 특징으로 하는 다이.

청구항 32.

제29항에 있어서,

상기 상기 제1 및 제2 확산 영역은 소스/드레인 확산 영역인 것을 특징으로 하는 다이.

청구항 33.

제29항에 있어서,

상기 제1 및 제2 확산 영역은 상기 몸체보다 더 고농도로 도핑되어 있는 것을 특징으로 하는 다이.

청구항 34.

제29항에 있어서,

상기 반도체 감결합 커패시터는 평탄 대역 전압(flatband voltage)을 가지며, 상기 전원 전압은 상기 평탄 대역 전압의 절대값보다 작은 절대값을 가지는 것을 특징으로 하는 다이.

청구항 35.

제29항에 있어서,

상기 게이트 전극은 p형이고, 상기 확산 영역 및 상기 몸체는 n형이며, 상기 확산 영역은 몸체 탭 확산 영역(body tap diffusion)이고, 상기 반도체 감결합 커패시터는 p형인 제1 및 제2 소스/드레인 확산 영역을 더 포함하는 것을 특징으로 하는 다이.

청구항 36.

제35항에 있어서,

상기 제1 및 제2 소스/드레인 확산 영역은 상기 제2 도체에 결합되어 상기 접지 전압을 제공받는 것을 특징으로 하는 다이.

청구항 37.

제35항에 있어서,

상기 몸체 탭 확산 영역과 상기 제1 및 제2 소스/드레인 확산 영역은 상기 몸체보다 더 고농도로 도핑되어 있는 것을 특징으로 하는 다이.

청구항 38.

제35항에 있어서,

상기 반도체 감결합 커패시터는 평탄 대역 전압을 가지며, 상기 전원 전압은 상기 평탄 대역 전압의 절대값보다 작은 절대값을 가지는 것을 특징으로 하는 다이.

청구항 39.

전원 전압을 전달하는 제1 도체,

접지 전압을 전달하는 제2 도체, 및

상기 제1 도체와 상기 제2 도체 사이에 감결합 커패시턴스를 제공하는 반도체 감결합 커패시터

를 포함하는 다이로서,

상기 반도체 감결합 커패시터는

(a) 상기 제2 도체에 결합되어 상기 접지 전압을 제공받는 게이트 전극,

(b) 상기 제1 도체에 결합되어 상기 전원 전압을 제공받는 확산 영역, 및

(c) 상기 확산 영역을 통해 상기 전원 전압을 제공받는 몸체

를 포함하여, 상기 반도체 감결합 커패시터가 공핍 모드에 있으며,

상기 반도체 감결합 커패시터는

(d) 기판, 및

(e) 상기 기판과 상기 몸체 사이의 절연체

를 더 포함하고,

상기 확산 영역은 제1 확산 영역이고,

상기 반도체 감결합 커패시터는 상기 제1 도체에 결합되어 상기 전원 전압을 제공받는 제2 확산 영역을 더 포함하며,

상기 몸체는 상기 제1 및 제2 확산 영역을 통해 상기 전원 전압을 제공받는 것을 특징으로 하는 다이.

청구항 40.

제39항에 있어서,

상기 게이트 전극은 n형이고, 상기 확산 영역 및 상기 몸체는 p형인 것을 특징으로 하는 다이.

청구항 41.

제39항에 있어서,

상기 게이트 전극은 n형이고, 상기 확산 영역 및 상기 몸체는 p형이며, 상기 확산 영역은 상기 몸체보다 더 고농도로 도핑되어 있는 것을 특징으로 하는 다이.

청구항 42.

제39항에 있어서,

상기 제1 및 제2 확산 영역은 소스/드레인 확산 영역인 것을 특징으로 하는 다이.

청구항 43.

제39항에 있어서,

상기 제1 및 제2 확산 영역은 상기 몸체보다 더 고농도로 도핑되어 있는 것을 특징으로 하는 다이.

청구항 44.

제39항에 있어서,

상기 반도체 감결합 커패시터는 평탄 대역 전압을 가지며, 상기 전원 전압은 상기 평탄 대역 전압의 절대값보다 작은 절대값을 가지는 것을 특징으로 하는 다이.

청구항 45.

제39항에 있어서,

상기 게이트 전극은 n형이고, 상기 확산 영역 및 상기 몸체는 p형이며, 상기 확산 영역은 몸체 텁 확산 영역이고, 상기 반도체 감결합 커패시터는 n형인 제1 및 제2 소스/드레인 확산 영역을 더 포함하는 것을 특징으로 하는 다이.

청구항 46.

제45항에 있어서,

상기 제1 및 제2 소스/드레인 확산 영역은 상기 제2 도체에 결합되어 상기 접지 전압을 제공하는 것을 특징으로 하는 다이.

청구항 47.

제45항에 있어서,

상기 몸체 텁 확산 영역과 상기 제1 및 제2 소스/드레인 확산 영역은 상기 몸체보다 더 고농도로 도핑되어 있는 것을 특징으로 하는 다이.

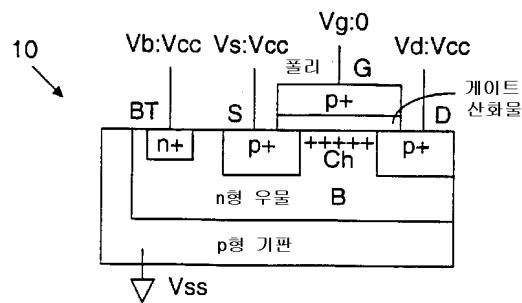
청구항 48.

제45항에 있어서,

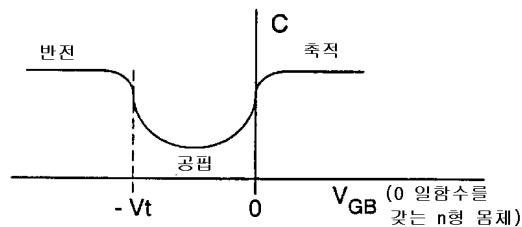
상기 반도체 감결합 커패시터는 평탄 대역 전압을 가지며, 상기 전원 전압은 상기 평탄 대역 전압의 절대값보다 더 작은 절대값을 가지는 것을 특징으로 하는 다이.

도면

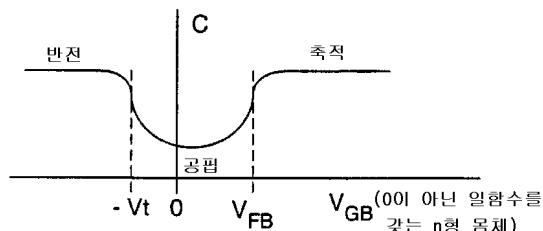
도면1



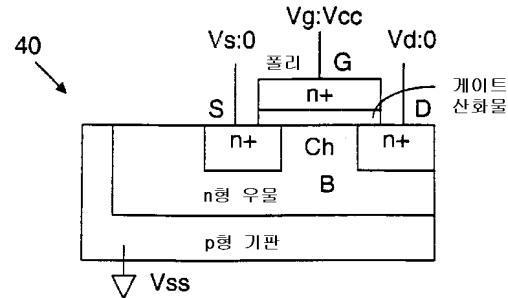
도면2



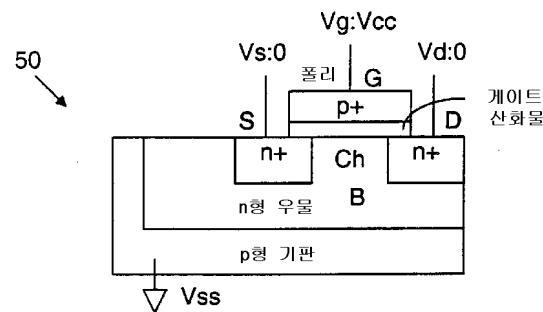
도면3



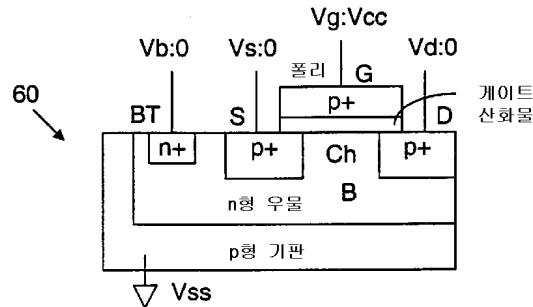
도면4



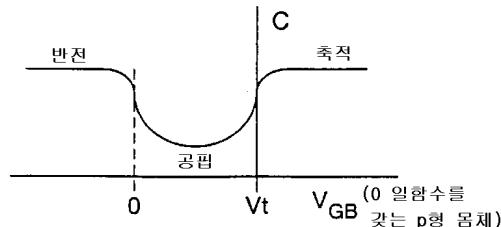
도면5



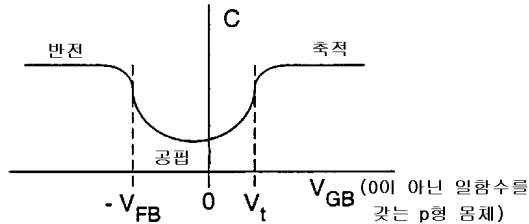
도면6



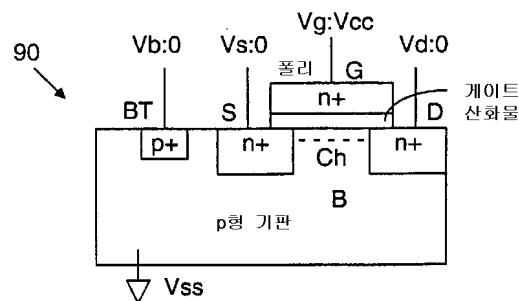
도면7



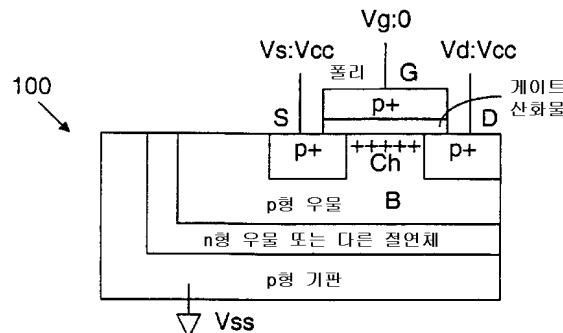
도면8



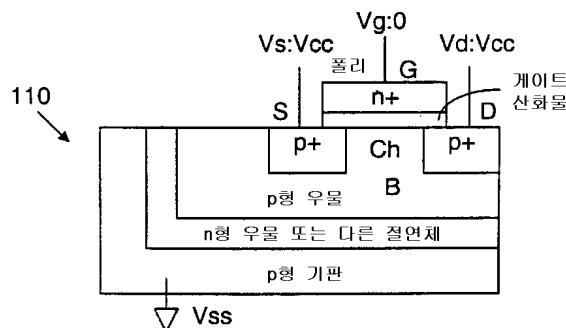
도면9



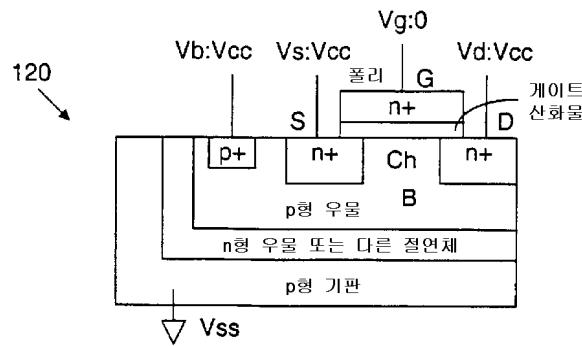
도면10



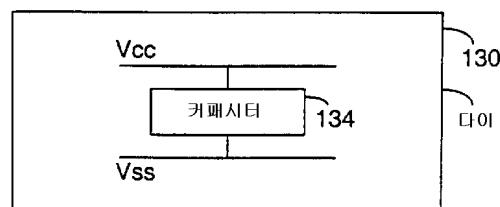
도면11



도면12



도면13



도면14

