

【特許請求の範囲】

【請求項 1】

第 1 の電源端子、第 2 の電源端子及び入出力端子を有する半導体装置の静電破壊保護装置であって、

前記入出力端子から前記第 2 の電源端子にサージ電流を流すサイリスタと、

前記第 1 の電源端子から前記入出力端子にサージ電流を流すバイポーラトランジスタとを有する静電破壊保護回路。

【請求項 2】

前記サイリスタがターンオン状態となる電圧は、前記バイポーラトランジスタに形成された寄生ダイオードのブレークダウン電圧よりも低い電圧であることを特徴とする請求項 1 に記載の静電破壊保護回路。

10

【請求項 3】

前記バイポーラトランジスタのコレクタ - エミッタ間が導通状態となる電圧は、前記サイリスタ内に形成された寄生ダイオードのブレークダウン電圧よりも低い電圧であることを特徴とする請求項 1 あるいは 2 に記載の静電破壊保護回路。

【請求項 4】

第 1 の電源端子に一方の端子が接続され、入出力端子に他方の端子が接続され、第 2 の電源端子に制御端子が接続された第 1 のバイポーラトランジスタと、

前記入出力端子に一方の端子が接続され、前記第 2 の電源端子に他方の端子が接続され、前記第 1 の電源端子に制御端子が接続されたサイリスタとを有する静電破壊保護回路。

20

【請求項 5】

前記サイリスタは、

前記入出力端子に一方の端子が接続され、前記第 2 の電源端子に他方の端子が接続され、トリガ素子及び前記第 1 の電源端子に制御端子が接続された第 2 のバイポーラトランジスタと、

前記第 2 の電源端子に一方の端子が接続され、前記第 1 のバイポーラトランジスタの制御端子に他方の端子が接続され、前記第 2 の電源端子に制御端子が接続された第 3 のバイポーラトランジスタとを有することを特徴とする請求項 4 に記載の静電破壊保護回路。

【請求項 6】

前記サイリスタがターンオン状態となる電圧は、前記第 1 のバイポーラトランジスタに形成された寄生ダイオードのブレークダウン電圧よりも低い電圧であることを特徴とする請求項 4 あるいは 5 に記載の静電破壊保護回路。

30

【請求項 7】

前記第 1 のバイポーラトランジスタのコレクタ - エミッタ間が導通状態となる電圧は、前記サイリスタ内に形成された寄生ダイオードのブレークダウン電圧よりも低い電圧であることを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の静電破壊保護回路。

【請求項 8】

前記第 1 のバイポーラトランジスタは、第 1 導電型のウェル内に形成され、当該第 1 のバイポーラトランジスタの前記入出力端子に接続される他方の端子部に、第 2 導電型の第 1 の拡散部と、第 1 の拡散部とは異なる不純物濃度の第 2 導電型の第 2 の拡散部とを有することを特徴とする請求項 4 乃至 7 のいずれか 1 項に記載の静電破壊保護回路。

40

【請求項 9】

前記第 2 のバイポーラトランジスタは、第 2 導電型のウェル内に形成され、当該第 2 のバイポーラトランジスタの前記入出力端子に接続される他方の端子部に、第 1 導電型の第 3 の拡散部と、第 3 の拡散部とは異なる不純物濃度の第 1 導電型の第 4 の拡散部とを有することを特徴とする請求項 4 乃至 8 のいずれか 1 項に記載の静電破壊保護回路。

【請求項 10】

第 1 の端子から第 2 の端子に向かって順方向電流を流す P N 接合部と、

前記第 1、第 2 の端子間に接続され、前記 P N 接合部の降伏電圧よりも低い電圧でターンオン状態となるサイリスタとを有する静電破壊保護回路。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は静電破壊保護装置に関し、特に静電破壊保護素子を介して、半導体装置の外部端子に印加される静電気によって流れる電流を放電する静電破壊保護装置に関する。

【背景技術】

【0002】

半導体装置の端子に静電気が印加されると、その静電気によって異常電流（以降、サージ電流と称す）が回路に流れる。このサージ電流が発生すると、内部回路が破壊する可能性がある。このような静電気に起因する破壊を、以後、静電破壊と称して説明する。

10

【0003】

静電破壊を防止するために、半導体装置では、一般的に静電破壊保護装置が搭載されている。静電破壊保護装置の一例に関する従来技術が特許文献1に開示されている。

【0004】

特許文献1に記載された静電破壊保護装置100の回路図を図25に示す。図25に示すように、従来静電破壊保護装置100は、PNPトランジスタ101、NPNトランジスタ102、ダイオード接続のNMOSTランジスタ104、入出力端子（I/O端子）、電源端子（VDD端子）、接地端子（GND端子）を有している。I/O端子は、半導体装置の入出力端子であり、内部回路と接続されている。PNPトランジスタ101のコレクタは、抵抗Rpwを介してGND端子に接続され、エミッタはI/O端子に接続され、ベースは、抵抗Rnwを介してVDD端子に接続されている。NPNトランジスタ102のコレクタは、PNPトランジスタ101のベースに接続され、エミッタはGND端子に接続され、ベースは、PNPトランジスタのコレクタに接続されている。

20

【0005】

NMOSTランジスタの104のソースはGND端子に接続され、ドレインはVDD端子に接続され、ゲートはソースに接続されている。つまり、従来静電破壊保護装置では、PNPトランジスタ101、NPNトランジスタ102により、サイリスタを構成している。

【0006】

静電破壊保護装置100が内部回路を保護する動作について説明する。静電気は、I/O端子に印加される。VDD端子を基準として、正極性の静電気が印加された場合（VDD+印加）、PNPトランジスタ101の寄生ダイオードが順バイアスされることにより、サージ電流はVDD端子へ流れる。

30

【0007】

GND端子を基準として、正極性の静電気が印加された場合（GND+印加）、ダイオード接続のNMOSTランジスタがブレイクダウンし、サイリスタがターンオンすることによって、サージ電流はGND端子へ流れる。

【0008】

上記のような経路でサージ電流を放電することで、静電破壊保護装置100は、内部回路を保護する。

40

【特許文献1】特開2003-203985号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、従来静電破壊保護装置100では、負極性の静電気が印加された場合の保護が不十分であった。また、サージ電流を流す経路としてトランジスタのPN接合のブレイクダウンの経路を利用した場合に、十分な電流が流せず半導体装置が破壊されてしまうおそれがあった。

【課題を解決するための手段】

【0010】

50

本発明の第1の観点による静電破壊保護回路は、第1の電源端子、第2の電源端子及び入出力端子を有する半導体装置の静電破壊保護装置であって、前記入力端子から前記第2の電源端子にサージ電流を流すサイリスタと、前記第1の電源端子から前記入力端子にサージ電流を流すバイポーラトランジスタとを有する。

【0011】

また、本発明の第2の観点による静電破壊保護回路は、第1の電源端子に一方の端子が接続され、入出力端子に他方の端子が接続され、第2の電源端子に制御端子が接続された第1のバイポーラトランジスタと、前記入出力端子に一方の端子が接続され、前記第2の電源端子に他方の端子が接続され、前記第1の電源端子に制御端子が接続されたサイリスタとを有する。

10

【発明の効果】

【0012】

印加された静電気に対し、より大きなサージ電流を流して放電することが可能となる。

【発明を実施するための最良の形態】

【0013】

実施の形態1

以下、図面を参照して本発明の実施の形態について説明する。実施の形態1にかかる静電破壊保護装置の回路図を図1に示す。図1に示すように、実施の形態1にかかる静電破壊保護装置1は、PNPトランジスタ(第2のバイポーラトランジスタ)2、NPNトランジスタ(第3のバイポーラトランジスタ)3、NPNトランジスタ(第1のバイポーラトランジスタ)4及びダイオード(トリガ素子)5を有している。また、静電破壊保護装置1は、第1の電源端子(以降、VDD端子と称す)、入出力端子(以降、I/O端子と称す)、第2の電源端子(以降、GND端子と称す)を有している。I/O端子は、半導体装置の内部回路と接続されている。内部回路は、例えばNMOSトランジスタとPMOSトランジスタとを用いた回路である。

20

【0014】

PNPトランジスタ2のコレクタは、抵抗RPW1を介してGND端子に接続され、エミッタはI/O端子に接続され、ベースは、抵抗RNW、RNB1を介してVDD端子に接続されている。NPNトランジスタ3のコレクタは、PNPトランジスタ2のベースに接続され、エミッタはGND端子に接続され、ベースは、PNPトランジスタ2のコレクタに接続されている。

30

【0015】

本実施の形態では、PNPトランジスタ2、NPNトランジスタ3により、サイリスタを構成している。ダイオード5は、アノードがGND端子に、カソードがPNPトランジスタ2のベース及びVDD端子に接続されている。このダイオード5は、PNPトランジスタ2とNPNトランジスタ3とで形成されたサイリスタをターンオンさせるためのトリガとなるダイオードである。

【0016】

NPNトランジスタ4は、コレクタがVDD端子に接続され、エミッタがI/O端子に接続され、ベースが、抵抗RPW2を介してGND端子に接続される。

40

【0017】

実施の形態1にかかる静電破壊保護装置1の動作について説明する。まず、半導体装置が通常の使用状態である場合について説明する。この場合、GND端子に接地電圧が供給され、VDD端子には、例えば3.3V程度の電圧が印加されている。また、I/O端子は、データ信号の入出力が行われている。通常動作時のデータ信号は、接地電圧と電源電圧との間の振幅を有する。ここで、I/O端子の電圧が接地電圧の場合、PNPトランジスタ2のエミッタ端子の電圧は接地電圧となり、ベース端子の電圧は電源電圧となるため、PNPトランジスタ2は動作しない。また、NPNトランジスタ3のエミッタ端子の電圧は、接地電圧となり、ベース端子の電圧は接地電圧となるため、NPNトランジスタ3も動作しない。トリガとなるダイオードにもブレークダウン電圧以上の電圧は印加されず

50

サイリスタは、ターンオンすることはない。

また、NPNトランジスタ4のエミッタ端子の電圧は、接地電圧となり、ベース端子の電圧は接地電圧となるため、NPNトランジスタ3も動作しない。

【0018】

一方、I/O端子の電圧が電源電圧の場合、PNPトランジスタ2のエミッタ端子の電圧は電源電圧となり、ベース端子の電圧は電源電圧となるため、PNPトランジスタ2は動作しない。また、NPNトランジスタ3のエミッタ端子の電圧は、接地電圧となり、ベース端子の電圧は接地電圧となるため、NPNトランジスタ3は動作しない。トリガとなるダイオードにもブレークダウン電圧以上の電圧は印加されずサイリスタは、ターンオンすることはない。

10

NPNトランジスタ4のエミッタ端子の電圧は電源電圧となり、ベース端子の電圧は接地電圧となるため、NPNトランジスタ4も動作しない。

【0019】

つまり、半導体装置が通常の使用状態である場合には、静電破壊保護装置1は動作しないため、半導体装置の通常動作には、影響を及ぼさない。

【0020】

次に、半導体装置に静電気が印加された場合の静電破壊保護装置1の動作について説明する。静電気は、VDD端子又はGND端子を基準としてI/O端子に正極性と負極性で印加される。例えば、GND端子に対して正極性で静電気が印加されると、I/O端子の電圧は、GND端子の電圧よりも高くなる（以降、この条件をGND+条件と称す）。GND端子に対して負極性で静電気が印加されると、I/O端子の電圧は、GND端子の電圧よりも低くなる（以降、この条件をGND-条件と称す）。VDD端子に対して正極性で静電気が印加されると、I/O端子の電圧は、VDD端子の電圧よりも高くなる（以降、この条件をVDD+条件と称す）。VDD端子に対して正極性で静電気が印加されると、I/O端子の電圧は、GND端子の電圧よりも高くなる（以降、この条件をVDD-条件と称す）。

20

【0021】

本実施の形態にかかる静電破壊保護装置1は、I/O端子にGND+条件の静電気が印加された場合はサイリスタがターンオンしてサージ電流を逃がし、GND-条件の静電気が印加された場合には、NPNトランジスタ4に形成された寄生ダイオードの順方向電流でサージ電流を逃がす。また、静電破壊保護装置1は、I/O端子にVDD+条件の静電気が印加された場合は、サイリスタを構成するPNPトランジスタ2の寄生ダイオードの順方向電流で、サージ電流を逃がし、VDD-条件の静電気が印加された場合には、NPNトランジスタ4のスナップバック動作でサージ電流を逃がす。

30

【0022】

まず、サイリスタのターンオン動作について説明する。ダイオード5に対して、所定値以上電圧を印加するとダイオード5がブレークダウンする。これによって、PNPトランジスタ2にベース電流が流れるためPNPトランジスタ2が導通状態となる。PNPトランジスタ2が導通状態となると、NPNトランジスタ3にもベース電流が供給され、NPNトランジスタ3も導通状態となる。この動作によってI/O端子とGND端子が導通状態となる動作がサイリスタのターンオン動作である。

40

【0023】

一方、NPNトランジスタ4に形成される寄生ダイオードにおいても、アノードの電圧よりもカソードの電圧が高くなる逆バイアス状態において、逆バイアスの電圧が大きくなるとブレークダウンが発生し、カソードからアノードに向かって電流が流れる場合がある。しかし、サイリスタがターンオンしたことによるオン抵抗は、NPNトランジスタ4のブレークダウン動作におけるダイオードの抵抗値よりも極めて小さい。したがってサイリスタがターンオンしたことによってより大きなサージ電流を流すことが可能である。

【0024】

また、トランジスタのスナップバック動作について説明する。トランジスタは、ベース

50

端子がオープン（ハイインピーダンス）な状態において、エミッタ端子とコレクタ端子との電位差が大きくなると、エミッタ端子とベース端子との間に少数キャリアが発生する。これによって、トランジスタのコレクタ端子とエミッタ端子の間は、導通状態となる。つまり、エミッタ端子とベース端子との間にトランジスタが動作する程度の少数キャリアが発生するエミッタ端子とコレクタ端子との電位差がスナップバック電圧である。また、このスナップバック電圧に基づき動作する領域におけるトランジスタの動作がスナップバック動作である。

【0025】

スナップバック動作におけるトランジスタのオン抵抗は、ブレークダウン動作におけるダイオードの抵抗値よりも小さい。そのため、スナップバック動作するトランジスタは、ブレークダウンしたダイオードよりも大きなサージ電流を流すことが可能である。

10

【0026】

ここで、I/O端子に印加される静電気の条件毎に静電破壊保護装置1の具体的な動作を説明する。まず、静電気がGND+条件で印加された場合について説明する。GND+で静電気が印加されると、NPNトランジスタ4のPN接合のブレークダウンよりも早くダイオード5がブレークダウンし、サイリスタがターンオンする。サージ電流は、I/O端子からGND端子に流れる。本実施の形態においては、ダイオード5のブレークダウン電圧をNPNトランジスタ4のエミッタ端子とベース端子との間に形成されるダイオードのブレークダウン電圧よりも低く設定している。

【0027】

図2に、GND+条件におけるサイリスタ、NPNトランジスタ4、内部回路のNMOSトランジスタの電流電圧特性を示す。なお、図2に示すグラフでは、縦軸にI/O端子に印加される電流の絶対値を示し、横軸にI/O端子の端子電圧を示す。また、サイリスタの電流電圧特性を曲線Aで示し、NPNトランジスタ4の電流電圧特性を曲線Bで示し、NMOSトランジスタの電流電圧特性を曲線Cで示す。

20

【0028】

図2に示すように、ダイオード5のブレークダウンする電圧、つまりサイリスタがターンオンする電圧は、NMOSトランジスタの破壊電圧及びNPNトランジスタ4のダイオードのブレークダウン電圧よりも低い電圧である。この特性より、I/O端子に静電気が印加された場合に発生するサージ電流は、サイリスタによって放電され、I/O端子とGND端子との間の電位差の上昇を抑制する。また、I/O端子とGND端子との間の電位差の上昇が抑制されるため、NPNトランジスタ4の寄生ダイオードはブレークダウンすることはなく、この寄生ダイオードに電流はほとんど流れない。

30

【0029】

静電気がGND-条件で印加された場合について説明する。この条件におけるサージ電流は、NPNトランジスタ4の寄生ダイオードの順方向電流によって、GND端子からNPNトランジスタ4を介してI/O端子に流れる。図3に、GND-条件におけるNPNトランジスタ4、PNPトランジスタ2、内部回路のNMOSトランジスタの電流電圧特性を示す。なお、図3に示すグラフでは、縦軸にI/O端子に印加される電流の絶対値を示し、横軸にI/O端子の端子電圧を示す。また、PNPトランジスタ2の電流電圧特性を曲線Aで示し、NPNトランジスタ4の電流電圧特性を曲線Bで示し、NMOSトランジスタの電流電圧特性を曲線Cで示す。

40

【0030】

図3に示すように、NPNトランジスタ4の電流電圧特性は、ダイオードの順方向動作に基づき急峻な傾きを有する。この特性より、I/O端子に静電気が印加された場合に発生するサージ電流は、NPNトランジスタ4のダイオードの順方向動作によって放電され、I/O端子とGND端子との間の電位差の上昇を抑制する。GND-条件ではサイリスタには、電流はほとんど流れない。

【0031】

静電気がVDD+条件で印加された場合について説明する。この条件におけるサージ電

50

流は、サイリスタを構成するPNPトランジスタ2のダイオードの順方向動作によって、I/O端子からPNPトランジスタ2を介してVDD端子に流れる。図4に、VDD+条件におけるNPNトランジスタ4、PNPトランジスタ2、内部回路のPMOSTランジスタの電流電圧特性を示す。なお、図4に示すグラフでは、縦軸にI/O端子に印加される電流の絶対値を示し、横軸にI/O端子の端子電圧を示す。また、PNPトランジスタ2の電流電圧特性を曲線Aで示し、NPNトランジスタ4の電流電圧特性を曲線Bで示し、PMOSTランジスタの電流電圧特性を曲線Dで示す。

【0032】

図4に示すように、PNPトランジスタ2の電流電圧特性は、ダイオードの順方向動作に基づき急峻な傾きを有する。また、NPNトランジスタ4のスナップバック電圧は、NMOSTランジスタの破壊電圧よりも高い電圧である。この特性より、I/O端子に静電気が印加された場合に発生するサージ電流は、PNPトランジスタ2のダイオードの順方向動作によって放電され、I/O端子とVDD端子との間の電位差の上昇を抑制する。また、I/O端子とVDD端子との間の電位差の上昇が抑制されるため、NPNトランジスタ4に電流はほとんど流れない。

10

【0033】

静電気がVDD-条件で印加された場合について説明する。この条件におけるサージ電流は、NPNトランジスタ4が導通状態になることによって、VDD端子からNPNトランジスタ4を介してI/O端子に流れる。本実施の形態においては、NPNトランジスタ4のスナップバック電圧をPNPトランジスタ2の寄生ダイオードのブレイクダウン電圧よりも低く設定している。図5に、VDD-条件におけるNPNトランジスタ4、PNPトランジスタ2、内部回路のNMOSTランジスタの電流電圧特性を示す。なお、図5に示すグラフでは、縦軸にI/O端子に印加される電流の絶対値を示し、横軸にI/O端子の端子電圧を示す。また、PNPトランジスタ2の電流電圧特性を曲線Aで示し、NPNトランジスタ4の電流電圧特性を曲線Bで示し、PMOSTランジスタの電流電圧特性を曲線Dで示す。

20

【0034】

図5に示すように、NPNトランジスタ4のスナップバック電圧は、NMOSTランジスタの破壊電圧及びPNPトランジスタ2の寄生ダイオードのブレイクダウン電圧よりも低い電圧である。この特性より、I/O端子にVDD-条件で、静電気が印加された場合に発生するサージ電流は、NPNトランジスタ4のスナップバック動作によって放電され、I/O端子とVDD端子との間の電位差の上昇を抑制する。また、I/O端子とVDD端子との間の電位差の上昇が抑制されるため、PNPトランジスタ2の寄生ダイオードはブレイクダウンすることなく、この寄生ダイオードに電流はほとんど流れない。

30

【0035】

上記説明より、本実施の形態の静電破壊保護装置1は、サイリスタのターンオン電圧をNPNトランジスタ4のエミッタ端子とベース端子との間に形成される寄生ダイオードのブレイクダウン電圧よりも低く設定する。また、NPNトランジスタ4がスナップバック動作を行う電圧をPNPトランジスタ2の寄生ダイオードのブレイクダウン電圧よりも低く設定する。これによって、本実施の形態の静電破壊保護装置1は、PNPトランジスタ2、NPNトランジスタ4の寄生ダイオードをブレイクダウンさせることなく、サージ電流を放電する。

40

【0036】

サイリスタがターンオンした場合のオン抵抗、スナップバック動作するトランジスタのオン抵抗は、ブレイクダウンした寄生ダイオードのオン抵抗よりも小さくなるため、図1に示すように静電破壊保護装置を構成することで、より大きなサージ電流を流すことが出来る。

【0037】

ここで、本実施の形態に用いられるトランジスタの構造について説明する。図6に本実施の形態にかかる静電破壊保護装置1の断面構造を示す。

50

【0038】

図6に示すように、基板領域の上層にNPNトランジスタ3が形成されるPウェル領域10、PNPトランジスタ2が形成されるNウェル領域20、NPNトランジスタ4が形成されるPウェル領域30を有している。

【0039】

Pウェル領域30の上層には、図1に示したNPNトランジスタ4のベース領域31、エミッタ領域32、コレクタ領域33が形成される。ベース領域31は、P型半導体で形成され、Pウェル領域30よりも不純物濃度が高く設定される。エミッタ領域32は、N型半導体で形成され、Nウェル領域よりも不純物濃度が高く設定される。また、エミッタ領域32の下部であって、エミッタ領域32に接する領域には、N型半導体で形成され、エミッタ領域32よりも不純物濃度の低いLDDP領域34が形成される。コレクタ領域33は、Nウェル領域よりも不純物濃度が高いN型半導体で形成されている。

10

【0040】

Nウェル領域20の上層には、図1に示したPNPトランジスタ2のエミッタ領域21、ベース領域22が形成される。ベース領域22は、N型半導体で形成され、Nウェル領域20よりも不純物濃度が高く設定される。エミッタ領域21は、P型半導体で形成され、Pウェル領域よりも不純物濃度が高く設定される。また、エミッタ領域21の下部であって、エミッタ領域21に接する領域には、P型半導体で形成され、エミッタ領域21よりも不純物濃度の低いLDDB領域23が形成される。なお、NPNトランジスタ3が形成されるPウェル領域10がPNPトランジスタ2のコレクタとなる。

20

【0041】

Pウェル領域10の上層には、図1に示したNPNトランジスタ3のエミッタ領域13、ダイオード5のアノード領域12、カソード領域11が形成される。エミッタ領域13は、N型半導体で形成され、Nウェル領域よりも不純物濃度が高く設定される。なお、NPNトランジスタ3が形成されるPウェル領域10が、NPNトランジスタ3のベース、PNPトランジスタが形成されたNウェル領域20がNPNトランジスタ3のコレクタに相当する。

【0042】

ダイオード5のアノード領域は、Pウェル領域10よりも不純物濃度の高いP型半導体で形成される。ダイオード5のカソード領域は、Nウェル領域20よりも不純物濃度の高いN型半導体で形成される。

30

【0043】

なお、Nウェル領域20及びPウェル領域10、30の上層であって、ベース領域、コレクタ領域、エミッタ領域、アノード領域及びカソード領域が形成されていない部分には、絶縁領域6が形成される。

【0044】

上記説明より、本実施の形態にかかる静電破壊保護装置1は、エミッタ領域21、32の下部にエミッタ領域よりも不純物濃度の低い領域(LDDB領域23及びLDDP領域34)を形成することで、エミッタ端子に印加される電圧に基づきエミッタ領域とウェル領域との間の電界強度を緩和させることができる。これによって、エミッタ端子とベース端子との間に形成されるダイオードのブレイクダウン電圧をダイオード5のブレイクダウン電圧あるいはNPNトランジスタ4のスナップバック電圧よりも高い電圧に設定する。このトランジスタの寄生ダイオードのブレイクダウン電圧は、LDDB領域23及びLDDP領域34の不純物濃度により調整することが可能である。

40

【0045】

この静電破壊保護装置1の製造方法について、図7乃至9、図10乃至15を用いて説明する。図7乃至9は、本実施の形態の静電破壊保護装置を、上面から見た図を示し、図10乃至図15は、図7乃至9のX-X'線に沿った断面構造を示す図である。

【0046】

第1の工程の終了時における静電破壊保護装置1の断面図を図10に示す。第1の工程

50

では、P型半導体で形成される基板領域の上層に選択的に溝（トレンチ）を形成し、この溝に酸化膜等の絶縁体を埋め込む。これによって、絶縁領域6を形成する。

【0047】

第2の工程の終了時における静電破壊保護装置1の断面図を図11に示す。図11に示すように、第2の工程では、Pウェル領域10、30とNウェル領域20が形成される。Pウェル領域10、30と、Nウェル領域20とは、それぞれマスクを用いてレジストを選択的に塗布するパターニングによって形状が規定される。このパターニングに基づき、所定の領域に不純物を注入することでPウェル領域10、30とNウェル領域20が形成される。Pウェル領域を形成する場合は、例えばボロンイオンを注入する。Nウェル領域10を形成する場合は、例えばリンイオンを注入する。

10

【0048】

第3の工程の終了時における静電破壊保護装置1の断面図を図12に示す。図12に示すように、第3の工程では、ダイオードのブレークダウン電圧を向上させるための低濃度領域（LDD領域23、LDD領域34）を形成する。LDD領域23は、PNPトランジスタ2のエミッタ領域21が形成される領域であって、エミッタ領域21が形成される領域よりも深い領域に達する領域に形成される。LDD領域23は、例えばボロンイオンを注入することで形成される。LDD領域34は、NPNトランジスタ4のエミッタ領域31が形成される領域であって、エミッタ領域31が形成される領域よりも深い領域に達する領域に形成される。LDD領域34は、例えばリンイオンを注入することで形成される。ここで、LDD領域23及びLDD領域34に注入される不純物濃度は、Nウェル領域及びPウェル領域とほぼ同じ濃度である。

20

【0049】

第4の工程の終了時における静電破壊保護装置1の断面図を図13に示す。図13に示すように、第4の工程では、ベース領域、コレクタ領域、エミッタ領域、アノード領域及びカソード領域が形成される。NPNトランジスタ4のベース領域31及びPNPトランジスタ2のエミッタ領域21及びダイオード5のアノード領域12は、ボロンイオンを注入することで形成される。このとき、注入される不純物の濃度は、Pウェル領域の不純物の濃度よりも高い。一方、NPNトランジスタ4のコレクタ領域33、エミッタ領域32、NPNトランジスタ3のエミッタ領域13、及びPNPトランジスタ2のベース領域22は、ヒ素イオンを注入することで形成される。このとき、注入される不純物の濃度は、Nウェル領域の不純物の濃度よりも高い。この工程までが終了し、次の工程で形成されるコンタクトを示した上面図が、図7に相当する。

30

【0050】

第5の工程の終了時における静電破壊保護装置1の断面図を図14に示す。図14に示すように、第5の工程では、層間膜41とコンタクト42、1層目の金属配線43が形成される。層間膜41は、素子領域の表面を覆うように形成される。コンタクト42は、ベース領域、コレクタ領域、エミッタ領域の表面がそれぞれ露出するように層間膜41を貫通して形成される。コンタクト42は、層間膜41に形成された溝に金属材料を充填することで形成される。1層目の金属配線43は、静電破壊保護装置1の素子の接続に応じて配線され、層間膜41の表面に形成される。この金属配線を形成した段階での上面図が、図8に相当する。なお、図8では、次の工程で形成されるビアも合わせて示されている。

40

【0051】

第6の工程の終了時における静電破壊保護装置1の断面図を図15に示す。図15に示すように、第6の工程では、層間膜44、ビア45、2層目の金属配線46が形成される。層間膜44は、1層目の金属配線と2層目の金属配線とを絶縁するように形成される。ビア45は、1層目の金属配線と2層目の金属配線とを接続する。ビア45は、層間膜44を貫通して、1層目の金属配線の表面が露出するように形成された溝に金属材料を埋め込むことで形成される。2層目の金属配線46は、層間膜44の表面に形成される。この状態の上面図が図9に相当する。

【0052】

50

第1の工程から第6の工程を経ることで、本実施の形態にかかる静電破壊保護装置1を製造することが可能である。また、上記工程は、MOSトランジスタを形成する工程と同じ工程によって実現可能である。これによって、破壊耐圧の低いMOSトランジスタを用いる回路においても、本実施の形態にかかる静電破壊保護装置1を用いて内部回路を保護することが可能である。なお、上記製造工程は、製造方法の一例であって、本実施の形態にかかる静電破壊保護装置1の製造方法はこれに限られたものではない。

【0053】

変形例

【0054】

以下、本発明にかかる静電破壊保護装置1を図6に示した構造とは異なる構造で実現した場合の変形例について説明する。まず、第1の変形例について説明する。第1の変形例にかかる静電破壊保護装置1の断面構造を図16に示す。図16に示すように、第1の変形例にかかる静電破壊保護装置1は、LDD領域23及びLDP領域34に変えて、Pウェル領域23a及びNウェル領域34aを有している。この場合においても、エミッタ領域とベース領域との間にエミッタ領域と同じ導電型であって、エミッタ領域よりも不純物濃度の低い領域が挿入されることになる。従って、ベース端子とエミッタ端子との間に形成されるダイオードのブレークダウン電圧を向上させることが可能である。なお、第1の変形例では、エミッタ領域21の下部に形成されるPウェル領域23aと基板領域5とを絶縁するために、PNPトランジスタ3が形成される領域の下層にディープNウェル領域24が形成される。図に示すように、このディープNウェル領域24は、LDP領域34に代えて形成されたNウェル領域34aの下部には形成されないため、I/O端子とVDD端子がショートしてしまうこともない。

10

20

【0055】

第2の変形例について説明する。第2の変形例にかかる静電破壊保護装置1は、PNP2のエミッタ領域21とNウェル領域20との間のブレークダウン電圧が高い場合である。この場合の静電破壊保護装置1の断面構造を図17に示す。図17に示すように、第2の変形例にかかる静電破壊保護装置1は、NPNトランジスタ4のエミッタ領域に隣接する低濃度領域としてLDP領域34のみを有している。この第2の変形例においても、LDD領域をPウェル領域34aに置換しても良い。LDP領域34をPウェル領域34aに置換した場合の静電破壊保護装置1の断面図を図18に示す。

30

【0056】

第3の変形例について説明する。第3の変形例にかかる静電破壊保護装置1は、NPNトランジスタ4のエミッタ領域32とPウェル領域30との間のブレークダウン電圧が高い場合である。この場合の静電破壊保護装置1の断面構造を図19に示す。図19に示すように、第3の変形例にかかる静電破壊保護装置1は、PNPトランジスタ2のエミッタ領域21に隣接する低濃度領域としてLDD領域23のみを有している。この第3の変形例においても、LDD領域23をPウェル領域23aに置換しても良い。LDD領域23をPウェル領域23aに置換した場合の静電破壊保護装置1の断面図を図20に示す。なお、図20に示すように、ディープNウェル領域24は、PNPトランジスタ3が形成される領域の下層のみならず、NPNトランジスタ2が形成される領域の下層に形成されていても良い。

40

【0057】

実施の形態2

【0058】

実施の形態2にかかる静電破壊保護装置1aは、実施の形態1にかかる静電破壊保護装置1のウェル領域に形成される寄生抵抗(抵抗RNW及び抵抗RPW)の抵抗値を実質的に大きくしたものである。この寄生抵抗の抵抗値を大きくすると、エミッタ端子とベース端子との間に形成されるダイオードがブレークダウンした後に、I/O端子とVDD端子又はGND端子との間の電位差をサージ電流の大きさに応じて拡大することが可能である。この電位差の拡大によって、サイリスタのターンオン動作、トランジスタのスナッチバ

50

ック動作の開始より前に、トランジスタの寄生ダイオードがブレイクダウン動作を開始した場合であっても、ダイオードが破壊する前にトランジスタがスナップバック動作を開始することが可能である。

【0059】

例えば、製造工程のばらつきによって、ダイオードのブレイクダウン電圧が大きくばらつく場合には、このように抵抗 R_{NW} 及び抵抗 R_{PW} の抵抗値を実質的に大きくしておくことが有効である。

【0060】

抵抗 R_{NW} 及び抵抗 R_{PW} の抵抗値を実質的に大きくした静電破壊保護装置 1 a の断面図の一例を図 2 1 に示す。図 2 1 に示すように、この場合における静電破壊保護装置 1 a は、実施の形態 1 にかかる静電破壊保護装置 1 よりも、エミッタ領域とベース領域とが離されて配置されている。これによって、エミッタ領域とベース領域との間に形成される N ウェル領域 2 0 の距離が長くなるため、抵抗 R_{NW} 及び抵抗 R_{PW} の抵抗値は大きくなる。また PNP トランジスタ 2 の寄生ダイオードの抵抗値を大きくする場合は PNP トランジスタのベースに接続する VDD 端子を半導体基板上他の領域に形成された N ウェルの N 型不純物拡散層に入力し、P ウェル領域と P 型基板の分離のために形成されたディープ N ウェル層を介してベースに接続するような構成としてもよい。この様な構造とした場合の断面図を図 2 2 に示す。

【0061】

また、実施の形態 2 における第 1 の変形例についての断面図を図 2 3 に示す。実施の形態 2 における第 1 の変形例にかかる静電破壊保護装置 1 a は、各エミッタ領域とベース領域との距離は実施の形態 1 と同じである。実施の形態 2 における第 1 の変形例では、コレクタ領域とベース領域との間の領域に不純物濃度が低いウェル領域を有している。この不純物濃度が低いウェル領域は、周辺に形成されるウェル領域と同じ導電型の半導体によって形成される。不純物濃度が低いウェル領域の抵抗値は、周辺に形成されるウェル領域よりも抵抗値が高い。従って、この不純物濃度が低いウェル領域を配置することで、抵抗 R_{NW} 及び抵抗 R_{PW} の抵抗値を高めることが可能である。

【0062】

実施の形態 2 における第 2 の変形例についての断面図を図 2 4 に示す。実施の形態 2 における第 1 の変形例にかかる静電破壊保護装置 1 a は、実施の形態 1 にかかる静電破壊保護装置 1 と同じ構造を有している。しかし、ベース領域とベース領域が接続される端子との間に抵抗を有している。この抵抗は、例えばポリシリコンを用いた抵抗である。また、この抵抗は、NPN トランジスタ 3 及び PNP トランジスタ 2 とは別に形成される。このように、トランジスタとは別に形成される抵抗を用いることで、半導体装置を製造後に配線を加工して、抵抗 R_{NW} 及び抵抗 R_{PW} の抵抗値を変更することが可能である。

【0063】

以上、詳細に説明したように本実施の形態の静電破壊保護回路、保護方法によれば、電源側、接地側どちらの電源電圧に対して、正負どちらの極性の静電気が入力された場合でも内部回路を確実に防止することが可能となる。また、サイリスタのターンオンによる電流、あるいはトランジスタのスナップバック動作による電流を用いてサージ電流を放電するため、トランジスタの寄生ダイオードのブレイクダウンなどによるサージ放電に比べて大きな電流を流すことが可能となり、半導体装置の破壊を防止することが可能となる。

【0064】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、それぞれの実施の形態の組み合わせや変形例を組み合わせることなども可能である。

【図面の簡単な説明】

【0065】

【図 1】実施の形態 1 にかかる静電破壊保護回路の回路図である。

【図 2】実施の形態 1 にかかる静電破壊保護回路において GND + 条件で静電気を印加し

10

20

30

40

50

た場合の素子の電流電圧特性を示すグラフである。

【図 3】実施の形態 1 にかかる静電破壊保護回路において GND - 条件で静電気を印加した場合の素子の電流電圧特性を示すグラフである。

【図 4】実施の形態 1 にかかる静電破壊保護回路において VDD + 条件で静電気を印加した場合の素子の電流電圧特性を示すグラフである。

【図 5】実施の形態 1 にかかる静電破壊保護回路において VDD - 条件で静電気を印加した場合の素子の電流電圧特性を示すグラフである。

【図 6】実施の形態 1 にかかる静電破壊保護回路の断面図である。

【図 7】実施の形態 1 にかかる静電破壊保護回路のレイアウトを示す図である。

【図 8】図 7 に示す静電破壊保護回路の上層に金属配線を形成した場合のレイアウトを示す図である。 10

【図 9】図 8 に示す静電破壊保護回路の上層に金属配線を形成した場合のレイアウトを示す図である。

【図 10】第 1 の工程が終了したときの実施の形態 1 にかかる静電破壊保護回路の断面図である。

【図 11】第 2 の工程が終了したときの実施の形態 1 にかかる静電破壊保護回路の断面図である。

【図 12】第 3 の工程が終了したときの実施の形態 1 にかかる静電破壊保護回路の断面図である。

【図 13】第 4 の工程が終了したときの実施の形態 1 にかかる静電破壊保護回路の断面図である。 20

【図 14】第 5 の工程が終了したときの実施の形態 1 にかかる静電破壊保護回路の断面図である。

【図 15】第 6 の工程が終了したときの実施の形態 1 にかかる静電破壊保護回路の断面図である。

【図 16】実施の形態 1 の変形例にかかる静電破壊保護回路の断面図である。

【図 17】実施の形態 1 の変形例にかかる静電破壊保護回路の断面図である。

【図 18】実施の形態 1 の変形例にかかる静電破壊保護回路の他の一例の断面図である。

【図 19】実施の形態 1 の変形例にかかる静電破壊保護回路の断面図である。

【図 20】実施の形態 1 の変形例にかかる静電破壊保護回路の他の一例の断面図である。 30

【図 21】実施の形態 2 にかかる静電破壊保護回路の断面図である。

【図 22】実施の形態 2 の変形例にかかる静電破壊保護回路の断面図である。

【図 23】実施の形態 2 の変形例にかかる静電破壊保護回路の断面図である。

【図 24】実施の形態 2 の変形例にかかる静電破壊保護回路の断面図である。

【図 25】従来の静電破壊保護回路の回路図である。

【符号の説明】

【0066】

1、1a 静電破壊保護装置

2 PNP トランジスタ

3、4 NPN トランジスタ 40

5 ダイオード

6 絶縁領域

10、30、34a P ウェル領域

20、23a N ウェル領域

11 カソード領域

12 アノード領域

13、21、32 エミッタ領域

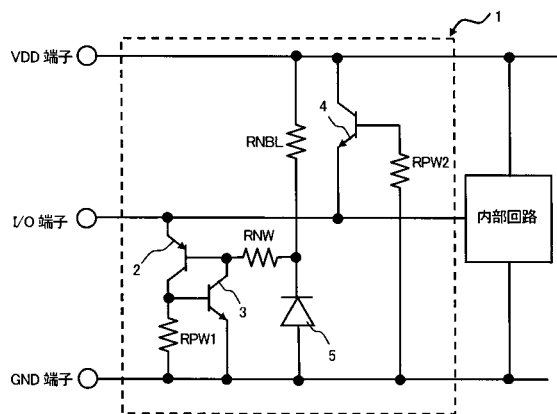
22、31 ベース領域

24 ディープ N ウェル領域

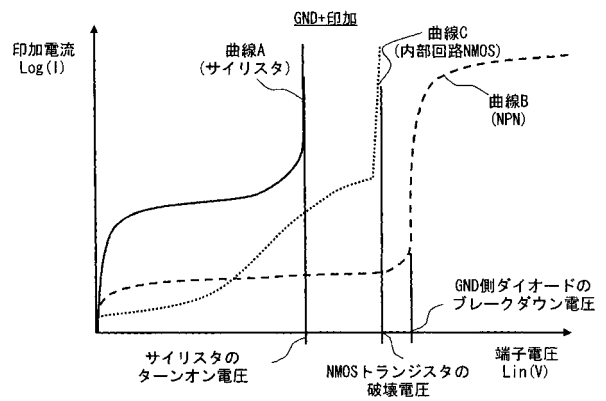
33 コレクタ領域 50

- 4 1 層間膜
- 4 2 コンタクト
- 4 3 金属配線
- 4 4 層間膜
- 4 5 ビア
- 4 6 金属配線
- R P W、R N W 抵抗

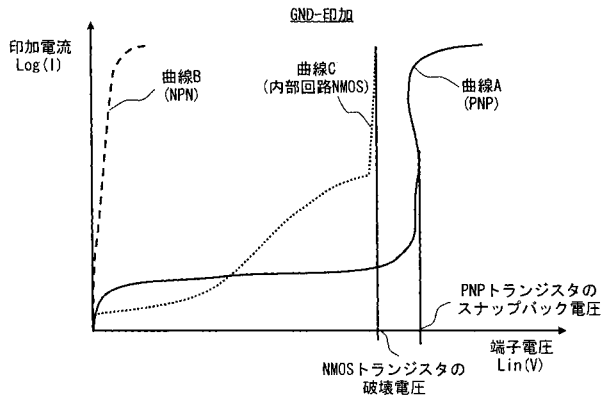
【 図 1 】



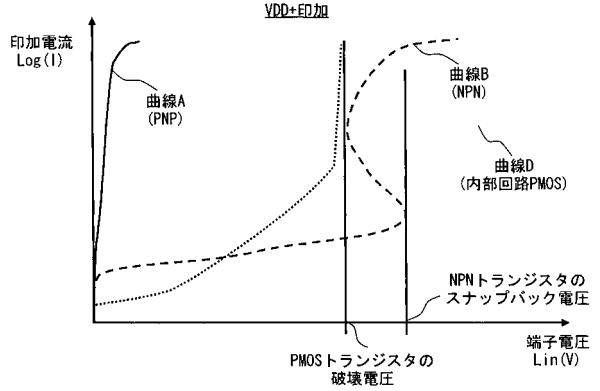
【 図 2 】



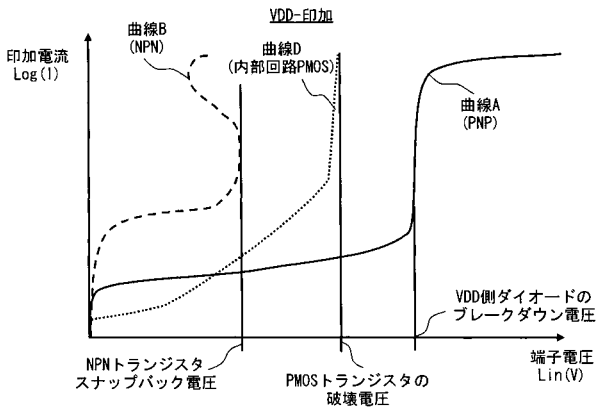
【 図 3 】



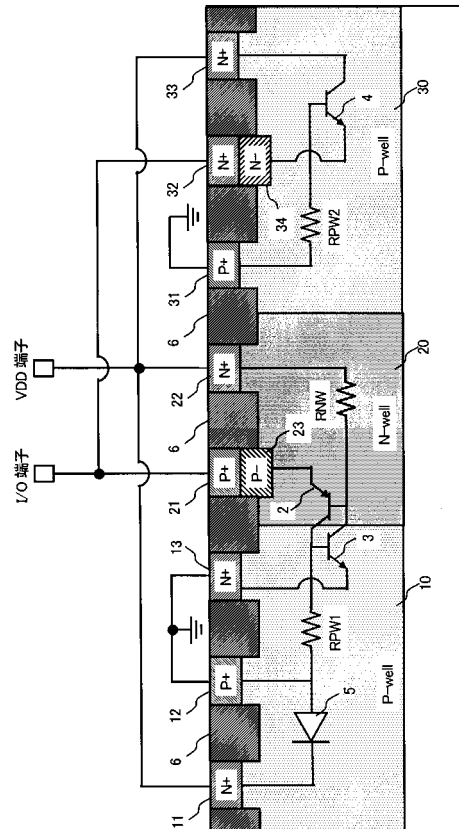
【 図 4 】



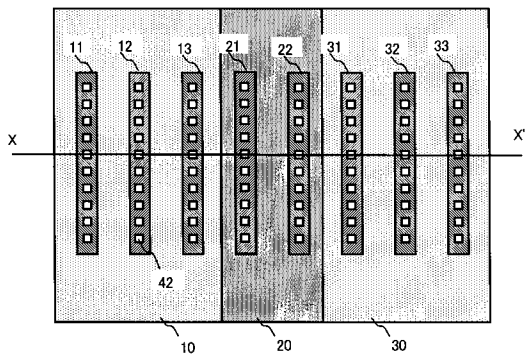
【 図 5 】



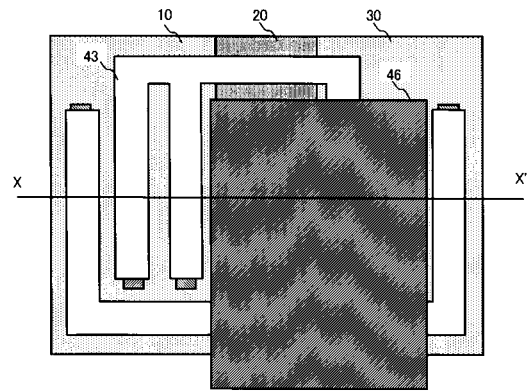
【 図 6 】



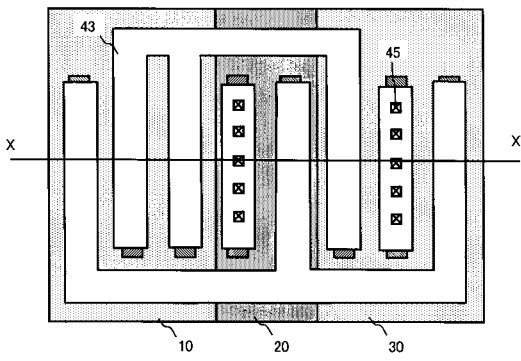
【 図 7 】



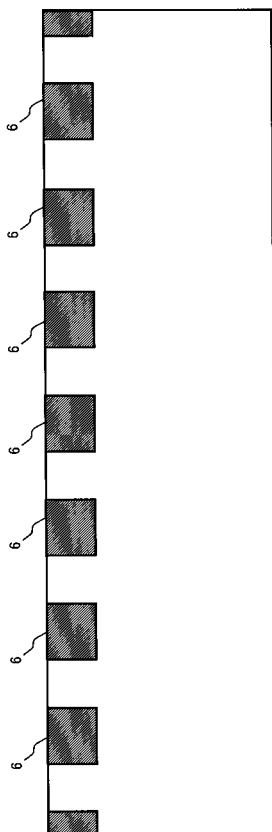
【 図 9 】



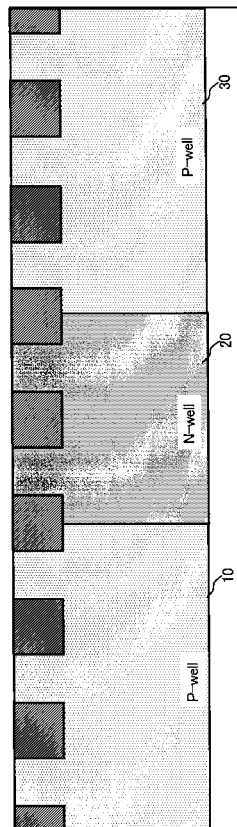
【 図 8 】



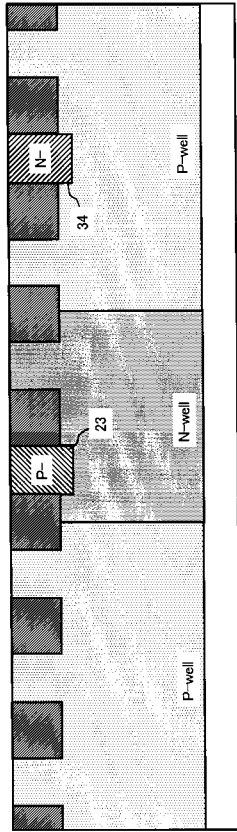
【 図 10 】



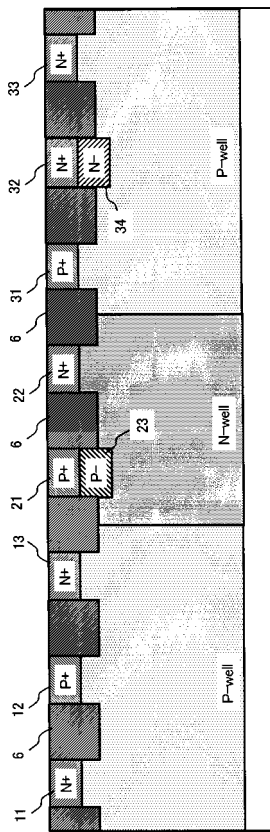
【 図 11 】



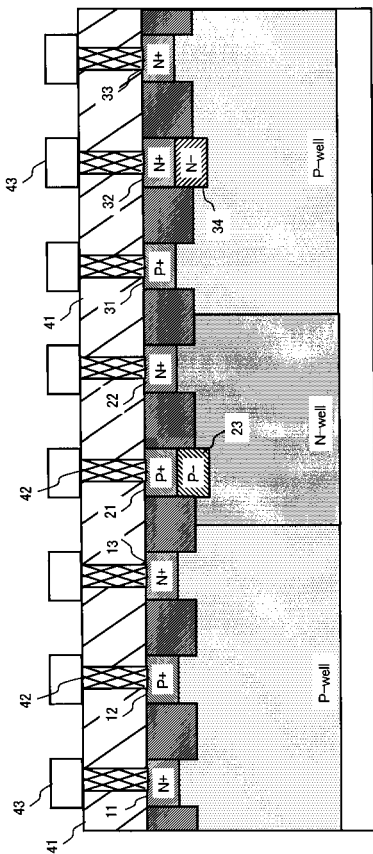
【 図 1 2 】



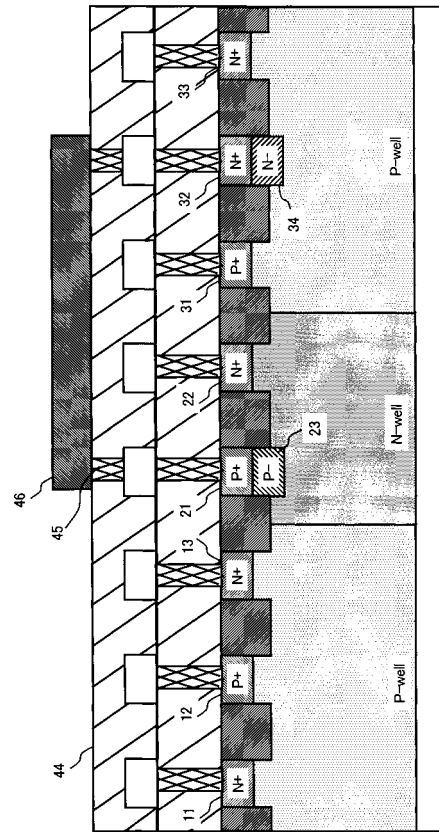
【 図 1 3 】



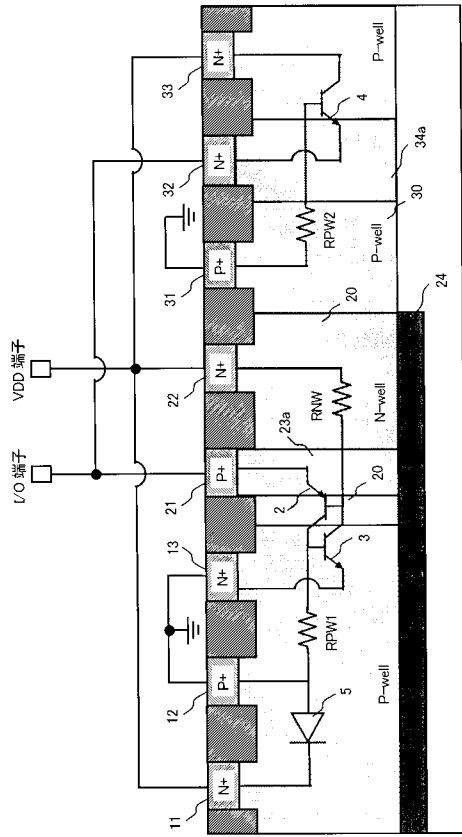
【 図 1 4 】



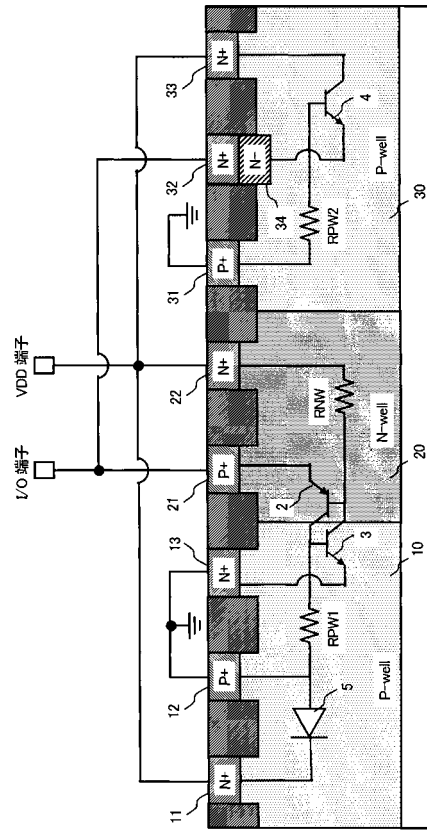
【 図 1 5 】



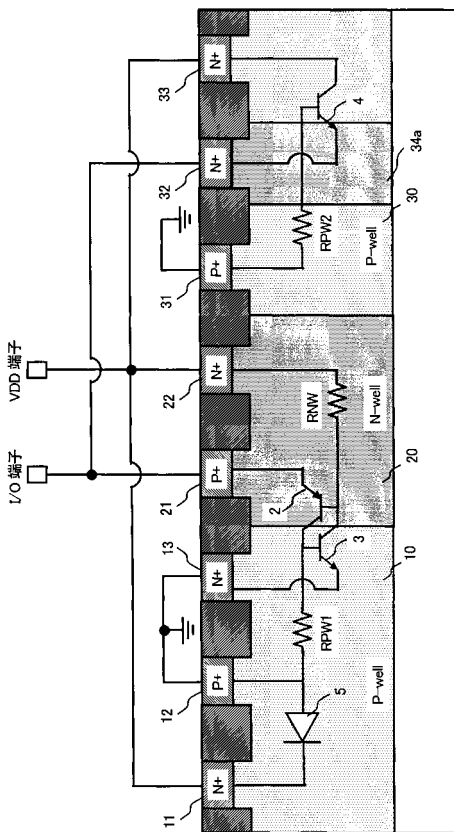
【 図 1 6 】



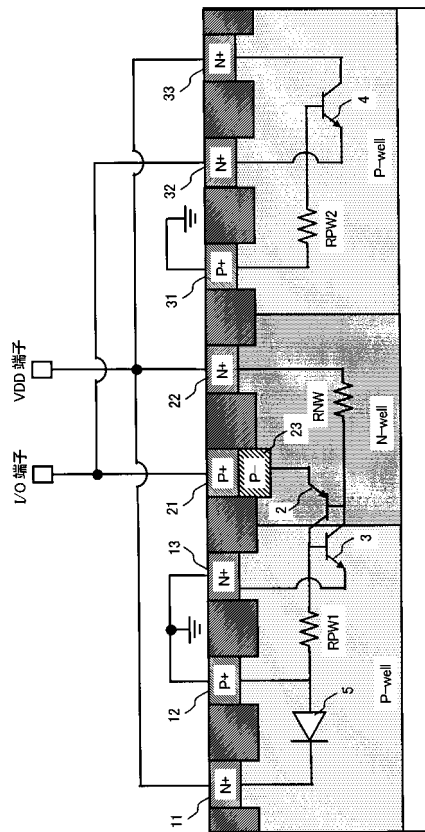
【 図 1 7 】



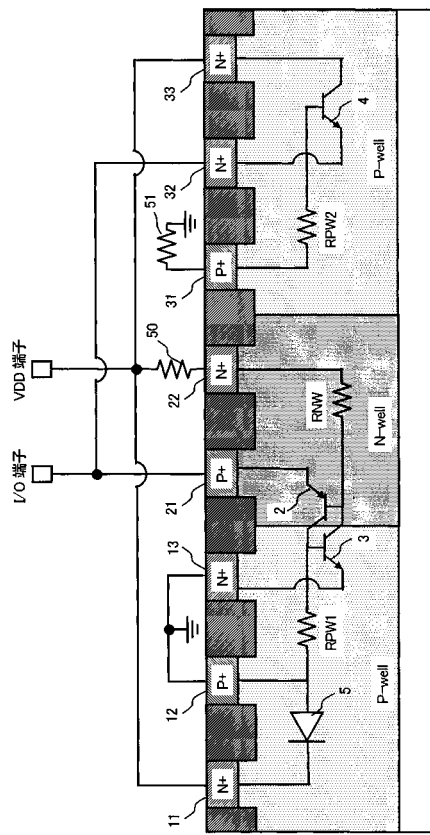
【 図 1 8 】



【 図 1 9 】



【 図 2 4 】



【 図 2 5 】

