

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7647239号
(P7647239)

(45)発行日 令和7年3月18日(2025.3.18)

(24)登録日 令和7年3月10日(2025.3.10)

(51)国際特許分類

F I

H 1 0 D	30/66	(2025.01)	H 1 0 D	30/66	1 0 1 H
H 1 0 D	62/10	(2025.01)	H 1 0 D	30/66	1 0 1 T
H 1 0 D	30/01	(2025.01)	H 1 0 D	30/66	1 0 3 B
H 1 0 D	12/00	(2025.01)	H 1 0 D	62/10	1 0 1 G
			H 1 0 D	62/10	1 0 1 V

請求項の数 8 (全18頁) 最終頁に続く

(21)出願番号 特願2021-58100(P2021-58100)
 (22)出願日 令和3年3月30日(2021.3.30)
 (65)公開番号 特開2022-154849(P2022-154849
 A)
 (43)公開日 令和4年10月13日(2022.10.13)
 審査請求日 令和6年3月13日(2024.3.13)

(73)特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74)代理人 100105854
 弁理士 廣瀬 一
 (74)代理人 100103850
 弁理士 田中 秀 てつ
 (72)発明者 森谷 友博
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 審査官 戸川 匠

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

シリコンよりもバンドギャップが広い六方晶系半導体からなる第1導電型のドリフト層と、

前記ドリフト層の上面に設けられ、前記ドリフト層より高不純物濃度の第1導電型の電流拡散層と、

前記電流拡散層の上面に設けられた第2導電型のベース領域と、

前記電流拡散層の内部に設けられ、曲面からなる第1下端部を有する第2導電型のゲート底部保護領域と、

前記電流拡散層の内部に前記ゲート底部保護領域と離間して、前記ベース領域の下面に接し、前記ゲート底部保護領域に対向する側面に、曲面からなる第2下端部を有する第2導電型のベース底部埋込領域と、

前記ベース領域を貫通し前記ゲート底部保護領域に達するストライプ状のトレンチの内部に設けられた絶縁ゲート型電極構造と、

を備え、

前記トレンチの延在方向に垂直に切った断面において、

前記ベース底部埋込領域の底面が、前記ゲート底部保護領域の底面より深くに位置し、

前記第1下端部の曲率半径の最小値が、前記第2下端部の曲率半径の最小値より大きいことを特徴とする半導体装置。

【請求項2】

10

20

前記ゲート底部保護領域が、前記ベース底部埋込領域よりも高不純物濃度を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ゲート底部保護領域の不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 未満であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記ベース底部埋込領域の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 未満であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 5】

前記ゲート底部保護領域が曲面からなる上端部を有し、該上端部の曲率半径の最小値は前記第 2 下端部の前記曲率半径の最小値よりも大きいことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

10

【請求項 6】

前記ベース底部埋込領域の前記底面に接し、前記電流拡散層よりも高不純物濃度の第 1 導電型の部分電流拡散層を更に備えることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記絶縁ゲート型電極構造が設けられた活性部の周囲に配置され、前記ドリフト層の上部に底面が前記ベース底部埋込領域の前記底面と同一レベルで、前記ベース底部埋込領域と同一不純物濃度で設けられた第 2 導電型のガードリングを更に備えることを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の半導体装置。

20

【請求項 8】

前記六方晶系半導体が、炭化珪素であることを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、高信頼性のトレンチ型半導体装置に関する。

【背景技術】

【0002】

従来、電力変換装置などに主として用いられるパワー半導体装置には、シリコン (Si) 半導体が用いられている。近年、Si に代わる半導体材料として、ワイドギャップ半導体である炭化珪素 (SiC) が期待されている。SiC 半導体は、Si を材料に用いた従来の半導体素子と比較して、オン状態における素子の抵抗を数百分の 1 に低減できることや、より高温 (例えば 200 以上) の環境下で使用可能なことなどの利点がある。これは、SiC のバンドギャップが Si に対して 3 倍程度大きく、絶縁破壊電界強度が Si より 10 倍ほど大きいという材料自体の特性による。

30

【0003】

パワー半導体装置としては、ショットキバリアダイオード (SBD)、電界効果トランジスタ (FET)、静電誘導トランジスタ (SIT)、絶縁ゲート型バイポーラトランジスタ (IGBT) などが製品化されている。トレンチ型 MOSFET は、SiC 半導体基板にトレンチを形成し、トレンチの側壁をチャネルとして利用する 3 次元構造の半導体装置である。そのため、同じ ON 抵抗の素子同士で比べた場合、プレーナ型縦型 MOSFET よりもトレンチ型 MOSFET は素子面積を圧倒的に小さくすることができ、特に有望な半導体素子構造と考えられる。

40

【0004】

従来のトレンチ型 MOSFET においては、SiC 半導体層内に設けたトレンチの側壁に沿って縦方向にチャネルを形成するため、トレンチの内壁全体をゲート絶縁膜で覆う構造となる。SiC では絶縁破壊電界強度が Si より 10 倍ほど大きいため、高電圧印加時に SiC 半導体層が絶縁破壊せず、トレンチ内壁に設けたゲート絶縁膜にも高電界が印加

50

される。特に、ドレイン電極に対向するトレンチの底部には電界が集中し易く、ゲート絶縁膜の絶縁破壊が容易に発生してしまう。トレンチ型 MOSFET の信頼性を向上させるために、トレンチ底部での電界集中を緩和してゲート絶縁膜の破壊を防止する電界緩和構造が要求される。従来、電界緩和構造として、ベース領域に接する p^+ 型のベース底部埋込領域と、トレンチ底部に接する p^+ 型のゲート底部保護領域とを同一レベルで選択的に設けている。

【0005】

特許文献 1 では、ベース底部埋込領域をゲート底部保護領域よりドレイン領域側に深く形成する構造が記載されている。特許文献 1 の構造では、ベース底部埋込領域側の pn 接合がゲート底部保護領域側の pn 接合より電界強度が高くなる。それにより、アバランシェ降伏をベース底部埋込領域側で発生させ、ゲート絶縁膜へのキャリア注入を防止している。

10

【0006】

特許文献 2 では、ベース底部埋込領域の底面に接するように、ゲート底部保護領域直下の n 型不純物添加層よりも高不純物濃度の n 型埋込層を設けることが記載されている。高不純物濃度の n 型埋込層とベース底部埋込領域との間の pn 接合に印加される電界強度は、 n 型不純物添加層とゲート底部保護領域との間の pn 接合よりも高くなる。そのため、アバランシェ降伏がゲート底部保護領域側ではなくベース底部埋込領域側で発生し易くなり、アバランシェ電流がゲート絶縁膜に流れることを防止している。

【0007】

しかし、特許文献 1 及び 2 において、ベース底部埋込領域とゲート底部保護領域とは同一形状で形成されるため、ベース底部埋込領域及びゲート底部保護領域それぞれの角部に電界が集中し易い。そのため、ゲート底部保護領域の角部において、アバランシェ降伏の発生に十分な電界強度に達する可能性がある。ゲート底部保護領域側の pn 接合でアバランシェ降伏が発生すると、トレンチ内部のゲート絶縁膜にキャリアが注入されてゲート絶縁膜が絶縁破壊される虞がある。

20

【先行技術文献】

【特許文献】

【0008】

【文献】国際公開第 2017/064949 号公報

30

【文献】特許第 6617657 号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明は、上記問題点を鑑み、ゲート絶縁膜の絶縁破壊を防止できる高信頼性の半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するために、本発明の一態様は、(a) シリコンよりもバンドギャップが広い六方晶系半導体からなる第 1 導電型のドリフト層と、(b) ドリフト層の上面に設けられ、ドリフト層より高不純物濃度の第 1 導電型の電流拡散層と、(c) 電流拡散層の上面に設けられた第 2 導電型のベース領域と、(d) 電流拡散層の内部に設けられ、曲面からなる第 1 下端部を有する第 2 導電型のゲート底部保護領域と、(e) 電流拡散層の内部にゲート底部保護領域と離間して、ベース領域の下面に接し、ゲート底部保護領域に対向する側面に、曲面からなる第 2 下端部を有する第 2 導電型のベース底部埋込領域と、(f) ベース領域を貫通しゲート底部保護領域に達するストライプ状のトレンチの内部に設けられた絶縁ゲート型電極構造と、を備え、トレンチの延在方向に垂直に切った断面において、ベース底部埋込領域の底面が、ゲート底部保護領域の底面より深くに位置し、第 1 下端部の曲率半径の最小値が、第 2 下端部の曲率半径の最小値より大きい半導体装置であることを要旨とする。

40

50

【発明の効果】

【0011】

本発明によれば、ゲート絶縁膜の絶縁破壊を防止できる高信頼性の半導体装置を提供できる。

【図面の簡単な説明】

【0012】

【図1】本発明の実施形態に係る半導体装置の平面概略図である。

【図2】図1に示したA-A線方向から見た断面概略図である。

【図3】図2中のB部分の拡大図である。

【図4】図3に示したベース底部埋込領域の底面角部の曲率半径を縮小する方法の一例を説明する断面概略図である。 10

【図5】ガードリングの不純物濃度と終端部の耐圧との関係を示す図である。

【図6】本発明の実施形態に係る半導体装置の製造方法の工程の一例を説明するための断面概略図である。

【図7】本発明の実施形態に係る半導体装置の製造方法の図6に引き続く工程の一例を説明するための断面概略図である。

【図8】本発明の実施形態に係る半導体装置の製造方法の図7に引き続く工程の一例を説明するための断面概略図である。

【図9】本発明の実施形態に係る半導体装置の製造方法の図8に引き続く工程の一例を説明するための断面概略図である。 20

【図10】本発明の実施形態に係る半導体装置の製造方法の図9に引き続く工程の一例を説明するための断面概略図である。

【図11】本発明の実施形態に係る半導体装置の製造方法の図10に引き続く工程の一例を説明するための断面概略図である。

【図12】本発明の実施形態に係る半導体装置の製造方法の図11に引き続く工程の一例を説明するための断面概略図である。

【図13】本発明の実施形態に係る半導体装置の製造方法の図12に引き続く工程の一例を説明するための断面概略図である。

【図14】本発明の実施形態に係る半導体装置の製造方法の図13に引き続く工程の一例を説明するための断面概略図である。 30

【図15】本発明の実施形態に係る半導体装置の製造方法の図14に引き続く工程の一例を説明するための断面概略図である。

【図16】本発明の実施形態に係る半導体装置の製造方法の図15に引き続く工程の一例を説明するための断面概略図である。

【図17】本発明の実施形態に係る半導体装置の製造方法の図16に引き続く工程の一例を説明するための断面概略図である。

【図18】本発明の実施形態に係る半導体装置の製造方法の図17に引き続く工程の一例を説明するための断面概略図である。

【発明を実施するための形態】

【0013】

以下、図面を参照して、本発明の実施形態を説明する。図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率などは実際のものとは異なる場合がある。また、図面相互間においても寸法の関係や比率が異なる部分が含まれ得る。また、以下に示す実施形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置などを下記のものに特定するものでない。 40

【0014】

本明細書においてMOSトランジスタのソース領域は絶縁ゲート型バイポーラトランジスタ(IGBT)のエミッタ領域として選択可能な「一方の主領域(第1主領域)」であ 50

る。又、MOS制御静電誘導サイリスタ(SIサイリスタ)などのサイリスタにおいては、一方の主領域はカソード領域として選択可能である。MOSトランジスタのドレイン領域は、IGBTにおいてはコレクタ領域を、サイリスタにおいてはアノード領域として選択可能な半導体装置の「他方の主領域(第2主領域)」である。本明細書において単に「主領域」と言うときは、当業者の技術常識から妥当な第1主領域又は第2主領域のいずれかを意味する。

【0015】

また、以下の説明における上下などの方向の定義は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。また以下の説明では、第1導電型がn型、これと反対となる第2導電型がp型の場合について例示的に説明する。しかし、導電型を逆の関係に選択して、第1導電型をp型、第2導電型をn型としても構わない。またnやpに付す+や-は、+及び-が付記されていない半導体領域に比して、それぞれ相対的に不純物濃度が高い又は低い半導体領域であることを意味する。ただし同じnとnとが付された半導体領域であっても、それぞれの半導体領域の不純物濃度が厳密に同じであることを意味するものではない。

【0016】

<半導体装置の構造>

本発明の実施形態に係るSiC半導体装置(半導体チップ)100は、図1に示すように、活性部101と外周部102とからなる。例えば、活性部101は矩形の平面形状を有し、外周部102は活性部101を囲んでその周辺に配置される。図2は、図1に示したA-A線方向から見た断面図である。図2に示すように、活性部101には活性素子が含まれ、外周部102には終端構造が含まれる。図2では、活性素子として第1導電型(n⁻型)のドリフト層2の上部に設けられたトレンチゲート構造のMOSFETを、終端構造として複数の電界緩和領域(ガードリング)44を含む場合を例示している。ストライプ状のトレンチ11aは紙面に垂直な方向に延在する。

【0017】

図2に示すように、ドリフト層2の上には第2導電型(p型)のベース領域8が配置されている。ドリフト層2及びベース領域8はSiCからなるエピタキシャル成長層(以下において「エピタキシャル層」と略記する。)でそれぞれ構成されている。ベース領域8の上部には、ベース領域8よりも高不純物濃度のp⁺型のベースコンタクト領域10が選択的に設けられている。ベース領域8の上部には、ベースコンタクト領域10に接するように、ドリフト層2よりも高不純物濃度のn⁺型の第1主領域(ソース領域)9が選択的に設けられている。

【0018】

ソース領域9及びベース領域8の上面からベース領域8を貫通して、幅が1μm以下のストライプ状のトレンチ11aが設けられている。トレンチ11aの側面には、ソース領域9及びベース領域8が接している。トレンチ11aの底面及び側面にはゲート絶縁膜13が設けられている。トレンチ11a内にはゲート絶縁膜13を介してゲート電極14aが埋め込まれ、絶縁ゲート型電極構造(13, 14a)を構成する。ゲート絶縁膜13としては、二酸化珪素膜(SiO₂膜)の他、酸化窒化珪素(SiON)膜、ストロンチウム酸化物(SrO)膜、窒化珪素(Si₃N₄)膜、アルミニウム酸化物(Al₂O₃)膜、マグネシウム酸化物(MgO)膜、イットリウム酸化物(Y₂O₃)膜、ハフニウム酸化物(HfO₂)膜、ジルコニウム酸化物(ZrO₂)膜、タンタル酸化物(Ta₂O₅)膜、ビスマス酸化物(Bi₂O₃)膜のいずれか1つの単層膜或いはこれらの複数を積層した複合膜などが採用可能である。ゲート電極14aの材料としては、例えば燐(P)やボロン(B)などの不純物を高不純物濃度に添加したポリシリコン層(ドーパドポリシリコン層)が使用可能である。

【0019】

ドリフト層2の上部には、ドリフト層2よりも高不純物濃度のn⁺型の電流拡散層(C

10

20

30

40

50

SL)(3,6)が選択的に設けられている。電流拡散層(3,6)は、ドリフト層2に下面が接する第1拡散層3と、第1拡散層3の上面及びベース領域8の下面に接し、トレンチ11aの側面に接する第2拡散層6とから構成される。トレンチ11aの底部は第1拡散層3に達する。なお、電流拡散層(3,6)は必ずしも設ける必要はない。電流拡散層(3,6)を設けない場合、トレンチ11aの底部はドリフト層2に達する。第1拡散層3の内部には、トレンチ11aの底部に接するように、 p^+ 型のゲート底部保護領域5が設けられている。ベースコンタクト領域10の下方の第1拡散層3の内部には、ゲート底部保護領域5より深く、ゲート底部保護領域5から離間して p^+ 型の第1埋込領域4が設けられている。ベースコンタクト領域10の下方の第2拡散層6の内部には、第1埋込領域4の上面とベース領域8の下面に接するように p^+ 型の第2埋込領域7が設けられている。第1埋込領域4と第2埋込領域7とでベース底部埋込領域(4,7)を構成する。ゲート底部保護領域5は、ベース底部埋込領域(4,7)の第1埋込領域4よりも高不純物濃度を有する。

10

【0020】

ゲート電極14aの上面には、図2に示すように、層間絶縁膜15が配置される。層間絶縁膜15としては、硼素(B)及び燐(P)を添加したシリコン酸化膜(BPSG)が用いられる。しかし、層間絶縁膜15としては、燐(P)を添加した酸化珪素膜(PSG)、「NSG」と称される燐(P)や硼素(B)を含まないノンドープの SiO_2 膜、硼素(B)を添加した酸化珪素膜(BSG)、窒化珪素(Si_3N_4)膜などでもよい。またこれらの積層膜でもよい。

20

【0021】

図2に示すように、層間絶縁膜15の間に露出したソース領域9及びベースコンタクト領域10に物理的に接するようにソースコンタクト層16が設けられる。層間絶縁膜15及びソースコンタクト層16を覆うようにバリアメタル層17が設けられる。第1主電極(ソース電極)18aは、バリアメタル層17及びソースコンタクト層16を介してソース領域9及びベースコンタクト領域10に電氣的に接続される。例えば、ソースコンタクト層16がニッケルシリサイド($NiSi_x$)膜、バリアメタル層17が窒化チタン(TiN)膜やチタン(Ti)膜、ソース電極18aがアルミニウム(Al)膜やアルミニウム-シリコン(Al-Si)膜で構成できる。ソース電極18aは、ゲート表面電極(図示省略)と分離して配置されている。

30

【0022】

外周部102近傍の活性部101において、図2に示すように、ベース領域8の上にはベースコンタクト領域10aが設けられる。ベースコンタクト領域10aの上面には、フィールド酸化膜12を介して配線層14bが配置され、配線層14bの上面にはバリアメタル層17bを介してゲート電極パッド18bが配置されている。図示を省略するが、ゲート電極パッド18bは配線層14bを介してゲート電極14aに電氣的に接続されている。層間絶縁膜15及びフィールド酸化膜12は、活性部101及び外周部102の境界近傍から外周部102のメサ溝11b底部に延在する。また、外周部102近傍の活性部101には、ベース領域8の下面に接するようにベース底部埋込領域(4a,7a)が設けられる。ベース底部埋込領域(4a,7a)は、ベース領域8の下面に接する第2埋込領域7aと、下面が部分電流拡散層22aに接する第1埋込領域4aとから構成される。

40

【0023】

図2に示すように、外周部102には、メサ溝11bの底部に露出したドリフト層2の上部に複数の p^+ 型のガードリング44が設けられる。複数のガードリング44は電界緩和領域として機能し、活性部101を取り囲むように互いに離間して同心リング状に設けられる。ドリフト層2において、複数のガードリング44のそれぞれは、底面がベース底部埋込領域(4a,7a)の第1埋込領域4の底面と同一レベルであり、第1埋込領域4と同一不純物濃度で設けられている。複数のガードリング44それぞれの下面には、 n^+ 型の複数の部分電流拡散層42aが設けられる。複数の部分電流拡散層42aのそれぞれは、部分電流拡散層22、22aと同一レベルで、同一不純物濃度である。

50

【0024】

外周部102の外側端部において、ドリフト層2の上部にn⁺型のチャネルストップパ33が同心リング状に設けられている。なお、n⁺型のチャネルストップパ33の代わりに、p⁺型のチャネルストップパを設けてもよい。

【0025】

ドリフト層2の下面には、n⁺型の第2主領域(ドレイン領域)1が配置されている。ドレイン領域1の下面には第2主電極(ドレイン電極)19が配置されている。ドレイン電極19としては、例えば金(Au)からなる単層膜や、Ti、ニッケル(Ni)、Auの順で積層された金属膜が使用可能であり、更にその最下層にモリブデン(Mo)、タングステン(W)などの金属膜を積層してもよい。また、ドレイン領域1とドレイン電極19との間に、ドレインコンタクト層が設けられてもよい。ドレインコンタクト層は、例えばニッケルシリサイド(NiSi_x)膜である。

10

【0026】

例えば、ドリフト層2の不純物濃度は $2 \times 10^{15} \text{ cm}^{-3}$ 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下、ベース領域8の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。ベースコンタクト領域10の不純物濃度は $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下、ソース領域9の不純物濃度は $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下である。電流拡散層(3, 6)の不純物濃度は $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下で、部分電流拡散層22の不純物濃度は $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。ゲート底部保護領域5はベース底部埋込領域(4, 7)の第1埋込領域4よりも高不純物濃度を有し、 $1 \times 10^{17} \text{ cm}^{-3}$ より大きく、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下、望ましくは $3 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。ベース底部埋込領域(4, 7)の第1埋込領域4とガードリング44の不純物濃度は同一であり、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 未満である。ベース底部埋込領域(4, 7)の第2埋込領域7の不純物濃度は第1埋込領域4と同程度あるが、第1埋込領域4より高不純物濃度であってもよい。ドレイン領域1の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。

20

【0027】

実施形態に係る半導体装置においては、ドレイン領域1はSiCからなる半導体基板(SiC基板)で構成され、ドリフト層2はSiCからなるエピタキシャル層(SiC層)で構成された構造を例示している。ドレイン領域1及びドリフト層2を含む実施形態に係る半導体装置を構成する半導体領域はSiCに限定されない。SiC以外にも、例えば窒化ガリウム(GaN)、ロンズデーライト(六方晶ダイヤモンド)又は窒化アルミニウム(AlN)等のSiの禁制帯幅1.1eVよりも広い六方晶系の半導体材料がそれぞれ使用可能である。室温における禁制帯幅は4H-SiCでは3.26eV、6H-SiCでは3.02eV、GaNでは3.4eV、ダイヤモンドでは5.5eV、AlNでは6.2eVの値が報告されている。本発明では禁制帯幅がシリコンよりも大きな半導体をワイドバンドギャップ半導体として定義している。

30

【0028】

実施形態に係る半導体装置の動作時は、ソース電極18aをアース電位として、ドレイン電極19に正電圧を印加し、ゲート電極14aに閾値以上の正電圧を印加すると、ベース領域8のトレンチ11aの側面側に反転層(チャネル)が形成されてオン状態となる。反転層は、ベース領域8がゲート電極14aに対向する位置に挟まれたゲート絶縁膜13とベース領域8との界面となるトレンチ11aの側面に露出したベース領域8の表面に形成される。オン状態では、ドレイン電極19からドレイン領域1、ドリフト層2、電流拡散層(3, 6)、ベース領域8の反転層及びソース領域9を経由してソース電極18aへ電流が流れる。一方、ゲート電極14aに印加される電圧が閾値未満の場合、ベース領域8に反転層が形成されないため、オフ状態となり、ドレイン電極19からソース電極18aへ電流が流れない。

40

【0029】

図3は、図1中のB部分の拡大図である。図3に示すように、ゲート底部保護領域5は

50

、電流拡散層(3, 6)の第1拡散層3の内部に設けられる。ゲート底部保護領域5の下端部(第1下端部)5r及び上端部5sは、それぞれ曲面を有する。また、ベース底部埋込領域(4, 7)の第1埋込領域4の下端部(第2下端部)4rも曲面を有する。トレンチ11aの延在方向に対して垂直に切った断面において、ゲート底部保護領域5の下端部5rの曲面を近似した円弧のうち、最小の曲率半径を有する円を曲率円Da、ゲート底部保護領域5の上端部5sの曲面を近似した円弧のうち、最小の曲率半径を有する円を曲率円Dcと定義する。同様に、ベース底部埋込領域(4, 7)の下端部4rの曲面を近似した円弧のうち、最小の曲率半径を有する円を曲率円Dbと定義する。ゲート底部保護領域5の下端部5rの曲率円Daの曲率半径の最小値は、ベース底部埋込領域(4, 7)の第1埋込領域4の下端部4rの曲率円Dbの曲率半径の最小値より大きい。したがって、ベース底部埋込領域(4, 7)の下端部4rに電界が集中し易くなる。そのため、アバランシェ降伏がゲート底部保護領域5側ではなくベース底部埋込領域(4, 7)側で発生し易くなり、アバランシェ電流がトレンチ11aの内部のゲート絶縁膜13に流れることを防止することが可能となる。また、ゲート底部保護領域5の上端部5sの曲率円Dcの曲率半径の最小値は、ベース底部埋込領域(4, 7)の下端部4rの曲率円Dbの曲率半径の最小値より大きくすることが望ましい。その結果、ゲート底部保護領域5近傍の電界集中をより緩和でき、アバランシェ降伏がゲート底部保護領域5の近傍で発生することを避けることが可能となる。

【0030】

ゲート底部保護領域5及びベース底部埋込領域(4, 7)の第1埋込領域4は、後述するように、イオン注入技術を用いて、n型の電流拡散層(3, 6)にp型の不純物イオンを注入して形成される。SiC中の不純物拡散係数は非常に小さいため、不純物濃度分布を正確に再現性よく制御することができる。注入イオンの侵入深さは加速エネルギーと、半導体層の結晶格子との衝突散乱による運動量の喪失とによって決まり、ガウス分布にしたがってばらつく。一般的に、イオン注入の深さが深くなれば、注入イオンの深さ分布のばらつきも大きくなる。図4は、電流拡散層(3, 6)の第1拡散層3にp型不純物イオンを注入して、ゲート底部保護領域5及びベース底部埋込領域(4, 7)の第1埋込領域4を形成する場合の一例を説明する断面概略図である。図4に示した注入領域4xは、第1埋込領域4の底面のレベルを狙って第1拡散層3の表面から注入されたp型不純物イオンが第1埋込領域4の底面から更に下方にばらついて分布する領域である。図3に示すように、第1埋込領域4の底面のレベルはゲート底部保護領域5の底面より深さtだけ深く、注入領域4x内での注入イオンの分布のばらつきが大きくなる。そのため、注入領域4xの下端部4xrの曲率円Dxの曲率半径の最小値は、ゲート底部保護領域5の下端部5rの曲率円Daの曲率半径の最小値より大きくなってしまふ。そこで、第1埋込領域4を形成する前に、注入領域4xと重なる位置にn型の不純物イオンを注入して、注入領域4xよりも高不純物濃度のn+型の部分電流拡散層22を設ける。その結果、注入領域4xのp型不純物が部分電流拡散層22のn型不純物で補償され、第1埋込領域4の下端部4rの曲率円Dbの曲率半径の最小値をゲート底部保護領域5の下端部5rの曲率円Daの曲率半径の最小値より小さくすることができる。なお、第1埋込領域4及び注入領域4xを形成した後に、注入領域4xに重なるように、注入領域4xよりも高不純物濃度のn+型の部分電流拡散層22を設けてもよい。

【0031】

また、図3に示すように、ベース底部埋込領域(4, 7)の第1埋込領域4の底面は、ゲート底部保護領域5の底面より深さtだけ深いレベルに設けられている。そのため、実施形態に係る半導体装置の動作中において、ベース底部埋込領域(4, 7)側に電界が集中し易くなり、ゲート底部保護領域5への電界集中を緩和することが可能となる。ここで、深さtをゼロ、つまり第1埋込領域4の底面とゲート底部保護領域5の底面を同じ深さとしてもよい。ここで同じ深さとは製造ばらつきを含んだ概念であり、±100nm程度のばらつきを含んでよい。この場合でも、曲率半径の小さい第1埋込領域4に電界集中するので、同じ効果が得られる。

10

20

30

40

50

【 0 0 3 2 】

図 2 に示した実施形態に係る半導体装置において、ゲート底部保護領域 5 の p 型不純物濃度が低いと、電界集中に対する緩和効果が低減してゲート絶縁膜 1 3 の絶縁破壊を防止することが困難になる。また、ガードリング 4 4 の p 型不純物濃度が高すぎると、外周部 1 0 2 における耐圧を低下させることになる。図 5 は、例えばガードリング 4 4 とドリフト層 2 との p n 接合に対応する p n ダイオードの耐圧と、ガードリング 4 4 に対応する半導体層の p 型不純物濃度との関係を示す図である。図 5 に示すように、p 型不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 未満であれば、ダイオードの耐圧は 1 8 0 0 V 程度以上を保持できるが、p 型不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以上になると、ダイオードの耐圧は 1 6 6 0 V 程度以下と低減する。そこで、トレンチ 1 1 a 近傍の電界集中を緩和するため、ゲート底部保護領域 5 の p 型不純物濃度は $3 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下とする。また、外周部 1 0 2 における耐圧の低下を抑制するため、ベース底部埋込領域 (4 , 7) の第 1 埋込領域 4 及びガードリング 4 4 の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 未満とする。

10

【 0 0 3 3 】

このように、実施形態では、ゲート底部保護領域 5 の下端部 5 r の曲率円 D a の曲率半径の最小値を、ベース底部埋込領域 (4 , 7) の第 1 埋込領域 4 の下端部 4 r の曲率円 D b の曲率半径の最小値より大きくしている。また、第 1 埋込領域 4 の底面を、ゲート底部保護領域 5 の底面より深さ t だけ深いレベルに設けている。その結果、ベース底部埋込領域 (4 , 7) 側に電界を集中させることでゲート底部保護領域 5 への電界集中を緩和でき、アバランシェ降伏がゲート底部保護領域 5 の近傍で発生することを避けることが可能となる。

20

【 0 0 3 4 】

< 半導体装置の製造方法 >

次に、図 6 ~ 図 1 8 の工程断面図を用いて、実施形態に係る S i C 半導体装置の製造方法を、トレンチ型 M O S F E T の場合を一例に説明する。なお、以下に述べるトレンチ型 M O S F E T の製造方法は一例であり、特許請求の範囲に記載した趣旨の範囲であれば、この変形例を含めて、これ以外の種々の製造方法により実現可能であることは勿論である。

【 0 0 3 5 】

まず、窒素 (N) などの n 型不純物が添加された n + 型の S i C 半導体基板 (基板) 1 p を用意する。基板 1 p の上面に、n 型のエピタキシャル層を成長させる。次に、エピタキシャル層の上面に形成したフォトリソグラフィ技術及びドライエッチング技術などを用いて酸化膜をパターニングする。パターニングされた酸化膜 1 4 0 をイオン注入のマスクとして用いて、窒素 (N) などの n 型不純物イオンを注入層 3 p の下のドリフト層 2 の上部に達するように選択的に多段イオン注入する。このようにして、図 6 に示すように、図 1 に示した半導体チップ 1 0 0 の活性部 1 0 1 にエピタキシャル層からなるドリフト層 2 の上部に n + 型の注入層 3 p が形成され、外周部 1 0 2 に n + 型のチャンネルストップパ 3 3 が形成される。

30

【 0 0 3 6 】

C V D 技術などにより、注入層 3 p 及びチャンネルストップパ 3 3 の上面に S i O ₂ からなる酸化膜を堆積する。フォトリソグラフィ技術及びドライエッチング技術などを用いて酸化膜をパターニングする。パターニングされた酸化膜 1 4 0 をイオン注入のマスクとして用いて、窒素 (N) などの n 型不純物イオンを注入層 3 p の下のドリフト層 2 の上部に達するように選択的に多段イオン注入する。引き続き、酸化膜 1 4 0 をイオン注入のマスクとして用いて、n 型不純物が注入されたドリフト層 2 の上部に連結するように注入層 3 p にアルミニウム (A l) などの p 型不純物イオンを多段イオン注入する。図 7 に示すように、活性部 1 0 1 では、ドリフト層 2 の上部に n + 型の部分電流拡散層 2 2 、 2 2 a が選択的に形成され、第 1 拡散層 3 の内には、部分電流拡散層 2 2 、 2 2 a の上面に重なるように p + 型の第 1 埋込領域 4 、 4 a が選択的に形成される。外周部 1 0 2 では、ドリフト層 2 の上部に n + 型の複数の部分電流拡散層 4 2 a が選択的に形成され、部分電流拡散層 4 2 a のそれぞれの上面に重なるように p + 型の複数のガードリング 4 4 が選択的に形成される。

40

50

【 0 0 3 7 】

酸化膜 1 4 0 を除去後、第 1 拡散層 3、第 1 埋込領域 4、4 a、ガードリング 4 4 及びチャンネルストップ 3 3 の上面に新たに酸化膜を堆積し、フォトリソグラフィ技術及びドライエッチング技術などを用いて酸化膜をパターニングする。パターニングされた酸化膜 1 5 0 をイオン注入のマスクとして用いて、第 1 埋込領域 4 と離間するように第 1 拡散層 3 にアルミニウム (A l) などの p 型不純物イオンを選択的に多段イオン注入する。その結果、図 8 に示すように、第 1 埋込領域 4 の間に、第 1 埋込領域 4 より高不純物濃度の p + 型のゲート底部保護領域 5 が選択的に形成される。活性部 1 0 1 と外周部 1 0 2 との境界近傍では、ゲート底部保護領域 5 は第 1 埋込領域 4 a に接して形成される。なお、図 3 及び図 4 に示したように、第 1 拡散層 3 において、第 1 埋込領域 4 はゲート底部保護領域 5 よりも p 型不純物イオンが深いレベルに形成されている。そこで、第 1 埋込領域 4 の底面を超えて形成される注入領域 4 x と重なるように、注入領域 4 x に分布する p 型不純物よりも高不純物濃度の n + 型の部分電流拡散層 2 2 を形成する。その結果、注入領域 4 x に分布する p 型不純物が部分電流拡散層 2 2 の n 型不純物で補償され、第 1 埋込領域 4 の下端部 4 r の曲率円 D b の曲率半径の最小値をゲート底部保護領域 5 の下端部 5 r の曲率円 D a の曲率半径の最小値より小さくすることができる。なお、第 1 埋込領域 4 及び注入領域 4 x を形成した後に、注入領域 4 x に重なるように、注入領域 4 x よりも高不純物濃度の n + 型の部分電流拡散層 2 2 を形成してもよい。

10

【 0 0 3 8 】

酸化膜 1 5 0 を除去後、図 9 に示すように、第 1 拡散層 3、第 1 埋込領域 4、4 a、ゲート底部保護領域 5、ガードリング 4 4、ドリフト層 2 及びチャンネルストップ 3 3 の上面に n 型のエピタキシャル層 6 p を成長させる。エピタキシャル層 6 p の上面にフォトレジスト膜を塗布し、フォトリソグラフィ技術などを用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜 1 6 0 をイオン注入のマスクとして用いて、エピタキシャル層 6 p の上面側から、窒素 (N) などの n 型不純物イオンをエピタキシャル層 6 p の上部に選択的に多段イオン注入する。その結果、図 1 0 に示すように、第 1 拡散層 3、第 1 埋込領域 4 及びゲート底部保護領域 5 の上に n + 型の注入層 6 a が形成される。

20

【 0 0 3 9 】

フォトレジスト膜 1 6 0 を除去後、注入層 6 a 及びエピタキシャル層 6 p の上面に酸化膜を堆積し、フォトリソグラフィ技術及びドライエッチング技術などを用いて酸化膜をパターニングする。パターニングされた酸化膜 1 7 0 をイオン注入のマスクとして用いて、注入層 6 a 及びエピタキシャル層 6 p にアルミニウム (A l) などの p 型不純物イオンを選択的に多段イオン注入する。その結果、図 1 1 に示すように、第 1 埋込領域 4 の上に p + 型の第 2 埋込領域 7 が n + 型の第 2 拡散層 6 を挟むように選択的に形成される。そして、第 1 埋込領域 4 と第 2 埋込領域 7 とからなるベース底部埋込領域 (4 , 7) が形成される。また、第 1 埋込領域 4 a と、第 1 埋込領域 4 a に接したゲート底部保護領域 5 との上面に p + 型の第 2 埋込領域 7 a が選択的に形成される。

30

【 0 0 4 0 】

酸化膜 1 7 0 を除去後、図 1 2 に示すように、第 2 埋込領域 7、7 a、第 2 拡散層 6 及びエピタキシャル層 6 p の上面に p 型のエピタキシャル層 8 p を成長させる。エピタキシャル層 8 p の上面側から、燐 (P) などの n 型不純物イオンをエピタキシャル層 8 p に多段イオン注入し、エピタキシャル層 8 p の上部に n + 型の注入層を形成する。エピタキシャル層 8 p の上部に形成された注入層の上面に C V D 技術などにより酸化膜を堆積する。この酸化膜の上面にフォトレジスト膜を塗布し、フォトリソグラフィ技術及びドライエッチング技術などを用いて酸化膜をパターニングする。パターニングされた酸化膜をエッチングマスクとして、ドライエッチング技術などにより、エピタキシャル層 8 p 上部の注入層、エピタキシャル層 8 p 及びエピタキシャル層 6 p を選択的にエッチングする。その結果、図 1 3 に示すように、メサ溝 1 1 b が形成される。図 1 に示した活性部 1 0 1 には注入層 9 p、ベース領域 8 及び第 2 埋込領域 7 a が残存し、外周部 1 0 2 では、メサ溝 1 1

40

50

bの底面に複数のガードリング44の上面が露出する。

【0041】

エッチングマスクを除去後、注入層9pの上面及びメサ溝11bの底面にCVD技術などにより酸化膜を堆積する。この酸化膜の上面にフォトレジスト膜を塗布し、フォトリソグラフィ技術及びドライエッチング技術などを用いて酸化膜をパターニングする。パターニングされた酸化膜をイオン注入のマスクとして用いて、注入層9pの上面側から、アルミニウム(A1)などのp型不純物イオンを注入層9pに選択的に多段イオン注入する。その結果、図14に示すように、ゲート底部保護領域5の上方にソース領域9が形成され、第2埋込領域7、7aの上方にソース領域9と接するp⁺型のベースコンタクト領域10、10aが形成される。

10

【0042】

イオン注入用マスクとして用いた酸化膜を除去後、ベースコンタクト領域10、10a及びソース領域9の上面、並びにメサ溝11bの底面にCVD技術などにより酸化膜を堆積する。この酸化膜の上面にフォトレジスト膜を塗布し、フォトリソグラフィ技術及びドライエッチング技術などを用いて酸化膜をパターニングする。パターニングされた酸化膜をエッチングマスクとして用いて、ドライエッチング技術により、トレンチ11aを選択的に形成する。トレンチ11aは、図15に示すように、ソース領域9、ベース領域8、及び第2拡散層6を貫通して第1拡散層3に形成されたゲート底部保護領域5に達する。第1拡散層3と第2拡散層6とからなるn⁺型の電流拡散層(3,6)がドリフト層2の上面に形成される。

20

【0043】

エッチングマスクを除去後、トレンチ11aの上面に、カーボンパッタ技術などにより、カーボン(C)膜を成膜する。その後、熱処理を行ってイオン注入されたn型不純物イオン及びp型不純物イオンを一斉に活性化させる。カーボン膜を除去後の露出面に、CVD技術などにより、フィールド酸化膜を堆積する。このフィールド酸化膜の上面にフォトレジスト膜を塗布し、フォトリソグラフィ技術などを用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜をエッチングマスクとして用いて、フィールド酸化膜を選択的に除去する。その結果、図16に示すように、メサ溝11bの底面及び側面からベースコンタクト領域10aの上面に延在するフィールド酸化膜12が形成される。

30

【0044】

熱酸化法又は化学気相成長(CVD)技術などにより、トレンチ11aの底面及び側面、並びにソース領域9及びベースコンタクト領域10の上面に、SiO₂膜などのゲート絶縁膜13pを形成する。次に、図17に示すように、CVD技術などにより、トレンチ11aを埋めるように、燐(P)やボロン(B)などの不純物を高濃度で添加したポリシリコン層(ドープドポリシリコン層)14pを堆積する。

【0045】

その後、フォトリソグラフィ技術及びドライエッチングにより、ポリシリコン層14pの一部及びゲート絶縁膜13pの一部を選択的に除去する。図18に示すように、ゲート絶縁膜13及びポリシリコン層からなるゲート電極14aのパターンを形成して絶縁ゲート型電極構造(13,14a)を形成する。次に、CVD技術などにより、ゲート電極14a及びゲート絶縁膜13からなる絶縁ゲート型電極構造(13,14a)の上面に絶縁膜を堆積する。この絶縁膜として、ボロン燐ガラス(BPSG)やNSGなどが用いられる。そして、フォトリソグラフィ技術及びドライエッチング技術などにより、堆積した絶縁膜の一部を選択的に除去する。この結果、図18に示すように、層間絶縁膜15にソース電極コンタクトホールが開口される。図示を省略しているが、ソース電極コンタクトホールとは異なる箇所において、ゲート電極14aに接続されたゲート表面電極の一部が露出するように、ゲートコンタクトホールも層間絶縁膜15に開口される。

40

【0046】

スパッタリング法又は蒸着法などによりNi膜などの金属層を堆積して、フォトリソグ

50

ラフィ技術及びR I E技術などを用いて金属層をパターニングする。その後、高速熱処理（R T A）、例えば1 0 0 0 程度で熱処理をすることにより、N i S i x膜を形成する。その後、未反応のN i膜は除去することで、図1 8に示すように、ソース領域9及びベースコンタクト領域1 0の上面にソースコンタクト層1 6を形成する。次に、スパッタリング技術などによりT i膜やT i N膜などのバリアメタル層（図示省略）とA l膜などの金属層とを堆積する。フォトリソグラフィ技術及びR I E技術などを用いてバリアメタル層と金属層をパターニングして、図2に示したように、ソース電極1 8 a、ゲート電極パッド1 8 b及びゲート表面電極（図示省略）のパターンを形成する。この結果、ソースコンタクト層1 6と層間絶縁膜1 5を被覆するように、バリアメタル層1 7とソース電極1 8 aとの積層構造が形成される。また、ソース電極1 8 aとゲート表面電極のパターンは分離され、バリアメタル層1 7 bと積層構造をなすゲート電極パッド1 8 bは、フィールド酸化膜1 2の上に設けられた配線層1 4 bを介してゲート電極1 4 aに電氣的に接続される。

10

【0 0 4 7】

更に、化学機械研磨（C M P）などにより基板1 pの下面を研磨して厚さ調整をして、ドレイン領域1を形成する。その後、スパッタリング法又は蒸着法などにより、ドレイン領域1の下面の全面にT i、N i、A uなどからなるドレイン電極1 9を形成する。このようにして、図2に示したトレンチゲート型半導体装置が完成する。

【0 0 4 8】

実施形態では、図3及び図4に示したように、ゲート底部保護領域5の下端部5 rの曲率円D aの曲率半径の最小値を、ベース底部埋込領域（4, 7）の第1埋込領域4の下端部4 rの曲率円D bの曲率半径の最小値より大きく形成している。また、第1埋込領域4の底面を、ゲート底部保護領域5の底面より深さtだけ深いレベルに形成している。その結果、ベース底部埋込領域（4, 7）側に電界を集中させることでゲート底部保護領域5への電界集中を緩和でき、アバランシェ降伏がゲート底部保護領域5の近傍で発生することを避けることが可能となる。

20

【0 0 4 9】

（その他の実施形態）

上記のように、本発明の実施形態に係る絶縁ゲート型半導体装置を記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなる。

30

【0 0 5 0】

実施形態においては、S i Cを用いた半導体装置を例示したが、窒化ガリウム（G a N）又はダイヤモンド等の他の6方晶系ワイドバンドギャップ半導体を用いた半導体装置に適用することも可能である。

【0 0 5 1】

このように、上記の実施形態及び各変形例において説明される各構成を任意に応用した構成など、本発明はここでは記載していない様々な実施形態などを含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

40

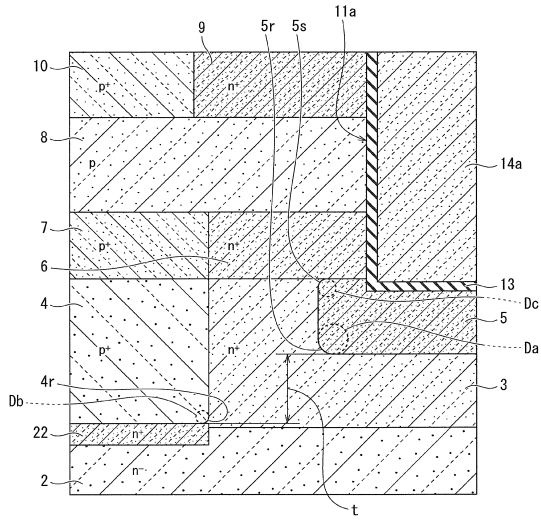
【符号の説明】

【0 0 5 2】

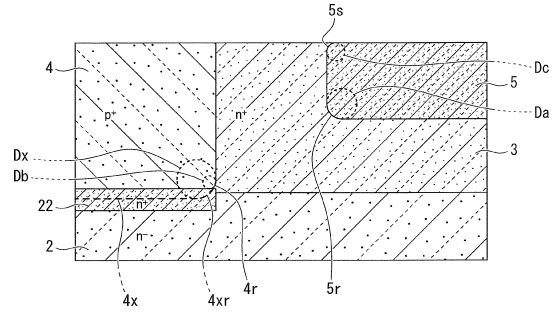
- 1 ... ドレイン領域（第2主領域）
- 1 p ... 半導体基板（基板）
- 2 ... ドリフト層
- 3 ... 第1拡散層
- （3, 6）... 電流拡散層
- 4, 4 a ... 第1埋込領域
- （4, 7）... ベース底部埋込領域
- 4 r ... 下端部（第2下端部）

50

【図3】

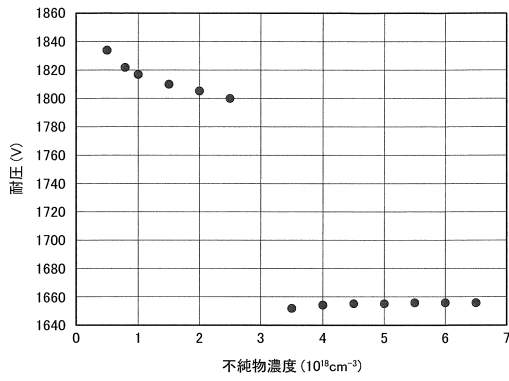


【図4】

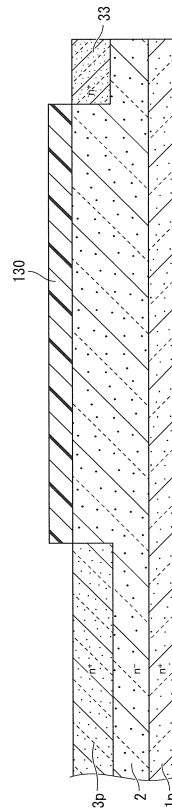


10

【図5】



【図6】



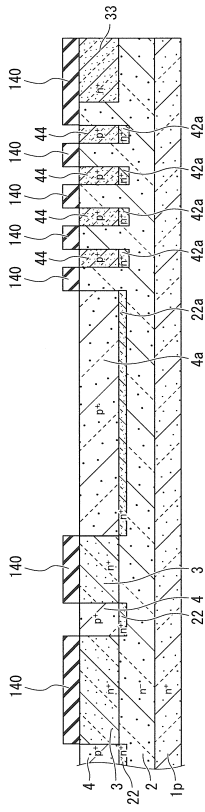
20

30

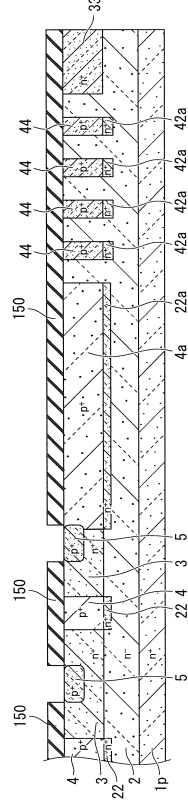
40

50

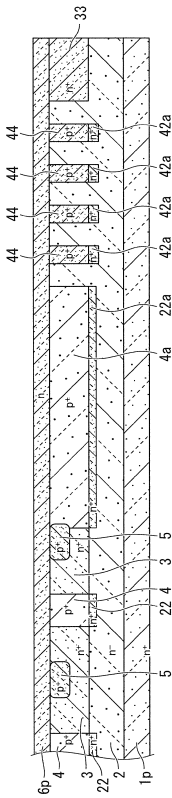
【図 7】



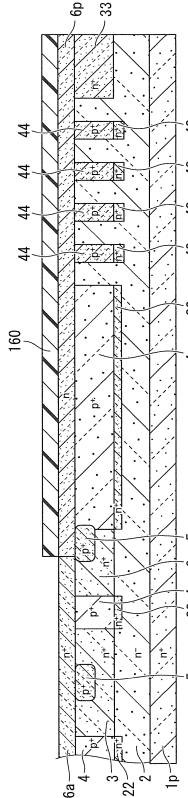
【図 8】



【図 9】



【図 10】



10

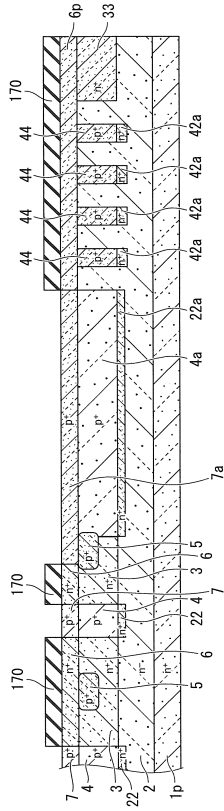
20

30

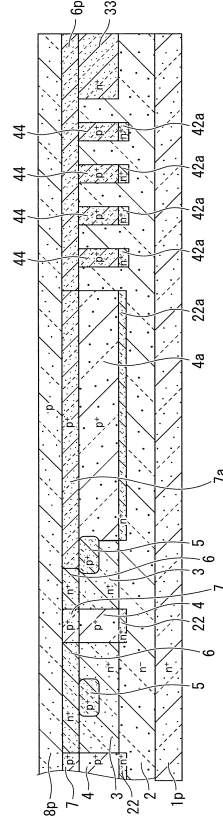
40

50

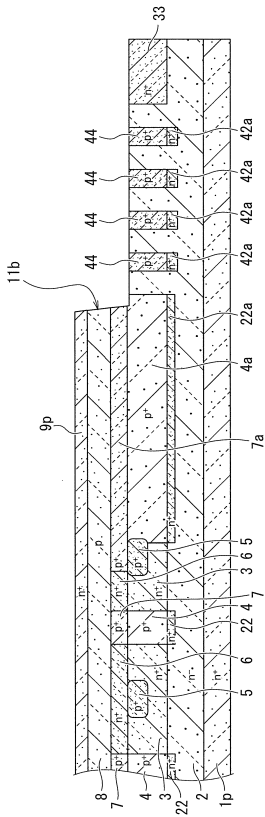
【図 1 1】



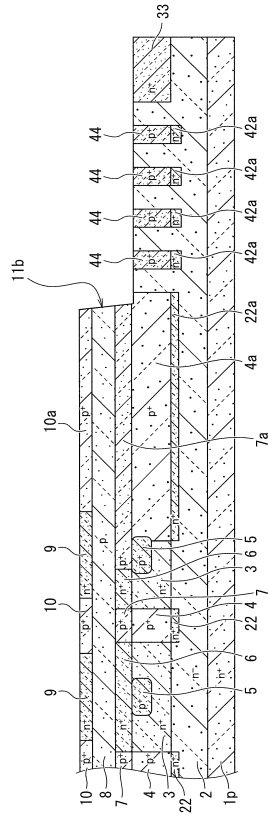
【図 1 2】



【図 1 3】



【図 1 4】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 D	30/66	2 0 1 A
H 1 0 D	30/66	1 0 3
H 1 0 D	30/66	1 0 2 S
H 1 0 D	62/10	1 0 1 M
H 1 0 D	62/10	1 0 1 R
H 1 0 D	30/01	3 0 1 A
H 1 0 D	30/01	3 0 1 E
H 1 0 D	12/00	1 0 1 A

(56)参考文献

特開 2 0 2 1 - 0 0 2 5 9 7 (J P , A)
米国特許出願公開第 2 0 2 0 / 0 4 0 3 0 6 6 (U S , A 1)
特開 2 0 1 9 - 0 0 3 9 6 8 (J P , A)
米国特許出願公開第 2 0 1 8 / 0 3 5 8 4 6 3 (U S , A 1)
特開 2 0 2 1 - 0 4 8 4 2 3 (J P , A)
米国特許出願公開第 2 0 1 8 / 0 1 6 6 5 3 0 (U S , A 1)
国際公開第 2 0 1 5 / 0 4 9 8 3 8 (W O , A 1)

(58)調査した分野 (Int.Cl., D B 名)

H 1 0 D 1 2 / 0 0
H 1 0 D 3 0 / 0 1
H 1 0 D 3 0 / 6 6
H 1 0 D 6 2 / 1 0