(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월03일
(11) 등록번호 10-1281985
(24) 등록일자 2013년06월27일

(51) 국제특허분류(Int. Cl.)
H04L 25/02 (2006.01) *H03K 19/003* (2006.01)
(21) 출원번호 10-2012-0021070
(22) 출원일자 2012년02월29일
심사청구일자 2012년02월29일
(56) 선행기술조사문헌
KR100631941 B1*
KR100862233 B1*
KR101020291 B1
KR1020090090182 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김철우
서울특별시 성북구 길음동 1283 길음뉴타운 605-1301
다르 드바시스
서울시 성북구 안암동 5가 고려대학교자연계 캠퍼스,미래융합기술관 516호,집적시스템 연구실, 136-713, 대한민국
(뒷면에 계속)
(74) 대리인
민영준, 최관락, 송인호

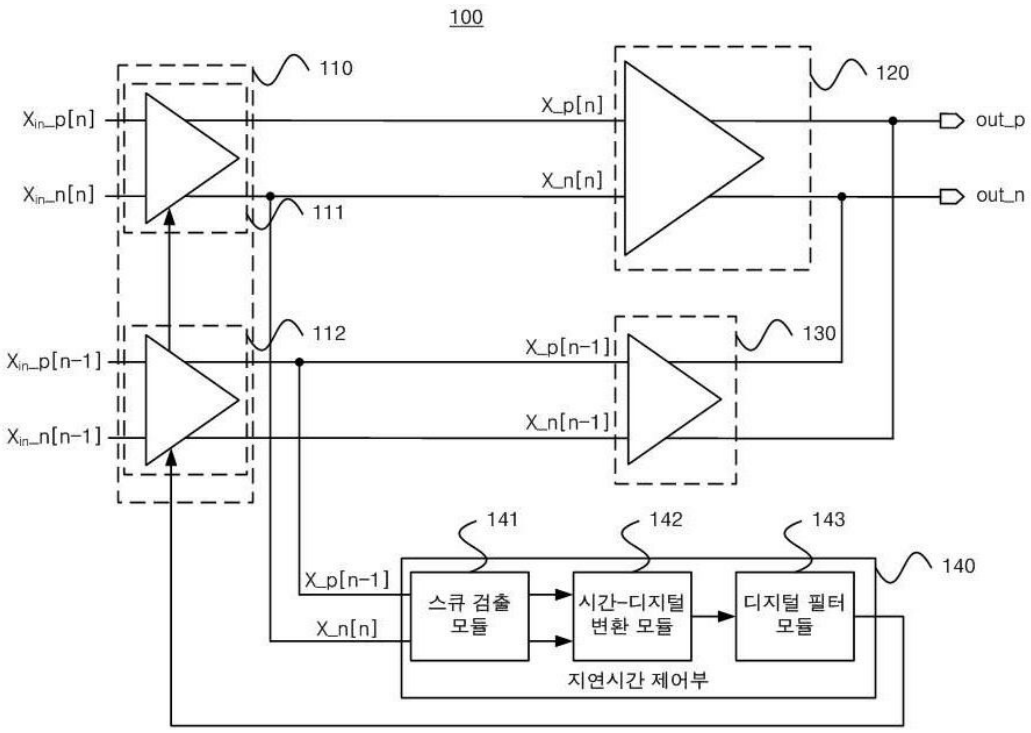
전체 청구항 수 : 총 11 항 심사관 : 권기원

(54) 발명의 명칭 **프리엠퍼시스를 수행하는 출력 드라이버 및 상기 출력 드라이버에서의 스큐 보정 방법**

(57) 요 약

프리엠퍼시스를 수행하는 출력 드라이버 및 상기 출력 드라이버에서의 스큐 보정 방법이 개시된다. 개시된 출력 드라이버는 메인 드라이버; 상기 메인 드라이버에서 출력되는 신호에 대한 프리엠퍼시스를 수행하는 서브 드라이버; 제1 신호를 제1 지연시간 동안 지연시킨 제3 신호를 상기 메인 드라이버로 공급하고, 제2 신호를 제2 지연시간 동안 지연시킨 제4 신호를 상기 서브 드라이버로 공급하는 프리 드라이버; 및 상기 제3 신호와 상기 제4 신호 사이의 스큐를 검출하고, 상기 검출된 스큐에 기초하여 상기 제1 지연시간 및 상기 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성하여 상기 프리 드라이버로 전송하는 지연시간 제어부를 포함한다.

대 표 도



(72) 발명자

황세욱

서울특별시 성동구 마장동 818번지 현대아파트 102동 404호

정인화

경기도 부천시 원미구 중1동 계룡리슈빌 엔클라스 1020호

특허청구의 범위

청구항 1

메인 드라이버;

상기 메인 드라이버에서 출력되는 신호에 대한 프리엠퍼시스를 수행하는 서브 드라이버;

제1 신호를 제1 지연시간 동안 지연시킨 제3 신호를 상기 메인 드라이버로 공급하고, 상기 제1 신호보다 하나의 단위 시간간격(1 unit interval)만큼 지연된 신호인 제2 신호를 제2 지연시간 동안 지연시킨 제4 신호를 상기 서브 드라이버로 공급하는 프리 드라이버; 및

상기 제3 신호와 상기 제4 신호 사이의 스큐를 검출하고, 상기 검출된 스큐에 기초하여 상기 제4 신호가 상기 제3 신호보다 상기 하나의 단위 시간간격만큼 지연된 신호가 되도록 상기 제1 지연시간 및 상기 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성하여 상기 프리 드라이버로 전송하는 지연시간 제어부를 포함하는 것을 특징으로 하는 출력 드라이버.

청구항 2

제1항에 있어서,

상기 프리 드라이버는 상기 제1 신호를 상기 제1 지연시간 동안 지연시키기 위한 제1 디지털 시간지연 소자 및 상기 제2 신호를 상기 제2 지연시간 동안 지연시키기 위한 제2 디지털 시간지연 소자를 포함하고,

상기 지연시간 제어부는 상기 제3 신호와 상기 제4 신호 사이의 스큐를 검출하는 스큐 검출 모듈, 상기 검출된 스큐의 정도를 디지털 값으로 변환하는 시간-디지털 변환 모듈을 포함하며,

상기 제어신호는 상기 변환된 디지털 값으로부터 생성되는 것을 특징으로 하는 출력 드라이버.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 제3 신호는 제3 포지티브 신호 및 제3 네거티브 신호를 포함하고, 상기 제4 신호는 제4 포지티브 신호 및 제4 네거티브 신호를 포함하며,

상기 제3 신호와 상기 제4 신호 사이의 스큐는 상기 제3 네거티브 신호와 상기 제4 포지티브 신호 사이의 스큐인 것을 특징으로 하는 출력 드라이버.

청구항 5

제4항에 있어서,

상기 지연시간 제어부는

상기 제3 네거티브 신호 및 상기 제4 포지티브 신호 중 어느 하나가 입력되는 제1 포트;

상기 제3 네거티브 신호 및 상기 제4 포지티브 신호 중 다른 하나가 입력되는 제2 포트;

상기 제1 포트와 직렬로 연결되며 소정의 제3 지연시간 동안 신호를 지연시켜 출력하는 k(2 이상의 정수임)개의 제3 시간지연 소자;

상기 제2 포트와 직렬로 연결되며 상기 제3 지연시간보다 작은 소정의 제4 지연시간 동안 신호를 지연시켜 출력하는 k개의 제4 시간지연 소자; 및

제1 입력단이 상기 k개의 제3 시간지연 소자의 출력단과 연결되고, 제2 입력단이 상기 k개의 제4 시간지연 소자의 출력단과 연결되는 k개의 시간지연 비교기를 포함하는 것을 특징으로 하는 출력 드라이버.

청구항 6

제5항에 있어서,

상기 k개의 시간지연 비교기 중 i번째 시간지연 비교기는 상기 k개의 제3 시간지연 소자 중 i번째 제3 시간지연 소자에서 출력되는 제3 네거티브 신호와 상기 k개의 제4 시간지연 소자 중 i번째 제4 시간지연 소자에서 출력되는 제4 포지티브 신호의 상승 에지의 선후를 비교하고, 상기 비교 결과에 따라 0 또는 1의 값을 출력단을 통해 출력하는 것을 특징으로 하는 출력 드라이버.

청구항 7

제6항에 있어서,

상기 제어신호는 1의 값을 출력하는 시간지연 비교기가 상기 k개의 시간지연 비교기 중 몇 번째 시간지연 비교기인지 여부 및 상기 제3 지연시간과 상기 제4 지연시간 사이의 차를 이용하여 생성되는 것을 특징으로 하는 출력 드라이버.

청구항 8

제1 포지티브 신호 및 제1 네거티브 신호를 각각 제1 지연시간 동안 지연시킨 제3 포지티브 신호 및 제3 네거티브 신호를 출력하는 제1 프리 드라이버;

상기 제1 포지티브 신호 및 상기 제1 네거티브 신호 보다 하나의 단위 시간간격만큼 지연된 제2 포지티브 신호 및 제2 네거티브 신호를 각각 제2 지연시간 동안 지연시킨 제4 포지티브 신호 및 제4 네거티브 신호를 출력하는 제2 프리 드라이버;

상기 제3 포지티브 신호를 소정의 제5 지연시간 동안 지연시켜 제1 출력단으로 출력하고, 상기 제3 네거티브 신호를 상기 제5 지연시간 동안 지연시켜 제2 출력단으로 출력하는 메인 드라이버;

상기 제4 포지티브 신호를 소정의 제6 지연시간 동안 지연시켜 제1 출력단으로 출력하고, 상기 제4 네거티브 신호를 상기 제6 지연시간 동안 지연시켜 제2 출력단으로 출력하는 서브 드라이버 - 상기 서브 드라이버의 제1 출력단은 상기 메인 드라이버의 제2 출력단과 연결되고, 상기 서브 드라이버의 제2 출력단은 상기 메인 드라이버의 제1 출력단과 연결됨 -; 및

상기 제3 네거티브 신호와 상기 제4 포지티브 신호 사이의 스큐를 검출하고, 상기 검출된 스큐에 기초하여 상기 제1 지연시간 및 상기 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성하여 상기 프리 드라이버로 전송하는 지연시간 제어부를 포함하는 것을 특징으로 하는 출력 드라이버.

청구항 9

제8항에 있어서,

상기 프리 드라이버는 상기 제1 신호를 상기 제1 지연시간 동안 지연시키기 위한 제1 디지털 시간지연 소자 및 상기 제2 신호를 상기 제2 지연시간 동안 지연시키기 위한 제2 디지털 시간지연 소자를 포함하고,

상기 지연시간 제어부는

상기 제3 네거티브 신호 및 상기 제4 포지티브 신호 중 어느 하나가 입력되는 제1 포트;

상기 제3 네거티브 신호 및 상기 제4 포지티브 신호 중 다른 하나가 입력되는 제2 포트;

상기 제1 포트와 직렬로 연결되며 소정의 제3 지연시간 동안 신호를 지연시켜 출력하는 k(2 이상의 정수임)개의 제3 시간지연 소자;

상기 제2 포트와 직렬로 연결되며 상기 제3 지연시간보다 작은 소정의 제4 지연시간 동안 신호를 지연시켜 출력하는 k개의 제4 시간지연 소자; 및

제1 입력단이 상기 k개의 제3 시간지연 소자의 출력단과 연결되고, 제2 입력단이 상기 k개의 제4 시간지연 소자의 출력단과 연결되는 k개의 시간지연 비교기를 포함하는 것을 특징으로 하는 출력 드라이버.

청구항 10

제9항에 있어서,

상기 k개의 시간지연 비교기 중 i번째 시간지연 비교기는 상기 k개의 제3 시간지연 소자 중 i번째 제3 시간지연 소자에서 출력되는 제3 네거티브 신호와 상기 k개의 제4 시간지연 소자 중 i번째 제4 시간지연 소자에서 출력되는 제4 포지티브 신호의 상승 에지의 선후를 비교하고, 상기 비교 결과에 따라 0 또는 1의 값을 출력단을 통해 출력하고,

상기 제어신호는 상기 k개의 시간지연 비교기의 출력단에서 출력되는 k개의 비트를 이용하여 생성되는 것을 특징으로 하는 출력 드라이버.

청구항 11

메인 드라이버, 서브 드라이버, 및 제1 신호를 제1 지연시간 동안 지연시킨 제3 신호를 상기 메인 드라이버로 출력하고, 상기 제1 신호보다 하나의 단위 시간간격만큼 지연된 신호인 제2 신호를 제2 지연시간 동안 지연시킨 제4 신호를 상기 서브 드라이버로 출력하는 프리 드라이버가 포함된 출력 드라이버에서 발생하는 신호간의 스큐를 보정하는 방법에 있어서,

상기 제3 신호와 상기 제4 신호 사이의 스큐를 검출하는 단계;

상기 검출된 스큐에 기초하여 상기 제4 신호가 상기 제3 신호보다 상기 하나의 단위 시간간격만큼 지연된 신호가 되도록 상기 제1 지연시간 및 상기 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성하는 단계; 및

상기 제어신호에 기초하여 상기 제1 지연시간 및 상기 제2 지연 시간 중 적어도 하나를 조절하여 상기 제3 신호와 상기 제4 신호 사이의 스큐를 보정하는 단계를 포함하는 것을 특징으로 하는 출력 드라이버에서의 스큐 보정 방법.

청구항 12

삭제

청구항 13

제11항에 있어서,

상기 제3 신호는 제3 포지티브 신호 및 제3 네거티브 신호를 포함하고, 상기 제4 신호는 제4 포지티브 신호 및 제4 네거티브 신호를 포함하며,

상기 제3 신호와 상기 제4 신호 사이의 스큐는 상기 제3 네거티브 신호와 상기 제4 포지티브 신호 사이의 스큐인 것을 특징으로 하는 출력 드라이버에서의 스큐 보정 방법.

명 세 서

기 술 분 야

[0001] 본 발명의 실시예들은 프리엠퍼시스를 수행하는 출력 드라이버 및 출력 드라이버에서의 스큐 보정 방법에 관한 것으로서, 더욱 상세하게는 프리엠퍼시스를 수행하는 출력 드라이버의 지터(Jitter) 특성을 향상시키기 위한 출력 드라이버에서의 스큐 보정 방법 및 이에 의한 출력 드라이버에 관한 것이다.

배 경 기 술

[0002] 고속 데이터 송신을 위해, 송신단에서는 채널의 감쇄특성을 보상해주는 프리엠퍼시스(Pre-Emphasis) 기능을 사용한다. 종래의 프리엠퍼시스를 수행하는 출력 드라이버는 신호를 출력하는 메인 드라이버(Main Driver), 메인 드라이버에서 출력되는 신호에 대한 프리엠퍼시스를 수행하는 서브 드라이버(Sub Driver) 및 메인 드라이버와 서브 드라이버를 구동하는 프리 드라이버(Pre Driver)를 포함한다.

[0003] 그런데, 일반적으로 메인 드라이버를 구성하는 반도체 소자(트랜지스터)의 크기는 서브 드라이버를 구성하는 반도체 소자(트랜지스터) 크기에 비해 크기 때문에, 메인 드라이버를 구동하는 프리 드라이버와 서브 드라이버를 구동하는 프리 드라이버는 서로 다른 크기의 부하 커패시턴스를 구동하게 된다. 이에 따라 프리 드라이버를 통해 공급되는 신호 사이에서는 서로 다른 신호 전달 지연시간(스큐)이 발생하게 되며, 이는 최종 출력 신호에 추

가적인 지터를 생성하는 문제를 발생시켰다.

발명의 내용

해결하려는 과제

[0004] 상기한 바와 같은 종래기술의 문제점을 해결하기 위해, 본 발명에서는 프리엠퍼시스를 수행하는 출력 드라이버의 지터(Jitter) 특성을 향상시키기 위한 출력 드라이버에서의 스큐 보정 방법 및 이에 의한 출력 드라이버를 제안하고자 한다.

[0005] 본 발명의 다른 목적들은 하기의 실시예를 통해 당업자에 의해 도출될 수 있을 것이다.

과제의 해결 수단

[0006] 상기한 목적을 달성하기 위해 본 발명의 바람직한 일 실시예에 따르면, 메인 드라이버; 상기 메인 드라이버에서 출력되는 신호에 대한 프리엠퍼시스를 수행하는 서브 드라이버; 제1 신호를 제1 지연시간 동안 지연시킨 제3 신호를 상기 메인 드라이버로 공급하고, 제2 신호를 제2 지연시간 동안 지연시킨 제4 신호를 상기 서브 드라이버로 공급하는 프리 드라이버; 및 상기 제3 신호와 상기 제4 신호 사이의 스큐를 검출하고, 상기 검출된 스큐에 기초하여 상기 제1 지연시간 및 상기 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성하여 상기 프리 드라이버로 전송하는 지연시간 제어부를 포함하는 출력 드라이버가 제공된다.

[0007] 상기 프리 드라이버는 상기 제1 신호를 상기 제1 지연시간 동안 지연시키기 위한 제1 디지털 시간지연 소자 및 상기 제2 신호를 상기 제2 지연시간 동안 지연시키기 위한 제2 디지털 시간지연 소자를 포함하고, 상기 지연시간 제어부는 상기 제3 신호와 상기 제4 신호 사이의 스큐를 검출하는 스큐 검출 모듈, 상기 검출된 스큐의 정도를 디지털 값으로 변환하는 시간-디지털 변환 모듈을 포함하며, 상기 제어신호는 상기 변환된 디지털 값으로부터 생성될 수 있다.

[0008] 상기 제2 신호는 상기 제1 신호보다 하나의 단위 시간간격(1 unit interval)만큼 지연된 신호이고, 상기 지연시간 제어부는 상기 제4 신호가 상기 제3 신호보다 상기 하나의 단위 시간간격만큼 지연된 신호가 되도록 상기 제1 지연시간 및 상기 제2 지연시간 중 적어도 하나를 조절하기 위한 상기 제어신호를 생성할 수 있다.

[0009] 상기 제3 신호는 제3 포지티브 신호 및 제3 네거티브 신호를 포함하고, 상기 제4 신호는 제4 포지티브 신호 및 제4 네거티브 신호를 포함하며, 상기 제3 신호와 상기 제4 신호 사이의 스큐는 상기 제3 네거티브 신호와 상기 제4 포지티브 신호 사이의 스큐일 수 있다.

[0010] 상기 지연시간 제어부는 상기 제3 네거티브 신호 및 상기 제4 포지티브 신호 중 어느 하나가 입력되는 제1 포트; 상기 제3 네거티브 신호 및 상기 제4 포지티브 신호 중 다른 하나가 입력되는 제2 포트; 상기 제1 포트와 직렬로 연결되며 소정의 제3 지연시간 동안 신호를 지연시켜 출력하는 k(2 이상의 정수임)개의 제3 시간지연 소자; 상기 제2 포트와 직렬로 연결되며 상기 제3 지연시간보다 작은 소정의 제4 지연시간 동안 신호를 지연시켜 출력하는 k개의 제4 시간지연 소자; 및 제1 입력단이 상기 k개의 제3 시간지연 소자의 출력단과 연결되고, 제2 입력단이 상기 k개의 제4 시간지연 소자의 출력단과 연결되는 k개의 시간지연 비교기를 포함할 수 있다.

[0011] 상기 k개의 시간지연 비교기 중 i번째 시간지연 비교기는 상기 k개의 제3 시간지연 소자 중 i번째 제3 시간지연 소자에서 출력되는 제3 네거티브 신호와 상기 n번째 제4 시간지연 소자 중 i번째 제4 시간지연 소자에서 출력되는 제4 포지티브 신호의 상승 에지의 선후를 비교하고, 상기 비교 결과에 따라 0 또는 1의 값을 출력단을 통해 출력할 수 있다.

[0012] 상기 제어신호는 1의 값을 출력하는 시간지연 비교기가 상기 k개의 시간지연 비교기 중 몇 번째 시간지연 비교기인지 여부 및 상기 제3 지연시간과 상기 제4 지연시간 사이의 차를 이용하여 생성될 수 있다.

[0013] 또한, 본 발명의 다른 실시예에 따르면, 제1 포지티브 신호 및 제1 네거티브 신호를 각각 제1 지연시간 동안 지연시킨 제3 포지티브 신호 및 제3 네거티브 신호를 출력하는 제1 프리 드라이버; 상기 제1 포지티브 신호 및 상기 제1 네거티브 신호 보다 하나의 단위 시간간격만큼 지연된 제2 포지티브 신호 및 제2 네거티브 신호를 각각 제2 지연시간 동안 지연시킨 제4 포지티브 신호 및 제4 네거티브 신호를 출력하는 제2 프리 드라이버; 상기 제3 포지티브 신호를 소정의 제5 지연시간 동안 지연시켜 제1 출력단으로 출력하고, 상기 제3 네거티브 신호를 상기 제5 지연시간 동안 지연시켜 제2 출력단으로 출력하는 메인 드라이버; 상기 제4 포지티브 신호를 소정의 제6 지연시간 동안 지연시켜 제1 출력단으로 출력하고, 상기 제4 네거티브 신호를 상기 제6 지연시간 동안 지연시켜

제2 출력단으로 출력하는 서브 드라이버 - 상기 서브 드라이버의 제1 출력단은 상기 메인 드라이버의 제2 출력단과 연결되고, 상기 서브 드라이버의 제2 출력단은 상기 메인 드라이버의 제1 출력단과 연결됨 -; 및 상기 제3 네거티브 신호와 상기 제4 포지티브 신호 사이의 스큐를 검출하고, 상기 검출된 스큐에 기초하여 상기 제1 지연시간 및 상기 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성하여 상기 프리 드라이버로 전송하는 지연시간 제어부를 포함하는 출력 드라이버가 제공된다.

[0014] 또한, 본 발명의 또 다른 실시예에 따르면, 메인 드라이버, 서브 드라이버, 및 제1 신호를 제1 지연시간 동안 지연시킨 제3 신호를 상기 메인 드라이버로 출력하고, 제2 신호를 제2 지연시간 동안 지연시킨 제4 신호를 상기 서브 드라이버로 출력하는 프리 드라이버가 포함된 출력 드라이버에서 발생하는 신호간의 스큐를 보정하는 방법에 있어서, 상기 제3 신호와 상기 제4 신호 사이의 스큐를 검출하는 단계; 상기 검출된 스큐에 기초하여 상기 제1 지연시간 및 상기 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성하는 단계; 및 상기 제어신호에 기초하여 상기 제1 지연시간 및 상기 제2 지연 시간 중 적어도 하나를 조절하여 상기 제3 신호와 상기 제4 신호 사이의 스큐를 보정하는 단계를 포함하는 출력 드라이버에서의 스큐 보정 방법이 제공된다.

발명의 효과

[0015] 본 발명에 따르면, 프리엠퍼시스를 수행하는 출력 드라이버의 지터(Jitter) 특성을 향상시킬 수 있게 된다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 프리엠퍼시스(Pre-Emphasis)를 수행하는 출력 드라이버의 개략적인 구성을 도시한 도면이다.

도 2는 프리 드라이버에서 출력되는 신호의 형태의 일례들을 도시한 도면이다.

도 3은 본 발명의 일 실시예에 따른 지연시간 제어부의 일례의 개략적인 구성을 도시한 블록도이다.

도 4는 본 발명의 일 실시예에 따른 출력 드라이버에서의 스큐 보정 방법에 관한 전체적인 흐름을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0018] 이하에서, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 프리엠퍼시스(Pre-Emphasis)를 수행하는 출력 드라이버의 개략적인 구성을 도시한 도면이다.

[0020] 도 1을 참조하면, 본 발명의 일 실시예에 따른 프리엠퍼시스를 수행하는 출력 드라이버(이하, "출력 드라이버"라고 함)(100)는 프리(pre) 드라이버(110), 메인(main) 드라이버(120), 서브(sub) 드라이버(130) 및 지연시간 제어부(140)를 포함한다. 이하, 각 구성 요소 별로 그 기능을 상세하게 설명한다.

[0021] 프리 드라이버(110)는 메인 드라이버(120) 및 서브 드라이버(130)로 신호를 공급한다. 즉, 프리 드라이버(110)는 제1 신호($X_{in}[n]$)를 제1 지연시간 지연시킨 후 메인 드라이버(120)로 공급하고, 제2 신호($X_{in}[n-1]$)를 제2 지연시간 지연시킨 후 서브 드라이버(130)로 공급한다. 여기서, 제2 신호($X_{in}[n-1]$)는 제1 신호($X_{in}[n]$)보다 하나의 단위 시간간격(1 unit interval)만큼 지연된 신호일 수 있다. 본 명세서에서는 설명의 편의를 위해, 제1 신호($X_{in}[n]$)가 제1 지연시간만큼 지연된 신호를 제3 신호(X[n])라 칭하고, 제2 신호($X_{in}[n-1]$)가 제2 지연시간만큼 지연된 신호를 제4 신호(X[n-1])라 칭하기로 한다.

[0022] 보다 상세하게, 프리 드라이버(110)는 메인 드라이버(120)로 제3 신호(X[n])를 공급하기 위한 제1 프리 드라이버(111) 및 서브 드라이버(130)로 제4 신호(X[n-1])를 공급하기 위한 제2 프리 드라이버(112)를 포함한다. 그리고, 도 1에 도시된 바와 같이 제1 프리 드라이버(111)는 제1 지연시간을 가지는 제1 디지털 시간지연 소자를

포함하고, 제2 프리 드라이버(112)는 제2 지연시간을 가지는 제2 디지털 지연 소자를 포함할 수 있다.

[0023] 또한, 제1 신호(X_{in}[n]), 제2 신호(X_{in}[n-1]), 제3 신호(X[n]) 및 제4 신호(X[n-1]) 각각은 포지티브(positive) 신호 및 네거티브(negative) 신호를 포함한다. 즉, 제1 프리 드라이버(111)는 제1 포지티브 신호(X_{in}_p[n]) 및 제1 네거티브 신호(X_{in}_n[n])를 각각 제1 지연시간 동안 지연시킨 제3 포지티브 신호(X_p[n]) 및 제3 네거티브 신호(X_n[n])를 메인 드라이버(120)로 출력하고, 제2 프리 드라이버(112)는 제2 포지티브 신호(X_{in}_p[n-1]) 및 제2 네거티브 신호(X_{in}_n[n-1])를 각각 제2 지연시간 동안 지연시킨 제4 포지티브 신호(X_p[n-1]) 및 제4 네거티브 신호(X_n[n-1])를 서브 드라이버(130)로 출력한다.

[0024] 메인 드라이버(120)는 제3 신호(X[n])를 소정의 제5 지연시간 동안 지연시켜 출력한다. 즉, 메인 드라이버(120)는 제3 포지티브 신호(X_p[n])를 제5 지연시간만큼 지연시킨 후 제1 출력단으로 출력하고, 제3 네거티브 신호(X_n[n])를 제5 지연시간만큼 지연시킨 후 제2 출력단으로 출력한다.

[0025] 그리고, 서브 드라이버(130)는 제4 신호(X[n-1])를 소정의 제6 지연시간 동안 지연시켜 출력한다. 즉, 서브 드라이버(130)는 제4 포지티브 신호(X_p[n-1])를 제6 지연시간만큼 지연시킨 후 제1 출력단으로 출력하고, 제4 네거티브 신호(X_n[n-1])를 제6 지연시간만큼 지연시킨 후 제2 출력단으로 출력한다.

[0026] 이 때, 서브 드라이버(130)의 제1 출력단은 메인 드라이버(120)의 제2 출력단과 연결되고, 서브 드라이버(130)의 제2 출력단은 메인 드라이버(120)의 제1 출력단과 연결된다. 이에 따라, 메인 드라이버(120)가 최종 출력단(out_p/out_n)으로 신호(데이터)를 출력하기 위해 전류를 충전 또는 방전할 때, 서브 드라이버(130)는 기 설정된 비율만큼의 반대 방향의 전류를 충전 또는 방전시킴으로써 하나의 단위 시간간격 이전의 데이터 값과 현재의 데이터 값이 서로 다를 때 더 많은 양의 전류가 최종 출력단으로 충전 또는 방전되도록 하는 역할을 함으로써 메인 드라이버(120)에서 출력되는 신호에 대한 프리엠퍼시스를 수행한다.

[0027] 그런데, 앞서 설명한 바와 같이 메인 드라이버(120)로 신호를 공급(구동)하는 제1 프리 드라이버(111)와 서브 드라이버(130)로 신호를 공급(구동)하는 제2 프리 드라이버(112)는 서로 다른 크기의 부하 커패시턴스를 구동하기 때문에, 제1 신호(X_{in}[n])와 제2 신호(X_{in}[n-1])가 정확히 하나의 단위 시간지연만큼의 지연차를 가진다 하더라도, 제3 신호(X[n])와 제4 신호(X[n-1])는 하나의 단위 시간지연보다 크거나 작은 지연차, 즉 스큐를 가지게 되며, 이는 최종 출력 신호에 추가적인 지터를 생성하는 문제를 발생시켰다.

[0028] 지연시간 제어부(140)는 상기와 같은 스큐로 인한 지터의 생성을 최소화하기 위해 제1 프리 드라이버(111)의 지연시간(제1 지연시간) 및 제2 프리 드라이버의 지연시간(제2 지연시간)을 제어하기 위한 제어신호를 생성하여 프리 드라이버(110)으로 전송한다.

[0029] 즉, 지연시간 제어부(140)는 제3 신호(X[n])와 제4 신호(X[n-1])의 스큐를 검출하고, 상기 검출된 스큐에 기초하여 제1 지연시간 및 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성하여 프리 드라이버(110)로 전송한다. 다시 말해, 지연시간 제어부(140)는 제4 신호(X[n-1])가 제3 신호(X[n])보다 하나의 단위 시간간격만큼 지연된 신호가 되도록 제1 지연시간 및 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성한다. 그리고, 프리 드라이버(110)는 수신한 제어신호에 기초하여 제1 지연시간 및 제2 지연시간 중에서 적어도 하나를 조절하여 제3 신호(X[n])와 제4 신호(X[n-1])가 하나의 단위 시간지연 차를 가지도록 한다.

[0030] 이를 위해, 지연시간 제어부(140)는 제3 신호(X[n])와 제4 신호(X[n-1]) 사이의 스큐를 검출하는 스큐 검출 모듈(141), 검출된 스큐의 정도를 디지털 값으로 변환하는 시간-디지털 변환 모듈(142) 및 변환된 디지털 값에 포함된 고주파 잡음 성분을 제거하기 위한 디지털 필터 모듈(143)을 포함할 수 있다. 그리고, 제어신호는 상기 변환된 디지털 값으로부터 생성되며, 디지털 값의 형태를 가지는 제어신호는 프리 드라이버(110)에 포함된 디지털 시간지연 소자로 전달된다. 이에 따라, 제3 신호(X[n])와 제4 신호(X[n-1]) 사이의 스큐의 정도에 따라 제1 지연시간 및 제2 지연시간이 조절되어 다음 시간에 출력되는 제3 신호(X[n])와 제4 신호(X[n-1])는 하나의 단위 시간간격만큼의 지연차가 발생하게 된다.

[0031] 한편, 본 발명의 일 실시예에 따르면, 제3 신호(X[n])와 제4 신호(X[n-1]) 사이의 스큐는 제3 네거티브 신호(X_n[n])와 제4 포지티브 신호(X_p[n-1]) 사이의 스큐일 수 있다.

[0032] 이하, 도 2 및 도 3을 참조하여, 제3 네거티브 신호(X_n[n])와 제4 포지티브 신호(X_p[n-1]) 사이의 스큐를 이용하여 제어신호를 생성하는 지연시간 제어부(140)의 동작을 보다 상세하게 설명한다.

[0033] 먼저, 도 2는 프리 드라이버(110)에서 출력되는 신호의 형태의 일례들을 도시한 도면이다.

[0034] 보다 상세하게, 도 2 (a)는 + 스큐가 발생하는 경우의 신호의 형태를 도시한 것으로서, + 스큐가 발생하는 경우 제3 네거티브 신호(X_n[n])의 상승 에지가 제3 포지티브 신호(X_p[n])의 상승 에지 보다 앞서게 된다. 그리고, 도 2의 (b)는 - 스큐가 발생하는 경우의 신호의 형태를 도시한 것으로서, - 스큐가 발생하는 경우, 제4 포지티브 신호(X_p[n-1])의 상승 에지가 제3 네거티브 신호(X_n[n])의 상승 에지 보다 앞서게 된다.

[0035] 다음으로 도 3은 본 발명의 일 실시예에 따른 지연시간 제어부(140)의 일례의 개략적인 구성을 도시한 블록도이다.

[0036] 도 3를 참조하면, 지연시간 제어부(140)는 제1 포트(310), 제2 포트(320), 2개의 스위칭 소자(330, 240), k(3 이상의 정수임)개의 제3 시간지연 소자(350), k개의 제4 시간지연 소자(360) 및 k개의 시간지연 비교기(370)를 포함한다.

[0037] 제1 포트(310)는 제3 네거티브 신호(X_n[n]) 및 제4 포지티브 신호(X_p[n-1]) 중에서 어느 하나를 입력받고, 제2 포트(320)는 제3 네거티브 신호(X_n[n]) 및 제4 포지티브 신호(X_p[n-1]) 중에서 다른 하나를 입력받으며, 이러한 신호 입력을 위해 2개의 스위칭 소자(330, 240)가 사용된다.

[0038] 즉, 제1 포트(310)가 제4 포지티브 신호(X_p[n-1])를 입력받고, 제2 포트(320)가 제3 네거티브 신호(X_n[n])를 입력받는 경우, 스위칭 소자(330)는 A 단자와 연결되고 스위칭 소자(340)는 B 단자와 연결된다. 반대로, 제1 포트(310)가 제3 네거티브 신호(X_n[n])를 입력받고, 제2 포트(320)가 제4 포지티브 신호(X_p[n-1])를 입력받는 경우, 스위칭 소자(330)는 B 단자와 연결되고 스위칭 소자(340)는 A 단자와 연결된다.

[0039] 그리고, k개의 제3 시간지연 소자(350)는 제1 포트(310)와 직렬로 연결되고, k개의 제4 시간지연 소자(360)는 제2 포트(320)와 직렬로 연결된다. 여기서, 제3 시간지연 소자(350)의 지연시간(제3 지연시간)은 제4 시간지연 소자(360)의 지연시간(제4 지연시간)보다 크다. 이하, 제4 지연시간은 "t_d"로 설정되고, 제3 지연시간은 "t_d+t_{res}"로 설정된 것으로 가정한다.

[0040] 또한, k개의 시간지연 비교기(370) 각각은 제1 입력단이 k개의 제3 시간지연 소자(350) 각각의 출력단과 연결되고, 제2 입력단이 k개의 제4 시간지연 소자(360) 각각의 출력단과 연결된다.

[0041] 따라서, k개의 시간지연 비교기(370) 중 i번째 시간지연 비교기는 k개의 제3 시간지연 소자(350) 중 i번째 제3 시간지연 소자에서 출력되는 제3 네거티브 신호(X_n[n])와 k개의 제4 시간지연 소자(360) 중 i번째 제4 시간지연 소자에서 출력되는 제4 포지티브 신호(X_p[n-1])의 상승 에지의 선후를 비교하고, 비교 결과에 따라 0 또는 1의 값을 출력단을 통해 출력한다. 그리고, 제어신호는 1의 값을 출력하는 시간지연 비교기가 k개의 시간지연 비교기 중 몇 번째 시간지연 비교기인지 여부 및 제3 지연시간과 제4 지연시간 사이의 차를 이용하여 생성될 수 있다.

[0042] 일례로서, 제1 포트(310)가 제4 포지티브 신호(X_p[n-1])를 입력받고, 제2 포트(320)가 제3 네거티브 신호(X_n[n])를 입력받는 경우(즉, 스위칭 소자(330)는 A 단자에 연결되고, 스위칭 소자(340)는 B 단자에 연결되는 경우)에 있어, 도 2의 (a)에 도시된 바와 같은 + 스큐가 발생한 신호들이 입력되는 경우, 제4 포지티브 신호(X_p[n-1])는 t_d+t_{res}의 지연시간을 가지는 지연단을 통과하고 제3 네거티브 신호(X_n[n])는 t_d의 지연시간을 가지는 지연단을 통과하게 된다.

[0043] 이 때, 매 지연단을 지날 때 마다 제4 포지티브 신호(X_p[n-1])와 제3 네거티브 신호(X_n[n])의 지연차는 "t_{res}"만큼 줄어들게 되며, 제4 포지티브 신호(X_p[n-1])의 상승 에지가 제3 네거티브 신호(X_n[n])의 상승 에지 보다 앞서는 시점에서 해당 지연단의 시간지연 비교기(370)는 1의 값을 출력하게 된다.

[0044] 따라서, 만약 N번째 시간지연 비교기(370)에서 1의 값을 출력하였다면, 제3 네거티브 신호(X_n[n])와 제4 포지티브 신호(X_p[n-1])의 + 스큐는 "$N\times t_{res}$"로 산출되고, 지연시간 제어부(140)는 "$N\times t_{res}$"값을 이용하여 메인 드라이버(120)로 신호를 공급하는 제1 프리 드라이버(111)의 제1 지연시간을 추가하기 위한 제어신호를 생성한다.

[0045] 다른 일례로서, 제1 포트(310)가 제4 포지티브 신호(X_p[n-1])를 입력받고, 제2 포트(320)가 제3 네거티브 신호(X_n[n])를 입력받는 경우(즉, 스위칭 소자(330)는 A 단자에 연결되고, 스위칭 소자(340)는 B 단자에 연결되는

경우)에 있어, 도 2의 (b)에 도시된 바와 같은 - 스큐가 발생한 신호들이 입력되는 경우, 제4 포지티브 신호(X_p[n-1])는 t_d+t_{res}의 지연시간을 가지는 지연단을 통과하고 제3 네거티브 신호(X_n[n])는 t_d의 지연시간을 가지는 지연단을 통과하게 된다.

[0046] 그런데, 입력 시점부터 제4 포지티브 신호(X_p[n-1])의 상승 에지는 제3 네거티브 신호(X_n[n])의 상승 에지보다 앞서게 되므로, 첫번째 지연단의 시간지연 비교기(370)에서부터 1의 값이 출력되며, 이 경우 스큐의 정도를 측정할 수 없게 된다.

[0047] 따라서, 상기와 같이 첫번째 지연단의 시간지연 비교기(370)에서 1의 값이 출력되는 경우(즉, - 스큐가 발생한 신호들이 입력되는 경우), 스위칭 소자(330)는 B 단자로, 스위칭 소자(340)는 A 단자로 각각 연결되며, 이 후 상기한 일례에서 설명한 동작과 대응되는 동작이 수행되어 - 스큐의 정도를 산출한다. 그리고, 지연시간 제어부(140)는 산출된 스큐의 정도를 이용하여 서브 드라이버(130)로 신호를 공급하는 제2 프리 드라이버(112)의 제2 지연시간을 추가하기 위한 제어신호를 생성한다.

[0048] 이와 같이, 본 발명의 일 실시예에 따른 출력 드라이버는 디지털 제어 지연소자를 이용하여 스큐를 보다 효율적이고 정확하게 보정함으로써 최종 출력 신호에서 발생하는 지터를 최소화한다.

[0049] 도 4는 본 발명의 일 실시예에 따른 출력 드라이버에서의 스큐 보정 방법에 관한 전체적인 흐름을 도시한 순서도이다.

[0050] 도 4에 도시된 스큐 보정 방법은 앞서 도 1에서 설명한 바와 같은 구조를 가지는 출력 드라이버에서의 스큐를 보정하는데 적용될 수 있다.

[0051] 이하, 각 단계 별로 수행되는 과정을 설명한다.

[0052] 먼저, 단계(S410)에서는 제3 신호(X[n])와 제4 신호(X[n-1]) 사이의 스큐를 검출한다.

[0053] 여기서, 제3 신호(X[n])는 제1 신호(X_{in}[n])를 제1 지연시간 동안 지연시킨 신호이고, 제4 신호(X[n-1])는 제1 신호(X_{in}[n])보다 하나의 단위 시간간격만큼 지연된 제2 신호(X_{in}[n-1])를 제2 지연시간 동안 지연시킨 신호이다. 그리고, 제3 신호(X[n])와 제4 신호(X[n-1]) 사이의 스큐는 제3 네거티브 신호(X_n[n])와 제4 포지티브 신호(X_p[n-1]) 사이의 스큐일 수 있다.

[0054] 다음으로, 단계(S420)에서는 검출된 스큐에 기초하여 제1 지연시간 및 상기 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성한다.

[0055] 본 발명의 일 실시예에 따르면, 단계(S420)에서는 제4 신호(X[n-1])(제4 포지티브 신호(X_p[n-1]))가 제3 신호(X[n])(제3 네거티브 신호(X_n[n]))보다 하나의 단위 시간간격만큼 지연된 신호가 되도록 제1 지연시간 및 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성할 수 있다.

[0056] 마지막으로, 단계(S430)에서는 제어신호에 기초하여 제1 지연시간 및 제2 지연 시간 중 적어도 하나를 조절하여 제3 신호(X[n])(제3 네거티브 신호(X_n[n]))와 제4 신호(X[n-1])(제4 포지티브 신호(X_p[n-1])) 사이의 스큐를 보정한다.

[0057] 지금까지 본 발명에 따른 출력 드라이버에서의 스큐 보정 방법의 실시예들에 대하여 설명하였고, 앞서 도 1에서 설명한 출력 드라이버(100)에 관한 구성이 본 실시예에도 그대로 적용 가능하다. 이에, 보다 상세한 설명은 생략하기로 한다.

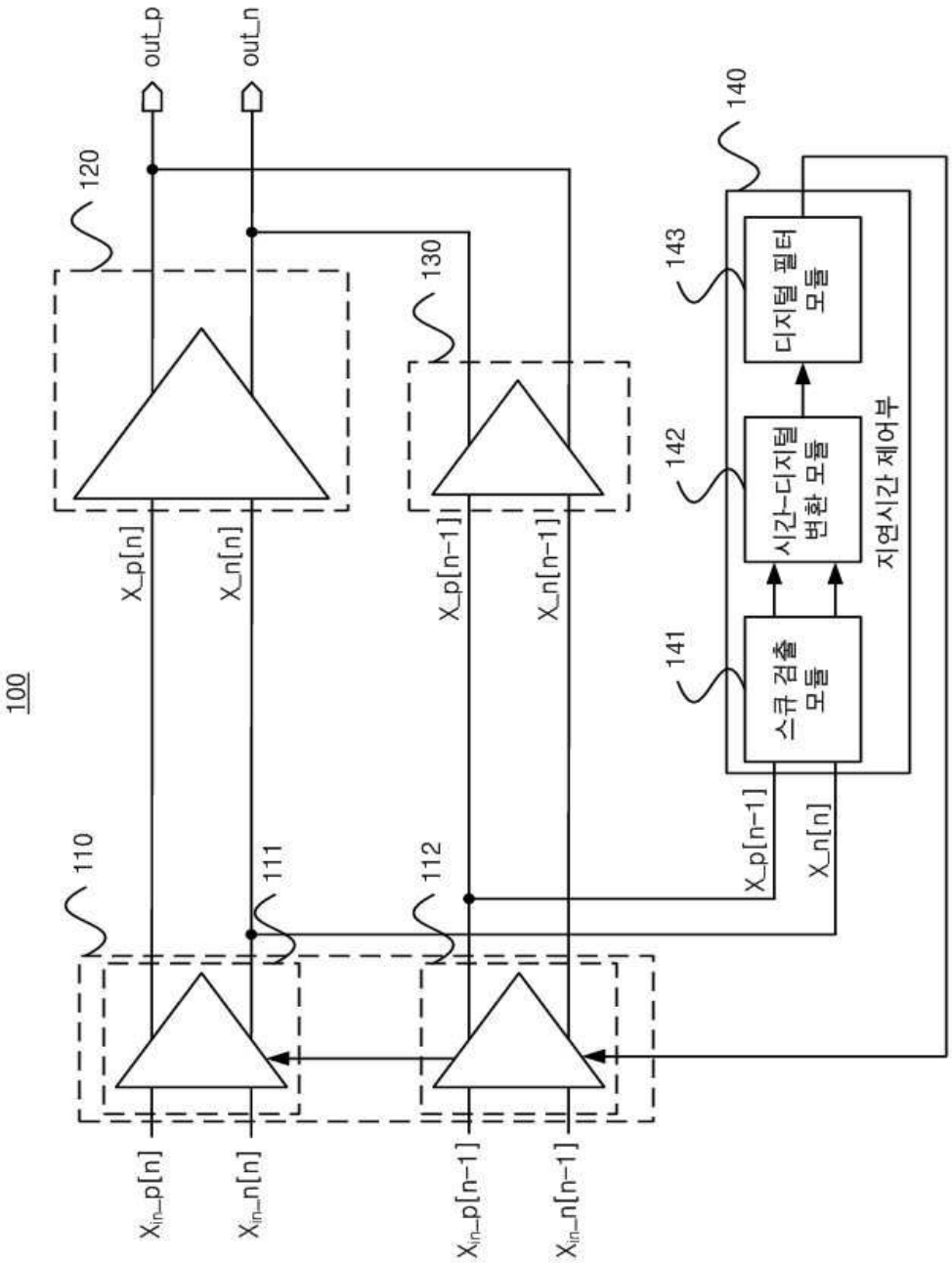
[0058] 또한, 본 발명의 실시예들은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 본 발명의 일 실시예들의 동작을 수행하기 위해 하나 이

상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

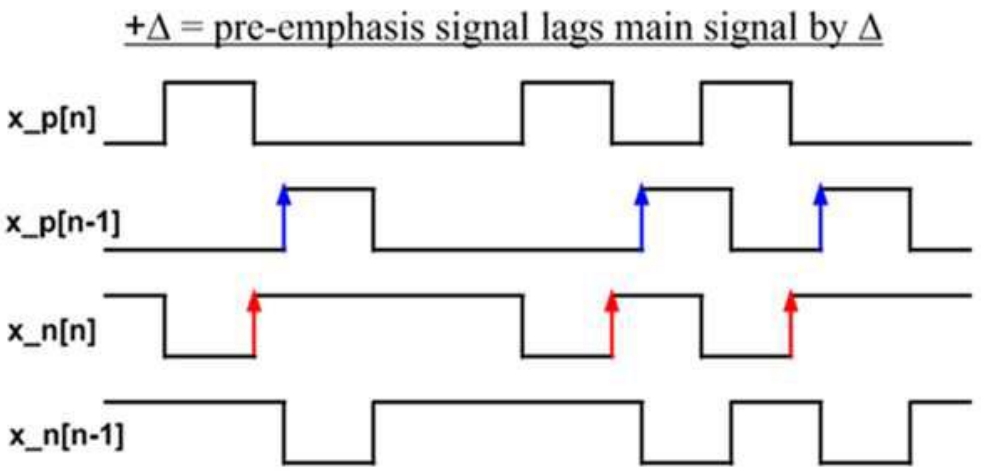
[0059] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

도면

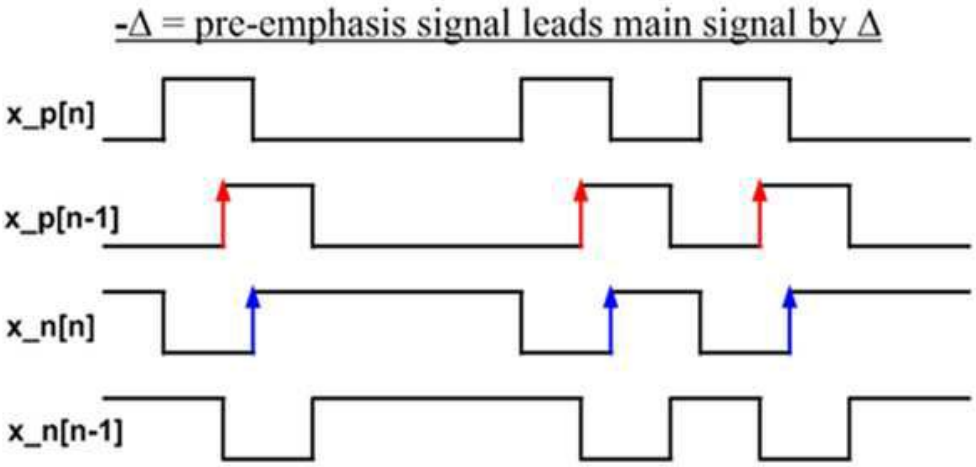
도면1



도면2

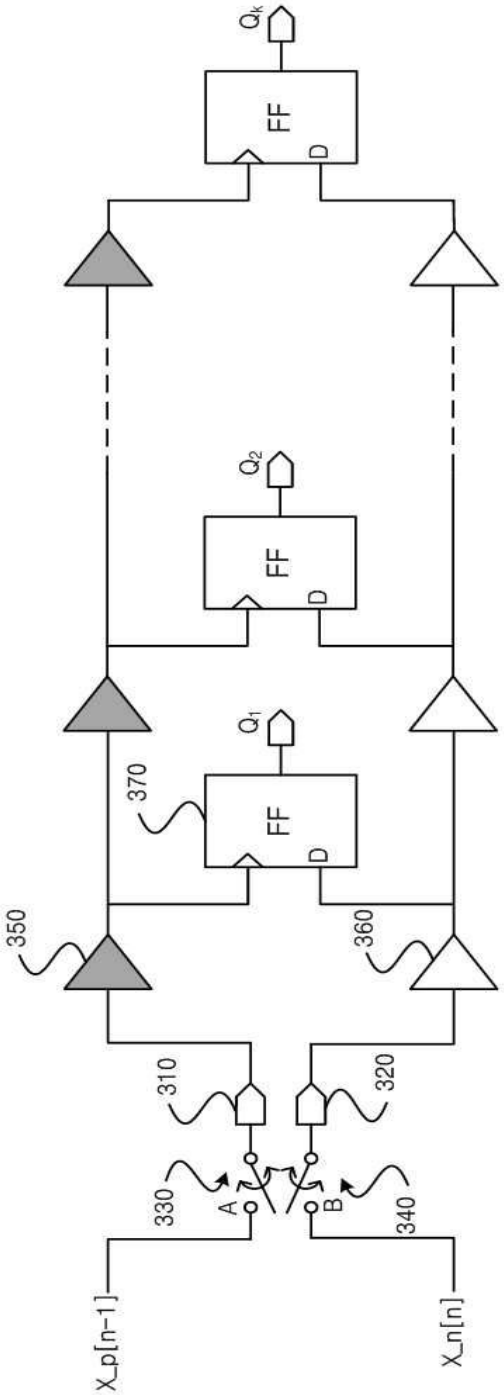

+Δ = pre-emphasis signal lags main signal by Δ
x_p[n]
x_p[n-1]
x_n[n]
x_n[n-1]

(a)

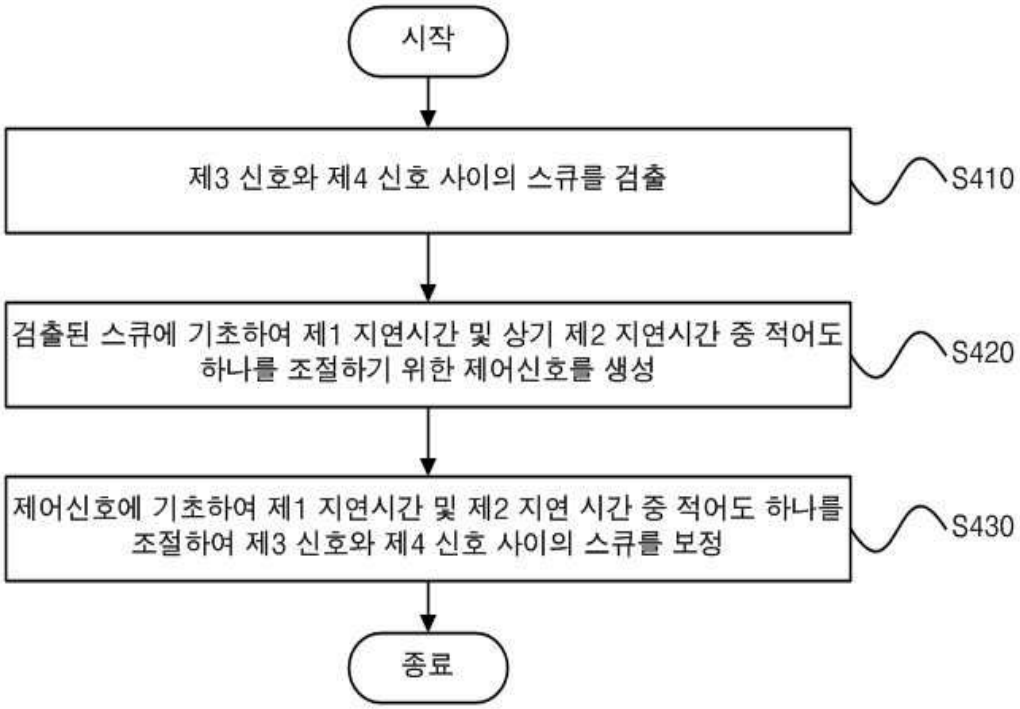

-Δ = pre-emphasis signal leads main signal by Δ
x_p[n]
x_p[n-1]
x_n[n]
x_n[n-1]

(b)

도면3



도면4


시작
제3 신호와 제4 신호 사이의 스큐를 검출
S410
검출된 스큐에 기초하여 제1 지연시간 및 상기 제2 지연시간 중 적어도 하나를 조절하기 위한 제어신호를 생성
S420
제어신호에 기초하여 제1 지연시간 및 제2 지연 시간 중 적어도 하나를 조절하여 제3 신호와 제4 신호 사이의 스큐를 보정
S430
종료