

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 2 月 4 日(04.02.2016)



(10) 国際公開番号
WO 2016/016776 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 21/66* (2006.01)
G01N 21/00 (2006.01) *H01L 29/786* (2006.01)
G01N 22/00 (2006.01)
- (21) 国際出願番号: PCT/IB2015/055568
- (22) 国際出願日: 2015 年 7 月 23 日(23.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-156761 2014 年 7 月 31 日(31.07.2014) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO.,
LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷 3 9
8 Kanagawa (JP).
- (72) 発明者: 下村 明久 (SHIMOMURA, Akihisa); 〒
2430036 神奈川県厚木市長谷 3 9 8 株式会社半
導体エネルギー研究所内 Kanagawa (JP). 奥野 直
樹(OKUNO, Naoki).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ロアジア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

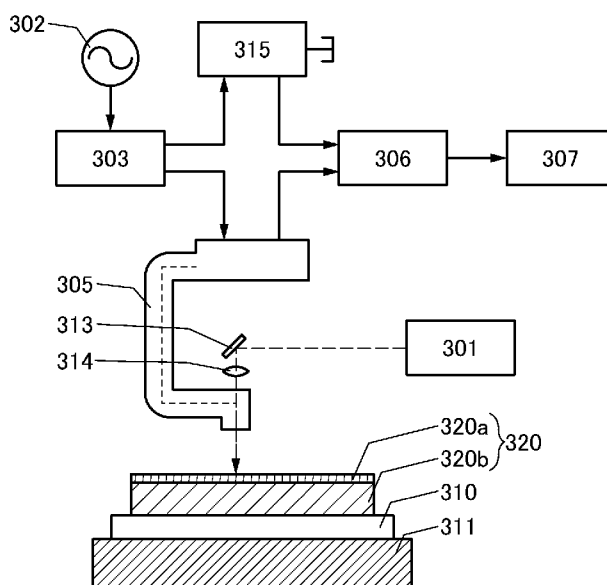
添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 請求の範囲の補正の期限前の公開であり、補正
を受理した際には再公開される。(規則 48.2(h))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR EVALUATING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、及び半導体装置の評価方法

[図01]



(57) Abstract: Provided is a transistor having a low sub-threshold swing value. Also provided is a transistor with a low defect level density of the semiconductor. Also provided is a transistor having excellent electrical characteristics. Also provided is a transistor with stable electrical characteristics. Also provided is a transistor having high frequency characteristics. Also provided is a transistor having minimal current when turned off. Also provided is a semiconductor device having said transistor. This semiconductor device comprises an insulating body, a semiconductor, and a conductive body. The semiconductor has an area in which the semiconductor and the conductive body overlap with one another, with the insulating body interposed therebetween. In this area, there is an area in which of the carrier lifetime due to the microwave photoconductive attenuation of the semiconductor, the component that is rapidly attenuated is from 30nsec to 200nsec. The microwave photoconductive attenuation uses excitation light having a wavelength of less than 337nm.

(57) 要約: サブスレッショルドスイング値の小
さいトランジスタを提供する。または、半
導体の欠陥準位密度の低いトランジスタを提
供する。または、電気特性の

[続葉有]



良好なトランジスタを提供する。または、電気特性の安定したトランジスタを提供する。または、高い周波数特性を有するトランジスタを提供する。または、オフ時の電流の小さいトランジスタを提供する。または、該トランジスタを有する半導体装置を提供する。絶縁体と、半導体と、導電体と、を有し、半導体は、絶縁体を介して、半導体と導電体とが互いに重なる領域を有し、領域において、半導体のマイクロ波光導電減衰法によるキャリアの寿命のうち、速やかに減衰する成分が30 nsec以上200 nsec以下となる領域を有し、マイクロ波光導電減衰法は、波長が337 nm未満の励起光を用いる半導体装置である。

明細書

発明の名称

半導体装置、及び半導体装置の評価方法

技術分野

[0001]

本発明は、例えば、半導体、トランジスタおよび半導体装置に関する。または、本発明は、半導体、トランジスタおよび半導体装置の評価方法に関する。または、本発明は、半導体、トランジスタおよび半導体装置の製造方法に関する。または、本発明は、例えば、半導体、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プロセッサ、電子機器に関する。または、半導体、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の製造方法に関する。または、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の駆動方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

背景技術

[0004]

絶縁表面を有する基板上の半導体を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体としてシリコンが知られている。

[0005]

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温での熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

[0006]

その後、酸化物半導体を用いたトランジスタが開示されている（特許文献1参照。）。酸化物半導体は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタの半導体に用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

[0007]

また、酸化物半導体の諸特性を非接触で評価する方法として、酸化物半導体に励起光およびマイクロ波を照射し、励起光の照射により変化するマイクロ波の反射波を測定する方法が開示されている（特許文献2および特許文献3参照。）。特許文献2には、非晶質の酸化物半導体は、波長349nmの励起光の浸透長（侵入長または進入長などとも呼ばれる。）が10nm程度であることが示されている。

[0008]

また、非特許文献1には、代表的な酸化物半導体であるIn-Ga-Zn酸化物の電子スピン共鳴（ESR: Electron Spin Resonance）によるスピン密度と導電率との関係が開示されている。また、In-Ga-Zn酸化物のキャリア発生源として、酸素欠損および水素に起因する欠陥準位が示されている。

[先行技術文献]

[特許文献]

[0009]

[特許文献1] 特表平11-505377

[特許文献2] 特開2012-33857号公報

[特許文献3] 特開2014-19931号公報

[非特許文献]

[0010]

[非特許文献1] Y. Nonaka, et al.: Journal of Applied Physics 2014 vol. 115, 163707

発明の概要

発明が解決しようとする課題

[0011]

非接触による半導体の諸特性の評価方法を提供することを課題の一とする。または、非接触によるワイドギャップ半導体の諸特性の評価方法を提供することを課題の一とする。または、非接触による酸化物半導体の諸特性の評価方法を提供することを課題の一とする。

[0012]

または、サブスレッショルドスイング値の小さいトランジスタを提供することを課題の一とする。または、半導体の欠陥準位密度の低いトランジスタを提供することを課題の一とする。または、電気特性の良好なトランジスタを提供することを課題の一とする。または、電気特性の安定したトランジスタを提供することを課題の一とする。または、高い周波数特性を有するトランジスタを提供することを課題の一とする。または、オフ時の電流の小さいトランジスタを提供することを課題の一とする。または、該トランジスタを有する半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。または、新規なモジュールを提供することを課題の一とする。または、新規な電子機器を提供することを課題の一とする。

[0013]

または、トランジスタにおいて、半導体の欠陥準位密度の評価方法を提供することを課題の一とする。

[0014]

または、トランジスタを歩留まり高く作製することを課題の一とする。または、トランジスタを生産性高く作製することを課題の一とする。または、トランジスタを安く作製することを課題の一とする。または、該トランジスタを有する半導体装置を歩留まり高く作製することを課題の一とする。または、該トランジスタを有する半導体装置を生産性高く作製することを課題の一とする。または、該トランジスタを有する半導体装置を安く作製することを課題の一とする。

[0015]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0016]

(1)

本発明の一態様は、絶縁体と、半導体と、導電体と、を有し、半導体は、絶縁体を介して、半導体と導電体とが互いに重なる領域を有し、領域において、半導体のマイクロ波光導電減衰法によるキャリアの寿命のうち、速やかに減衰する成分が30 ns以上となる領域を有する半導体装置である。

[0017]

(2)

または、本発明の一態様は(1)において、マイクロ波光導電減衰法は、波長が337 nm未満の励起光を用いる半導体装置である。

[0018]

(3)

または、本発明の一態様は、(1)または(2)において、半導体は、インジウム、亜鉛および元素M(元素Mはアルミニウム、ガリウム、イットリウムまたはスズ)から選ばれた一種以上を有する酸化物を有する半導体装置である。

発明の効果

[0019]

非接触による半導体の諸特性の評価方法を提供することができる。または、非接触によるワイドギャップ半導体の諸特性の評価方法を提供することができる。または、非接触による酸化物半導体の諸特性の評価方法を提供することができる。

[0020]

サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、半導体の欠陥準位密度の低いトランジスタを提供することができる。または、電気特性の良好なトランジスタを提供することができる。または、電気特性の安定したトランジスタを提供することができる。または、高い周波数特性を有するトランジスタを提供することができる。または、オフ時の電流の小さいトランジスタを提供することができる。または、該トランジスタを有する半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。または、新規な半導体装置を提供す

ることができる。または、新規なモジュールを提供することができる。または、新規な電子機器を提供することができる。

[0021]

または、トランジスタにおいて、半導体の欠陥準位密度の評価方法を提供することができる。

[0022]

または、トランジスタを歩留まり高く作製することができる。または、トランジスタを生産性高く作製することができる。または、トランジスタを安く作製することができる。または、該トランジスタを有する半導体装置を歩留まり高く作製することができる。または、該トランジスタを有する半導体装置を生産性高く作製することができる。または、該トランジスタを有する半導体装置を安く作製することができる。

[0023]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0024]

[図1] 本発明の一態様に係るマイクロ波光導電減衰法による評価を行う装置の模式図。

[図2] 本発明の一態様に係るマイクロ波光導電減衰法による評価を行う装置の模式図。

[図3] 本発明の一態様に係るトランジスタを示す上面図および断面図。

[図4] 本発明の一態様に係るトランジスタを示す断面図。

[図5] 本発明の一態様に係るトランジスタを示す上面図および断面図。

[図6] 本発明の一態様に係るトランジスタを示す上面図および断面図。

[図7] 本発明の一態様に係るトランジスタを示す上面図および断面図。

[図8] 本発明の一態様に係るトランジスタを示す上面図および断面図。

[図9] 本発明の一態様に係るトランジスタを示す断面図。

[図10] 本発明の一態様に係るトランジスタの作製方法を示す断面図。

[図11] 本発明の一態様に係るトランジスタの作製方法を示す断面図。

[図12] 本発明の一態様に係るトランジスタの作製方法を示す断面図。

[図13] 本発明の一態様に係る半導体装置を示す回路図。

[図14] 本発明の一態様に係る半導体装置を示す断面図。

[図15] 本発明の一態様に係る半導体装置を示す断面図。

[図16] 本発明の一態様に係る半導体装置を示す断面図。

[図17] 本発明の一態様に係る記憶装置を示す回路図。

[図18] 本発明の一態様に係る半導体装置を示す断面図。

[図19] 本発明の一態様に係る半導体装置を示す断面図。

[図20] 本発明の一態様に係る半導体装置を示す断面図。

[図21] 本発明の一態様に係る半導体装置を示す断面図。

[図22] 本発明の一態様に係る半導体装置を示すブロック図。

- [図 2 3] 本発明の一態様に係る半導体装置を示す断面図。
[図 2 4] 本発明の一態様に係る半導体装置を示す断面図。
[図 2 5] 本発明の一態様に係る半導体装置を示す斜視図。
[図 2 6] 本発明の一態様に係る半導体装置を示すブロック図。
[図 2 7] 本発明の一態様に係る半導体装置を示す回路図。
[図 2 8] 本発明の一態様に係る半導体装置を示す回路図、上面図および断面図。
[図 2 9] 本発明の一態様に係る半導体装置を示す回路図および断面図。
[図 3 0] 本発明の一態様に係る電子機器を示す回路図。
[図 3 1] 電子スピン共鳴で評価したスピン密度を示す図。
[図 3 2] マイクロ波光導電減衰法で評価したマイクロ波の反射率のピーク値を示す図。
[図 3 3] スピン密度とマイクロ波の反射率のピーク値との関係を示す図。

発明を実施するための形態

[0025]

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

[0026]

なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。

[0027]

なお、本明細書において、「膜」という表記と、「層」という表記と、を互いに入れ替えることが可能である。

[0028]

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

[0029]

なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0030]

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

[0031]

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を

有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体」と言い換えることができる場合がある。

[0032]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of State) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0033]

なお、本明細書において、Aが濃度Bの領域を有する、と記載する場合、例えば、Aのある領域における深さ方向全体の濃度がBである場合、Aのある領域における深さ方向の濃度の平均値がBである場合、Aのある領域における深さ方向の濃度の中央値がBである場合、Aのある領域における深さ方向の濃度の最大値がBである場合、Aのある領域における深さ方向の濃度の最小値がBである場合、Aのある領域における深さ方向の濃度の収束値がBである場合、測定上Aそのものの確からしい値の得られる領域における濃度がBである場合などを含む。

[0034]

また、本明細書において、Aが大きさB、長さB、厚さB、幅Bまたは距離Bの領域を有する、と記載する場合、例えば、Aのある領域における全体の大きさ、長さ、厚さ、幅、または距離がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の平均値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の中央値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の最大値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の最小値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の収束値がBである場合、測定上Aそのものの確からしい値の得られる領域での大きさ、長さ、厚さ、幅、または距離がBである場合などを含む。

[0035]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0036]

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0037]

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

[0038]

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0039]

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

[0040]

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

[0041]

なお、本明細書において、AがBより迫り出した形状を有すると記載する場合、上面図または断面図において、Aの少なくとも一端が、Bの少なくとも一端よりも外側にある形状を有することを示す場合がある。したがって、AがBより迫り出した形状を有すると記載されている場合、例えば上面図において、Aの一端が、Bの一端よりも外側にある形状を有すると読み替えることができる。

[0042]

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0043]

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0044]

<マイクロ波光導電減衰法>

以下に、マイクロ波光導電減衰法について図を用いて説明する。

[0045]

図1は、マイクロ波光導電減衰法を行うための装置の一例を示す模式図である。図1に示す装置は、ワイドギャップ半導体の薄膜の評価に好適である。特に、トランジスタの半導体に用いられる、 1 nm 以上 $1\text{ }\mu\text{ m}$ 以下、 2 nm 以上 500 nm 以下、 3 nm 以上 200 nm 以下または 5 nm 以上 100 nm 以下のワイドギャップ半導体の評価に好適である。

[0046]

図1に示す装置は、パルスレーザ発振器301と、マイクロ波発振器302と、方向性結合器303と、導波管305と、ミキサ306と、信号処理装置307と、試料ステージ311と、を有する。なお、図1において、導波管305は、コーナー部が曲率を有する形状を示しているが、これに限定されるものではない。試料ステージ311上には、試料320を配置することができる。試料320は、例えば、基板320bと、基板320b上の半導体320aと、を有する。

[0047]

試料ステージ311の上面には、導電体が配置されている。導電体としては、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、ステンレス鋼などの合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0048]

なお、試料320と試料ステージ311との間にスペーサ310を配置しても構わない。スペーサ310は、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

[0049]

スペーサ 310 は、例えば、半導体 320a の上面と、試料ステージ 311 の上面と、の距離が基板 320b およびスペーサ 310 におけるマイクロ波の波長の $1/4$ 程度となるように厚さを選択すればよい。なお、スペーサ 310 を配置することにより、試料 320 を上下逆さまに配置した場合でも評価が可能となる場合がある。試料 320 を上下逆さまに配置することで、例えば、基板 320b と半導体 320a との界面の影響を多く含んだ情報が得られる場合がある。

[0050]

以下に、半導体 320a のマイクロ波光導電減衰法による評価方法を示す。

[0051]

まず、マイクロ波発振器 302 より、マイクロ波を放射する。放射されたマイクロ波を特に進行波（入射波ともいう。）と呼ぶ。方向性結合器 303 を介して進行波が、導波管 305 と位相器 315 とに分かれる。導波管 305 を通った進行波は、試料 320 に入射する。このとき、試料 320 の半導体 320a で反射したマイクロ波（特に反射波と呼ぶ。）が、再び導波管 305 を通る。反射波は、ミキサ 306 にて、位相器 315 を介して分かれた進行波と混合される。混合された信号は、信号処理装置 307 において検出される。

[0052]

このとき、信号処理装置 307 で検出される信号の強度は、半導体 320a におけるマイクロ波の反射率によって変化する。例えば、半導体 320a のキャリア密度が高いほど、マイクロ波の反射率は高くなる。

[0053]

また、半導体 320a は、励起光を吸収することで正孔および電子を生成する。即ち、励起光を半導体 320a に照射することで、半導体 320a のキャリア密度は高くなる。励起光は、ミラー 313 およびレンズ 314 を介して半導体 320a に照射させればよい。

[0054]

マイクロ波の反射率はキャリア密度と正の相関を有することから、励起光を半導体 320a に照射することで、半導体 320a におけるマイクロ波の反射率は高くなる。ある程度の時間、半導体 320a に励起光を当て続けると、マイクロ波の反射率は、励起光によるキャリアの生成と、再結合などによるキャリアの消失と、のバランスによって一定値をとる。この値が、マイクロ波の反射率の最も高い値であることから、反射率のピーク値と呼ぶことができる。反射率のピーク値は、半導体 320a の欠陥準位密度によって変化する場合がある。具体的には、半導体 320a の浅い欠陥準位密度が高いときは、反射率のピーク値が低くなる。また、半導体 320a の浅い欠陥準位密度が低いときは、反射率のピーク値が高くなる。これは、該欠陥準位が、キャリアの消失を助長するためと考えられる。

[0055]

なお、励起光としては、例えば、パルスレーザ発振器 301 から放射されたレーザ光を用いることができる。レーザ光は、半導体 320a のエネルギーギャップよりも十分に高いエネルギーの波長を用いると好ましい。特に、半導体 320a への進入長が 250nm 未満、100nm 未満、70nm 未満または 50nm 未満のレーザ光を用いればよい。例えば、波長が 337nm 未満、315nm 未満、300nm 未満または 270nm 未満のレーザ光を用いればよい。また、光学系のコストの上昇を抑えるためには、レーザ光の波長は 200nm 以上とすることが好ましい。ただし、波長が 200nm 未満のレーザ光を用いても構わない。なお、ネオジムを添加したフッ化イットリウムリチウムをレー

ザ媒質に用いたレーザ（Y L F レーザともいう。）の4倍高長波の波長は266 nmである。なお、光の進入長は、光の強度が1/eに減衰する深さであり、下式で表すことができる。

[0056]

$$d = \frac{\lambda}{4\pi k}$$

[0057]

ここで、dは進入長[nm]を示し、λは波長[nm]を示し、kは減衰係数を示す。

[0058]

例えば、半導体320aのエネルギーギャップよりも十分に高いエネルギーの波長のレーザ光を用いない場合、検出感度を高めるためにレーザ光の出力をある程度高くしなくてはならない。そのため、半導体320aを変質させてしまう場合があった。半導体320aのエネルギーギャップよりも十分に高いエネルギーの波長のレーザ光を用いることで、レーザ光の出力を小さくした場合でも半導体320aのキャリア密度を十分に高くすることができる。したがって、上述したような、半導体320aの変質を抑制することができる。

[0059]

また、半導体320aへの進入長の浅いレーザ光を用いることで、基板320bなど下地の情報が測定結果に反映されることを抑制することができる。また、干渉効果により、半導体320aの厚さに応じて測定結果にムラが生じることを抑制することができる。

[0060]

次に、半導体320aへの励起光の照射を止めると、キャリアの生成が止まり、半導体320aのキャリア密度は低減していく。即ち、マイクロ波の反射率は低くなる。なお、マイクロ波の反射率はキャリア密度と正の相関を有するため、半導体320aにおけるキャリアの寿命（ライフタイム）を測定することもできる。キャリアの寿命は、マイクロ波の反射率のピーク値から、速やかに減衰する成分（τ1ともいう。）と、緩やかに減衰する成分（τ2ともいう。）と、に分けることができる。マイクロ波光導電減衰法によるτ1およびτ2の導出方法は、S. Yasuno, et al.: Journal of Applied Physics 2012 vol. 112, 053715の記載を参照する。

[0061]

以上のようにして、半導体320aをマイクロ波光導電減衰法による評価を行うことができる。なお、試料ステージ311をX方向およびY方向に動かすことで、基板320bの面内において、複数個所の評価を行うことができる。

[0062]

なお、図2のように、導波管305aおよび導波管305bの二つの導波管と、マジックT304と、有する装置を用いても構わない。なお、導波管305aと導波管305bとが、対称性を有すると好ましい。または、導波管305aと導波管305bとのマイクロ波の経路長が同じであればよい。なお、図2において、導波管305aおよび導波管305bは、コーナー部が曲率を有する形状を示しているが、これに限定されるものではない。

[0063]

図2の場合も、まず、マイクロ波発振器302より、マイクロ波を放射する。方向性結合器303を介して進行波が、マジックT304と位相器315とに分かれる。マジックT304において、進行波は、導波管305aおよび導波管305bに分かれる。導波管305aを通った進行波は、励起光とともに試料320に入射する。また、導波管305bを通った進行波、そのまま試料320に入射する。このとき、試料320の半導体320aで反射したマイクロ波が、再び導波管305aおよび導波管305bを通り、マジックT304に戻る。導波管305aと導波管305bと、を通った反射波は、マジックT304において再び合流する、そして、マジックT304はそれらの和信号を出力する。そして、ミキサー306にて、位相器315を介して分かれた進行波と混合される。混合された信号は、信号処理装置307において検出される。

[0064]

このとき、導波管305bを通った反射波は、マイクロ波発振器302に起因したノイズ、および機械的振動による外乱などを、導波管305aを通った反射波と同じだけ含む。したがって、その和信号をとることで、ノイズなどの影響を低減することができる。そのため、図2に示す装置は、励起光によるマイクロ波の反射率の変化を、さらに感度よく検出することができる。

[0065]

<ワイドギャップ半導体>

ワイドギャップ半導体は、シリコンなどと比べてエネルギーギャップが大きい半導体である。具体的には、エネルギーギャップが2 eV以上5 eV以下、2.2 eV以上4.6 eV以下、特に2.5 eV以上4.0 eV以下の半導体を指す。

[0066]

ワイドギャップ半導体は、エネルギーギャップが大きいことにより、マイクロ波光導電減衰法において、シリコンなどで用いられてきた波長349 nmなどのレーザ光の進入長が深くなる。したがって、上述したような不具合が生じる場合があった。特に、欠陥準位密度が低いワイドギャップ半導体においては、レーザ光の進入長が従来考えられていた以上に深くなる場合がある。

[0067]

例えば、代表的なワイドギャップ半導体としては、酸化物半導体が挙げられる。以下に酸化物半導体の構造などを説明する。

[0068]

酸化物半導体は、非単結晶酸化物半導体と単結晶酸化物半導体とに分けられる。または、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。

[0069]

なお、非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

[0070]

まずは、CAAC-OSについて説明する。

[0071]

CAAC-OSは、c軸配向した複数の結晶部を有する酸化物半導体の一つである。

[0072]

透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSの明視野像および回折パターン(複合解析像(高分解能TEM像ともいう。))を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

[0073]

試料面と略平行な方向から、CAAC-OSの断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OSの膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OSの被形成面または上面と平行に配列する。

[0074]

一方、試料面と略垂直な方向から、CAAC-OSの平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

[0075]

CAAC-OSに対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OSのout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

[0076]

なお、InGaZnO₄の結晶を有するCAAC-OSのout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OSは、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

[0077]

CAAC-OSは、不純物濃度の低い酸化物半導体である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体の主成分以外の元素である。特に、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体内部に含まれると、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

[0078]

また、CAAC-OSは、欠陥準位密度の低い酸化物半導体である。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となる場合がある。したがって、レーザ光の進入長が非晶質OSよりも深くなる場合がある。

[0079]

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体は、キャリアトラップが少ない。そのため、当該酸化物半導体を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。

[0080]

また、CAAC-OSを用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

[0081]

次に、微結晶酸化物半導体について説明する。

[0082]

微結晶酸化物半導体は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶（nc:nanocrystal）を有する酸化物半導体を、nc-OS（nanocrystalline Oxide Semiconductor）と呼ぶ。また、nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

[0083]

nc-OSは、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSに対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OSに対し、結晶部よりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OSに対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

[0084]

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なる結晶部間で

結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。したがって、レーザ光の進入長が非晶質OSよりも深くなる場合がある。

[0085]

次に、非晶質酸化物半導体について説明する。

[0086]

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。

[0087]

非晶質酸化物半導体は、高分解能TEM像において結晶部を確認することができない。

[0088]

非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

[0089]

なお、酸化物半導体は、nc-OSと非晶質酸化物半導体との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体(a-like OS: amorphous-like Oxide Semiconductor)と呼ぶ。

[0090]

a-like OSは、高分解能TEM像において鬆(ボイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OSは、TEMによる観察程度の微量な電子照射によって、結晶化が起り、結晶部の成長が見られる場合がある。一方、良質なnc-OSであれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

[0091]

なお、a-like OSおよびnc-OSの結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応する。

[0092]

また、酸化物半導体は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体の構造を推定することができる。例えば、単結晶の密度に対し、a-like OSの密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、nc-OSの密度およびCAAC-OSの密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる

酸化物半導体は、成膜すること自体が困難である。

[0093]

上記について、具体例を用いて説明する。例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、 a-like OS の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、 nc-OS の密度および CAAC-OS の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

[0094]

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせることで算出することが好ましい。

[0095]

なお、酸化物半導体は、例えば、非晶質酸化物半導体、 a-like OS 、微結晶酸化物半導体、 CAAC-OS のうち、二種以上を有する積層膜であってもよい。

[0096]

以上が、酸化物半導体の構造の説明である。

[0097]

欠陥準位密度の低い半導体は、トランジスタ、光電変換素子または発光素子などに用いるときに、高い効率および高い信頼性を得ることができる。例えば、前述のマイクロ波光導電減衰法によって、キャリアの寿命のうち、速やかに減衰する成分 τ_1 が 30 nsec 以上、好ましくは 40 nsec 以上となる領域を有する半導体は、トランジスタ、光電変換素子または発光素子などに好適である。なお、 τ_1 は、キャリアの再結合が起こりやすいほど短くなる。キャリアの再結合は、不純物準位密度が高いほど起こりやすいため、 τ_1 は長いほど好ましい。

[0098]

<トランジスタ>

以下では、本発明の一態様に係るトランジスタについて説明する。

[0099]

<トランジスタ構造>

図3 (A) および図3 (B) は、本発明の一態様のトランジスタの上面図および断面図である。図3 (A) は上面図であり、図3 (B) は、図3 (A) に示す一点鎖線 A_1-A_2 、および一点鎖線 A_3-A_4 に対応する断面図である。なお、図3 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0100]

図3 (A) および図3 (B) に示すトランジスタは、基板400上の導電体413と、基板400上および導電体413上の凸部を有する絶縁体402と、絶縁体402の凸部上の半導体406aと、半導体406a上の半導体406bと、半導体406bの上面および側面と接し、間隔を開けて配置された層409aおよび層409bと、層409a上の導電体416aと、層409b上の導電体4

16bと、半導体406b上、層409a上、層409b上、導電体416a上および導電体416b上の半導体406cと、半導体406c上の絶縁体412と、絶縁体412上の導電体404と、導電体416a上、導電体416b上および導電体404上の絶縁体408と、絶縁体408上の絶縁体418と、を有する。なお、ここでは、導電体413をトランジスタの一部としているが、これに限定されない。例えば、導電体413がトランジスタとは独立した構成要素であるとしてもよい。

[0101]

なお、半導体406cは、A3-A4断面において、少なくとも半導体406bの上面および側面と接する。また、導電体404は、A3-A4断面において、半導体406cおよび絶縁体412を介して半導体406bの上面および側面と面する。また、導電体413は、絶縁体402を介して半導体406bの下面と面する。また、絶縁体402が凸部を有さなくても構わない。また、導電体413を有さなくても構わない。また、半導体406aを有さなくても構わない。また、半導体406cを有さなくても構わない。また、絶縁体408を有さなくても構わない。また、絶縁体418を有さなくても構わない。また、層409aを有さなくても構わない。また、層409bを有さなくても構わない。

[0102]

なお、半導体406bは、トランジスタのチャネル形成領域としての機能を有する。また、導電体404は、トランジスタの第1のゲート電極（フロントゲート電極ともいう。）としての機能を有する。また、導電体413は、トランジスタの第2のゲート電極（バックゲート電極ともいう。）としての機能を有する。また、導電体416aおよび導電体416bは、トランジスタのソース電極およびドレイン電極としての機能を有する。また、絶縁体408は、バリア層としての機能を有する。絶縁体408は、例えば、酸素または／および水素をブロックする機能を有する。または、絶縁体408は、例えば、半導体406aまたは／および半導体406cよりも、酸素または／および水素をブロックする機能が高い。

[0103]

なお、絶縁体402は過剰酸素を含む絶縁体であると好ましい。

[0104]

例えば、過剰酸素を含む絶縁体は、加熱処理によって酸素を放出する機能を有する絶縁体である。例えば、過剰酸素を含む酸化シリコン層は、加熱処理などによって酸素を放出することができる酸化シリコン層である。したがって、絶縁体402は膜中を酸素が移動可能な絶縁体である。即ち、絶縁体402は酸素透過性を有する絶縁体とすればよい。例えば、絶縁体402は、半導体406aよりも酸素透過性の高い絶縁体とすればよい。

[0105]

過剰酸素を含む絶縁体は、半導体406b中の酸素欠損を低減させる機能を有する場合がある。半導体406b中で酸素欠損は、DOSを形成し、正孔トラップなどとなる。また、酸素欠損のサイトに水素が入ることによって、キャリアである電子を生成することがある。したがって、半導体406b中の酸素欠損を低減することで、トランジスタに安定した電気特性を付与することができる。

[0106]

ここで、加熱処理によって酸素を放出する絶縁体は、TDS分析にて、100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、 1×10^1

9 atoms/cm^3 以上または $1 \times 10^{20} \text{ atoms/cm}^3$ 以上の酸素（酸素原子数換算）を放出することもある。

[0107]

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

[0108]

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

[0109]

例えば、標準試料である所定の密度の水素を含むシリコン基板のTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量 (N_{O_2}) は、下に示す式で求めることができる。ここで、TDS分析で得られる質量電荷比32で検出されるガスの全てが酸素分子由来と仮定する。 CH_3OH の質量電荷比は32であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

[0110]

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha$$

[0111]

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として、例えば $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコン基板を用いて測定する。

[0112]

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

[0113]

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

[0114]

または、加熱処理によって酸素を放出する絶縁体は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含む絶縁体は、ESRにて、g値が2.01近傍に非対称の信号を有することもある。

[0115]

または、過剰酸素を含む絶縁体は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) は、シリコン原子数の2倍より多い酸素原子

を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) により測定した値である。

[0116]

図3 (B) に示すように、半導体406bの側面は、層409aおよび層409bと接する。また、導電体404の電界によって、半導体406bを電気的に取り囲むことができる (導電体から生じる電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。)。そのため、半導体406bの全体 (バルク) にチャンネルが形成される場合がある。s-channel構造では、トランジスタのソースドレイン間に大電流を流すことができ、導通時の電流 (オン電流) を高くすることができる。

[0117]

高いオン電流が得られるため、s-channel構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタは、チャンネル長が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有し、かつ、トランジスタは、チャンネル幅が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有する。

[0118]

また、導電体413に、ソース電極よりも低い電圧または高い電圧を印加し、トランジスタのしきい値電圧をプラス方向またはマイナス方向へ変動させてもよい。例えば、トランジスタのしきい値電圧をプラス方向に変動させることで、ゲート電圧が0Vであってもトランジスタが非導通状態 (オフ状態) となる、ノーマリーオフが実現できる場合がある。なお、導電体413に印加する電圧は、可変であってもよいし、固定であってもよい。導電体413に印加する電圧を可変にする場合、電圧を制御する回路を導電体413と電気的に接続してもよい。

[0119]

次に、半導体406a、半導体406b、半導体406cなどに適用可能な半導体について説明する。なお、半導体406a、半導体406b、半導体406cなどには、例えば、前述したワイドギャップ半導体を適用しても構わない。

[0120]

半導体406bは、例えば、インジウムを含む酸化物半導体である。半導体406bは、例えば、インジウムを含むと、キャリア移動度 (電子移動度) が高くなる。また、半導体406bは、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体406bは、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

[0121]

ただし、半導体406bは、インジウムを含む酸化物半導体に限定されない。半導体406bは、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

[0122]

半導体406bは、例えば、エネルギーギャップが大きい酸化物を用いる。半導体406bのエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

[0123]

例えば、半導体406aおよび半導体406cは、半導体406bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体406bを構成する酸素以外の元素一種以上、または二種以上から半導体406aおよび半導体406cが構成されるため、半導体406aと半導体406bとの界面、および半導体406bと半導体406cとの界面において、欠陥準位が形成されにくい。

[0124]

半導体406a、半導体406bおよび半導体406cは、少なくともインジウムを含むと好ましい。なお、半導体406aがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが50 atomic %未満、Mが50 atomic %より高く、さらに好ましくはInが25 atomic %未満、Mが75 atomic %より高いとする。また、半導体406bがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが25 atomic %より高く、Mが75 atomic %未満、さらに好ましくはInが34 atomic %より高く、Mが66 atomic %未満とする。また、半導体406cがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが50 atomic %未満、Mが50 atomic %より高く、さらに好ましくはInが25 atomic %未満、Mが75 atomic %より高くする。なお、半導体406cは、半導体406aと同種の酸化物を用いても構わない。ただし、半導体406aまたは／および半導体406cがインジウムを含まなくても構わない場合がある。例えば、半導体406aまたは／および半導体406cが酸化ガリウムであっても構わない。なお、半導体406a、半導体406bおよび半導体406cに含まれる各元素の原子数が、簡単な整数比にならなくても構わない。

[0125]

半導体406bは、半導体406aおよび半導体406cよりも電子親和力の大きい酸化物を用いる。例えば、半導体406bとして、半導体406aおよび半導体406cよりも電子親和力の0.07 eV以上1.3 eV以下、好ましくは0.1 eV以上0.7 eV以下、さらに好ましくは0.15 eV以上0.4 eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

[0126]

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、半導体406cがインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

[0127]

このとき、ゲート電圧を印加すると、半導体406a、半導体406b、半導体406cのうち、電子親和力の大きい半導体406bにチャネルが形成される。

[0128]

ここで、半導体406aと半導体406bとの間には、半導体406aと半導体406bとの混合領域を有する場合がある。また、半導体406bと半導体406cとの間には、半導体406bと半導体406cとの混合領域を有する場合がある。混合領域は、欠陥準位密度が低くなる。そのため、半導体406a、半導体406bおよび半導体406cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド図となる。

[0129]

このとき、電子は、半導体406a中および半導体406c中ではなく、半導体406b中を主として移動する。上述したように、半導体406aと半導体406bとの界面における欠陥準位密度、および半導体406bと半導体406cとの界面における欠陥準位密度を低くすることによって、半導体406b中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

[0130]

トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。

[0131]

トランジスタのオン電流を高くするためには、例えば、半導体406bの上面または下面（被形成面、ここでは半導体406a）の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS: Root Mean Square）粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、RaおよびP-Vは、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500などを用いて測定することができる。

[0132]

または、例えば、チャネルの形成される領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。

[0133]

例えば、半導体406bが酸素欠損（ V_O とも表記。）を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態を V_OH と表記する場合がある。 V_OH は電子を散乱するため、トランジスタのオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、半導体406b中の酸素欠損を低減することで、トランジスタのオン電流を高くすることができる場

合がある。

[0134]

また、チャネルの形成される領域中の欠陥準位密度が高いと、トランジスタの電気特性を変動させる場合がある。例えば、欠陥準位がキャリア発生源となる場合、トランジスタのしきい値電圧を変動させる場合がある。

[0135]

半導体406bの酸素欠損を低減するために、例えば、絶縁体402に含まれる過剰酸素を、半導体406aを介して半導体406bまで移動させる方法などがある。この場合、半導体406aは、酸素透過性を有する層（酸素を通過または透過させる層）であることが好ましい。

[0136]

酸化物半導体中の欠陥準位密度は、例えば、マイクロ波光導電減衰法またはESRなどによって評価することができる。例えば、欠陥準位を有する酸化物半導体は、マイクロ波光導電減衰法によって観測されるマイクロ波の反射率のピーク値が低くなる場合がある。また、ESRによって、g値が1.89以上1.96以下（代表的には、1.93または1.94）にシグナルが現れる場合がある。

[0137]

したがって、例えば、半導体406aまたは／および半導体406bが、マイクロ波光導電減衰法によって、キャリアの寿命のうち、速やかに減衰する成分 τ_1 が30ns以上200ns以下、好ましくは40ns以上200ns以下となる領域を有すると好ましい。

[0138]

なお、トランジスタがs-channel構造を有する場合、半導体406bの全体にチャネルが形成される。したがって、半導体406bが厚いほどチャネル領域は大きくなる。即ち、半導体406bが厚いほど、トランジスタのオン電流を高くすることができる。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上、より好ましくは100nm以上の厚さの領域を有する半導体406bとすればよい。ただし、半導体装置の生産性が低下する場合があるため、例えば、300nm以下、好ましくは200nm以下、さらに好ましくは150nm以下の厚さの領域を有する半導体406bとすればよい。なお、チャネル形成領域が縮小していくと、半導体606bが薄いほうがトランジスタの電気特性が向上する場合もある。よって、半導体606bの厚さが10nm未満であってもよい。

[0139]

また、トランジスタのオン電流を高くするためには、半導体406cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有する半導体406cとすればよい。一方、半導体406cは、チャネルの形成される半導体406bへ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、半導体406cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する半導体406cとすればよい。また、半導体406cは、絶縁体402などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

[0140]

また、信頼性を高くするためには、半導体406aは厚く、半導体406cは薄いことが好ましい。

例えば、10 nm以上、好ましくは20 nm以上、さらに好ましくは40 nm以上、より好ましくは60 nm以上の厚さの領域を有する半導体406aとすればよい。半導体406aの厚さを、厚くすることで、隣接する絶縁体と半導体406aとの界面からチャネルの形成される半導体406bまでの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200 nm以下、好ましくは120 nm以下、さらに好ましくは80 nm以下の厚さの領域を有する半導体406aとすればよい。

[0141]

例えば、半導体406bと半導体406aとの間に、例えば、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）において、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 以下のシリコン濃度となる領域を有する。また、半導体406bと半導体406cとの間に、SIMSにおいて、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 以下のシリコン濃度となる領域を有する。

[0142]

また、半導体406bは、SIMSにおいて、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の水素濃度となる領域を有する。また、半導体406bの水素濃度を低減するために、半導体406aおよび半導体406cの水素濃度を低減すると好ましい。半導体406aおよび半導体406cは、SIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の水素濃度となる領域を有する。また、半導体406bは、SIMSにおいて、 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。また、半導体406bの窒素濃度を低減するために、半導体406aおよび半導体406cの窒素濃度を低減すると好ましい。半導体406aおよび半導体406cは、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。

[0143]

上述の3層構造は一例である。例えば、半導体406aまたは半導体406cのない2層構造としても構わない。または、半導体406aの上もしくは下、または半導体406cの上もしくは下に、半導体406a、半導体406bおよび半導体406cとして例示した半導体のいずれか一を有する4層構造としても構わない。または、半導体406aの上、半導体406aの下、半導体406cの上、半導体406cの下のいずれか二箇所以上、半導体406a、半導体406bおよび半導体406cとして例示した半導体のいずれか一を有するn層構造（nは5以上の整数）としても構わない。

[0144]

基板400としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0145]

また、基板400として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板400に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板400として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板400が伸縮性を有してもよい。また、基板400は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板400の厚さは、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下とする。基板400を薄くすると、半導体装置を軽量化することができる。また、基板400を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板400上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

[0146]

可とう性基板である基板400としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板400は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板400としては、例えば、線膨張率が $1\times 10^{-3}/\text{K}$ 以下、 $5\times 10^{-5}/\text{K}$ 以下、または $1\times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリル、ポリテトラフルオロエチレン（PTFE）などがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板400として好適である。

[0147]

導電体413としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを

含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0148]

絶縁体402としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体402としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

[0149]

絶縁体402は、基板400からの不純物の拡散を防止する役割を有してもよい。また、半導体406bが酸化物半導体である場合、絶縁体402は、半導体406bに酸素を供給する役割を担うことができる。

[0150]

層409aおよび層409bとしては、例えば、透明導電体、酸化物半導体、窒化物半導体または酸化窒化物半導体を用いればよい。層409aおよび層409bとしては、例えば、インジウム、スズおよび酸素を含む層、インジウムおよび亜鉛を含む層、インジウム、タングステンおよび亜鉛を含む層、スズおよび亜鉛を含む層、亜鉛およびガリウムを含む層、亜鉛およびアルミニウムを含む層、亜鉛およびフッ素を含む層、亜鉛およびホウ素を含む層、スズおよびアンチモンを含む層、スズおよびフッ素を含む層またはチタンおよびニオブを含む層などを用いればよい。または、これらの層が水素、炭素、窒素、シリコン、ゲルマニウムまたはアルゴンを含んでも構わない。

[0151]

層409aおよび層409bは、可視光線を透過する性質を有しても構わない。または、層409aおよび層409bは、可視光線、紫外線、赤外線もしくはX線を、反射もしくは吸収することで透過させない性質を有しても構わない。このような性質を有することで、迷光によるトランジスタの電気特性の変動を抑制できる場合がある。

[0152]

また、層409aおよび層409bは、半導体406bなどとの間にショットキー障壁を形成しない層を用いると好ましい場合がある。こうすることで、トランジスタのオン特性を向上させることができる。

[0153]

導電体416aおよび導電体416bとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0154]

なお、層409aおよび層409bは、導電体416aおよび導電体416bよりも高抵抗の層を用

いると好ましい場合がある。また、層409aおよび層409bは、トランジスタのチャネルよりも低抵抗の層を用いると好ましい場合がある。例えば、層409aおよび層409bの抵抗率を、 $0.1\ \Omega\text{cm}$ 以上 $100\ \Omega\text{cm}$ 以下、 $0.5\ \Omega\text{cm}$ 以上 $50\ \Omega\text{cm}$ 以下、または $1\ \Omega\text{cm}$ 以上 $10\ \Omega\text{cm}$ 以下とすればよい。層409aおよび層409bの抵抗率を上記の範囲とすることにより、チャネルとドレインとの境界部における電界集中を緩和することができる。そのため、トランジスタの電気特性の変動を低減することができる。また、ドレインから生じる電界に起因したパンチスルー電流を低減することができる。そのため、チャネル長の短いトランジスタにおいても、飽和特性を良好にすることができる。なお、ソースとドレインとが入れ替わらない回路構成であれば、層409aまたは層409bのいずれか一方のみ（例えば、ドレイン側）を配置するほうが好ましい場合がある。

[0155]

絶縁体412としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体412としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

[0156]

導電体404としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0157]

絶縁体408としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体408は、好ましくは酸化アルミニウム、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを含む絶縁体を、単層で、または積層で用いればよい。

[0158]

絶縁体418としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体418としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

[0159]

なお、図3では、トランジスタの第1のゲート電極である導電体404と第2のゲート電極である導

電体 4 1 3 とが、電氣的に接続しない例を示したが、本発明の一態様に係るトランジスタの構造はこれに限定されない。例えば、図 4 (A) に示すように、導電体 4 0 4 と導電体 4 1 3 とが電氣的に接続する構造であっても構わない。このような構成とすることで、導電体 4 0 4 と導電体 4 1 3 とに同じ電位が供給されるため、トランジスタのスイッチング特性を向上させることができる。または、図 4 (B) に示すように、導電体 4 1 3 を有さない構造であっても構わない。

[0160]

また、図 5 (A) は、トランジスタの上面図の一例である。図 5 (A) の一点鎖線 F 1 - F 2 および一点鎖線 F 3 - F 4 に対応する断面図の一例を図 5 (B) に示す。なお、図 5 (A) では、理解を容易にするため、絶縁体などの一部を省略して示す。

[0161]

また、図 3 などではソース電極およびドレイン電極として機能する導電体 4 1 6 a および導電体 4 1 6 b が半導体 4 0 6 b の上面および側面、絶縁体 4 0 2 の上面などと接する例を示したが、本発明の一態様に係るトランジスタの構造はこれに限定されない。例えば、図 5 に示すように、導電体 4 1 6 a および導電体 4 1 6 b が半導体 4 0 6 b の上面のみと接する構造であっても構わない。

[0162]

また、図 5 (B) に示すように、絶縁体 4 1 8 上に絶縁体 4 2 8 を有してもよい。絶縁体 4 2 8 は、上面が平坦な絶縁体であると好ましい。なお、絶縁体 4 2 8 は、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 4 2 8 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。絶縁体 4 2 8 の上面を平坦化するために、化学機械研磨 (CMP: Chemical Mechanical Polishing) 法などによって平坦化処理を行ってもよい。

[0163]

または、絶縁体 4 2 8 は、樹脂を用いてもよい。例えば、ポリイミド、ポリアミド、アクリル、シリコーンなどを含む樹脂を用いればよい。樹脂を用いることで、絶縁体 4 2 8 の上面を平坦化処理しなくてもよい場合がある。また、樹脂は短い時間で厚い膜を成膜することができるため、生産性を高めることができる。

[0164]

また、図 5 (A) および図 5 (B) に示すように、絶縁体 4 2 8 上に導電体 4 2 4 a および導電体 4 2 4 b を有してもよい。導電体 4 2 4 a および導電体 4 2 4 b は、例えば、配線としての機能を有する。また、絶縁体 4 2 8 が開口部を有し、該開口部を介して導電体 4 1 6 a と導電体 4 2 4 a とが電氣的に接続しても構わない。また、また、絶縁体 4 2 8 が別の開口部を有し、該開口部を介して導電体 4 1 6 b と導電体 4 2 4 b とが電氣的に接続しても構わない。このとき、それぞれの開口部内に導電体 4 2 6 a、導電体 4 2 6 b を有しても構わない。

[0165]

導電体 4 2 4 a および導電体 4 2 4 b としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、

リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0166]

図5に示すトランジスタは、層409aおよび層409bは、半導体406bの側面と接しない。したがって、第1のゲート電極として機能する導電体404から半導体406bの側面に向けて印加される電界が、層409aおよび層409bなどによって遮蔽されにくい構造である。また、層409aおよび層409bは、絶縁体402の上面と接しない。そのため、絶縁体402から放出される過剰酸素（酸素）が層409aおよび層409bを酸化させるために消費されない。したがって、絶縁体402から放出される過剰酸素（酸素）を、半導体406bの酸素欠損を低減するために効率的に利用することのできる構造である。即ち、図5に示す構造のトランジスタは、高いオン電流、高い電界効果移動度、低いサブスレッショルドスイング値、高い信頼性などを有する電気特性の優れたトランジスタである。

[0167]

図6(A)および図6(B)は、本発明の一態様のトランジスタの上面図および断面図である。図6(A)は上面図であり、図6(B)は、図6(A)に示す一点鎖線G1-G2、および一点鎖線G3-G4に対応する断面図である。なお、図6(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0168]

トランジスタは、図6に示すように、層409a、層409b、導電体416aおよび導電体416bを有さず、導電体426aおよび導電体426bと、半導体406bと、が接する構造であっても構わない。この場合、半導体406bまたは／および半導体406aの、少なくとも426aおよび導電体426bと接する領域に低抵抗領域423a（低抵抗領域423b）を設けると好ましい。低抵抗領域423aおよび低抵抗領域423bは、例えば、導電体404などをマスクとし、半導体406bまたは／および半導体406aに不純物を添加することで形成すればよい。なお、導電体426aおよび導電体426bが、半導体406bの孔（貫通しているもの）または窪み（貫通していないもの）に設けられていても構わない。導電体426aおよび導電体426bが、半導体406bの孔または窪みに設けられることで、導電体426aおよび導電体426bと、半導体406bとの接触面積が大きくなるため、接触抵抗の影響を小さくすることができる。即ち、トランジスタのオン電流を大きくすることができる。

[0169]

また、図7(A)および図7(B)は、本発明の一態様のトランジスタの上面図および断面図である。図7(A)は上面図であり、図7(B)は、図7(A)に示す一点鎖線J1-J2、および一点鎖線J3-J4に対応する断面図である。なお、図7(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0170]

図7(A)および図7(B)に示すトランジスタは、基板600上の導電体604と、導電体604

上の絶縁体612と、絶縁体612上の半導体606aと、半導体606a上の半導体606bと、半導体606b上の半導体606cと、半導体606a、半導体606bおよび半導体606cと接し、間隔を開けて配置された層609aおよび層609bと、層609a上の導電体616aと、層609b上の導電体616bと、半導体606c上、導電体616a上および導電体616b上の絶縁体618と、を有する。なお、導電体604は、絶縁体612を介して半導体606bの下面と面する。また、絶縁体612が凸部を有しても構わない。また、基板600と導電体604の間に絶縁体を有しても構わない。該絶縁体は、絶縁体402や絶縁体408についての記載を参照する。また、半導体606aを有さなくても構わない。また、絶縁体618を有さなくても構わない。また、層609aを有さなくても構わない。また、層609bを有さなくても構わない。

[0171]

なお、半導体606bは、トランジスタのチャネル形成領域としての機能を有する。また、導電体604は、トランジスタの第1のゲート電極(フロントゲート電極ともいう。)としての機能を有する。また、導電体616aおよび導電体616bは、トランジスタのソース電極およびドレイン電極としての機能を有する。

[0172]

なお、絶縁体618は過剰酸素を含む絶縁体であると好ましい。

[0173]

なお、基板600は、基板400についての記載を参照する。また、導電体604は、導電体404についての記載を参照する。また、絶縁体612は、絶縁体412についての記載を参照する。また、半導体606aは、半導体406cについての記載を参照する。また、半導体606bは、半導体406bについての記載を参照する。また、半導体606cは、半導体406aについての記載を参照する。また、層609aおよび層609bは、層409aおよび層409bについての記載を参照する。また、導電体616aおよび導電体616bは、導電体416aおよび導電体416bについての記載を参照する。また、絶縁体618は、絶縁体402についての記載を参照する。

[0174]

なお、絶縁体618上には、表示素子が設けられていてもよい。例えば、画素電極、液晶層、共通電極、発光層、有機EL層、陽極、陰極などが設けられていてもよい。表示素子は、例えば、導電体616aなどと接続されている。

[0175]

また、図8(A)は、トランジスタの上面図の一例である。図8(A)の一点鎖線K1-K2および一点鎖線K3-K4に対応する断面図の一例を図8(B)に示す。なお、図8(A)では、理解を容易にするため、絶縁体などの一部を省略して示す。

[0176]

なお、半導体の上に、チャネル保護膜として機能させることができる絶縁体を配置してもよい。例えば、図8に示すように、層609aおよび層609bと、半導体606cとの間に、絶縁体620を配置してもよい。その場合、層609a(層609b)と半導体606cとは、絶縁体620中の開口部を介して接続される。絶縁体620は、絶縁体618についての記載を参照すればよい。

[0177]

なお、図7(B)や図8(B)において、絶縁体618の上に、導電体613を配置してもよい。そ

の場合の例を図9（A）および図9（B）に示す。なお、導電体613については、導電体413についての記載を参照する。また、導電体613には、導電体604と同じ電位や同じ信号が供給されてもよいし、異なる電位や信号が供給されてもよい。例えば、導電体613に、一定の電位を供給して、トランジスタのしきい値電圧を制御してもよい。つまり、導電体613は、第2のゲート電極としての機能を有することができる。また、導電体613などによってs-channel構造を形成していても構わない。

[0178]

<トランジスタ作製方法>

以下では、本発明の一態様に係る図3に示したトランジスタの作製方法を図10、図11および図12を用いて説明する。なお、ここでは、理解を容易にするため、導電体413、層409aおよび層409bを形成しない例を示す。また、図3では、半導体406a、半導体406bおよび半導体406cの積層構造を有する例を示しているが、ここではそれらに代えて半導体406単層を有する例を示す。

[0179]

まずは、基板400を準備する。

[0180]

次に、絶縁体402を成膜する。絶縁体402の成膜は、スパッタリング法、化学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法またはパルスレーザ堆積（PLD：Pulsed Laser Deposition）法、原子層堆積（ALD：Atomic Layer Deposition）法などを用いて行うことができる。

[0181]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

[0182]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0183]

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0184]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0185]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0186]

次に、半導体436を成膜する(図10(A)参照。)。半導体436は、後の工程を経て半導体406となる半導体である。半導体436の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0187]

次に、上述したマイクロ波光導電減衰法を用いて、半導体436を評価する。半導体436の評価には、励起光430を用いる(図10(B)参照。)。マイクロ波光導電減衰法による評価は、半導体436へのダメージをほとんど与えないといわれている。ところが、評価の条件によっては、励起光430の照射によって半導体436が変質する場合がある。したがって、励起光430は、半導体436のチャネル形成領域となる領域を避けて照射することが好ましい。また、予め決められた領域に対し、基板400面内の複数個所で同様の評価を行っても構わない。

[0188]

次に、半導体436をフォトリソグラフィ法などによって加工し、半導体406を形成する(図11(A)参照。)。なお、半導体406を形成する際、絶縁体402もエッチングされ、一部の領域が薄くなる場合がある。即ち、絶縁体402は、半導体406と接する領域に凸部を有する形状となる場合がある。このとき、励起光430の照射された半導体436の領域もエッチングすればよい。

[0189]

なお、フォトリソグラフィ法では、まず、フォトマスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV(Extreme Ultraviolet)光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体(例えば水)を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、フォトマスクは不要となる。なお、レジストマスクの除去には、

アッシングなどのドライエッチング処理または／およびウェットエッチング処理を用いることができる。

[0190]

次に、導電体416aおよび導電体416bとなる導電体を成膜する。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0191]

次に、導電体をフォトリソグラフィ法などによって加工し、導電体416aおよび導電体416bを形成する（図11（B）参照。）。

[0192]

次に、絶縁体412となる絶縁体を成膜する。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0193]

次に、導電体404となる導電体を成膜する。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0194]

次に、導電体をフォトリソグラフィ法などによって加工し、導電体404を形成する。

[0195]

次に、絶縁体をフォトリソグラフィ法などによって加工し、絶縁体412を形成する。（図12（A）参照。）なお、絶縁体412を形成する際、絶縁体402もエッチングされ、一部の領域が薄くなる場合がある。即ち、絶縁体402は、絶縁体412と接する領域に凸部を有する形状となる場合がある。

[0196]

次に、絶縁体408を成膜する。絶縁体408の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0197]

次に、絶縁体418を成膜することでトランジスタを作製することができる（図12（B）参照）。絶縁体418の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0198]

以上に示したように、トランジスタのチャネル形成領域となる半導体をトランジスタの作製工程中に評価することができる。したがって、製造時の品質管理を工程の一環として行うことができる。また、抜き取り評価も不要となる。そのため、トランジスタを歩留まり高く作製することができる。また、トランジスタを生産性高く作製することができる。また、該トランジスタを有する半導体装置を歩留まり高く作製することができる。また、該トランジスタを有する半導体装置を生産性高く作製することができる。

[0199]

<半導体装置>

以下では、本発明の一態様に係る半導体装置を例示する。

[0200]

<回路>

以下では、本発明の一態様に係るトランジスタを利用した回路の一例について説明する。

[0201]

<CMOSインバータ>

図13(A)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOSインバータの構成を示している。

[0202]

<半導体装置の構造1>

図14は、図13(A)に対応する半導体装置の断面図である。図14に示す半導体装置は、トランジスタ2200と、トランジスタ2100と、を有する。また、トランジスタ2100は、トランジスタ2200の上方に配置する。なお、トランジスタ2100として、図1に示したトランジスタを用いた例を示しているが、本発明の一態様に係る半導体装置は、これに限定されるものではない。例えば、図3、図4または図5に示したトランジスタなどを、トランジスタ2100として用いても構わない。よって、トランジスタ2100については、適宜上述したトランジスタについての記載を参酌する。

[0203]

図14に示すトランジスタ2200は、半導体基板450を用いたトランジスタである。トランジスタ2200は、半導体基板450中の領域472aと、半導体基板450中の領域472bと、絶縁体462と、導電体454と、を有する。

[0204]

トランジスタ2200において、領域472aおよび領域472bは、ソース領域およびドレイン領域としての機能を有する。また、絶縁体462は、ゲート絶縁体としての機能を有する。また、導電体454は、ゲート電極としての機能を有する。したがって、導電体454に印加する電位によって、チャネル形成領域の抵抗を制御することができる。即ち、導電体454に印加する電位によって、領域472aと領域472bとの間の導通・非導通を制御することができる。

[0205]

半導体基板450としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などを用いればよい。好ましくは、半導体基板450として単結晶シリコン基板を用いる。

[0206]

半導体基板450は、n型の導電性を付与する不純物を有する半導体基板を用いる。ただし、半導体基板450として、p型の導電性を付与する不純物を有する半導体基板を用いても構わない。その場合、トランジスタ2200となる領域には、n型の導電性を付与する不純物を有するウェルを配置すればよい。または、半導体基板450がi型であっても構わない。

[0207]

半導体基板450の上面は、(110)面を有することが好ましい。こうすることで、トランジスタ2200のオン特性を向上させることができる。

[0208]

領域472aおよび領域472bは、p型の導電性を付与する不純物を有する領域である。このようにして、トランジスタ2200はpチャネル型トランジスタを構成する。

[0209]

なお、トランジスタ2200は、領域460などによって隣接するトランジスタと分離される。領域460は、絶縁性を有する領域である。

[0210]

図14に示す半導体装置は、絶縁体464と、絶縁体466と、絶縁体468と、導電体480aと、導電体480bと、導電体480cと、導電体478aと、導電体478bと、導電体478cと、導電体476aと、導電体476bと、導電体474aと、導電体474bと、導電体474cと、導電体496aと、導電体496bと、導電体496cと、導電体496dと、導電体498aと、導電体498bと、導電体498cと、絶縁体490と、絶縁体492と、絶縁体494と、を有する。

[0211]

絶縁体464は、トランジスタ2200上に配置する。また、絶縁体466は、絶縁体464上に配置する。また、絶縁体468は、絶縁体466上に配置する。また、絶縁体490は、絶縁体468上に配置する。また、トランジスタ2100は、絶縁体490上に配置する。また、絶縁体492は、トランジスタ2100上に配置する。また、絶縁体494は、絶縁体492上に配置する。

[0212]

絶縁体464は、領域472aに達する開口部と、領域472bに達する開口部と、導電体454に達する開口部と、を有する。また、開口部には、それぞれ導電体480a、導電体480bまたは導電体480cが埋め込まれている。

[0213]

また、絶縁体466は、導電体480aに達する開口部と、導電体480bに達する開口部と、導電体480cに達する開口部と、を有する。また、開口部には、それぞれ導電体478a、導電体478bまたは導電体478cが埋め込まれている。

[0214]

また、絶縁体468は、導電体478bに達する開口部と、導電体478cに達する開口部と、を有する。また、開口部には、それぞれ導電体476aまたは導電体476bが埋め込まれている。

[0215]

また、絶縁体490は、トランジスタ2100のチャネル形成領域と重なる開口部と、導電体476aに達する開口部と、導電体476bに達する開口部と、を有する。また、開口部には、それぞれ導電体474a、導電体474bまたは導電体474cが埋め込まれている。

[0216]

導電体474aは、トランジスタ2100のボトムゲート電極としての機能を有しても構わない。または、例えば、導電体474aに一定の電位を印加することで、トランジスタ2100のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体474aとトランジスタ2100のトップゲート電極である導電体404とを電氣的に接続しても構わない。こうすることで、トランジスタ2100のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができる。

きるため、トランジスタ 2 1 0 0 の飽和領域における電気特性を安定にすることができる。

[0 2 1 7]

また、絶縁体 4 9 2 は、トランジスタ 2 1 0 0 のソース電極またはドレイン電極の一方である導電体 4 1 6 b を通って、導電体 4 7 4 b に達する開口部と、トランジスタ 2 1 0 0 のソース電極またはドレイン電極の他方である導電体 4 1 6 a に達する開口部と、トランジスタ 2 1 0 0 のゲート電極である導電体 4 0 4 に達する開口部と、導電体 4 7 4 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 9 6 a、導電体 4 9 6 b、導電体 4 9 6 c または導電体 4 9 6 d が埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ 2 1 0 0 などの構成要素のいずれかを介する場合がある。

[0 2 1 8]

また、絶縁体 4 9 4 は、導電体 4 9 6 a に達する開口部と、導電体 4 9 6 b および導電体 4 9 6 d に達する開口部と、導電体 4 9 6 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 9 8 a、導電体 4 9 8 b または導電体 4 9 8 c が埋め込まれている。

[0 2 1 9]

絶縁体 4 6 4、絶縁体 4 6 6、絶縁体 4 6 8、絶縁体 4 9 0、絶縁体 4 9 2 および絶縁体 4 9 4 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 4 0 1 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

[0 2 2 0]

絶縁体 4 6 4、絶縁体 4 6 6、絶縁体 4 6 8、絶縁体 4 9 0、絶縁体 4 9 2 または絶縁体 4 9 4 の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ 2 1 0 0 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ 2 1 0 0 の電気特性を安定にすることができる。

[0 2 2 1]

水素などの不純物および酸素をブロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

[0 2 2 2]

導電体 4 8 0 a、導電体 4 8 0 b、導電体 4 8 0 c、導電体 4 7 8 a、導電体 4 7 8 b、導電体 4 7 8 c、導電体 4 7 6 a、導電体 4 7 6 b、導電体 4 7 4 a、導電体 4 7 4 b、導電体 4 7 4 c、導電体 4 9 6 a、導電体 4 9 6 b、導電体 4 9 6 c、導電体 4 9 6 d、導電体 4 9 8 a、導電体 4 9 8 b および導電体 4 9 8 c としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アル

ミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0223]

なお、図15に示す半導体装置は、図14に示した半導体装置のトランジスタ2200の構造が異なるのみである。よって、図15に示す半導体装置については、図14に示した半導体装置の記載を参酌する。具体的には、図15に示す半導体装置は、トランジスタ2200がFin型である場合を示している。トランジスタ2200をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ2200のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ2200のオフ特性を向上させることができる。

[0224]

また、図16に示す半導体装置は、図14に示した半導体装置のトランジスタ2200の構造が異なるのみである。よって、図16に示す半導体装置については、図14に示した半導体装置の記載を参酌する。具体的には、図16に示す半導体装置は、トランジスタ2200がSOI基板に設けられた場合を示している。図16には、絶縁体452によって領域456が半導体基板450と分離されている構造を示す。SOI基板を用いることによって、パシスルー現象などを抑制することができるためトランジスタ2200のオフ特性を向上させることができる。なお、絶縁体452は、半導体基板450の一部を絶縁体化させることによって形成することができる。例えば、絶縁体452としては、酸化シリコンを用いることができる。

[0225]

図14乃至図16に示した半導体装置は、半導体基板を用いてpチャネル型トランジスタを作製し、その上方にnチャネル型トランジスタを作製するため、素子の占有面積を縮小することができる。即ち、半導体装置の集積度を高くすることができる。また、nチャネル型トランジスタと、pチャネル型トランジスタとを同一の半導体基板を用いて作製した場合と比べて、工程を簡略化することができるため、半導体装置の生産性を高くすることができる。また、半導体装置の歩留まりを高くすることができる。また、pチャネル型トランジスタは、LDD(Lightly Doped Drain)領域、シャロートレンチ構造、歪み設計などの複雑な工程を省略できる場合がある。そのため、nチャネル型トランジスタを、半導体基板を用いて作製する場合と比べて、生産性および歩留まりを高くすることができる場合がある。

[0226]

<CMOSアナログスイッチ>

また図13(B)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるCMOSアナログスイッチとして機能させることができる。

[0227]

<記憶装置1>

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を図17に示す。

[0228]

図17(A)に示す半導体装置は、第1の半導体を用いたトランジスタ3200と第2の半導体を用

いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上述したトランジスタを用いることができる。

[0229]

トランジスタ3300は、オフ電流の小さいトランジスタが好ましい。トランジスタ3300は、例えば、酸化物半導体を用いたトランジスタを用いることができる。トランジスタ3300のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

[0230]

図17(A)において、第1の配線3001はトランジスタ3200のソースと電氣的に接続され、第2の配線3002はトランジスタ3200のドレインと電氣的に接続される。また、第3の配線3003はトランジスタ3300のソース、ドレインの一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲートと電氣的に接続されている。そして、トランジスタ3200のゲート、およびトランジスタ3300のソース、ドレインの他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

[0231]

図17(A)に示す半導体装置は、トランジスタ3200のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[0232]

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の電極の一方と電氣的に接続するノードFGに与えられる。即ち、トランジスタ3200のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位にして、トランジスタ3300を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

[0233]

トランジスタ3300のオフ電流が小さいため、ノードFGの電荷は長期間にわたって保持される。

[0234]

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ3200のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷

が与えられていた場合には、第5の配線3005の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ3200は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ3200は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

[0235]

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。ほかのメモリセルの情報を読み出さないためには、ノードFGに与えられた電荷によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えればよい。または、ノードFGに与えられた電荷によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えればよい。

[0236]

<半導体装置の構造2>

図18は、図17(A)に対応する半導体装置の断面図である。図18に示す半導体装置は、トランジスタ3200と、トランジスタ3300と、容量素子3400と、を有する。また、トランジスタ3300および容量素子3400は、トランジスタ3200の上方に配置する。なお、トランジスタ3300としては、上述したトランジスタ2100についての記載を参照する。また、トランジスタ3200としては、図14に示したトランジスタ2200についての記載を参照する。なお、図14では、トランジスタ2200がpチャネル型トランジスタである場合について説明したが、トランジスタ3200がnチャネル型トランジスタであっても構わない。

[0237]

図18に示すトランジスタ2200は、半導体基板450を用いたトランジスタである。トランジスタ2200は、半導体基板450中の領域472aと、半導体基板450中の領域472bと、絶縁体462と、導電体454と、を有する。

[0238]

図18に示す半導体装置は、絶縁体464と、絶縁体466と、絶縁体468と、導電体480aと、導電体480bと、導電体480cと、導電体478aと、導電体478bと、導電体478cと、導電体476aと、導電体476bと、導電体474aと、導電体474bと、導電体474cと、導電体496aと、導電体496bと、導電体496cと、導電体496dと、導電体498aと、導電体498bと、導電体498cと、導電体498dと、絶縁体490と、絶縁体492と、絶縁体494と、を有する。

[0239]

絶縁体464は、トランジスタ3200上に配置する。また、絶縁体466は、絶縁体464上に配置する。また、絶縁体468は、絶縁体466上に配置する。また、絶縁体490は、絶縁体468上に配置する。また、トランジスタ2100は、絶縁体490上に配置する。また、絶縁体492は、トランジスタ2100上に配置する。また、絶縁体494は、絶縁体492上に配置する。

[0240]

絶縁体464は、領域472aに達する開口部と、領域472bに達する開口部と、導電体454に

達する開口部と、を有する。また、開口部には、それぞれ導電体480a、導電体480bまたは導電体480cが埋め込まれている。

[0241]

また、絶縁体466は、導電体480aに達する開口部と、導電体480bに達する開口部と、導電体480cに達する開口部と、を有する。また、開口部には、それぞれ導電体478a、導電体478bまたは導電体478cが埋め込まれている。

[0242]

また、絶縁体468は、導電体478bに達する開口部と、導電体478cに達する開口部と、を有する。また、開口部には、それぞれ導電体476aまたは導電体476bが埋め込まれている。

[0243]

また、絶縁体490は、トランジスタ3300のチャネル形成領域と重なる開口部と、導電体476aに達する開口部と、導電体476bに達する開口部と、を有する。また、開口部には、それぞれ導電体474a、導電体474bまたは導電体474cが埋め込まれている。

[0244]

導電体474aは、トランジスタ3300のボトムゲート電極としての機能を有しても構わない。または、例えば、導電体474aに一定の電位を印加することで、トランジスタ3300のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体474aとトランジスタ3300のトップゲート電極である導電体404とを電氣的に接続しても構わない。こうすることで、トランジスタ3300のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ3300の飽和領域における電気特性を安定にすることができる。

[0245]

また、絶縁体492は、トランジスタ3300のソース電極またはドレイン電極の一方である導電体416bを通して、導電体474bに達する開口部と、トランジスタ3300のソース電極またはドレイン電極の他方である導電体416aと絶縁体412を介して導電体414に達する開口部と、トランジスタ3300のゲート電極である導電体404に達する開口部と、トランジスタ3300のソース電極またはドレイン電極の他方である導電体416aを通して、導電体474cに達する開口部と、を有する。また、開口部には、それぞれ導電体496a、導電体496b、導電体496cまたは導電体496dが埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ3300などの構成要素のいずれかが有する開口部を介する場合がある。

[0246]

また、絶縁体494は、導電体496aに達する開口部と、導電体496bに達する開口部と、導電体496cに達する開口部と、導電体496dに達する開口部と、を有する。また、開口部には、それぞれ導電体498a、導電体498b、導電体498cまたは導電体498dが埋め込まれている。

[0247]

絶縁体464、絶縁体466、絶縁体468、絶縁体490、絶縁体492または絶縁体494の一年以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ3300の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ3300の電気特性を安定にすることができる。

[0248]

導電体 4 9 8 d としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0249]

トランジスタ 3 2 0 0 のソースまたはドレインは、導電体 4 8 0 b と、導電体 4 7 8 b と、導電体 4 7 6 a と、導電体 4 7 4 b と、導電体 4 9 6 c と、を介してトランジスタ 3 3 0 0 のソース電極またはドレイン電極の一方である導電体 4 1 6 b と電気的に接続する。また、トランジスタ 3 2 0 0 のゲート電極である導電体 4 5 4 は、導電体 4 8 0 c と、導電体 4 7 8 c と、導電体 4 7 6 b と、導電体 4 7 4 c と、導電体 4 9 6 d と、を介してトランジスタ 3 3 0 0 のソース電極またはドレイン電極の他方である導電体 4 1 6 a と電気的に接続する。

[0250]

容量素子 3 4 0 0 は、トランジスタ 3 3 0 0 のソース電極またはドレイン電極の他方と電気的に接続する電極と、導電体 4 1 4 と、絶縁体 4 1 2 と、を有する。なお、絶縁体 4 1 2 は、トランジスタ 3 3 0 0 のゲート絶縁体と同一工程を経て形成できるため、生産性を高めることができて好ましい場合がある。また、導電体 4 1 4 として、トランジスタ 3 3 0 0 のゲート電極と同一工程を経て形成した層を用いると、生産性を高めることができて好ましい場合がある。

[0251]

そのほかの構造については、適宜図 1 4 などについての記載を参酌することができる。

[0252]

なお、図 1 9 に示す半導体装置は、図 1 8 に示した半導体装置のトランジスタ 3 2 0 0 の構造が異なるのみである。よって、図 1 9 に示す半導体装置については、図 1 8 に示した半導体装置の記載を参酌する。具体的には、図 1 9 に示す半導体装置は、トランジスタ 3 2 0 0 が F i n 型である場合を示している。F i n 型であるトランジスタ 3 2 0 0 については、図 1 5 に示したトランジスタ 2 2 0 0 の記載を参照する。なお、図 1 5 では、トランジスタ 2 2 0 0 が p チャネル型トランジスタである場合について説明したが、トランジスタ 3 2 0 0 が n チャネル型トランジスタであっても構わない。

[0253]

また、図 2 0 に示す半導体装置は、図 1 8 に示した半導体装置のトランジスタ 3 2 0 0 の構造が異なるのみである。よって、図 2 0 に示す半導体装置については、図 1 8 に示した半導体装置の記載を参酌する。具体的には、図 2 0 に示す半導体装置は、トランジスタ 3 2 0 0 が S O I 基板である半導体基板 4 5 0 に設けられた場合を示している。S O I 基板である半導体基板 4 5 0 に設けられたトランジスタ 3 2 0 0 については、図 1 6 に示したトランジスタ 2 2 0 0 の記載を参照する。なお、図 1 6 では、トランジスタ 2 2 0 0 が p チャネル型トランジスタである場合について説明したが、トランジスタ 3 2 0 0 が n チャネル型トランジスタであっても構わない。

[0254]

<記憶装置 2>

図 1 7 (B) に示す半導体装置は、トランジスタ 3 2 0 0 を有さない点で図 1 7 (A) に示した半導

体装置と異なる。この場合も図17(A)に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

[0255]

図17(B)に示す半導体装置における、情報の読み出しについて説明する。トランジスタ3300が導通状態になると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の電極の一方の電位（または容量素子3400に蓄積された電荷）によって、異なる値をとる。

[0256]

例えば、容量素子3400の電極の一方の電位をV、容量素子3400の容量をC、第3の配線3003が有する容量成分をCB、電荷が再分配される前の第3の配線3003の電位をVB0とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の電極の一方の電位がV1とV0 ($V1 > V0$)の2つの状態をとるとすると、電位V1を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V1) / (CB + C)$) は、電位V0を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V0) / (CB + C)$) よりも高くなることがわかる。

[0257]

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

[0258]

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体が適用されたトランジスタを用い、トランジスタ3300として第2の半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

[0259]

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

[0260]

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

[0261]

<撮像装置>

以下では、本発明の一態様に係る撮像装置について説明する。

[0262]

図 2 1 (A) は、本発明の一態様に係る撮像装置 2 0 0 の構成例を示す平面図である。撮像装置 2 0 0 は、画素部 2 1 0 と、画素部 2 1 0 を駆動するための周辺回路 2 6 0 と、周辺回路 2 7 0、周辺回路 2 8 0 と、周辺回路 2 9 0 と、を有する。画素部 2 1 0 は、 p 行 q 列 (p および q は 2 以上の整数) のマトリクス状に配置された複数の画素 2 1 1 を有する。周辺回路 2 6 0、周辺回路 2 7 0、周辺回路 2 8 0 および周辺回路 2 9 0 は、それぞれ複数の画素 2 1 1 に接続し、複数の画素 2 1 1 を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路 2 6 0、周辺回路 2 7 0、周辺回路 2 8 0 および周辺回路 2 9 0 などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路 2 6 0 は周辺回路の一部といえる。

[0 2 6 3]

また、撮像装置 2 0 0 は、光源 2 9 1 を有することが好ましい。光源 2 9 1 は、検出光 P 1 を放射することができる。

[0 2 6 4]

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換回路の 1 つを有する。また、周辺回路は、画素部 2 1 0 を形成する基板上に配置してもよい。また、周辺回路は、その一部または全部を IC 等の半導体装置で実装してもよい。なお、周辺回路は、周辺回路 2 6 0、周辺回路 2 7 0、周辺回路 2 8 0 および周辺回路 2 9 0 のいずれか一以上を省略してもよい。

[0 2 6 5]

また、図 2 1 (B) に示すように、撮像装置 2 0 0 が有する画素部 2 1 0 において、画素 2 1 1 を傾けて配置してもよい。画素 2 1 1 を傾けて配置することにより、行方向および列方向の画素間隔 (ピッチ) を短くすることができる。これにより、撮像装置 2 0 0 における撮像の品質をより高めることができる。

[0 2 6 6]

<画素の構成例 1>

撮像装置 2 0 0 が有する 1 つの画素 2 1 1 を複数の副画素 2 1 2 で構成し、それぞれの副画素 2 1 2 に特定の波長帯域の光を透過するフィルタ (カラーフィルタ) を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

[0 2 6 7]

図 2 2 (A) は、カラー画像を取得するための画素 2 1 1 の一例を示す平面図である。図 2 2 (A) に示す画素 2 1 1 は、赤 (R) の波長帯域を透過するカラーフィルタが設けられた副画素 2 1 2 (以下、「副画素 2 1 2 R」ともいう)、緑 (G) の波長帯域を透過するカラーフィルタが設けられた副画素 2 1 2 (以下、「副画素 2 1 2 G」ともいう) および青 (B) の波長帯域を透過するカラーフィルタが設けられた副画素 2 1 2 (以下、「副画素 2 1 2 B」ともいう) を有する。副画素 2 1 2 は、フォトセンサとして機能させることができる。

[0 2 6 8]

副画素 2 1 2 (副画素 2 1 2 R、副画素 2 1 2 G、および副画素 2 1 2 B) は、配線 2 3 1、配線 2 4 7、配線 2 4 8、配線 2 4 9、配線 2 5 0 と電氣的に接続される。また、副画素 2 1 2 R、副画素 2 1 2 G、および副画素 2 1 2 B は、それぞれが独立した配線 2 5 3 に接続している。また、本明細書等において、例えば n 行目の画素 2 1 1 に接続された配線 2 4 8 および配線 2 4 9 を、それぞれ配線 2 4 8 [n] および配線 2 4 9 [n] と記載する。また、例えば m 列目の画素 2 1 1 に接続された

配線 2 5 3 を、配線 2 5 3 [m] と記載する。なお、図 2 2 (A) において、m 列目の画素 2 1 1 が有する副画素 2 1 2 R に接続する配線 2 5 3 を配線 2 5 3 [m] R、副画素 2 1 2 G に接続する配線 2 5 3 を配線 2 5 3 [m] G、および副画素 2 1 2 B に接続する配線 2 5 3 を配線 2 5 3 [m] B と記載している。副画素 2 1 2 は、上記配線を介して周辺回路と電氣的に接続される。

[0 2 6 9]

また、撮像装置 2 0 0 は、隣接する画素 2 1 1 の、同じ波長帯域を透過するカラーフィルタが設けられた副画素 2 1 2 同士がスイッチを介して電氣的に接続する構成を有する。図 2 2 (B) に、n 行 (n は 1 以上 p 以下の整数) m 列 (m は 1 以上 q 以下の整数) に配置された画素 2 1 1 が有する副画素 2 1 2 と、該画素 2 1 1 に隣接する n + 1 行 m 列に配置された画素 2 1 1 が有する副画素 2 1 2 の接続例を示す。図 2 2 (B) において、n 行 m 列に配置された副画素 2 1 2 R と、n + 1 行 m 列に配置された副画素 2 1 2 R がスイッチ 2 0 1 を介して接続されている。また、n 行 m 列に配置された副画素 2 1 2 G と、n + 1 行 m 列に配置された副画素 2 1 2 G がスイッチ 2 0 2 を介して接続されている。また、n 行 m 列に配置された副画素 2 1 2 B と、n + 1 行 m 列に配置された副画素 2 1 2 B がスイッチ 2 0 3 を介して接続されている。

[0 2 7 0]

なお、副画素 2 1 2 に用いるカラーフィルタは、赤 (R)、緑 (G)、青 (B) に限定されず、それぞれシアン (C)、黄 (Y) およびマゼンダ (M) の光を透過するカラーフィルタを用いてもよい。1 つの画素 2 1 1 に 3 種類の異なる波長帯域の光を検出する副画素 2 1 2 を設けることで、フルカラー画像を取得することができる。

[0 2 7 1]

または、それぞれ赤 (R)、緑 (G) および青 (B) の光を透過するカラーフィルタが設けられた副画素 2 1 2 に加えて、黄 (Y) の光を透過するカラーフィルタが設けられた副画素 2 1 2 を有する画素 2 1 1 を用いてもよい。または、それぞれシアン (C)、黄 (Y) およびマゼンダ (M) の光を透過するカラーフィルタが設けられた副画素 2 1 2 に加えて、青 (B) の光を透過するカラーフィルタが設けられた副画素 2 1 2 を有する画素 2 1 1 を用いてもよい。1 つの画素 2 1 1 に 4 種類の異なる波長帯域の光を検出する副画素 2 1 2 を設けることで、取得した画像の色の再現性をさらに高めることができる。

[0 2 7 2]

また、例えば、図 2 2 (A) において、赤の波長帯域を検出する副画素 2 1 2、緑の波長帯域を検出する副画素 2 1 2、および青の波長帯域を検出する副画素 2 1 2 の画素数比 (または受光面積比) は、1 : 1 : 1 でなくても構わない。例えば、画素数比 (受光面積比) を赤 : 緑 : 青 = 1 : 2 : 1 とする Bayer 配列としてもよい。または、画素数比 (受光面積比) を赤 : 緑 : 青 = 1 : 6 : 1 としてもよい。

[0 2 7 3]

なお、画素 2 1 1 に設ける副画素 2 1 2 は 1 つでもよいが、2 つ以上が好ましい。例えば、同じ波長帯域を検出する副画素 2 1 2 を 2 つ以上設けることで、冗長性を高め、撮像装置 2 0 0 の信頼性を高めることができる。

[0 2 7 4]

また、可視光を吸収または反射して、赤外光を透過する IR (IR : Infrared) フィルタを

用いることで、赤外光を検出する撮像装置 200 を実現することができる。

[0275]

また、ND (ND: Neutral Density) フィルタ (減光フィルタ) を用いることで、光電変換素子 (受光素子) に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なる ND フィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

[0276]

また、前述したフィルタ以外に、画素 211 にレンズを設けてもよい。ここで、図 23 の断面図を用いて、画素 211、フィルタ 254、レンズ 255 の配置例を説明する。レンズ 255 を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図 23 (A) に示すように、画素 211 に形成したレンズ 255、フィルタ 254 (フィルタ 254R、フィルタ 254G およびフィルタ 254B)、および画素回路 230 等を通して光 256 を光電変換素子 220 に入射させる構造とすることができる。

[0277]

ただし、二点鎖線で囲んだ領域に示すように、矢印で示す光 256 の一部が配線 257 の一部によって遮光されてしまうことがある。したがって、図 23 (B) に示すように光電変換素子 220 側にレンズ 255 およびフィルタ 254 を配置して、光電変換素子 220 が光 256 を効率良く受光させる構造が好ましい。光電変換素子 220 側から光 256 を光電変換素子 220 に入射させることで、検出感度の高い撮像装置 200 を提供することができる。

[0278]

図 23 に示す光電変換素子 220 として、pn 型接合または pin 型の接合が形成された光電変換素子を用いてもよい。

[0279]

また、光電変換素子 220 を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能を有する物質としては、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

[0280]

例えば、光電変換素子 220 にセレンを用いると、可視光や、紫外光、赤外光に加えて、X 線や、ガンマ線といった幅広い波長帯域にわたって光吸収係数を有する光電変換素子 220 を実現できる。

[0281]

ここで、撮像装置 200 が有する 1 つの画素 211 は、図 22 に示す副画素 212 に加えて、第 1 のフィルタを有する副画素 212 を有してもよい。

[0282]

<画素の構成例 2>

以下では、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。

[0283]

図 24 (A)、図 24 (B) は、撮像装置を構成する素子の断面図である。図 24 (A) に示す撮像装置は、シリコン基板 100 に設けられたシリコンを用いたトランジスタ 151、トランジスタ 15

1 上に積層して配置された酸化物半導体を用いたトランジスタ 1 5 2 およびトランジスタ 1 5 3、ならびにシリコン基板 1 0 0 に設けられたフォトダイオード 1 6 0 を含む。各トランジスタおよびフォトダイオード 1 6 0 は、種々のプラグ 1 7 0 および配線 1 7 1 と電気的な接続を有する。また、フォトダイオード 1 6 0 のアノード 1 6 1 は、低抵抗領域 1 6 3 を介してプラグ 1 7 0 と電気的に接続を有する。

[0 2 8 4]

また撮像装置は、シリコン基板 1 0 0 に設けられたトランジスタ 1 5 1 およびフォトダイオード 1 6 0 を有する層 1 1 0 と、層 1 1 0 と接して設けられ、配線 1 7 1 を有する層 1 2 0 と、層 1 2 0 と接して設けられ、トランジスタ 1 5 2 およびトランジスタ 1 5 3 を有する層 1 3 0 と、層 1 3 0 と接して設けられ、配線 1 7 2 および配線 1 7 3 を有する層 1 4 0 を備えている。

[0 2 8 5]

なお図 2 4 (A) の断面図の一例では、シリコン基板 1 0 0 において、トランジスタ 1 5 1 が形成された面とは逆側の面にフォトダイオード 1 6 0 の受光面を有する構成とする。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード 1 6 0 の受光面をトランジスタ 1 5 1 が形成された面と同じとすることもできる。

[0 2 8 6]

なお、トランジスタを用いて画素を構成する場合には、層 1 1 0 を、トランジスタを有する層とすればよい。または層 1 1 0 を省略し、トランジスタのみで画素を構成してもよい。

[0 2 8 7]

なおトランジスタを用いて画素を構成する場合には、層 1 3 0 を省略すればよい。層 1 3 0 を省略した断面図の一例を図 2 4 (B) に示す。層 1 3 0 を省略する場合、層 1 4 0 の配線 1 7 2 も省略することができる。

[0 2 8 8]

なお、シリコン基板 1 0 0 は、SOI 基板であつてもよい。また、シリコン基板 1 0 0 に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

[0 2 8 9]

ここで、トランジスタ 1 5 1 およびフォトダイオード 1 6 0 を有する層 1 1 0 と、トランジスタ 1 5 2 およびトランジスタ 1 5 3 を有する層 1 3 0 と、の間には絶縁体 1 8 0 が設けられる。ただし、絶縁体 1 8 0 の位置は限定されない。

[0 2 9 0]

トランジスタ 1 5 1 のチャネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ 1 5 1 の信頼性を向上させる効果がある。一方、トランジスタ 1 5 2 およびトランジスタ 1 5 3 などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ 1 5 2 およびトランジスタ 1 5 3 などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁体 1 8 0 を設けることが好ましい。絶縁体 1 8 0 より下層に水素を閉じ込めることで、

トランジスタ 1 5 1 の信頼性が向上させることができる。さらに、絶縁体 1 8 0 より下層から、絶縁体 1 8 0 より上層に水素が拡散することを抑制できるため、トランジスタ 1 5 2 およびトランジスタ 1 5 3 などの信頼性を向上させることができる。

[0 2 9 1]

絶縁体 1 8 0 としては、例えば、絶縁体 4 0 8 の記載を参照する。

[0 2 9 2]

また、図 2 4 (A) の断面図において、層 1 1 0 に設けるフォトダイオード 1 6 0 と、層 1 3 0 に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

[0 2 9 3]

また、図 2 5 (A 1) および図 2 5 (B 1) に示すように、撮像装置の一部または全部を湾曲させてもよい。図 2 5 (A 1) は、撮像装置を同図中の二点鎖線 X 1 - X 2 の方向に湾曲させた状態を示している。図 2 5 (A 2) は、図 2 5 (A 1) 中の二点鎖線 X 1 - X 2 で示した部位の断面図である。図 2 5 (A 3) は、図 2 5 (A 1) 中の二点鎖線 Y 1 - Y 2 で示した部位の断面図である。

[0 2 9 4]

図 2 5 (B 1) は、撮像装置を同図中の二点鎖線 X 3 - X 4 の方向に湾曲させ、かつ、同図中の二点鎖線 Y 3 - Y 4 の方向に湾曲させた状態を示している。図 2 5 (B 2) は、図 2 5 (B 1) 中の二点鎖線 X 3 - X 4 で示した部位の断面図である。図 2 5 (B 3) は、図 2 5 (B 1) 中の二点鎖線 Y 3 - Y 4 で示した部位の断面図である。

[0 2 9 5]

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

[0 2 9 6]

<CPU>

以下では、上述したトランジスタや上述した記憶装置などの半導体装置を含む CPU について説明する。

[0 2 9 7]

図 2 6 は、上述したトランジスタを一部に用いた CPU の一例の構成を示すブロック図である。

[0 2 9 8]

図 2 6 に示す CPU は、基板 1 1 9 0 上に、ALU 1 1 9 1 (ALU: Arithmetic logic unit、演算回路)、ALU コントローラ 1 1 9 2、インストラクションデコーダ 1 1 9 3、インタラプトコントローラ 1 1 9 4、タイミングコントローラ 1 1 9 5、レジスタ 1 1 9 6、レジスタコントローラ 1 1 9 7、バスインターフェース 1 1 9 8、書き換え可能な ROM 1 1 9 9、および ROM インターフェース 1 1 8 9 を有している。基板 1 1 9 0 は、半導体基板、SOI 基板、ガラス基板などを用いる。ROM 1 1 9 9 および ROM インターフェース 1 1 8 9 は、別チップに設けてもよい。もちろん、図 2 6 に示す CPU は、その構成を簡略化して示した一例にすぎず、実際の CPU はその用途によって多種多様な構成を有している。例えば、図 2 6 に示す CPU または演算回路

を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

[0299]

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

[0300]

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

[0301]

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0302]

図26に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

[0303]

図26に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。即ち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

[0304]

図27は、レジスタ1196として用いることのできる記憶素子1200の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

[0305]

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはGND（0V）、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

[0306]

スイッチ1203は、一導電型（例えば、nチャネル型）のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型（例えば、pチャネル型）のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1213の導通状態または非導通状態）が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1214の導通状態または非導通状態）が選択される。

[0307]

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうち的一方、およびトランジスタ1210のゲートと電気的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばGND線）に電気的に接続され、他方は、スイッチ1203の第1の端子（トランジスタ1213のソースとドレインの一方）と電気的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）はスイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と電気的に接続される。スイッチ1204の第2の端子（トランジスタ1214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電気的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と、論理素子1206の入力端子と、容量素子1207の一对の電極のうち的一方と、は電気的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1207の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電気的に接続される。容量素子1208の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電気的に接続される。

[0308]

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利

用することによって省略することも可能である。

[0309]

トランジスタ1209のゲートには、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

[0310]

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図27では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

[0311]

なお、図27では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

[0312]

また、図27において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板1190にチャネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることもできる。

[0313]

図27における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

[0314]

本発明の一態様に係る半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

[0315]

また、酸化物半導体にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが

形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

[0316]

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

[0317]

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態（導通状態、または非導通状態）に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

[0318]

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

[0319]

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP (Digital Signal Processor)、カスタムLSI、PLD (Programmable Logic Device) 等のLSI、RF-ID (Radio Frequency Identification) にも応用可能である。

[0320]

<表示装置>

以下では、本発明の一態様に係る表示装置について、図28および図29を用いて説明する。

[0321]

表示装置に用いられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL (Electroluminescence)、有機ELなどを含む。以下では、表示装置の一例としてEL素子を用いた表示装置（EL表示装置）および液晶素子を用いた表示装置（液晶表示装置）について説明する。

[0322]

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

[0323]

また、以下に示す表示装置は画像表示デバイス、または光源（照明装置含む）を指す。また、コネク

ター、例えばFPC、TCPが取り付けられたモジュール、TCPの先にプリント配線板を有するモジュールまたは表示素子にCOG方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

[0324]

図28は、本発明の一態様に係るEL表示装置の一例である。図28（A）に、EL表示装置の画素の回路図を示す。図28（B）は、EL表示装置全体を示す上面図である。また、図28（C）は、図28（B）の一点鎖線M-Nの一部に対応するM-N断面である。

[0325]

図28（A）は、EL表示装置に用いられる画素の回路図の一例である。

[0326]

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先として複数の箇所が想定される場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

[0327]

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

[0328]

図28（A）に示すEL表示装置は、スイッチ素子743と、トランジスタ741と、容量素子742と、発光素子719と、を有する。

[0329]

なお、図28（A）などは、回路構成の一例であるため、さらに、トランジスタを追加することが可能である。逆に、図28（A）の各ノードにおいて、トランジスタ、スイッチ、受動素子などを追加しないようにすることも可能である。

[0330]

トランジスタ741のゲートはスイッチ素子743の一端および容量素子742の一方の電極と電気的に接続される。トランジスタ741のソースは容量素子742の他方の電極と電気的に接続され、発光素子719の一方の電極と電気的に接続される。トランジスタ741のソースは電源電位VDD

が与えられる。スイッチ素子 743 の他端は信号線 744 と電氣的に接続される。発光素子 719 の他方の電極は定電位が与えられる。なお、定電位は接地電位 GND またはそれより小さい電位とする。

[0331]

スイッチ素子 743 としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高い EL 表示装置とすることができる。また、スイッチ素子 743 として、トランジスタ 741 と同一工程を経て作製されたトランジスタを用いると、EL 表示装置の生産性を高めることができる。なお、トランジスタ 741 または／およびスイッチ素子 743 としては、例えば、上述したトランジスタを適用することができる。

[0332]

図 28 (B) は、EL 表示装置の上面図である。EL 表示装置は、基板 700 と、基板 750 と、シール材 734 と、駆動回路 735 と、駆動回路 736 と、画素 737 と、FPC 732 と、を有する。シール材 734 は、画素 737、駆動回路 735 および駆動回路 736 を囲むように基板 700 と基板 750 との間に配置される。なお、駆動回路 735 または／および駆動回路 736 をシール材 734 の外側に配置しても構わない。

[0333]

図 28 (C) は、図 28 (B) の一点鎖線 M-N の一部に対応する EL 表示装置の断面図である。

[0334]

図 28 (C) には、トランジスタ 741 として、基板 700 上の導電体 704a と、導電体 704a 上の絶縁体 712a と、絶縁体 712a 上の絶縁体 712b と、絶縁体 712b 上にあり導電体 704a と重なる半導体 706 と、半導体 706 と接する導電体 716a および導電体 716b と、半導体 706 上、導電体 716a 上および導電体 716b 上の絶縁体 718a と、絶縁体 718a 上の絶縁体 718b と、絶縁体 718b 上の絶縁体 718c と、絶縁体 718c 上にあり半導体 706 と重なる導電体 714a と、を有する構造を示す。なお、トランジスタ 741 の構造は一例であり、図 28 (C) に示す構造と異なる構造であっても構わない。

[0335]

したがって、図 28 (C) に示すトランジスタ 741 において、導電体 704a はゲート電極としての機能を有し、絶縁体 712a および絶縁体 712b はゲート絶縁体としての機能を有し、導電体 716a はソース電極としての機能を有し、導電体 716b はドレイン電極としての機能を有し、絶縁体 718a、絶縁体 718b および絶縁体 718c はゲート絶縁体としての機能を有し、導電体 714a はゲート電極としての機能を有する。なお、半導体 706 は、光が当たることで電気特性が変動する場合がある。したがって、導電体 704a、導電体 716a、導電体 716b、導電体 714a のいずれか一以上が遮光性を有すると好ましい。

[0336]

なお、絶縁体 718a および絶縁体 718b の界面を破線で表したが、これは両者の境界が明確でない場合があることを示す。例えば、絶縁体 718a および絶縁体 718b として、同種の絶縁体を用いた場合、観察手法によっては両者の区別が付かない場合がある。

[0337]

図 28 (C) には、容量素子 742 として、基板上の導電体 704b と、導電体 704b 上の絶縁体 712a と、絶縁体 712a 上の絶縁体 712b と、絶縁体 712b 上にあり導電体 704b と重な

る導電体716aと、導電体716a上の絶縁体718aと、絶縁体718a上の絶縁体718bと、絶縁体718b上の絶縁体718cと、絶縁体718c上にあり導電体716aと重なる導電体714bと、を有し、導電体716aおよび導電体714bの重なる領域で、絶縁体718aおよび絶縁体718bの一部が除去されている構造を示す。

[0338]

容量素子742において、導電体704bおよび導電体714bは一方の電極として機能し、導電体716aは他方の電極として機能する。

[0339]

したがって、容量素子742は、トランジスタ741と共通する膜を用いて作製することができる。また、導電体704aおよび導電体704bを同種の導電体とすると好ましい。その場合、導電体704aおよび導電体704bは、同一工程を経て形成することができる。また、導電体714aおよび導電体714bを同種の導電体とすると好ましい。その場合、導電体714aおよび導電体714bは、同一工程を経て形成することができる。

[0340]

図28(C)に示す容量素子742は、占有面積当たりの容量が大きい容量素子である。したがって、図28(C)は表示品位の高いEL表示装置である。なお、図28(C)に示す容量素子742は、導電体716aおよび導電体714bの重なる領域を薄くするため、絶縁体718aおよび絶縁体718bの一部が除去された構造を有するが、本発明の一態様に係る容量素子はこれに限定されるものではない。例えば、導電体716aおよび導電体714bの重なる領域を薄くするため、絶縁体718cの一部が除去された構造を有しても構わない。

[0341]

トランジスタ741および容量素子742上には、絶縁体720が配置される。ここで、絶縁体720は、トランジスタ741のソース電極として機能する導電体716aに達する開口部を有してもよい。絶縁体720上には、導電体781が配置される。導電体781は、絶縁体720の開口部を介してトランジスタ741と電氣的に接続してもよい。

[0342]

導電体781上には、導電体781に達する開口部を有する隔壁784が配置される。隔壁784上には、隔壁784の開口部で導電体781と接する発光層782が配置される。発光層782上には、導電体783が配置される。導電体781、発光層782および導電体783の重なる領域が、発光素子719となる。

[0343]

ここまでは、EL表示装置の例について説明した。次に、液晶表示装置の例について説明する。

[0344]

図29(A)は、液晶表示装置の画素の構成例を示す回路図である。図29に示す画素は、トランジスタ751と、容量素子752と、一対の電極間に液晶の充填された素子(液晶素子)753とを有する。

[0345]

トランジスタ751では、ソース、ドレインの一方が信号線755に電氣的に接続され、ゲートが走査線754に電氣的に接続されている。

[0346]

容量素子752では、一方の電極がトランジスタ751のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

[0347]

液晶素子753では、一方の電極がトランジスタ751のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述した容量素子752の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子753の他方の電極に与えられる共通電位とが異なる電位であってもよい。

[0348]

なお、液晶表示装置も、上面図はEL表示装置と同様として説明する。図28(B)の一点鎖線M-Nに対応する液晶表示装置の断面図を図29(B)に示す。図29(B)において、FPC732は、端子731を介して配線733aと接続される。なお、配線733aは、トランジスタ751を構成する導電体または半導体のいずれかと同種の導電体または半導体を用いてもよい。

[0349]

トランジスタ751は、トランジスタ741についての記載を参照する。また、容量素子752は、容量素子742についての記載を参照する。なお、図29(B)には、図28(C)の容量素子742に対応した容量素子752の構造を示したが、これに限定されない。

[0350]

なお、トランジスタ751の半導体に酸化物半導体を用いた場合、極めてオフ電流の小さいトランジスタとすることができる。したがって、容量素子752に保持された電荷がリークしにくく、長期間に渡って液晶素子753に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ751をオフ状態とすることで、トランジスタ751の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができる。また、容量素子752の占有面積を小さくできるため、開口率の高い液晶表示装置、または高精細化した液晶表示装置を提供することができる。

[0351]

トランジスタ751および容量素子752上には、絶縁体721が配置される。ここで、絶縁体721は、トランジスタ751に達する開口部を有する。絶縁体721上には、導電体791が配置される。導電体791は、絶縁体721の開口部を介してトランジスタ751と電氣的に接続する。

[0352]

導電体791上には、配向膜として機能する絶縁体792が配置される。絶縁体792上には、液晶層793が配置される。液晶層793上には、配向膜として機能する絶縁体794が配置される。絶縁体794上には、スペーサ795が配置される。スペーサ795および絶縁体794上には、導電体796が配置される。導電体796上には、基板797が配置される。

[0353]

上述した構造を有することで、占有面積の小さい容量素子を有する表示装置を提供することができる、または、表示品位の高い表示装置を提供することができる。または、高精細の表示装置を提供することができる。

[0354]

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、EL素子（有機物および無機物を含むEL素子、有機EL素子、無機EL素子）、白色、赤色、緑色または青色などの発光ダイオード（LED: Light Emitting Diode）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、IMOD（インターフェアレンス・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブの少なくとも一つを有している。電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。

[0355]

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）またはSED方式平面型ディスプレイ（SED: Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インクまたは電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

[0356]

なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体などを設けて、LEDを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体との間に、AlN層を設けてもよい。なお、LEDが有するGaN半導体は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDが有するGaN半導体は、スパッタリング法で成膜することも可能である。

[0357]

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯

データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図３０に示す。

[０３５８]

図３０（Ａ）は携帯型ゲーム機であり、筐体９０１、筐体９０２、表示部９０３、表示部９０４、マイクロフォン９０５、スピーカー９０６、操作キー９０７、スタイラス９０８等を有する。なお、図３０（Ａ）に示した携帯型ゲーム機は、２つの表示部９０３と表示部９０４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

[０３５９]

図３０（Ｂ）は携帯データ端末であり、第１筐体９１１、第２筐体９１２、第１表示部９１３、第２表示部９１４、接続部９１５、操作キー９１６等を有する。第１表示部９１３は第１筐体９１１に設けられており、第２表示部９１４は第２筐体９１２に設けられている。そして、第１筐体９１１と第２筐体９１２とは、接続部９１５により接続されており、第１筐体９１１と第２筐体９１２の間の角度は、接続部９１５により変更が可能である。第１表示部９１３における映像を、接続部９１５における第１筐体９１１と第２筐体９１２との間の角度にしたがって、切り替える構成としてもよい。また、第１表示部９１３および第２表示部９１４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

[０３６０]

図３０（Ｃ）はノート型パーソナルコンピュータであり、筐体９２１、表示部９２２、キーボード９２３、ポインティングデバイス９２４等を有する。

[０３６１]

図３０（Ｄ）は電気冷凍冷蔵庫であり、筐体９３１、冷蔵室用扉９３２、冷凍室用扉９３３等を有する。

[０３６２]

図３０（Ｅ）はビデオカメラであり、第１筐体９４１、第２筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、接続部９４６等を有する。操作キー９４４およびレンズ９４５は第１筐体９４１に設けられており、表示部９４３は第２筐体９４２に設けられている。そして、第１筐体９４１と第２筐体９４２とは、接続部９４６により接続されており、第１筐体９４１と第２筐体９４２の間の角度は、接続部９４６により変更が可能である。表示部９４３における映像を、接続部９４６における第１筐体９４１と第２筐体９４２との間の角度にしたがって切り替える構成としてもよい。

[０３６３]

図３０（Ｆ）は自動車であり、車体９５１、車輪９５２、ダッシュボード９５３、ライト９５４等を有する。

[実施例１]

[０３６４]

本実施例では、基板上の酸化物半導体と、酸化物半導体上の絶縁体と、を有する試料に対し、ＥＳＲ

による評価、およびマイクロ波光導電減衰法による評価を行った例を示す。

[0365]

まずは、ESRによる評価を行った試料A1、試料A2、試料A3、試料A4、試料A5および試料A6の作製方法を説明する。

[0366]

まず、基板として、厚さが0.5mmの石英基板を準備した。次に、酸化物半導体として、厚さが50nmのIn-Ga-Zn酸化物を成膜した。次に、窒素雰囲気において450℃で1時間の加熱処理を行った。次に、酸素雰囲気において450℃で1時間の加熱処理を行った。次に、絶縁体として、酸化窒化シリコンを成膜することで、試料A1乃至試料A6を作製した。

[0367]

なお、In-Ga-Zn酸化物は、原子数比がIn:Ga:Zn=1:1:1であるIn-Ga-Zn酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、酸素の体積が33%となるようにアルゴンおよび酸素を混合したガスを用いた。成膜時の圧力は、キャノンアネルバ製ミニチュアゲージMG-2によって0.7Paとなるように調整した。成膜電力は、DC電源を用いて0.5kWとした。基板温度は300℃とした。

[0368]

また、酸化窒化シリコンは、PECVD法を用いて成膜した。成膜ガスとしては、モノシランが1に対して亜酸化窒素が800となる体積比で混合したガスを用いた。成膜時の圧力は、200Paとなるよう調整した。成膜電力は、60MHzの高周波電源を用いて150Wとした。電極間のギャップは28mmとした。基板温度は350℃とした。

[0369]

なお、酸化窒化シリコンの厚さは、試料A1が5nm、試料A2が7.5nm、試料A3が10nm、試料A4が12.5nm、試料A5が15nm、試料A6が20nmとなるように成膜した。

[0370]

次に、試料A1乃至試料A6のESRによる評価を行った。なお、試料A1乃至試料A6は、In-Ga-Zn酸化物の膜面が磁場に直交する向きに設置した。試料A1乃至試料A6におけるg値が1.93近傍に現れるシグナルに関連する欠陥準位のスピン密度を定量化し、図31に示す。なお、ESRによる評価は、日本電子株式会社製電子スピン共鳴装置JES-FA300を用いた。

[0371]

図31より、酸化窒化シリコンが薄いもの、および厚いものにおいて、g値が1.93近傍にシグナルが現れなかった。即ち、スピン密度が、検出下限（ここでは $1.4 \times 10^{17} \text{ spins/cm}^3$ ）以下となった。したがって、酸化窒化シリコンの、成膜初期においてIn-Ga-Zn酸化物へのダメージが生じていることが示唆された。また、酸化窒化シリコンを厚く成膜することで、In-Ga-Zn酸化物のダメージが回復することが示唆された。

[0372]

次に、マイクロ波光導電減衰法による評価を行った試料B1、試料B2、試料B3、試料B4、試料B5および試料B6の作製方法を説明する。

[0373]

まず、基板として、厚さが1.1mmの石英基板を準備した。次に、酸化物半導体の1層目として、

厚さが40nmのIn-Ga-Zn酸化物を成膜した。次に、酸化物半導体の2層目として、厚さが60nmのIn-Ga-Zn酸化物を成膜した。次に、窒素雰囲気において450℃で1時間の加熱処理を行った。次に、酸素雰囲気において450℃で1時間の加熱処理を行った。次に、絶縁体として、酸化窒化シリコンを成膜することで、試料B1乃至試料B6を作製した。

[0374]

なお、In-Ga-Zn酸化物の1層目は、原子数比がIn:Ga:Zn=1:3:4であるIn-Ga-Zn酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、酸素の体積が11%となるようにアルゴンおよび酸素を混合したガスを用いた。成膜時の圧力は、キャノンアネルバ製ミニチュアゲージMG-2によって0.7Paとなるように調整した。成膜電力は、DC電源を用いて0.5kWとした。基板温度は200℃とした。

[0375]

また、In-Ga-Zn酸化物の2層目は、原子数比がIn:Ga:Zn=1:1:1であるIn-Ga-Zn酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、酸素の体積が33%となるようにアルゴンおよび酸素を混合したガスを用いた。成膜時の圧力は、キャノンアネルバ製ミニチュアゲージMG-2によって0.7Paとなるように調整した。成膜電力は、DC電源を用いて0.5kWとした。基板温度は300℃とした。

[0376]

また、酸化窒化シリコンは、PECVD法を用いて成膜した。成膜ガスとしては、モノシラン1に対して亜酸化窒素が800となる体積比で混合したガスを用いた。成膜時の圧力は、200Paとなるよう調整した。成膜電力は、60MHzの高周波電源を用いて150Wとした。電極間のギャップは28mmとした。基板温度は350℃とした。

[0377]

なお、酸化窒化シリコンの厚さは、試料B1が5nm、試料B2が7.5nm、試料B3が10nm、試料B4が12.5nm、試料B5が15nm、試料B6が20nmとなるように成膜した。

[0378]

次に、試料B1乃至試料B6のマイクロ波光導電減衰法による評価を行った。試料B1乃至試料B6におけるマイクロ波の反射率のピーク値を図32に示す。励起光としては、ネオジムを添加したフッ化イットリウムリチウムをレーザ媒質に用いたレーザの3倍高調波(YLF-3HG、波長349nm)を用いた。なお、マイクロ波光導電減衰法による評価は、株式会社コベルコ科研製低温ポリシリコン・SiC評価装置LTA-1800SPを用いた。

[0379]

図32より、酸化窒化シリコンの厚さによってマイクロ波の反射率のピーク値が変化することがわかった。

[0380]

ここで、試料A1乃至試料A6と試料B1乃至試料B6との比較において、酸化窒化シリコンの条件が同じ試料同士であれば、それぞれのデータを対応させて評価することが可能である。よって、横軸に試料A1乃至試料A6においてESRで測定されたスピン密度をとり、縦軸に試料B1乃至試料B6においてマイクロ波光導電減衰法で測定されたマイクロ波の反射率のピーク値をとって得られたデータをプロットすることで、それらの相関関係を評価することができる(図33参照。)

[0381]

図33により、ESRでスピン密度が検出下限以下と評価された試料においても、マイクロ波光導電減衰法で測定されたマイクロ波の反射率のピーク値が測定できていれば、外挿によりスピン密度を算出できる可能性が示唆された。即ち、マイクロ波光導電減衰法は、ESRよりも高い感度でスピン密度を定量化できる可能性がある。

[0382]

なお、本実施例では、波長349 nmの励起光を用いているため、マイクロ波光導電減衰法の感度が十分でない可能性もある。例えば、波長が337 nm未満、315 nm未満、300 nm未満または270 nm未満のレーザ光（代表的には、波長266 nm）を用いることで、さらに高い感度で酸化物半導体のスピン密度を評価できる可能性がある。

[符号の説明]

[0383]

100	シリコン基板
110	層
120	層
130	層
140	層
151	トランジスタ
152	トランジスタ
153	トランジスタ
160	フォトダイオード
161	アノード
163	低抵抗領域
170	プラグ
171	配線
172	配線
173	配線
180	絶縁体
200	撮像装置
201	スイッチ
202	スイッチ
203	スイッチ
210	画素部
211	画素
212	副画素
212B	副画素
212G	副画素
212R	副画素
220	光電変換素子

2 3 0	画素回路
2 3 1	配線
2 4 7	配線
2 4 8	配線
2 4 9	配線
2 5 0	配線
2 5 3	配線
2 5 4	フィルタ
2 5 4 B	フィルタ
2 5 4 G	フィルタ
2 5 4 R	フィルタ
2 5 5	レンズ
2 5 6	光
2 5 7	配線
2 6 0	周辺回路
2 7 0	周辺回路
2 8 0	周辺回路
2 9 0	周辺回路
2 9 1	光源
3 0 1	パルスレーザ発振器
3 0 2	マイクロ波発振器
3 0 3	方向性結合器
3 0 5	導波管
3 0 5 a	導波管
3 0 5 b	導波管
3 0 6	ミキサー
3 0 7	信号処理装置
3 1 0	スペーサ
3 1 1	試料ステージ
3 1 3	ミラー
3 1 4	レンズ
3 1 5	位相器
3 2 0	試料
3 2 0 a	半導体
3 2 0 b	基板
4 0 0	基板
4 0 1	絶縁体
4 0 2	絶縁体
4 0 4	導電体

4 0 6 半導體
4 0 6 a 半導體
4 0 6 b 半導體
4 0 6 c 半導體
4 0 8 絶縁体
4 0 9 a 層
4 0 9 b 層
4 1 2 絶縁体
4 1 3 導電体
4 1 4 導電体
4 1 6 a 導電体
4 1 6 b 導電体
4 1 8 絶縁体
4 2 3 a 低抵抗領域
4 2 3 b 低抵抗領域
4 2 4 a 導電体
4 2 4 b 導電体
4 2 6 a 導電体
4 2 6 b 導電体
4 2 8 絶縁体
4 3 0 励起光
4 3 6 半導體
4 5 0 半導體基板
4 5 2 絶縁体
4 5 4 導電体
4 5 6 領域
4 6 0 領域
4 6 2 絶縁体
4 6 4 絶縁体
4 6 6 絶縁体
4 6 8 絶縁体
4 7 2 a 領域
4 7 2 b 領域
4 7 4 a 導電体
4 7 4 b 導電体
4 7 4 c 導電体
4 7 6 a 導電体
4 7 6 b 導電体
4 7 8 a 導電体

4 7 8 b 導電体
4 7 8 c 導電体
4 8 0 a 導電体
4 8 0 b 導電体
4 8 0 c 導電体
4 9 0 絶縁体
4 9 2 絶縁体
4 9 4 絶縁体
4 9 6 a 導電体
4 9 6 b 導電体
4 9 6 c 導電体
4 9 6 d 導電体
4 9 8 a 導電体
4 9 8 b 導電体
4 9 8 c 導電体
4 9 8 d 導電体
6 0 0 基板
6 0 4 導電体
6 0 6 a 半導体
6 0 6 b 半導体
6 0 6 c 半導体
6 0 9 a 層
6 0 9 b 層
6 1 2 絶縁体
6 1 3 導電体
6 1 6 a 導電体
6 1 6 b 導電体
6 1 8 絶縁体
6 2 0 絶縁体
7 0 0 基板
7 0 4 a 導電体
7 0 4 b 導電体
7 0 6 半導体
7 1 2 a 絶縁体
7 1 2 b 絶縁体
7 1 4 a 導電体
7 1 4 b 導電体
7 1 6 a 導電体
7 1 6 b 導電体

7 1 8 a 絶縁体
7 1 8 b 絶縁体
7 1 8 c 絶縁体
7 1 9 発光素子
7 2 0 絶縁体
7 2 1 絶縁体
7 3 1 端子
7 3 2 F P C
7 3 3 a 配線
7 3 4 シール材
7 3 5 駆動回路
7 3 6 駆動回路
7 3 7 画素
7 4 1 トランジスタ
7 4 2 容量素子
7 4 3 スイッチ素子
7 4 4 信号線
7 5 0 基板
7 5 1 トランジスタ
7 5 2 容量素子
7 5 3 液晶素子
7 5 4 走査線
7 5 5 信号線
7 8 1 導電体
7 8 2 発光層
7 8 3 導電体
7 8 4 隔壁
7 9 1 導電体
7 9 2 絶縁体
7 9 3 液晶層
7 9 4 絶縁体
7 9 5 スペース
7 9 6 導電体
7 9 7 基板
9 0 1 筐体
9 0 2 筐体
9 0 3 表示部
9 0 4 表示部
9 0 5 マイクロフォン

9 0 6	スピーカ
9 0 7	操作キー
9 0 8	スタイラス
9 1 1	筐体
9 1 2	筐体
9 1 3	表示部
9 1 4	表示部
9 1 5	接続部
9 1 6	操作キー
9 2 1	筐体
9 2 2	表示部
9 2 3	キーボード
9 2 4	ポインティングデバイス
9 3 1	筐体
9 3 2	冷蔵室用扉
9 3 3	冷凍室用扉
9 4 1	筐体
9 4 2	筐体
9 4 3	表示部
9 4 4	操作キー
9 4 5	レンズ
9 4 6	接続部
9 5 1	車体
9 5 2	車輪
9 5 3	ダッシュボード
9 5 4	ライト
1 1 8 9	ROMインターフェース
1 1 9 0	基板
1 1 9 1	ALU
1 1 9 2	ALUコントローラ
1 1 9 3	インストラクションデコーダ
1 1 9 4	インタラプトコントローラ
1 1 9 5	タイミングコントローラ
1 1 9 6	レジスタ
1 1 9 7	レジスタコントローラ
1 1 9 8	バスインターフェース
1 1 9 9	ROM
1 2 0 0	記憶素子
1 2 0 1	回路

1 2 0 2	回路
1 2 0 3	スイッチ
1 2 0 4	スイッチ
1 2 0 6	論理素子
1 2 0 7	容量素子
1 2 0 8	容量素子
1 2 0 9	トランジスタ
1 2 1 0	トランジスタ
1 2 1 3	トランジスタ
1 2 1 4	トランジスタ
1 2 2 0	回路
2 1 0 0	トランジスタ
2 2 0 0	トランジスタ
3 0 0 1	配線
3 0 0 2	配線
3 0 0 3	配線
3 0 0 4	配線
3 0 0 5	配線
3 2 0 0	トランジスタ
3 3 0 0	トランジスタ
3 4 0 0	容量素子

請求の範囲

[請求項1]

絶縁体と、半導体と、導電体と、を有し、
前記半導体は、前記絶縁体を介して、前記半導体と前記導電体とが互いに重なる領域を有し、
前記領域において、前記半導体のマイクロ波光導電減衰法によるキャリアの寿命のうち、速やかに減衰する成分が30 nsec以上200 nsec以下となる領域を有し、
前記マイクロ波光導電減衰法は、波長が337 nm未満の励起光を用いることを特徴とする半導体装置。

[請求項2]

請求項1において、
前記マイクロ波光導電減衰法は、波長が270 nm未満の励起光を用いることを特徴とする半導体装置。

[請求項3]

請求項1または請求項2において、
前記半導体は、酸化物半導体であることを特徴とする半導体装置。

[請求項4]

請求項3において、
前記半導体は、インジウム、亜鉛および元素M（元素Mはアルミニウム、ガリウム、イットリウムまたはスズ）から選ばれた一種以上を有する酸化物を有することを特徴とする半導体装置。

[請求項5]

絶縁体と、
導電体と、
前記絶縁体を介して、前記導電体と重なる領域を有する半導体とを有する半導体装置の評価方法において、
マイクロ波光導電減衰法により前記領域のキャリアの寿命を測定し、
前記マイクロ波光導電減衰法は、波長が337 nm未満の励起光を用いることを特徴とする半導体装置の評価方法。

[請求項6]

請求項5において、
前記マイクロ波光導電減衰法は、波長が270 nm未満の励起光を用いることを特徴とする半導体装置の評価方法。

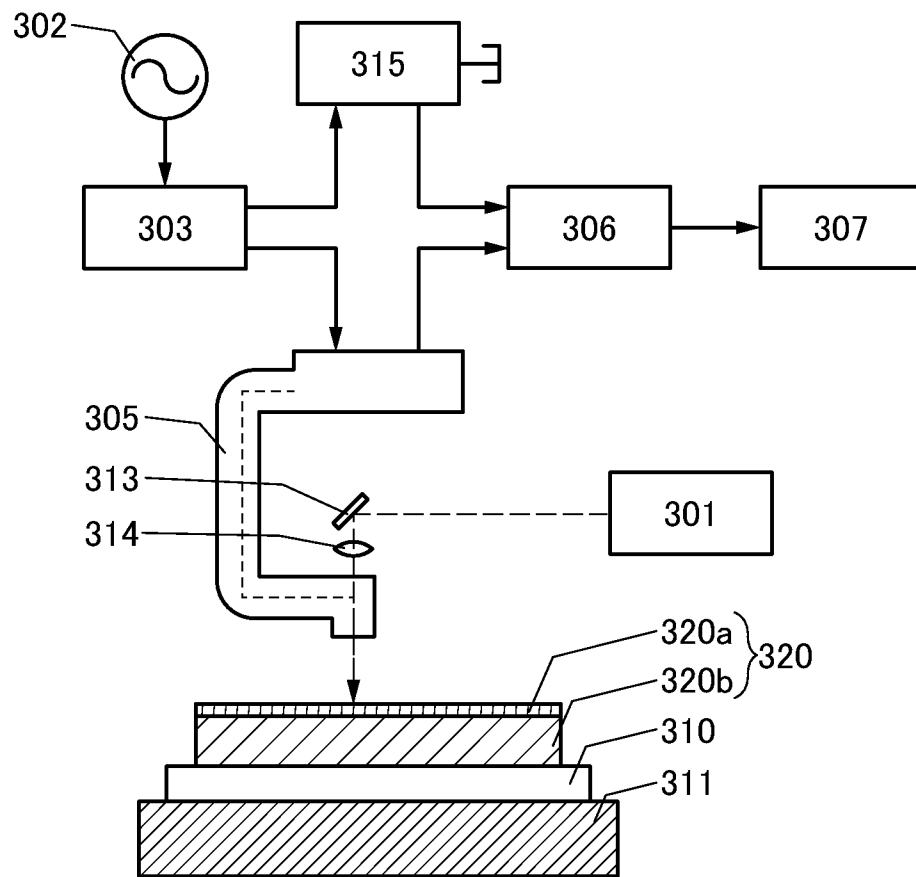
[請求項7]

請求項5または請求項6において、
前記半導体は、酸化物半導体であることを特徴とする半導体装置の評価方法。

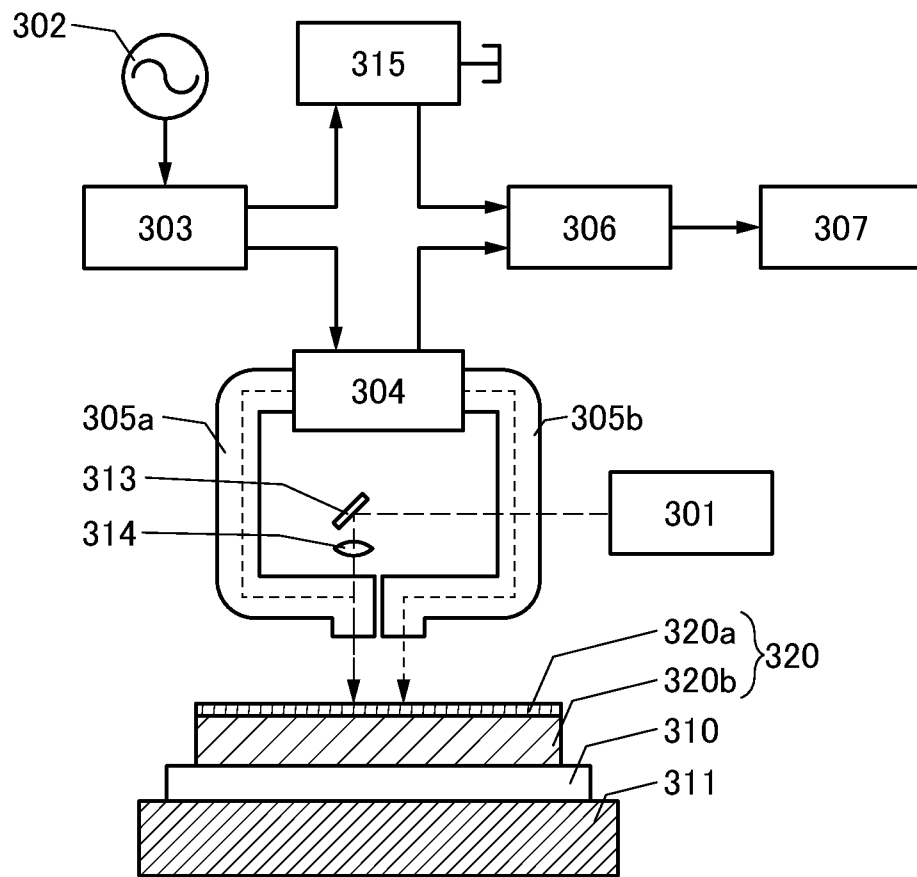
[請求項8]

請求項7において、
前記半導体は、インジウム、亜鉛および元素M（元素Mはアルミニウム、ガリウム、イットリウムまたはスズ）から選ばれた一種以上を有する酸化物を有することを特徴とする半導体装置の評価方法。

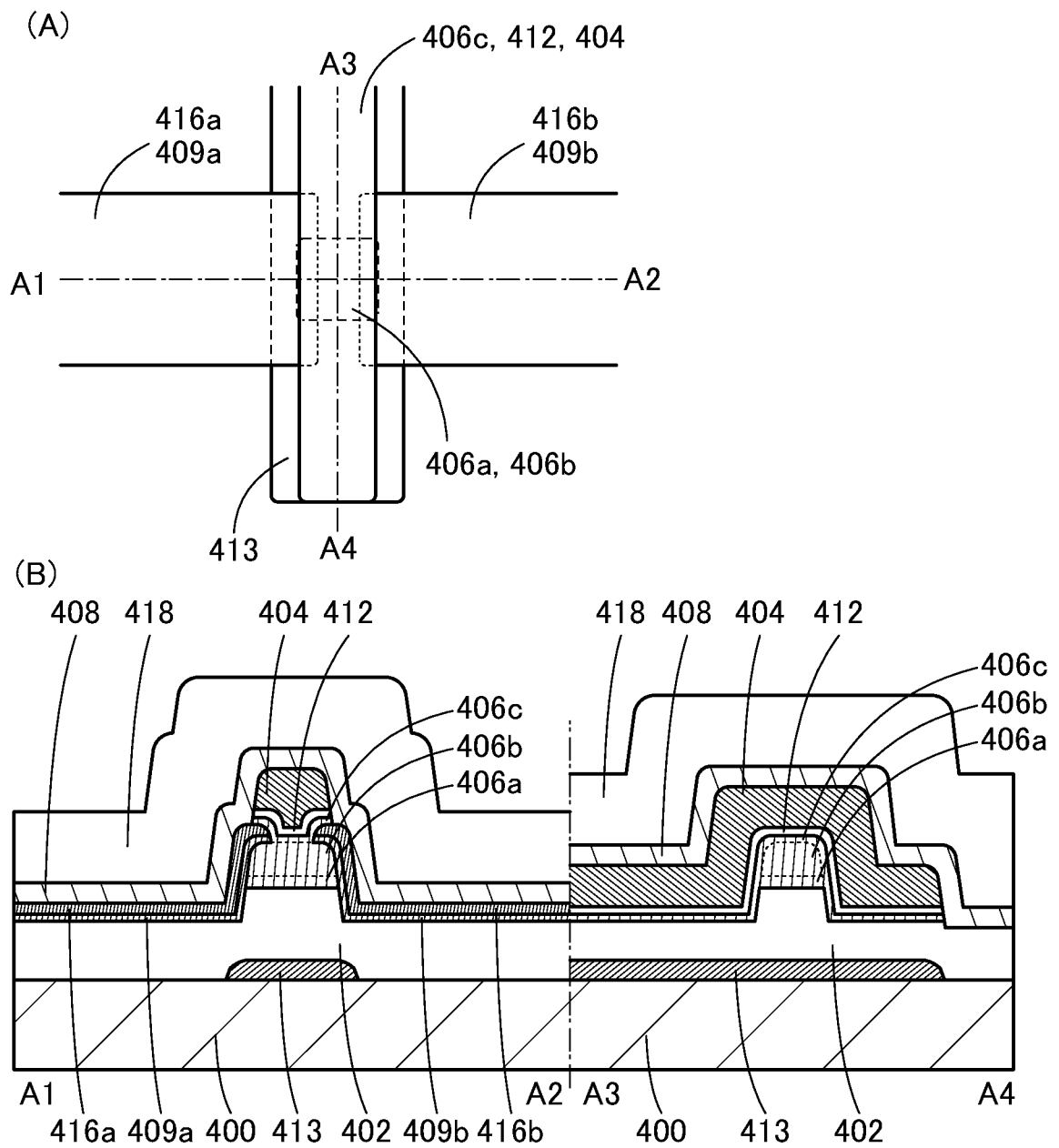
[図01]



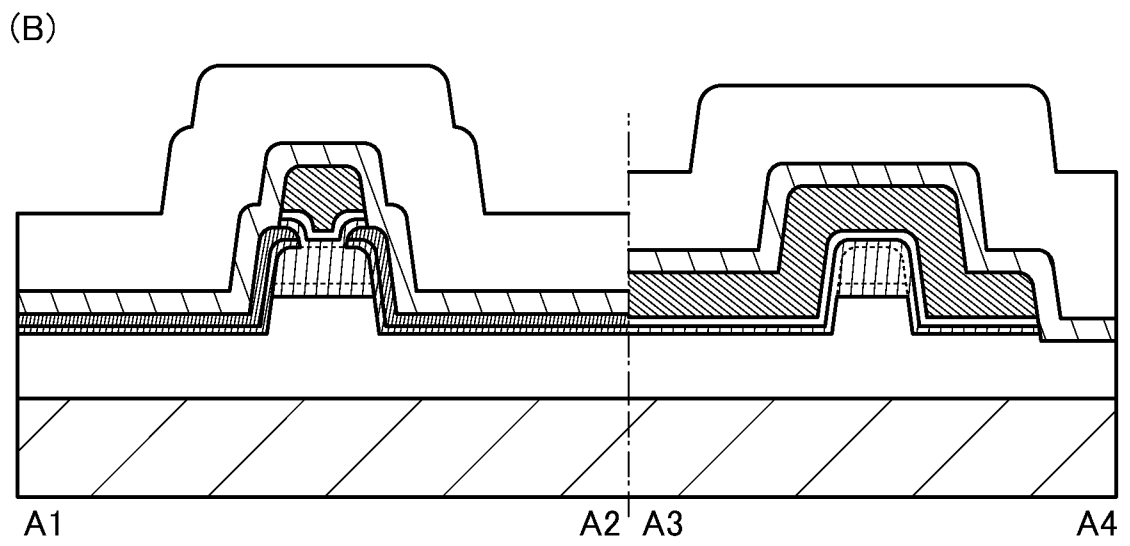
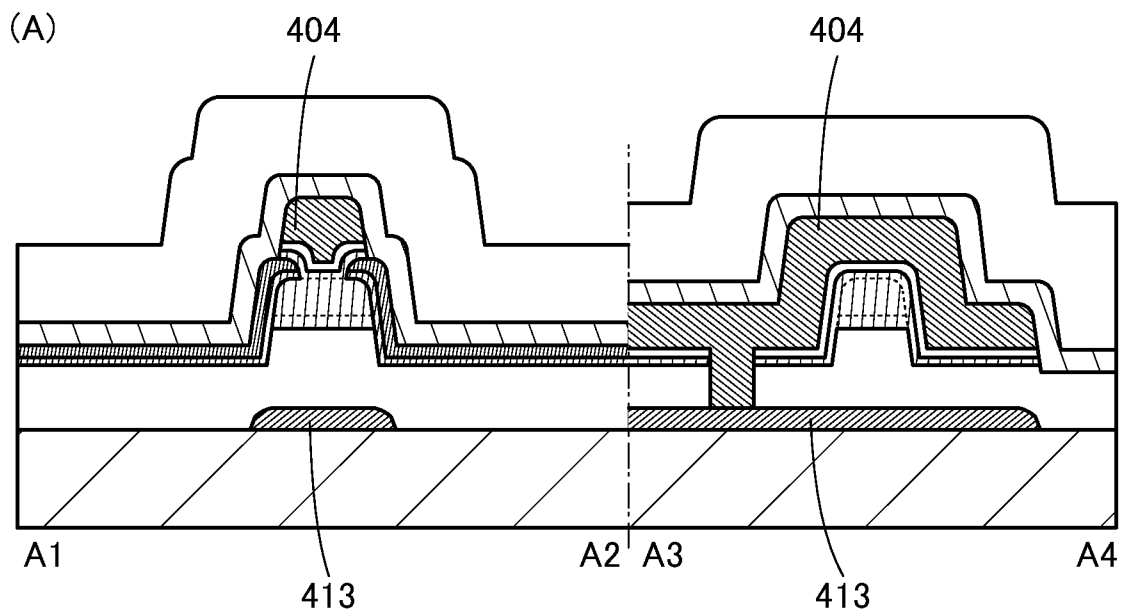
[図02]



[図03]

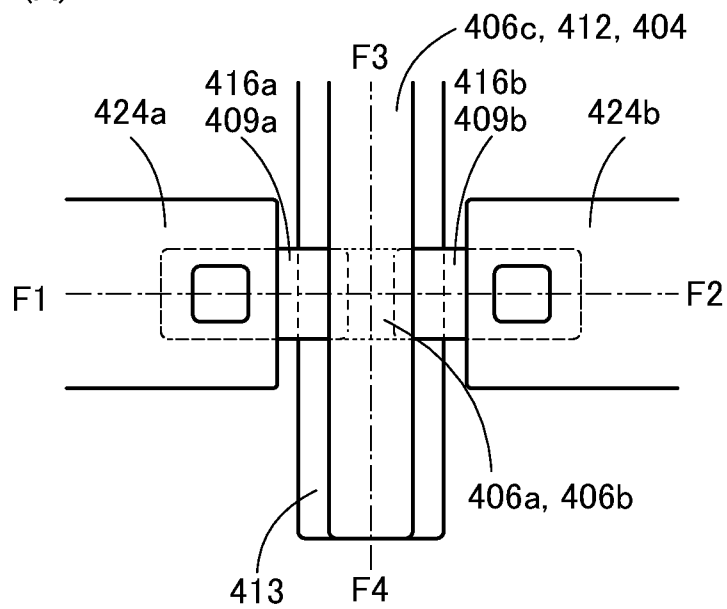


[図04]

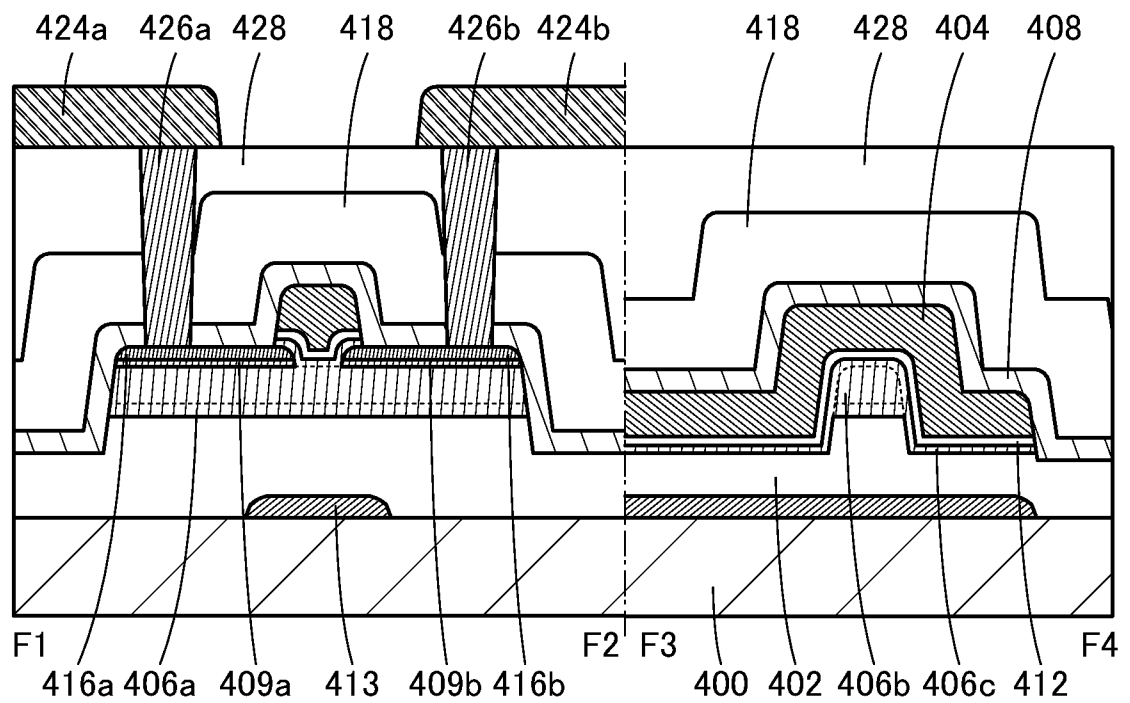


[図05]

(A)

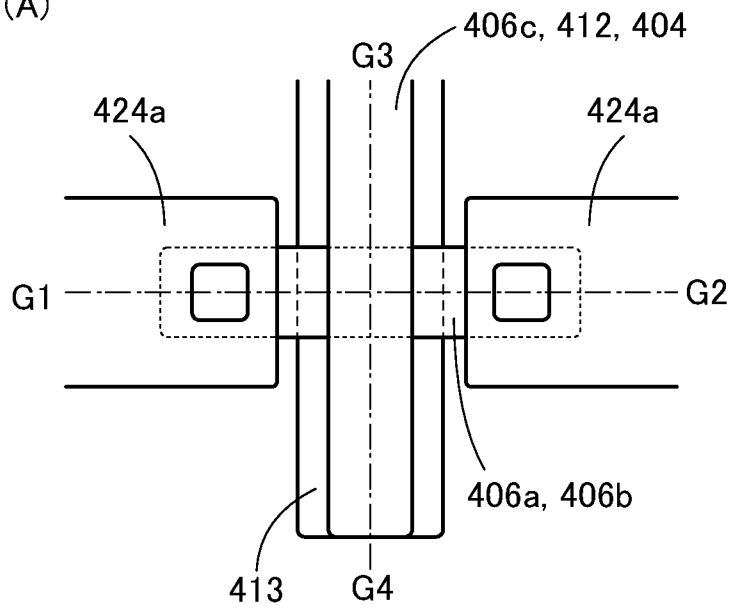


(B)

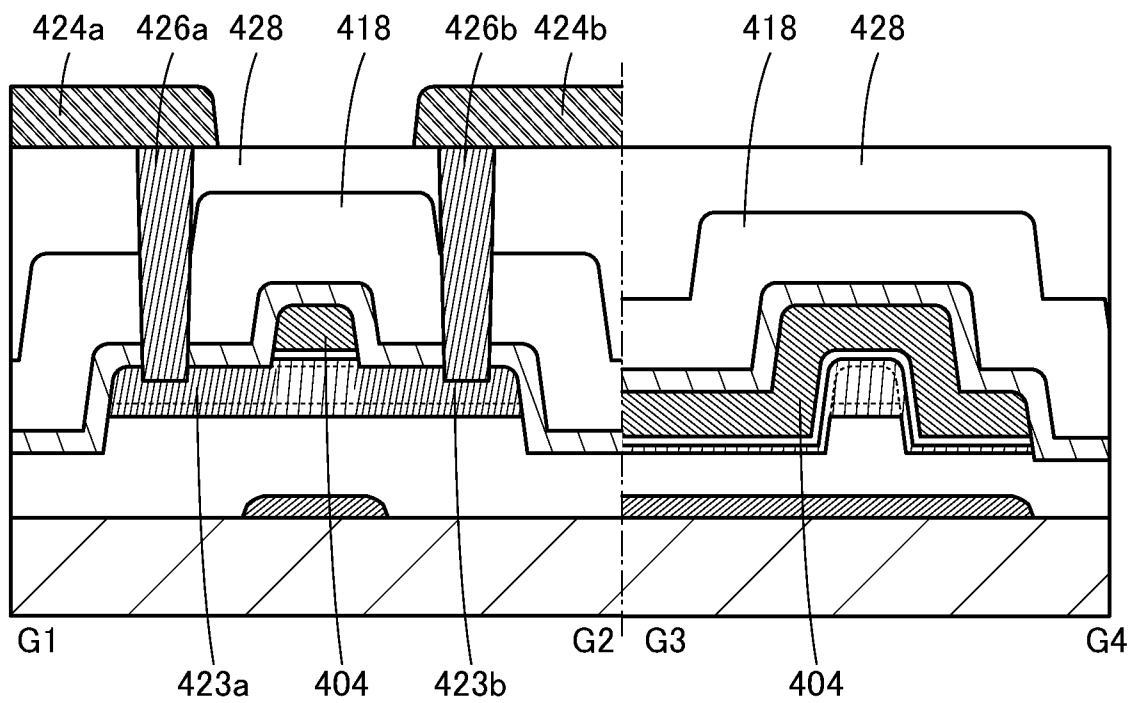


[図06]

(A)

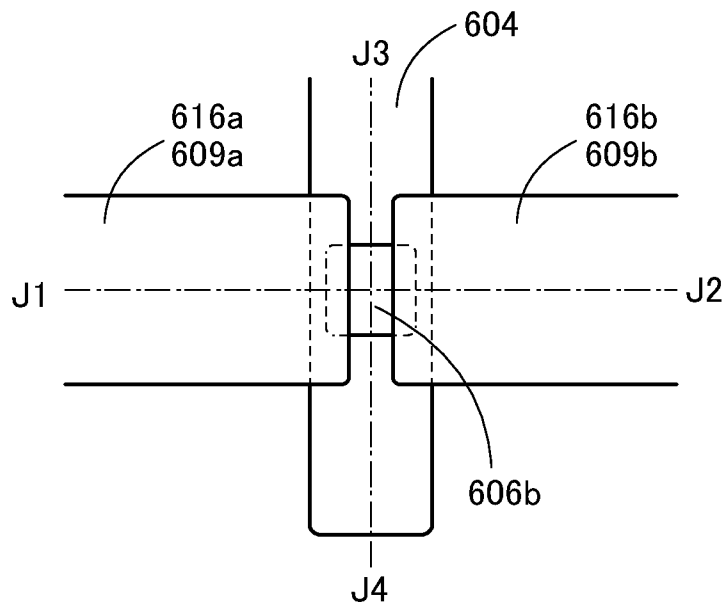


(B)

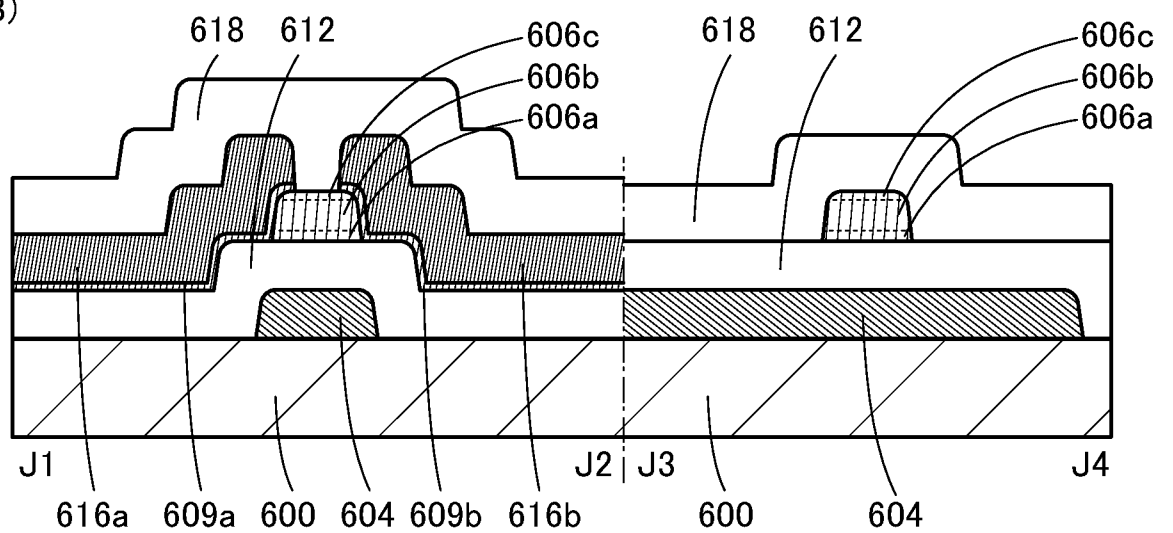


[図07]

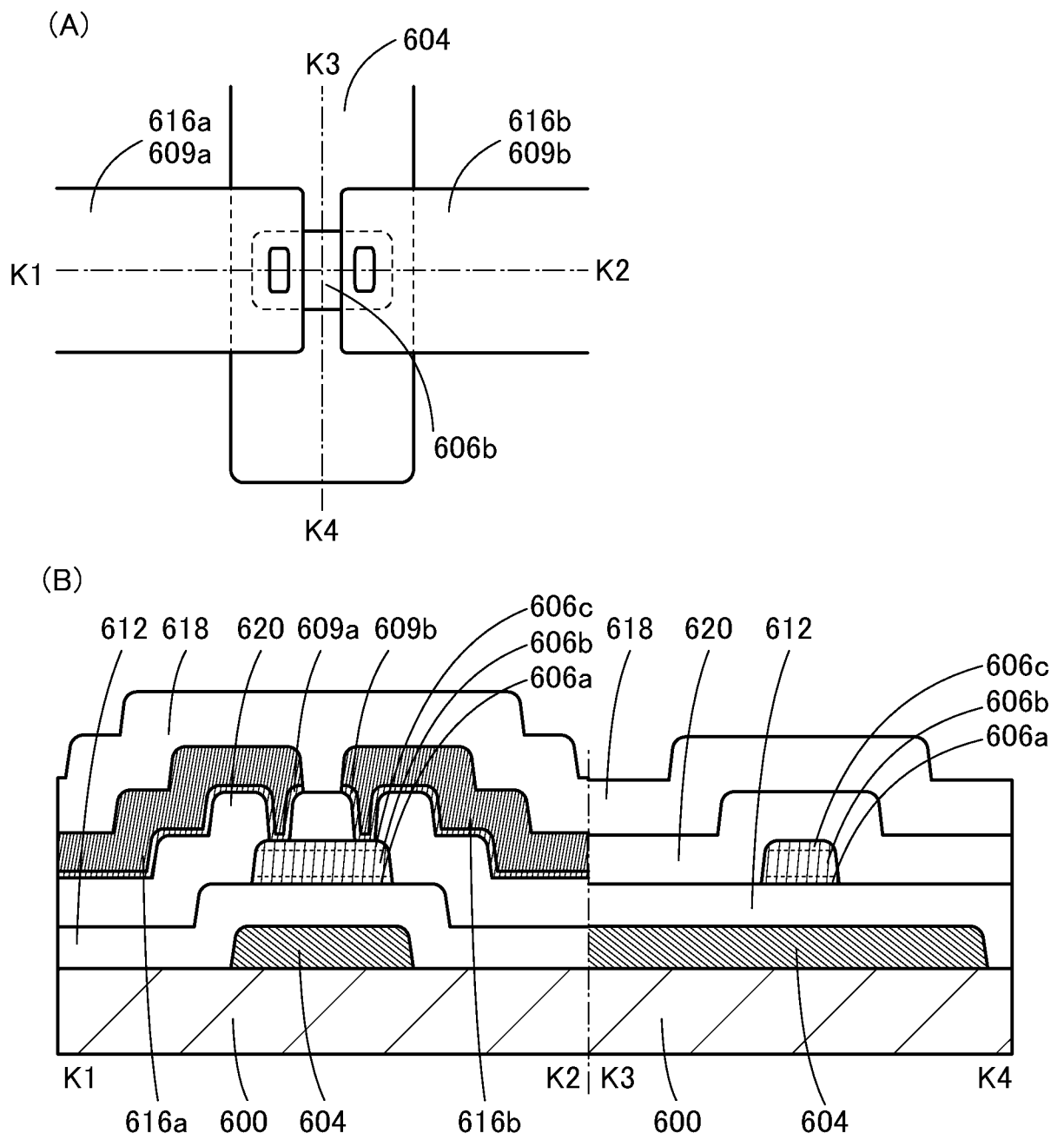
(A)



(B)

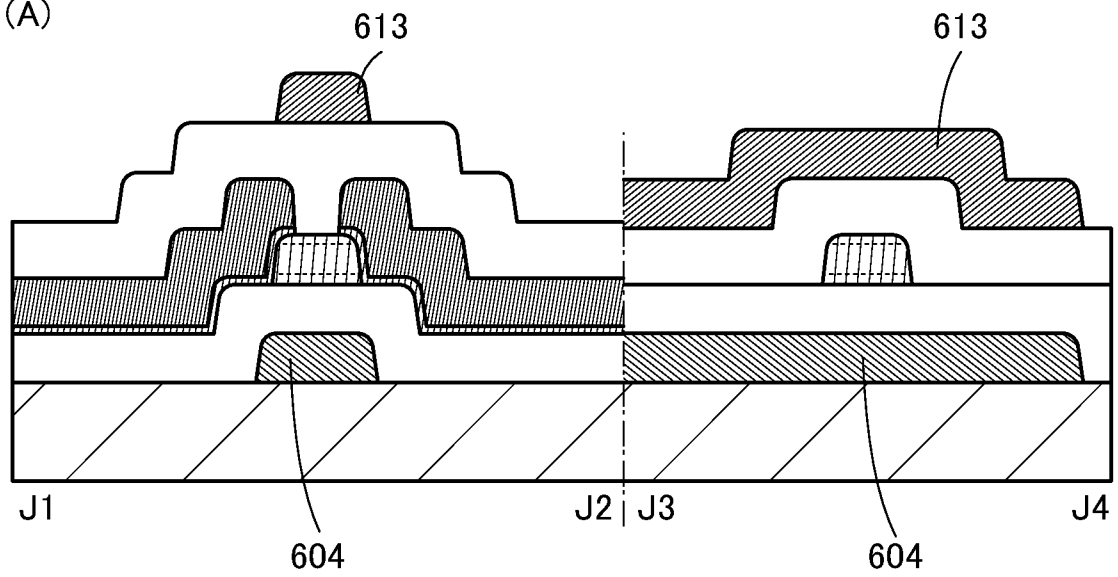


[図08]

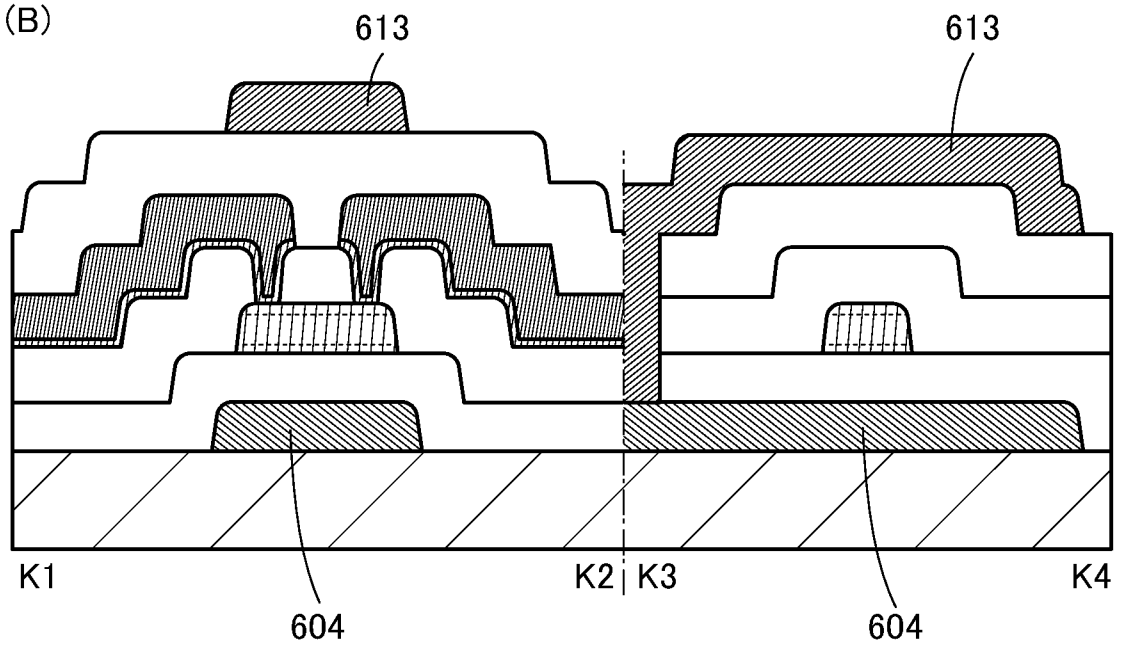


[図09]

(A)

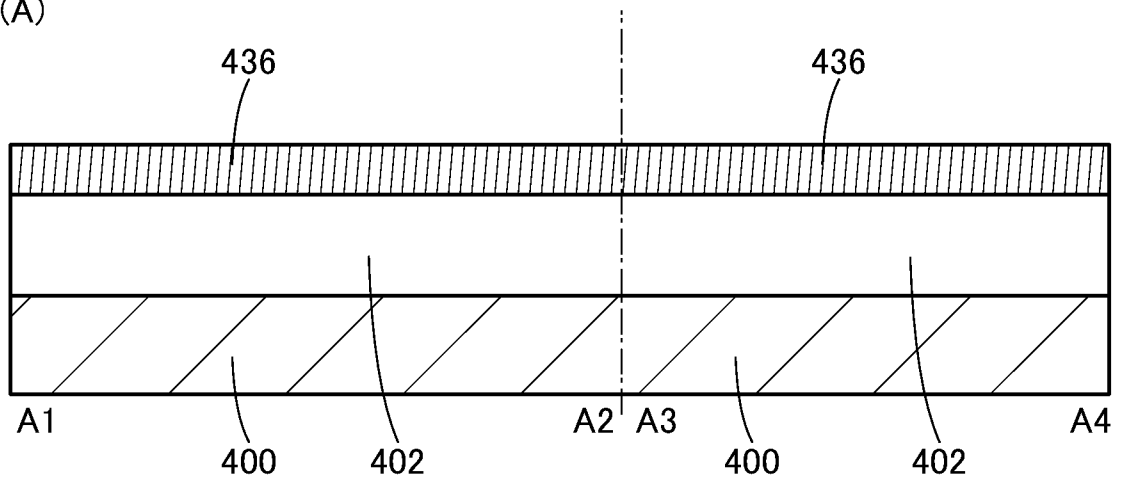


(B)

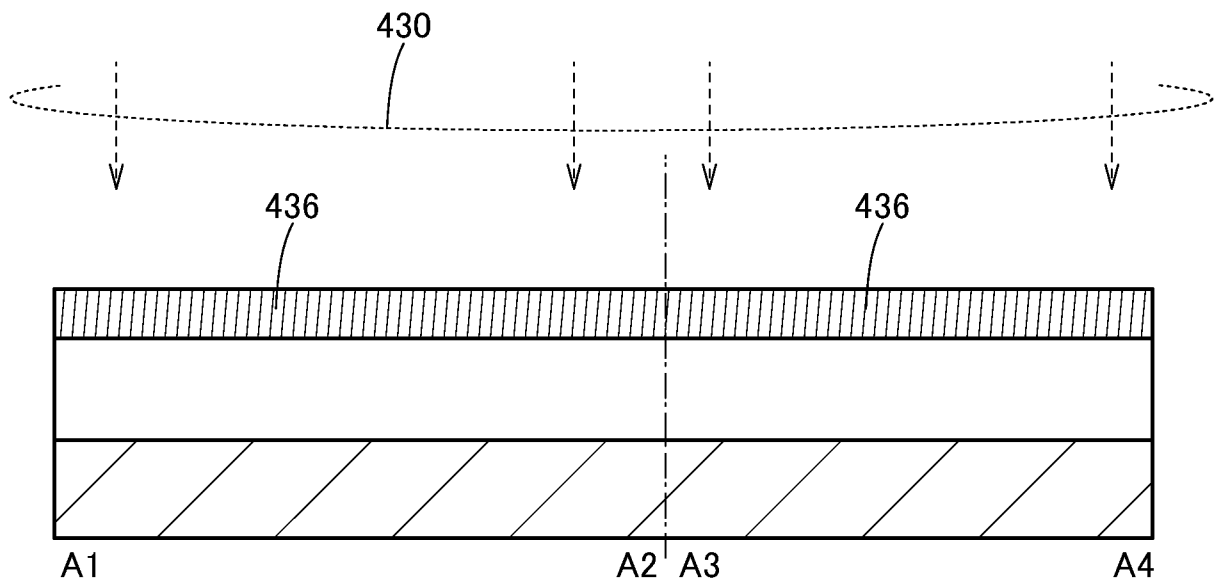


[図10]

(A)

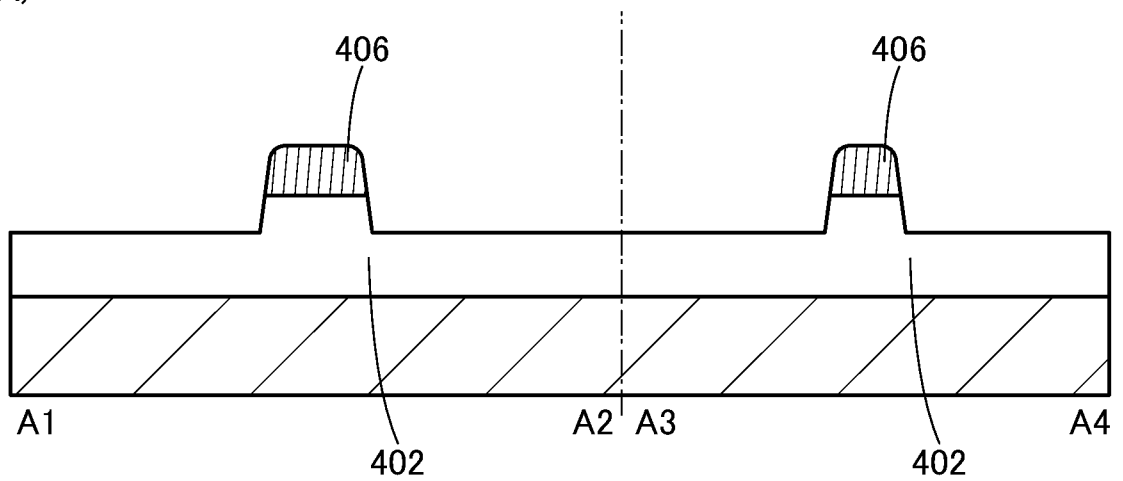


(B)

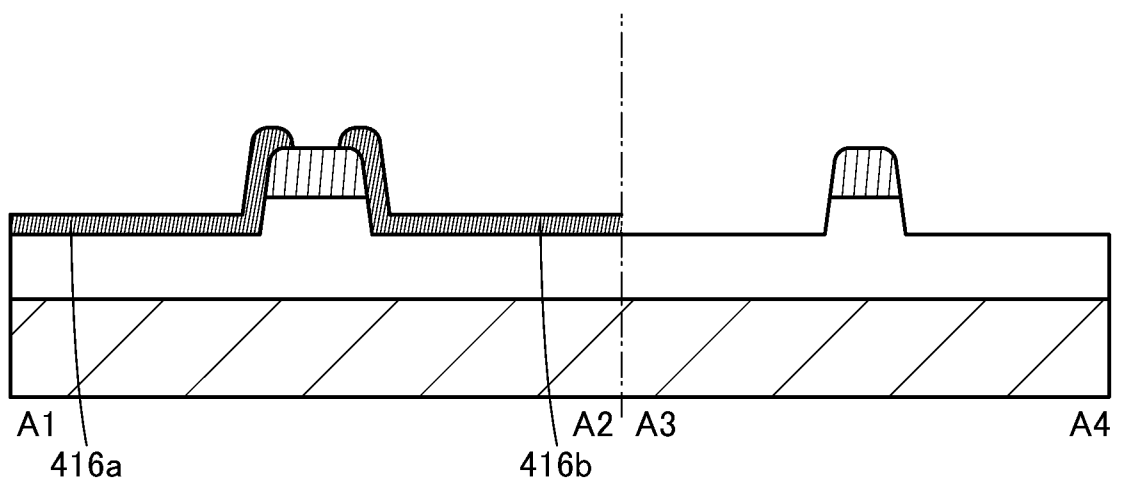


[図 11]

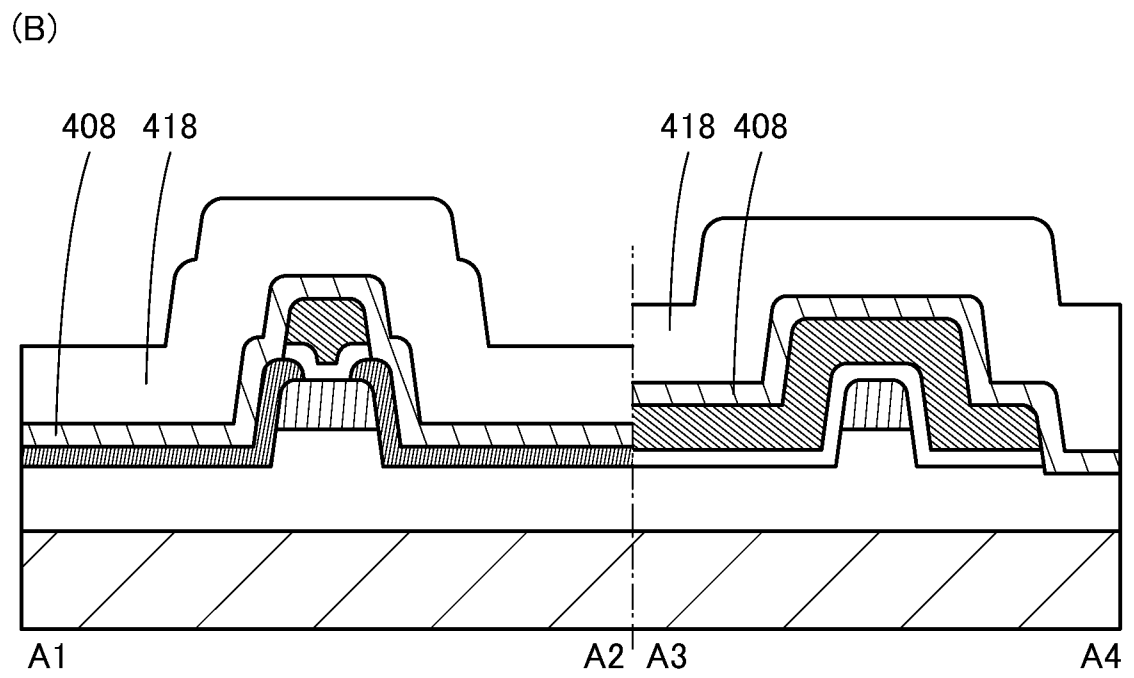
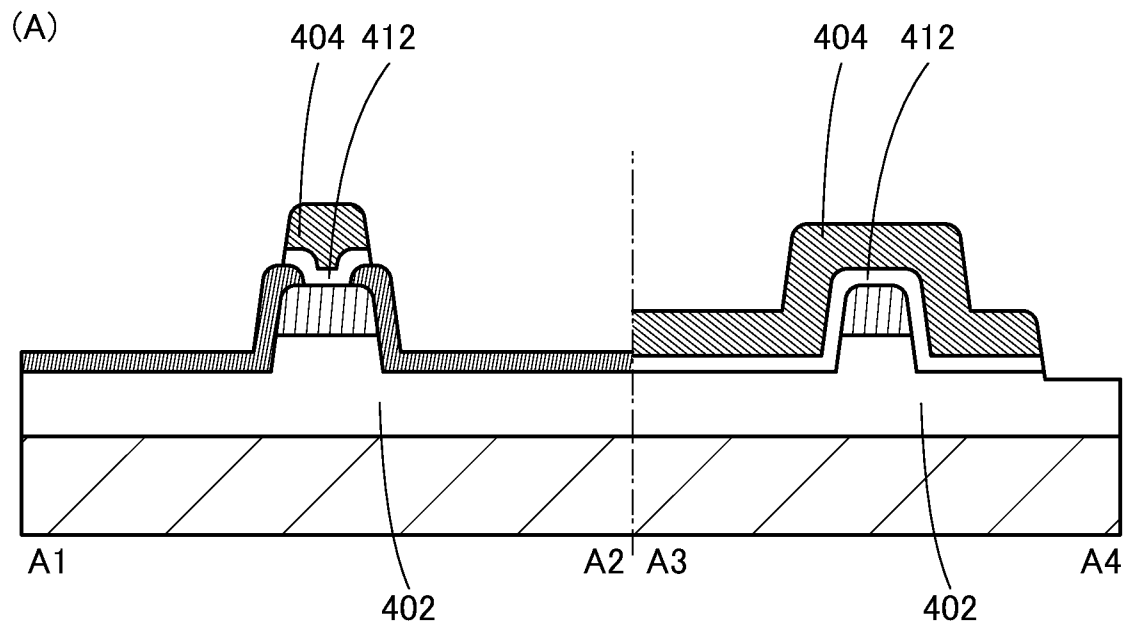
(A)



(B)

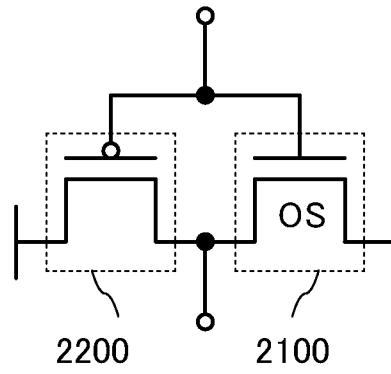


[図12]

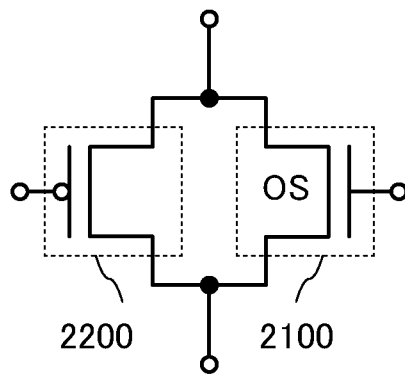


[図13]

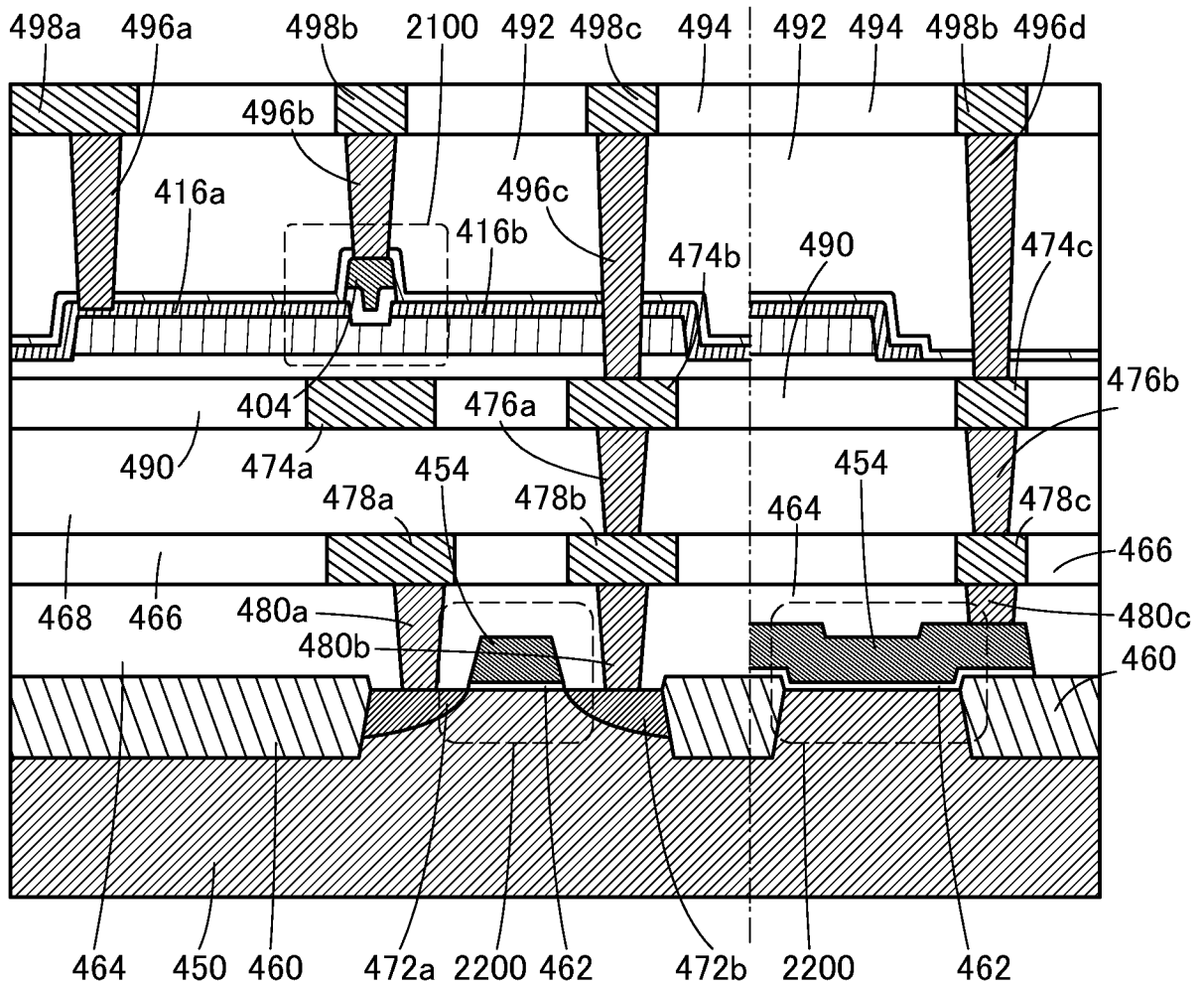
(A)



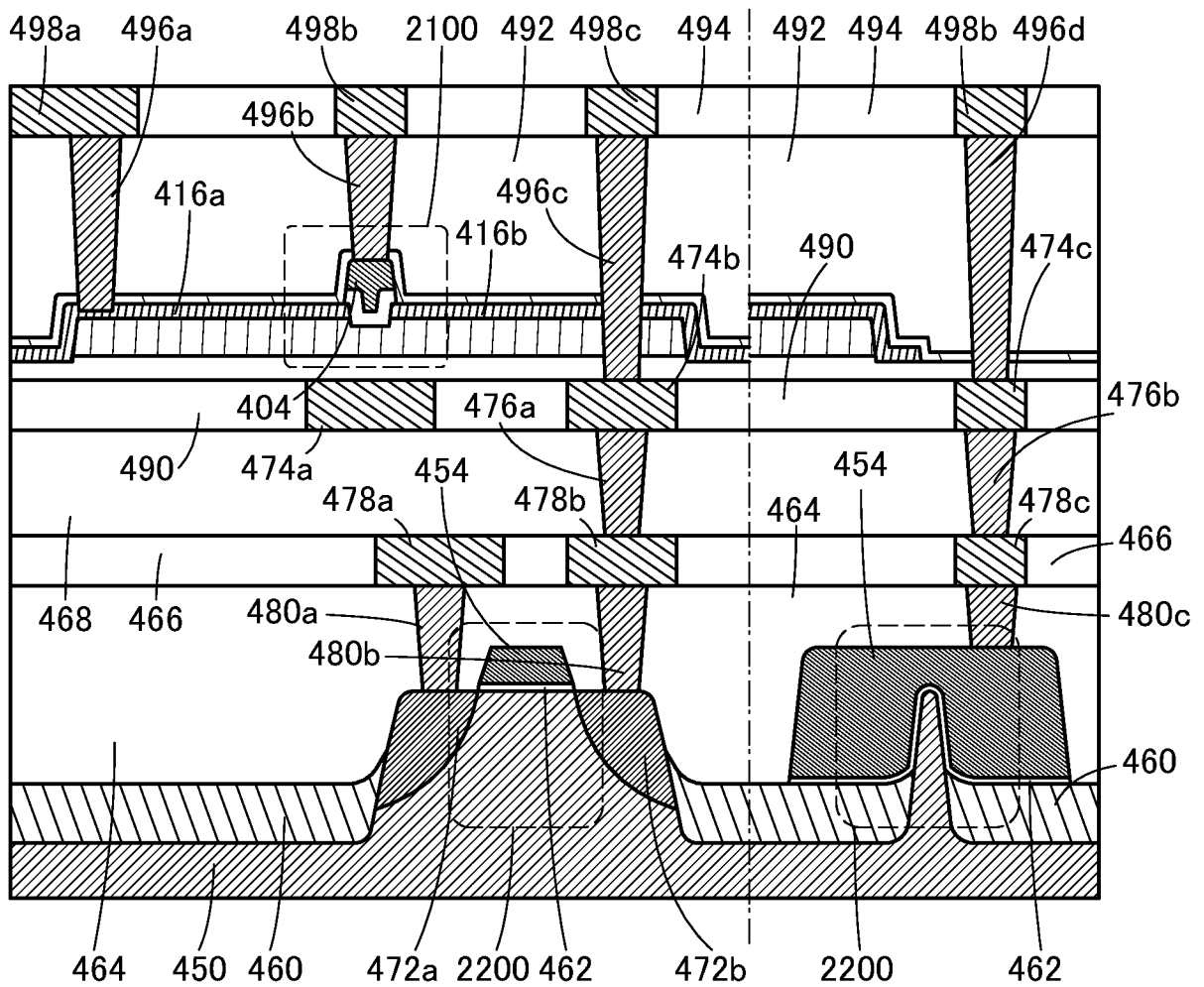
(B)



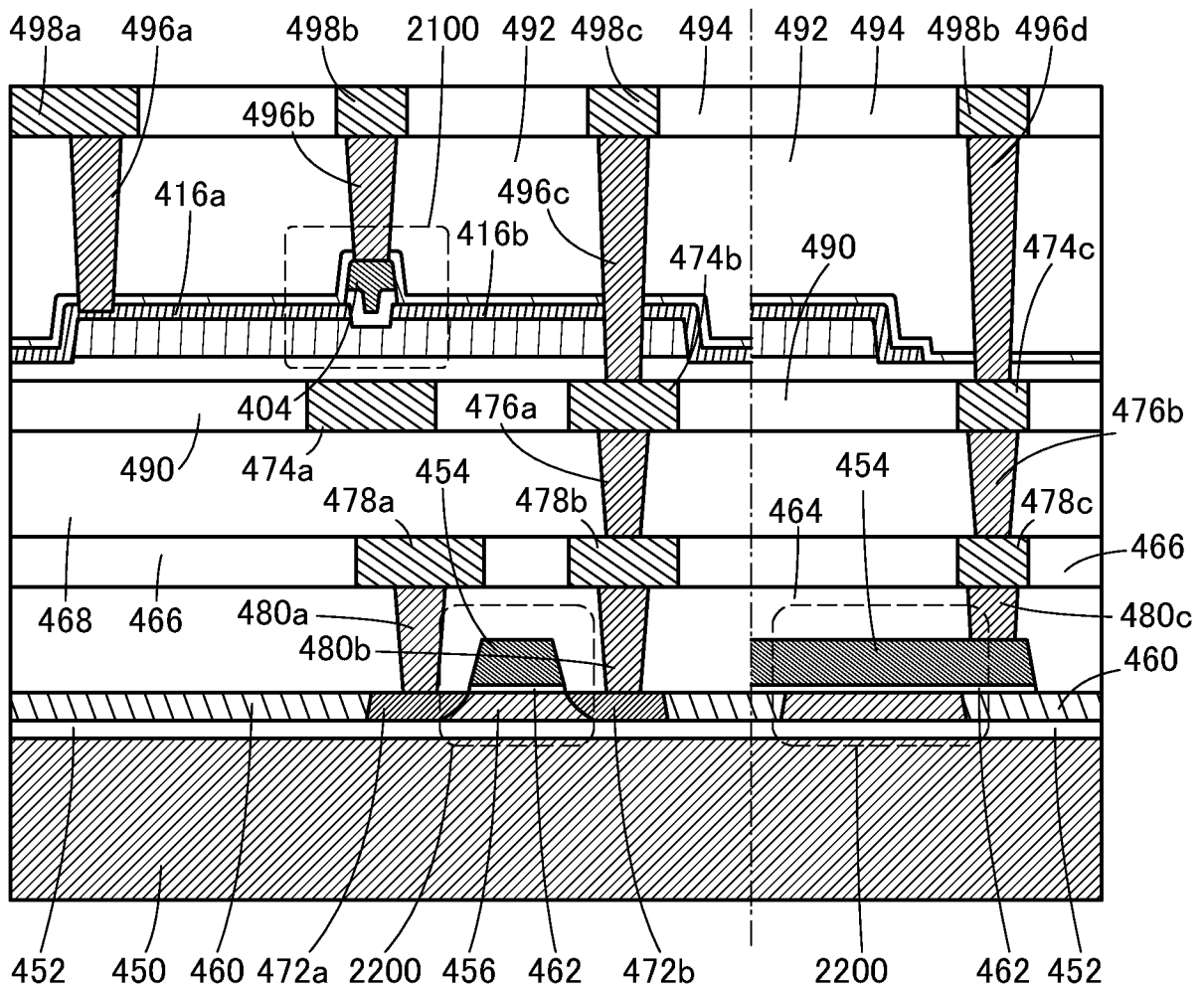
[図14]



[図15]

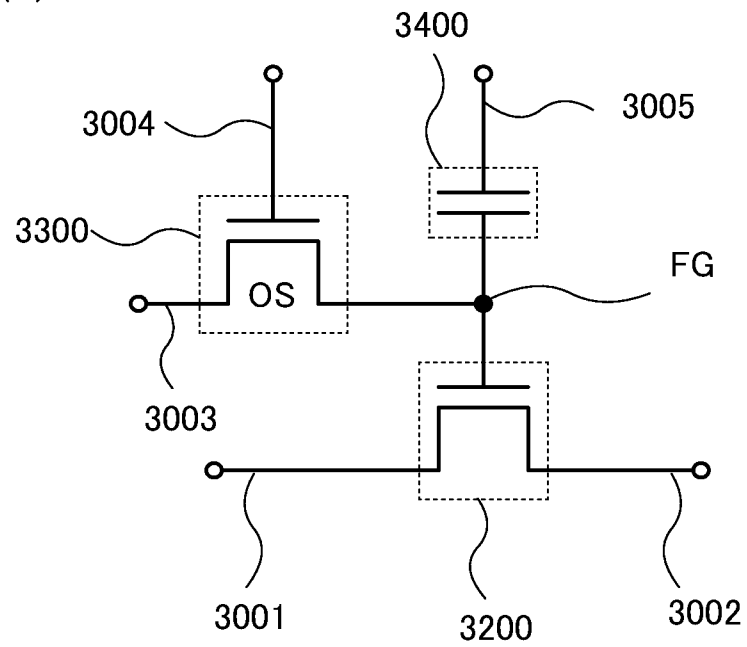


[図16]

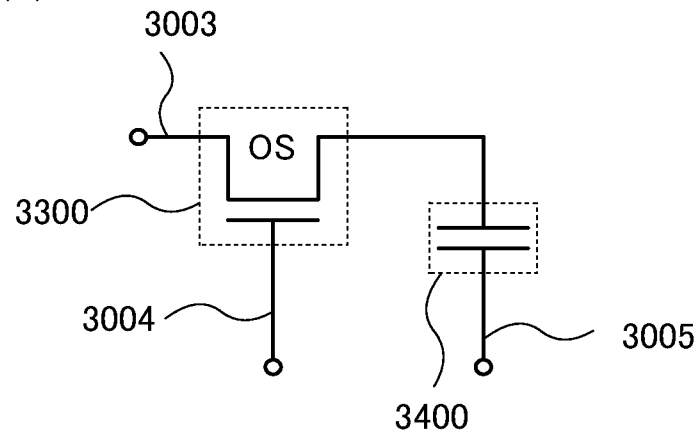


[図 17]

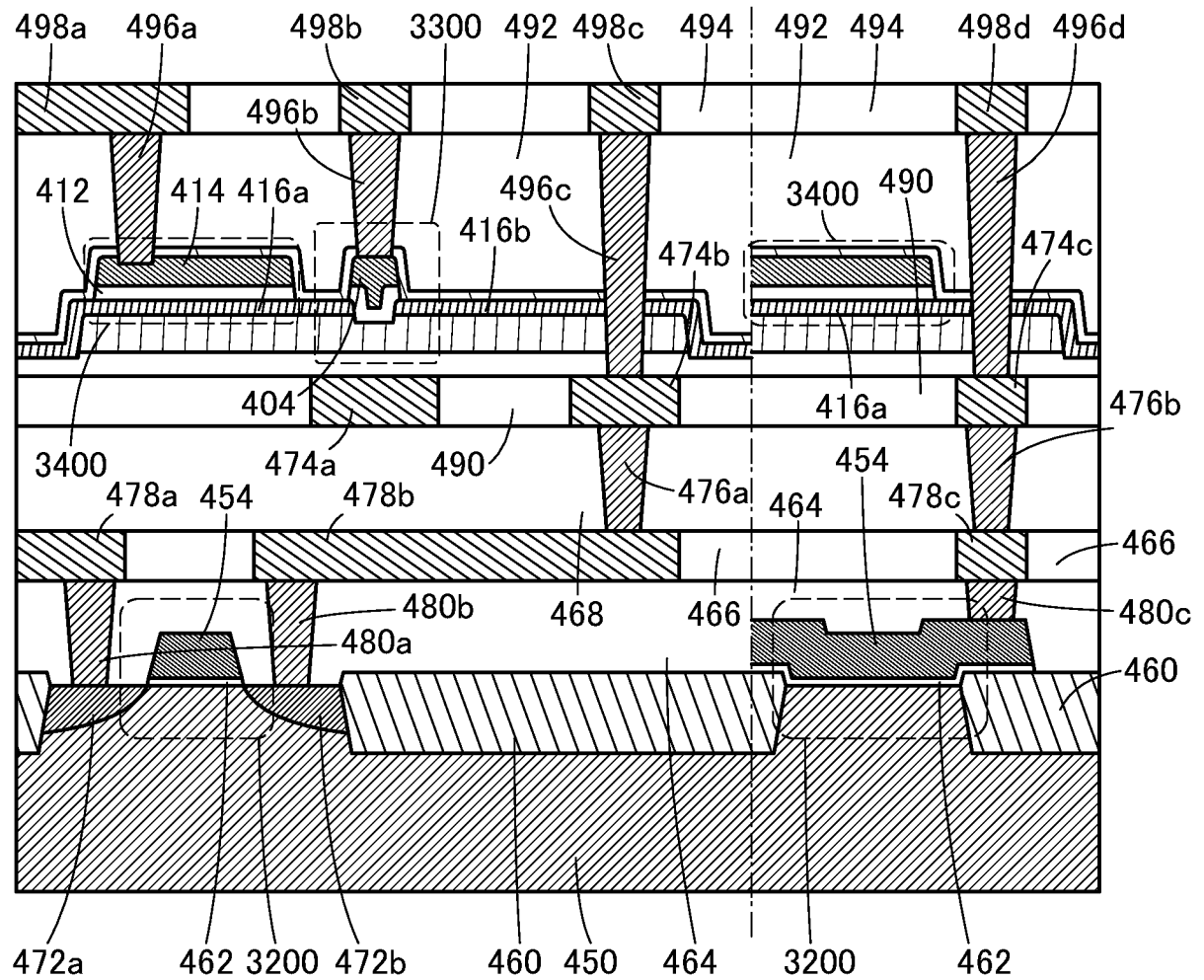
(A)



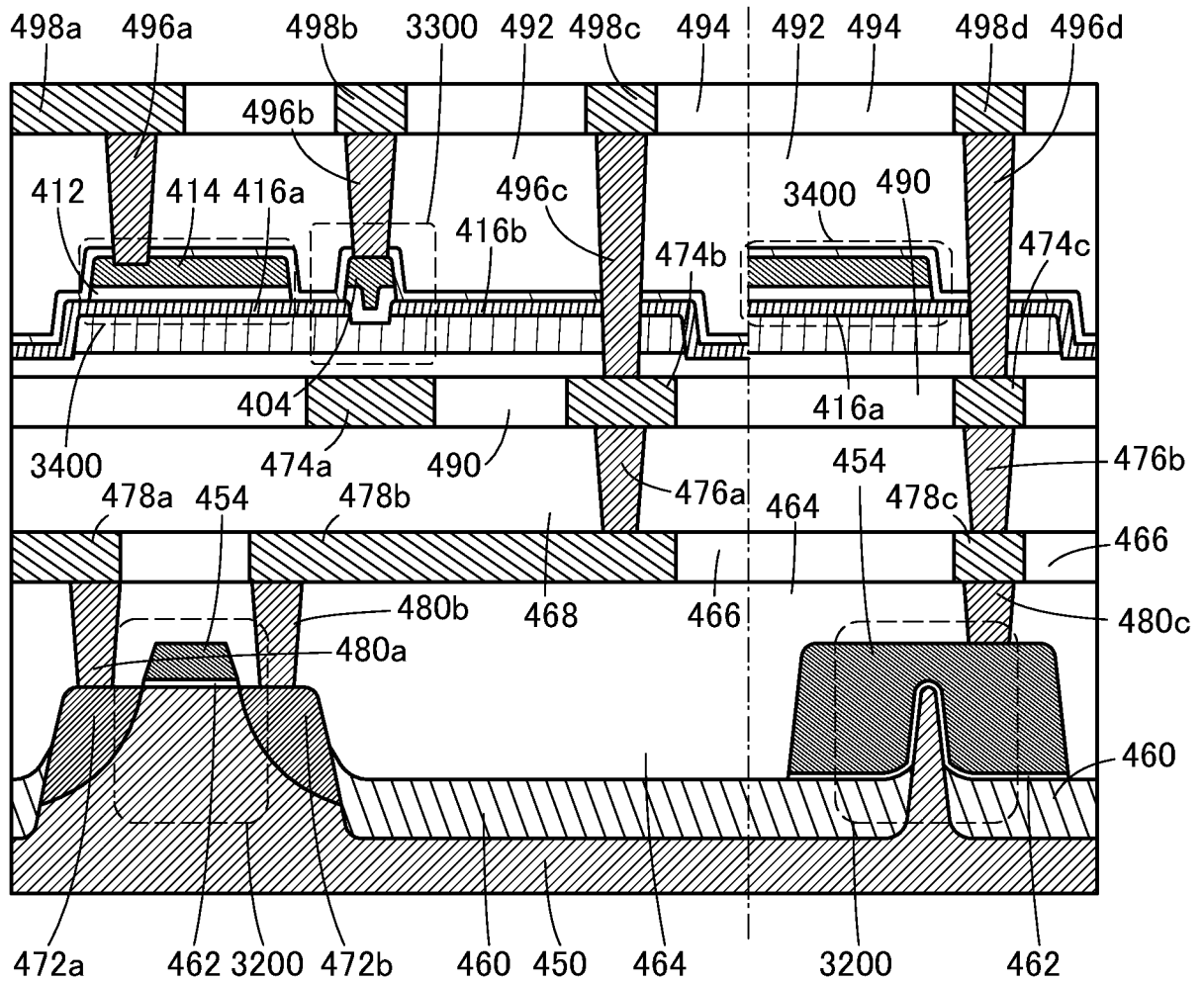
(B)



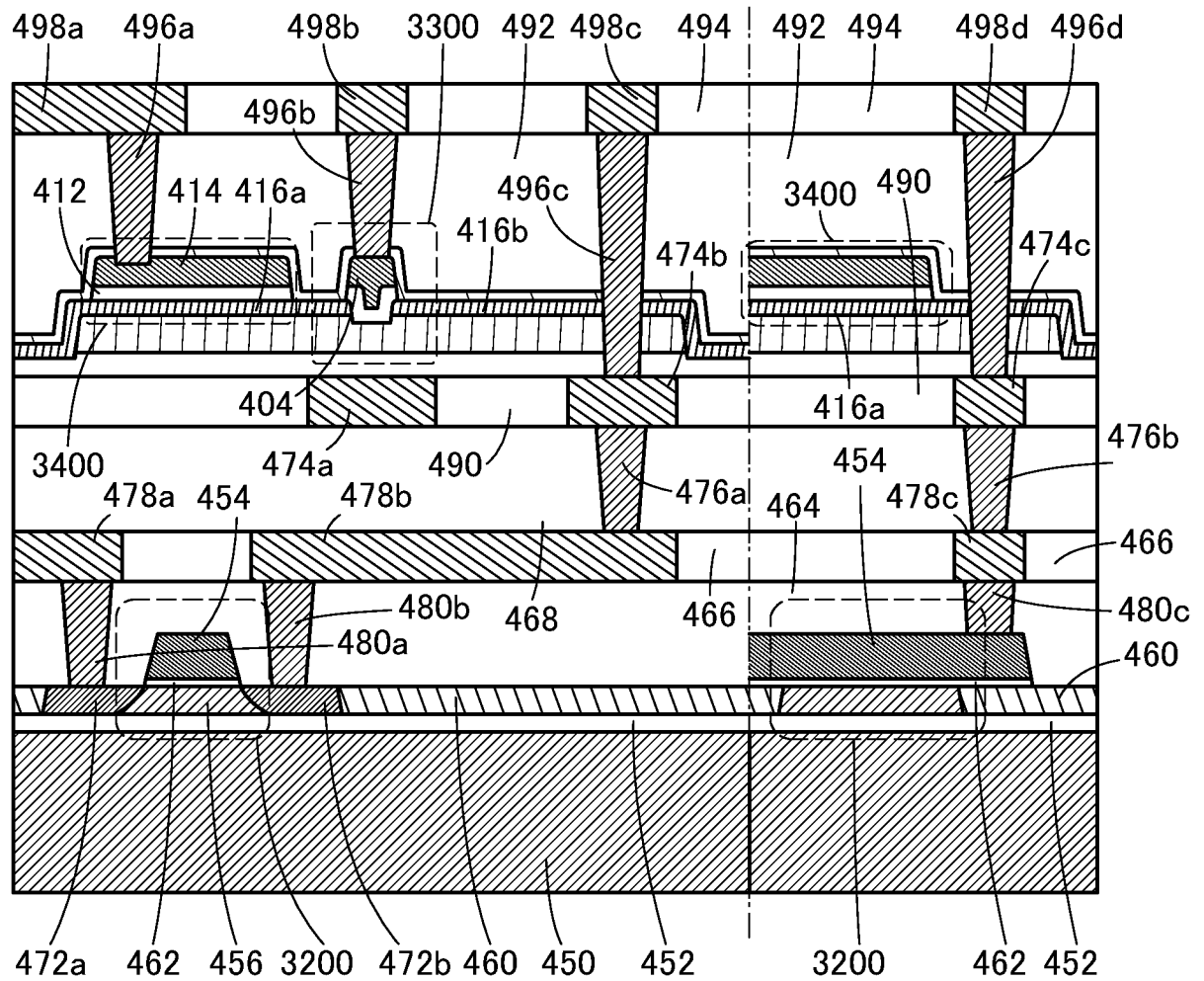
[図18]



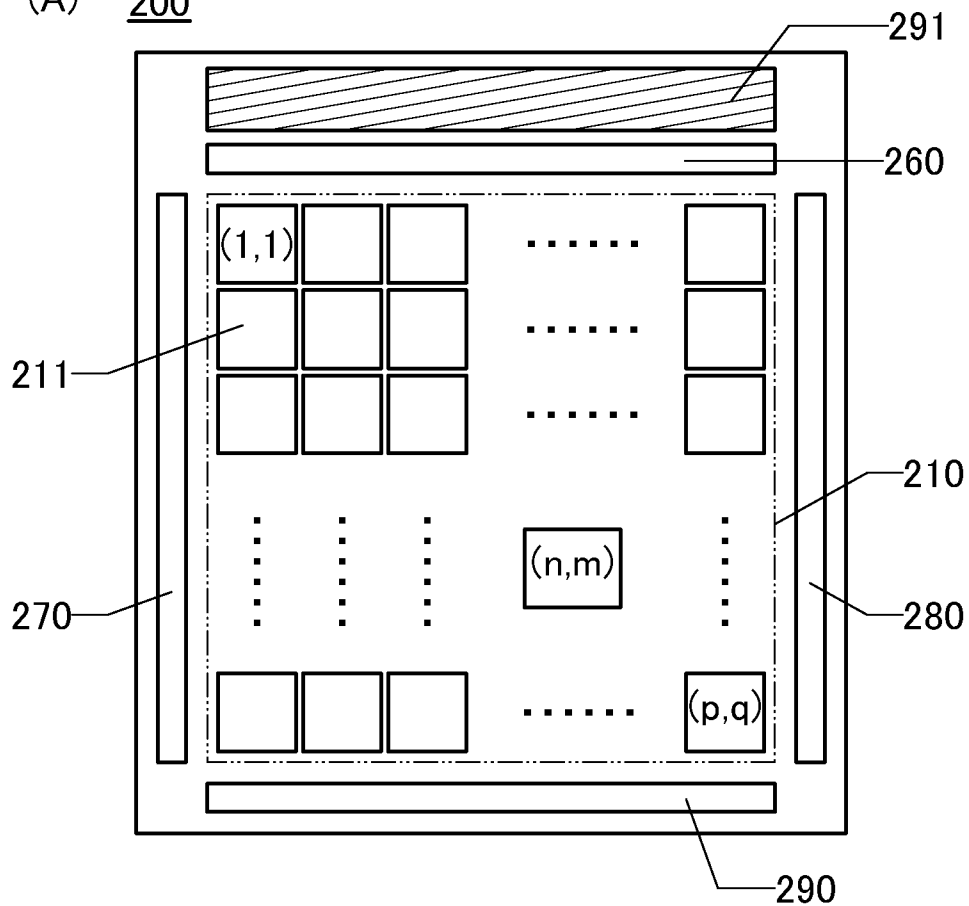
[図19]



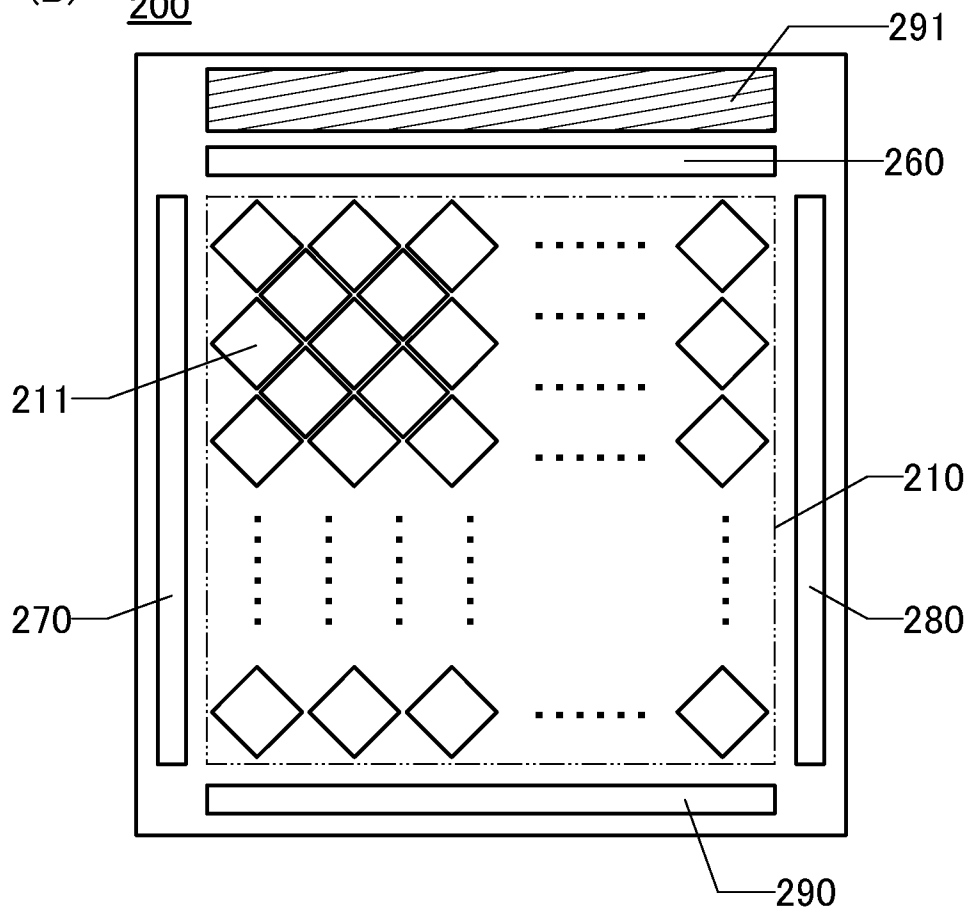
[図20]



[図21] (A) 200

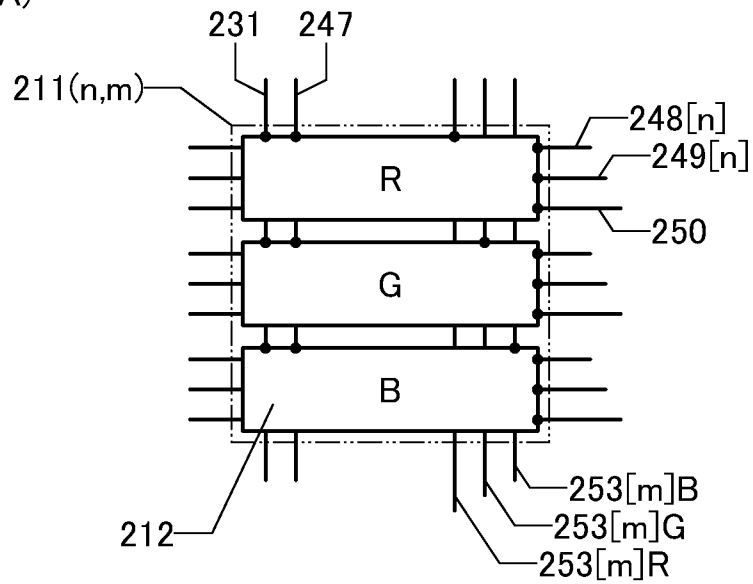


(B) 200

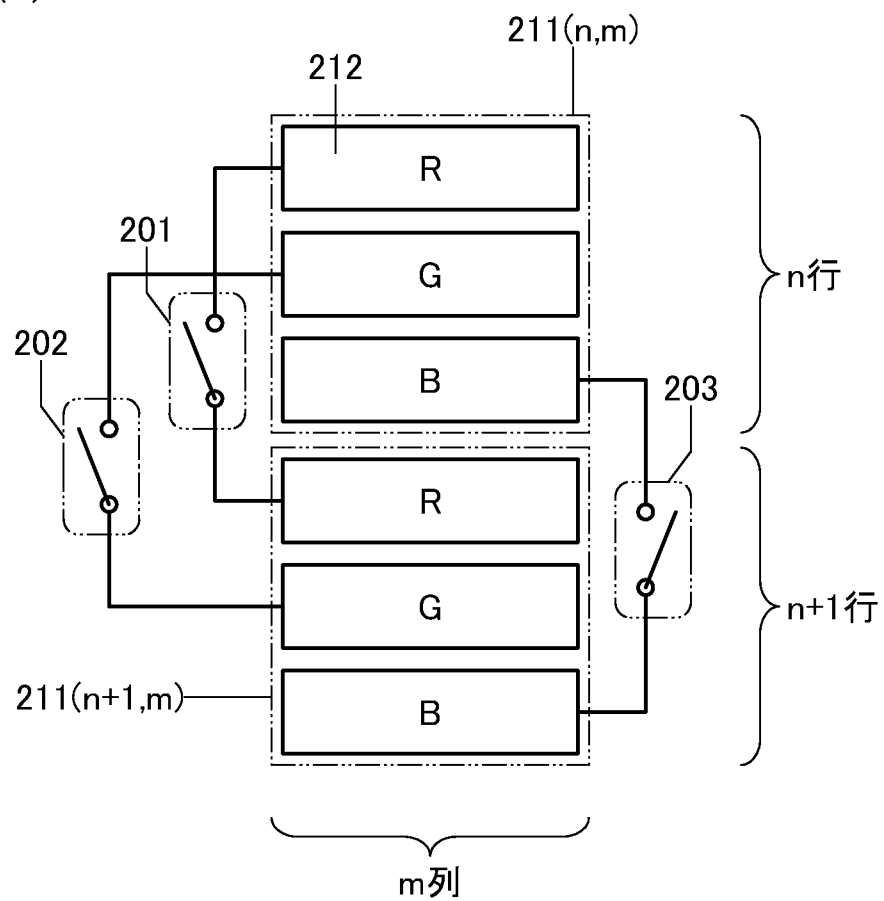


[図22]

(A)

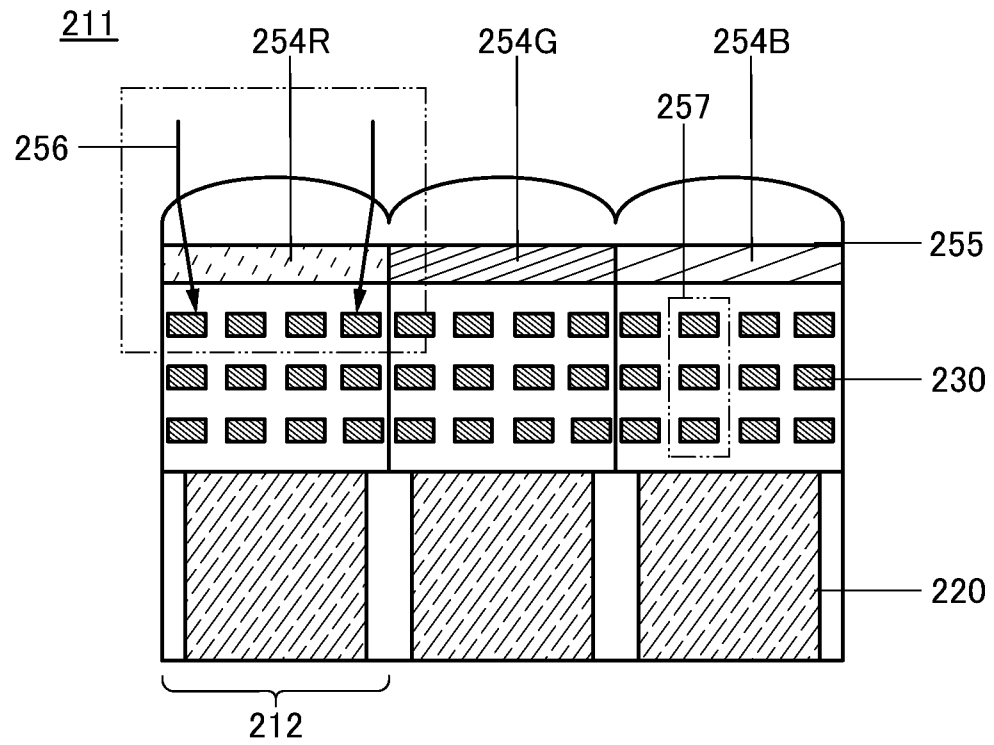


(B)

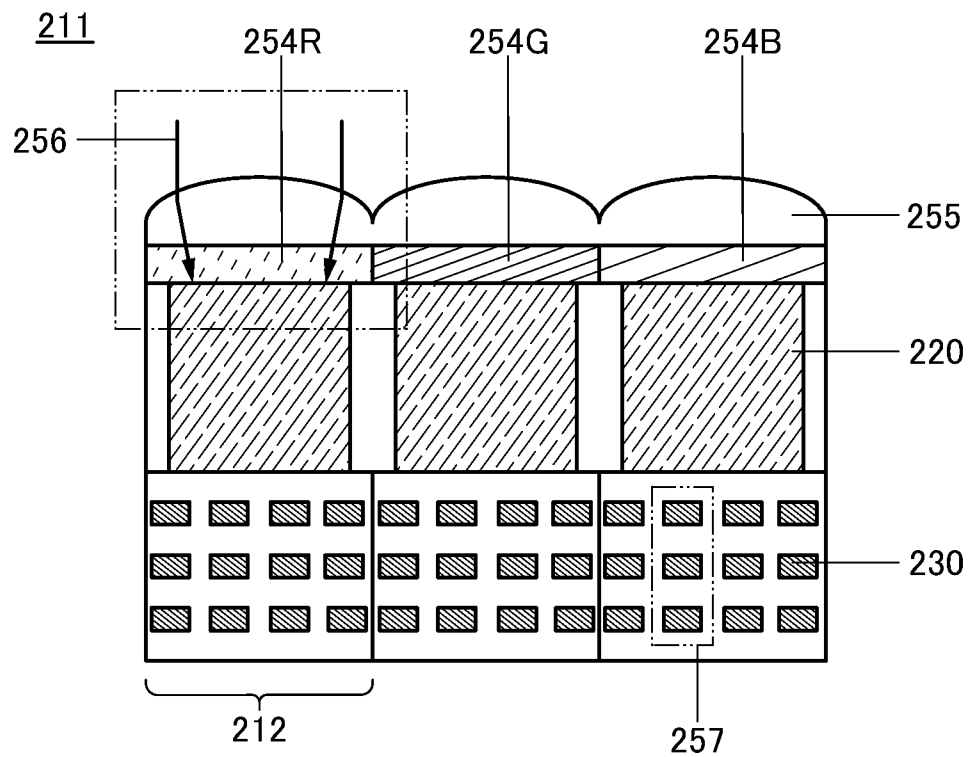


[図23]

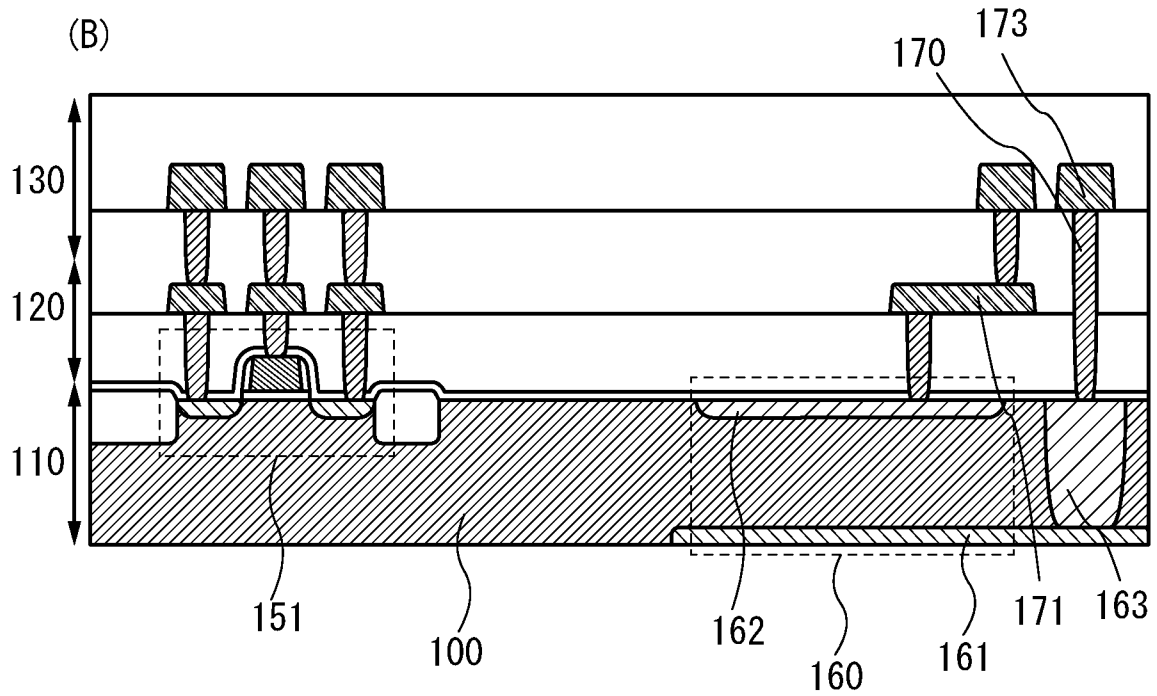
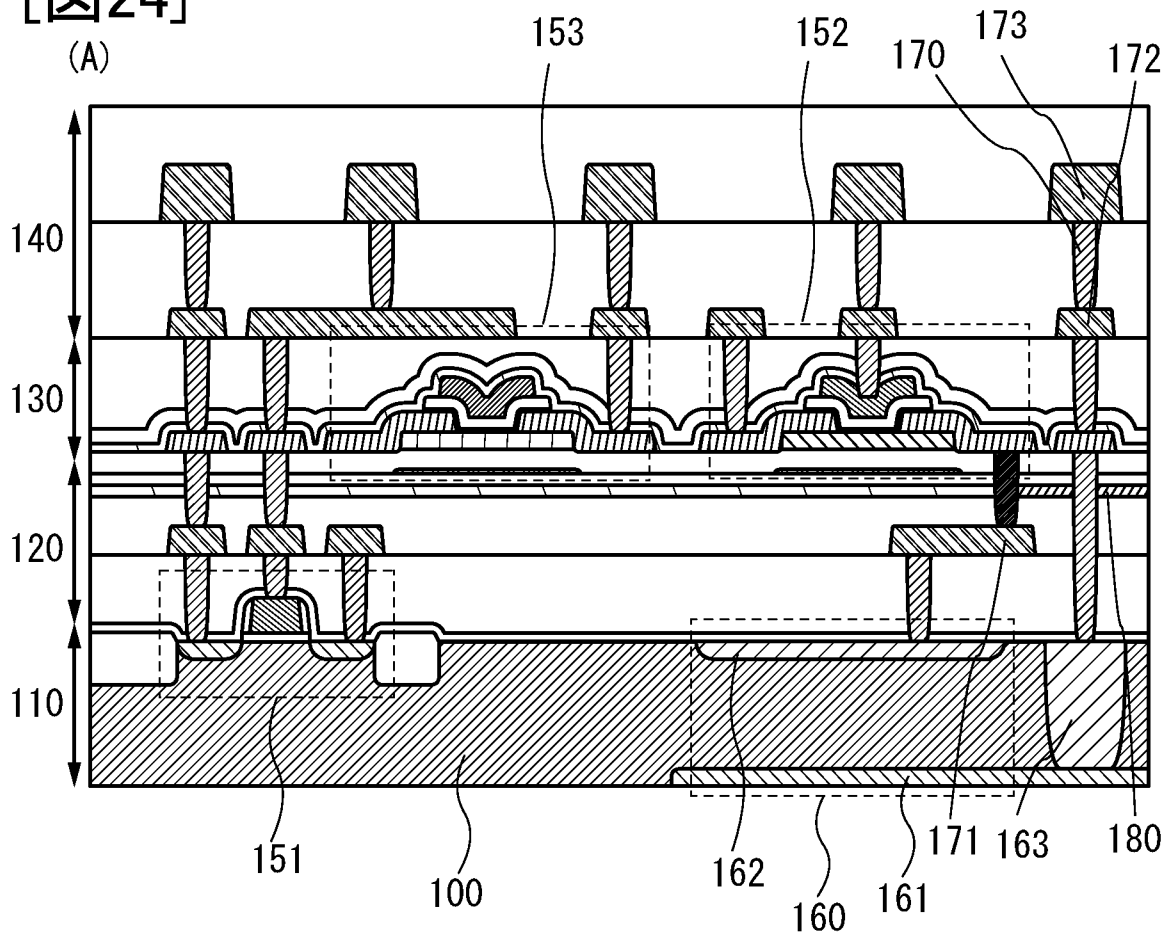
(A)



(B)

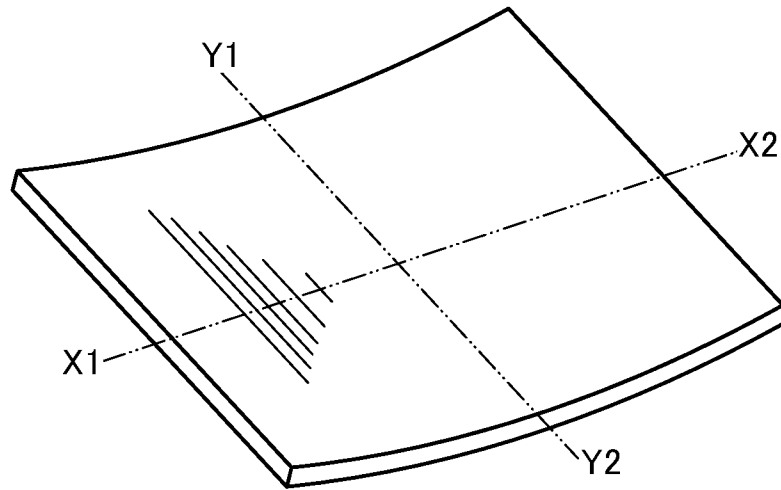


[図24]



[図25]

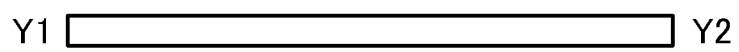
(A1)



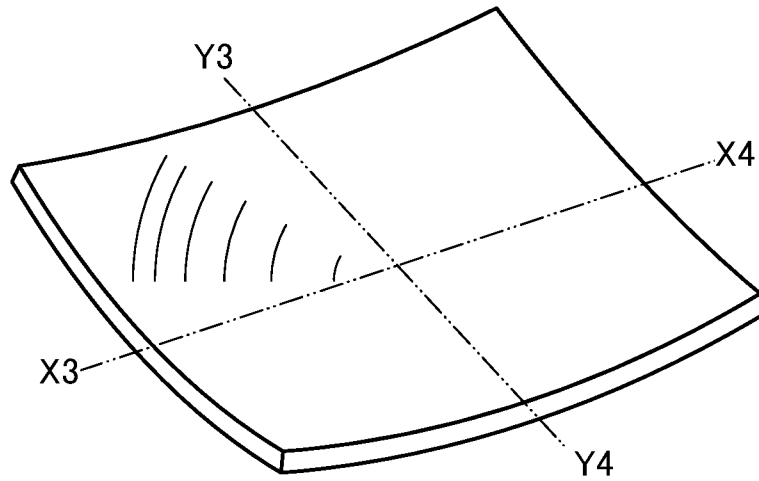
(A2)



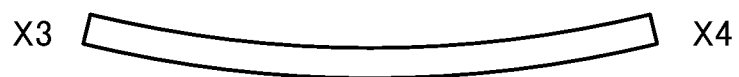
(A3)



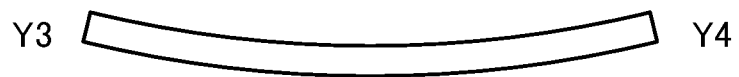
(B1)



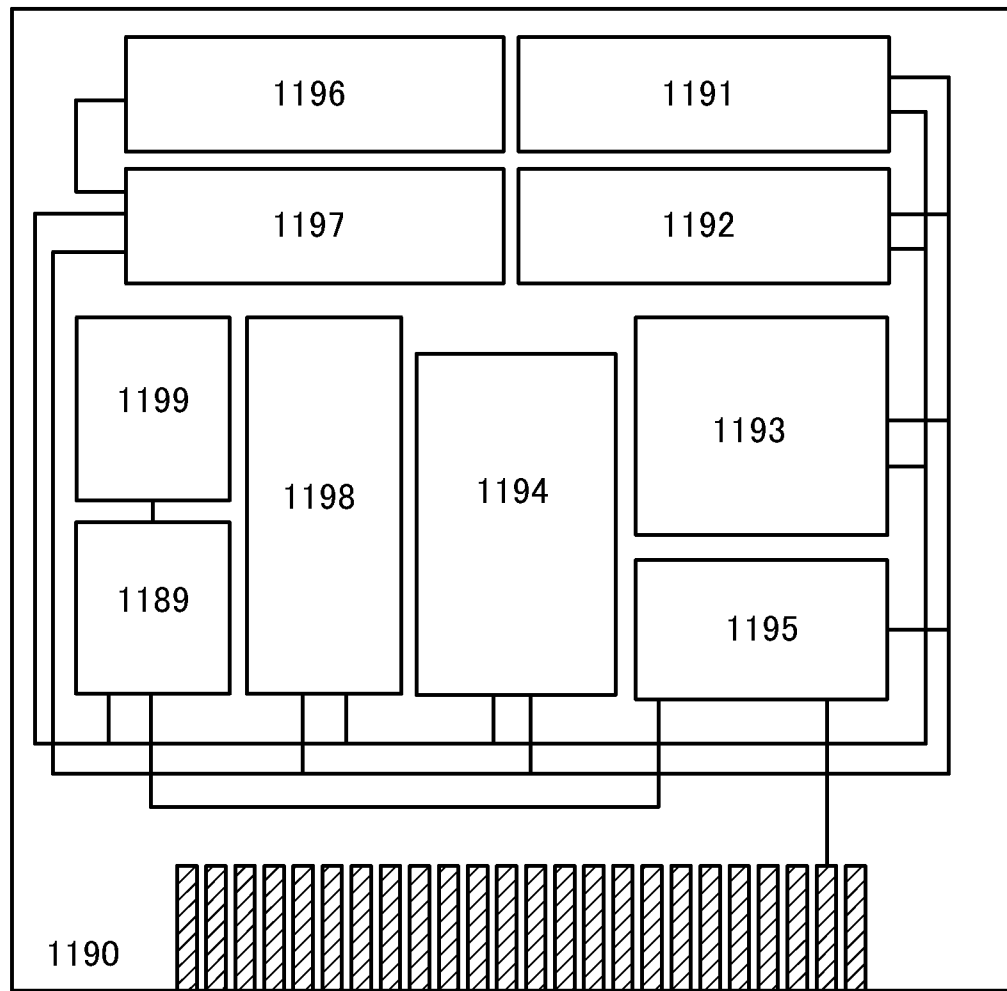
(B2)



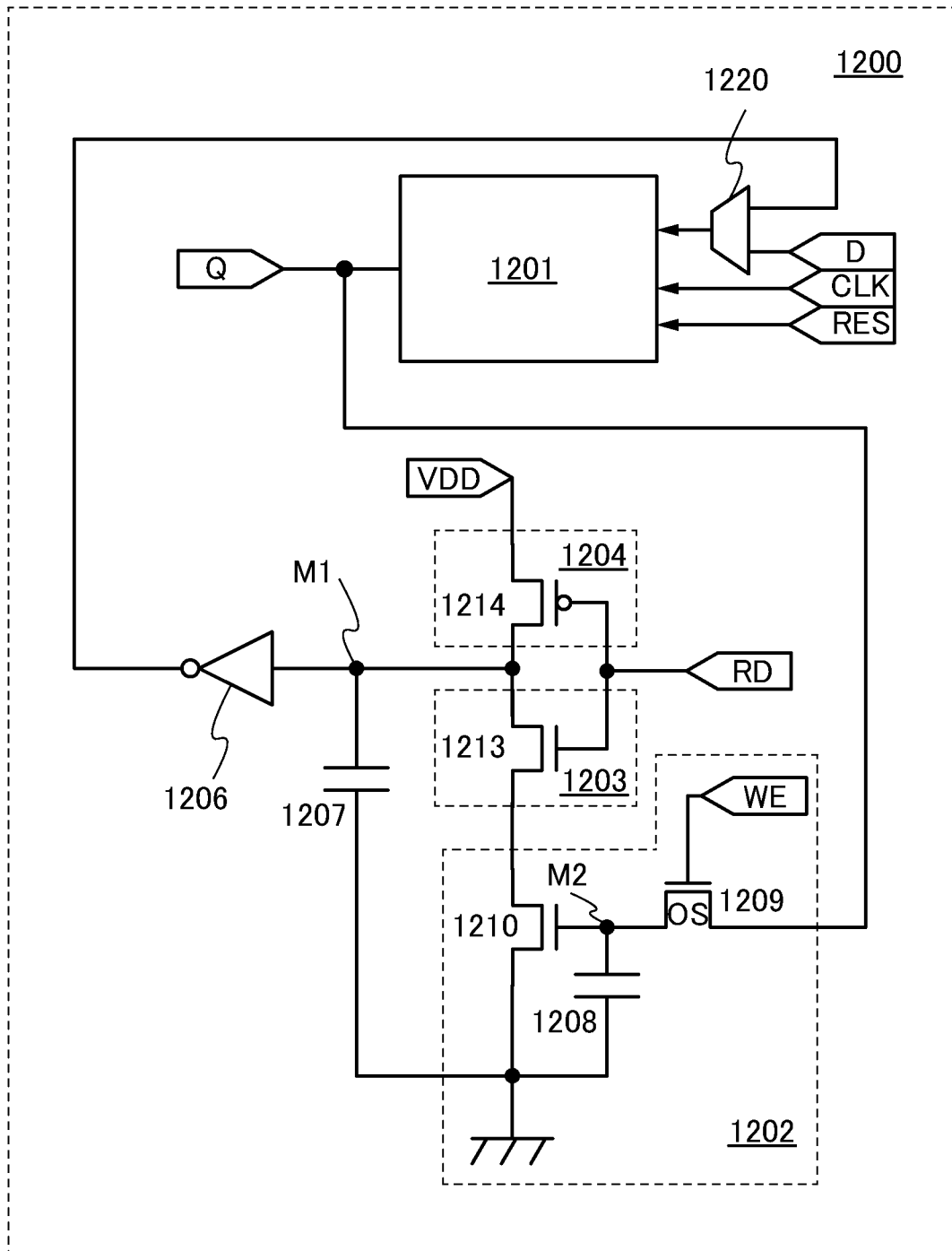
(B3)



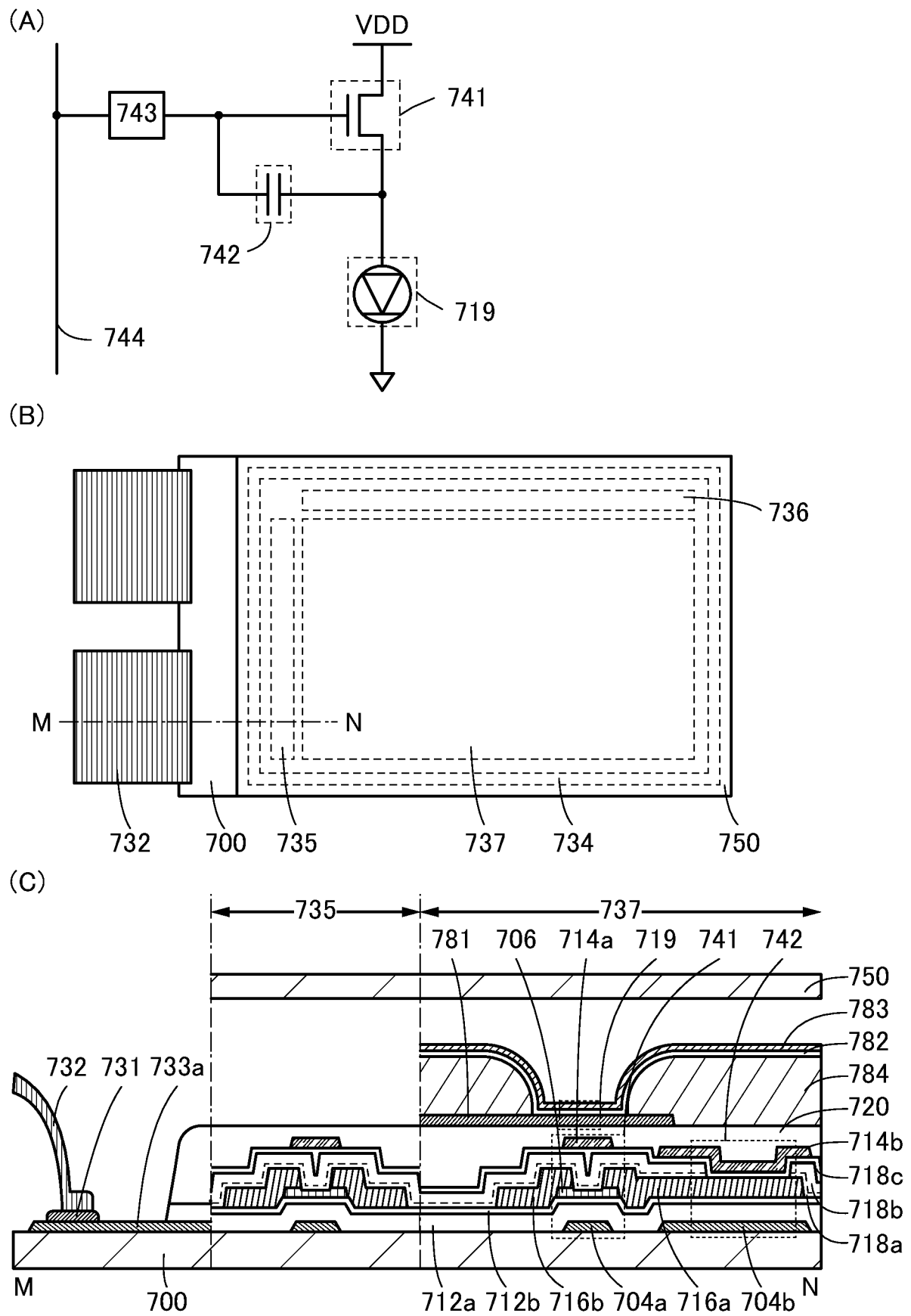
[図26]



[図27]

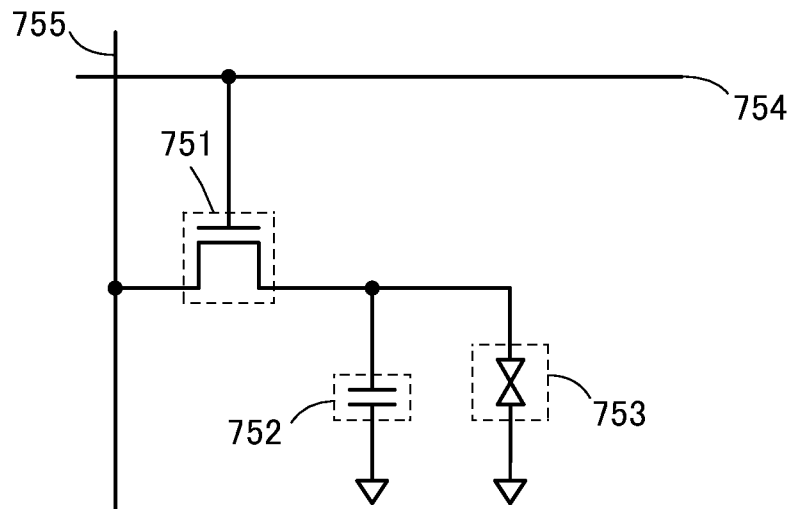


[図28]

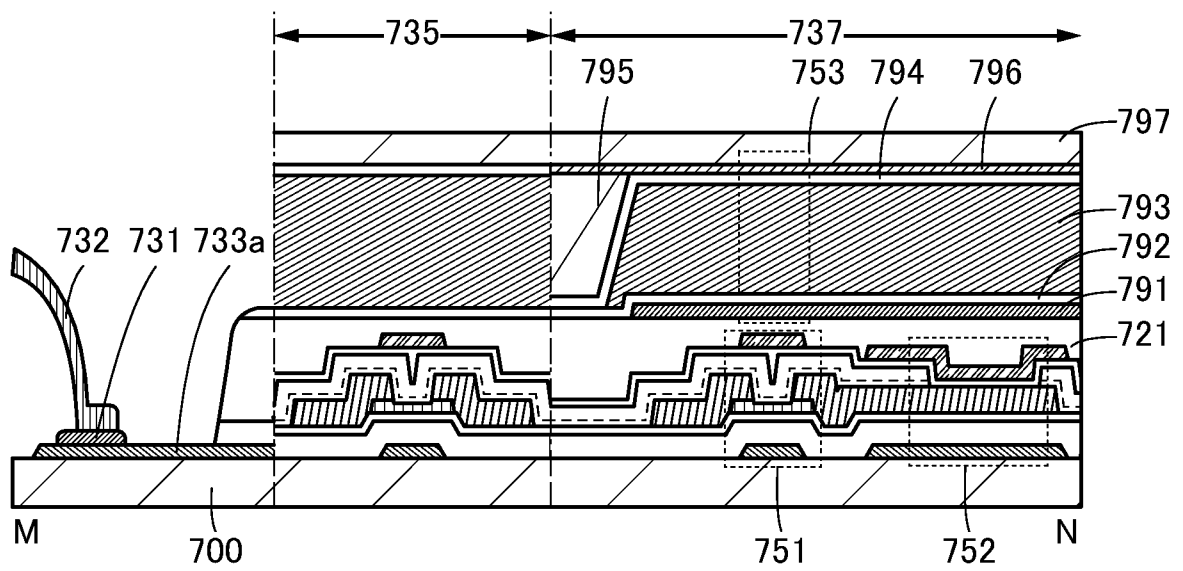


[図29]

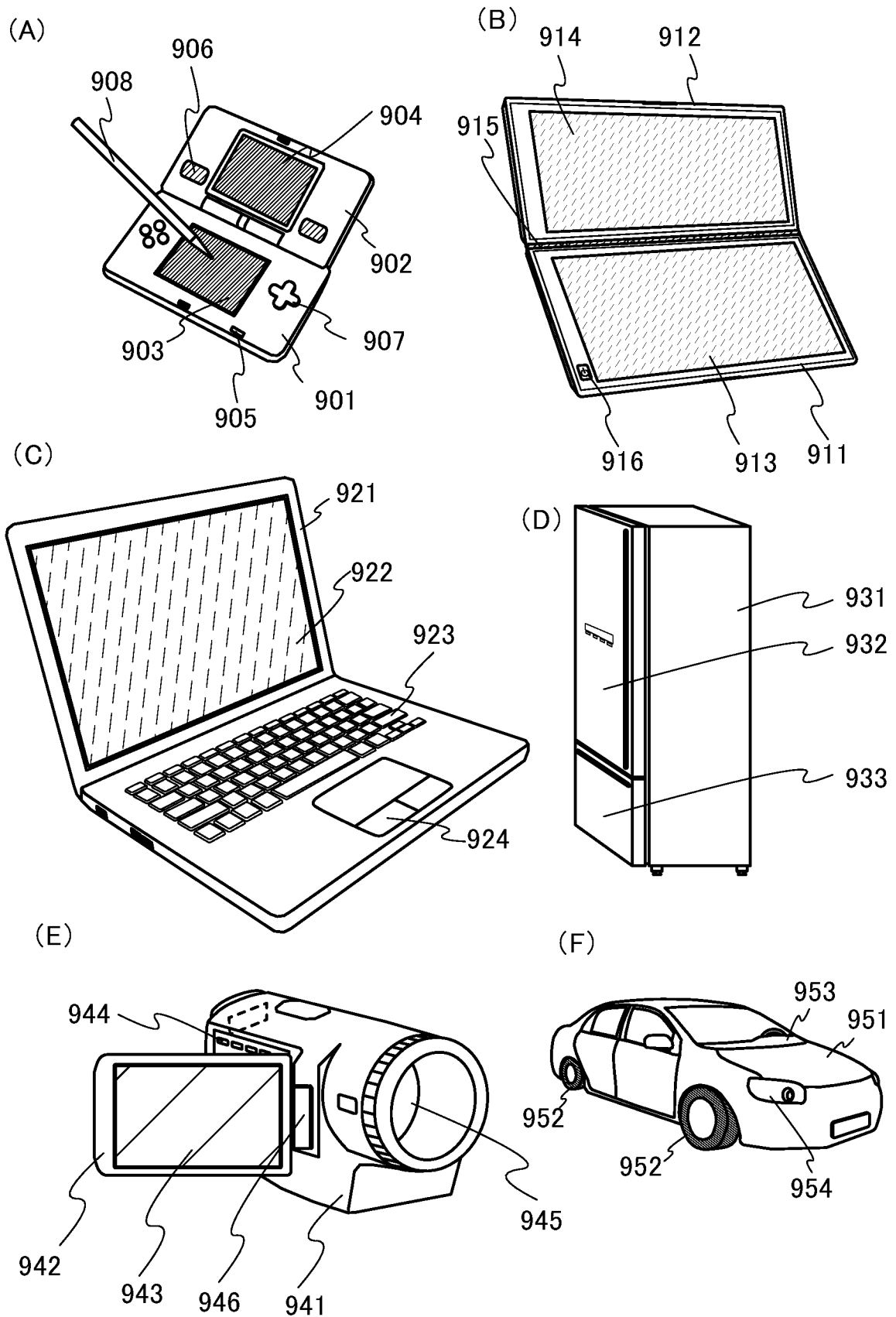
(A)



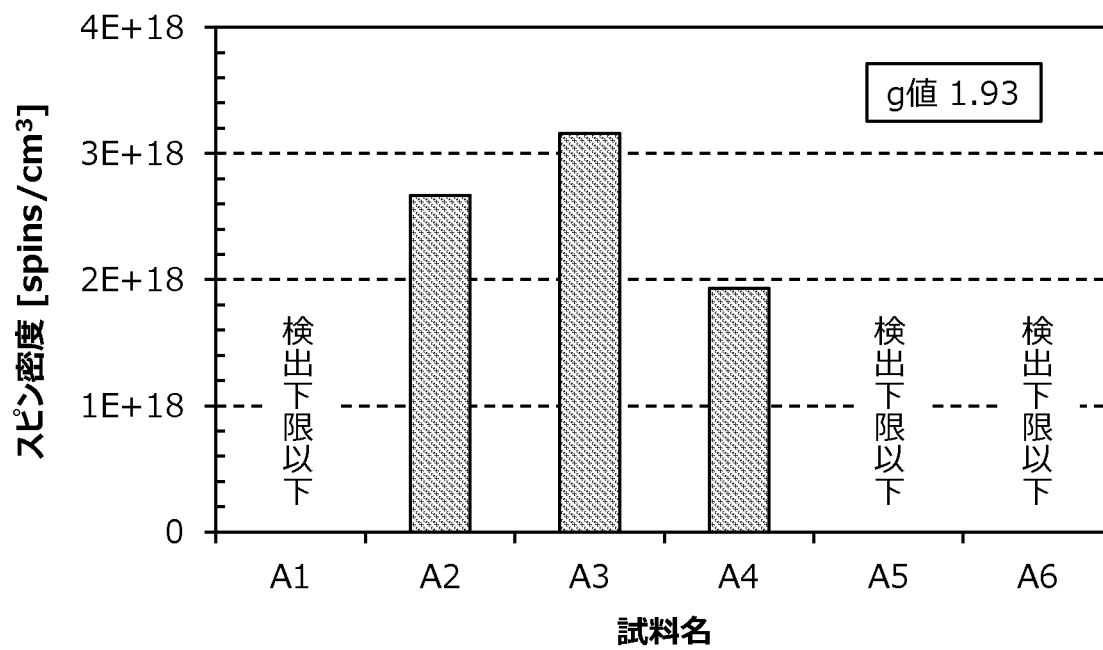
(B)



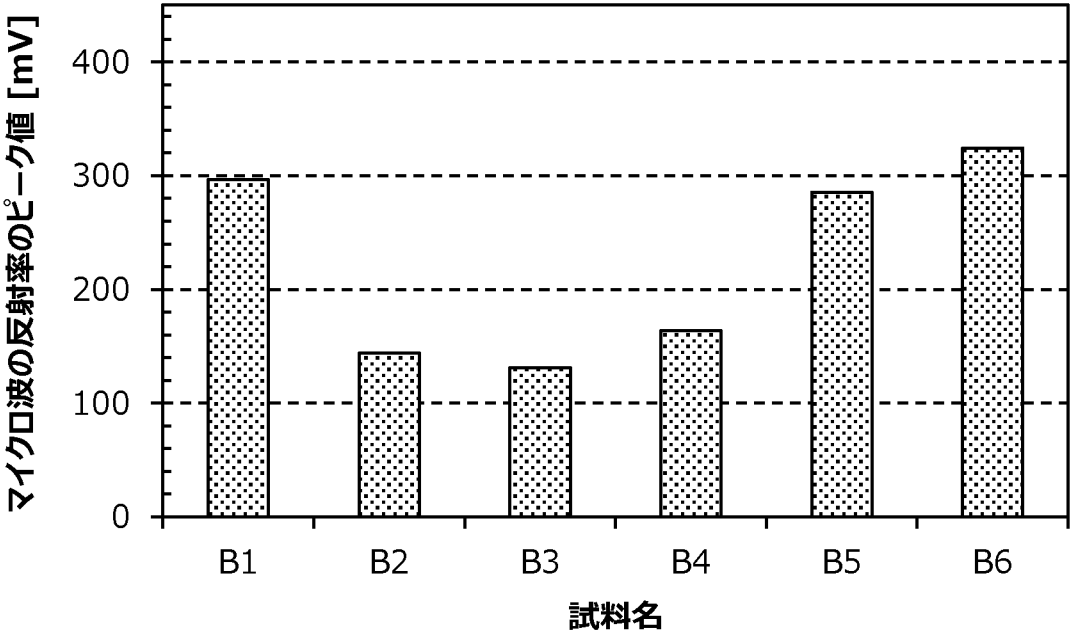
[図30]



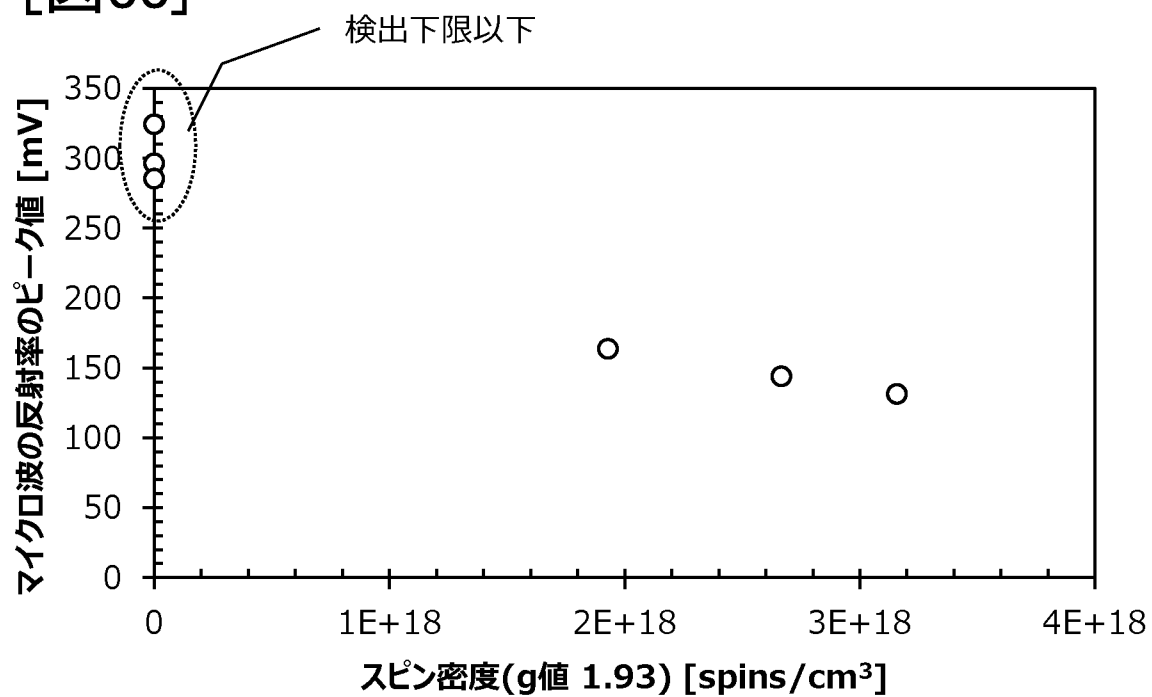
[図31]



[図32]



[図33]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2015/055568

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, G01N21/00(2006.01)i, G01N22/00(2006.01)i,
H01L21/66(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, G01N21/00, G01N22/00, H01L21/66, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2012-33857 A (Kobe Steel, Ltd.), 16 February 2012 (16.02.2012), paragraphs [0070] to [0086] & CN 102313849 A & KR 10-2012-0002459 A & TW 201226892 A	1-4 5-8
X A	JP 2007-42950 A (SUMCO Corp.), 15 February 2007 (15.02.2007), paragraph [0021] (Family: none)	5 6-8
A	WO 2014/109343 A1 (Kobe Steel, Ltd.), 17 July 2014 (17.07.2014), & JP 2015-130404 A & KR 10-2015-0094721 A & TW 201443426 A	5-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 November 2015 (13.11.15)

Date of mailing of the international search report
24 November 2015 (24.11.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2015/055568

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-333640 A (Sharp Corp.), 27 December 2007 (27.12.2007), (Family: none)	5-8
P, A	WO 2015/033499 A1 (Panasonic Corp.), 12 March 2015 (12.03.2015), (Family: none)	5-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, G01N21/00(2006.01)i, G01N22/00(2006.01)i, H01L21/66(2006.01)i,
H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, G01N21/00, G01N22/00, H01L21/66, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2015年
日本国実用新案登録公報	1996-2015年
日本国登録実用新案公報	1994-2015年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2012-33857 A (株式会社神戸製鋼所) 2012.02.16, 段落 0070-0086 & CN 102313849 A & KR 10-2012-0002459 A & TW 201226892 A	1-4 5-8
X A	JP 2007-42950 A (株式会社SUMCO) 2007.02.15, 段落 0021 (ファミリーなし)	5 6-8
A	WO 2014/109343 A1 (株式会社神戸製鋼所) 2014.07.17, & JP 2015-130404 A & KR 10-2015-0094721 A & TW 201443426 A	5-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.11.2015

国際調査報告の発送日

24.11.2015

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9355

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-333640 A (シャープ株式会社) 2007. 12. 27, (ファミリーなし)	5-8
P, A	WO 2015/033499 A1 (パナソニック株式会社) 2015. 03. 12, (ファミリーなし)	5-8