【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成21年8月27日(2009.8.27)

【公開番号】特開2007-36224(P2007-36224A)
【公開日】平成19年2月8日(2007.2.8)
【年通号数】公開・登録公報2007-005
【出願番号】特願2006-192102(P2006-192102)
【国際特許分類】
Ｈ０１Ｌ　27/146　(2006.01)
Ｈ０４Ｎ　5/335　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　27/14　A
Ｈ０４Ｎ　5/335　E
Ｈ０４Ｎ　5/335　U

【手続補正書】
【提出日】平成21年7月10日(2009.7.10)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第１導電型の基板に形成されて第１、第２及び第３活性領域を画定する素子分離膜と、
前記第１活性領域に形成された第２導電型のフォトダイオード領域と、
前記第２活性領域に形成された第２導電型の浮遊拡散領域と、
前記第２活性領域の上部を横切り、前記浮遊拡散領域と電気的に接続されたソースフォロワーゲートと、
前記ソースフォロワーゲート両側の前記第２活性領域に各々形成された第２導電型の第１及び第２ソース／ドレイン領域と、
前記第３活性領域に形成された第１ピックアップ領域とを含み、前記第３活性領域は前記第１または第２ソース／ドレイン領域が形成された前記第２活性領域の一側に連結され、前記浮遊拡散領域と、前記第１及び第２ソース／ドレイン領域は互いに離隔されることを特徴とするＣＭＯＳイメージセンサ。
【請求項２】
前記第１ピックアップ領域は第１導電型の不純物でドーピングされたことを特徴とする請求項１に記載のＣＭＯＳイメージセンサ。
【請求項３】
前記第１導電型はｐ型であり、前記第２導電型はｎ型であり、前記第１ピックアップ領域には接地電圧が印加されることを特徴とする請求項２に記載のＣＭＯＳイメージセンサ。
【請求項４】
前記素子分離膜によって画定され、前記第１または第２ソース／ドレイン領域が形成された前記第２活性領域の他の一側に連結された第４活性領域と、
前記第４活性領域に形成された第２ピックアップ領域とをさらに含み、前記第２ピックアップ領域は第２導電型の不純物でドーピングされ、前記第２ピックアップ領域は前記第１及び第２ソース／ドレイン領域と離隔されることを特徴とする請求項２に記載のＣＭＯＳイメージセンサ。

【請求項５】
前記第１導電型はｐ型であり、前記第２導電型はｎ型であり、前記第１ピックアップ領域には接地電圧が印加され、前記第２ピックアップ領域には電源電圧が印加されることを特徴とする請求項４に記載のＣＭＯＳイメージセンサ。
【請求項６】
前記第１ピックアップ領域は第２導電型の不純物でドーピングされることを特徴とする請求項１に記載のＣＭＯＳイメージセンサ。
【請求項７】
前記第１導電型はｐ型であり、前記第２導電型はｎ型であり、前記第１ピックアップ領域には電源電圧が印加されることを特徴とする請求項６に記載のＣＭＯＳイメージセンサ。
【請求項８】
前記フォトダイオード領域と前記浮遊拡散領域との間の前記第２活性領域の上部を横切る伝送ゲートと、
前記浮遊拡散領域と前記第１ソース／ドレイン領域との間の前記第２活性領域の上部を横切るリセットゲートとをさらに含むことを特徴とする請求項１乃至７のうちのいずれか１項に記載のＣＭＯＳイメージセンサ。
【請求項９】
前記伝送、リセット及びソースフォロワーゲートと前記基板との間に介在されたゲート絶縁膜をさらに含むことを特徴とする請求項８に記載のＣＭＯＳイメージセンサ。
【請求項１０】
前記第１ピックアップ領域は前記第１及び第２ソース／ドレイン領域と離隔されることを特徴とする請求項１乃至７のうちのいずれか１項に記載のＣＭＯＳイメージセンサ。
【請求項１１】
前記第１ソース／ドレイン領域には電源電圧が印加されることを特徴とする請求項１乃至７のうちのいずれか１項に記載のＣＭＯＳイメージセンサ。