(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G02F 1/136

(45) 공고일자 2006년01월12일
(11) 등록번호 10-0520244
(24) 등록일자 2005년10월04일

(21) 출원번호 10-1997-0017427
(22) 출원일자 1997년05월07일

(65) 공개번호 10-1997-0076043
(43) 공개일자 1997년12월10일

(30) 우선권주장 96-139459 1996년05월08일 일본(JP)

(73) 특허권자 샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 오리 다츠야
일본 도쿄도 마치다시 모리노 2-1-8

다케이 미치코
일본 가나가와켄 아쓰기시 아사히조 4-1-5

장 홍용
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼 가부시키가이샤 내

고토 유고
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼 가부시키가이샤 내

(74) 대리인 정상구
이병호
신현문
이범래

심사관 : 임동재

(54) 박막트랜지스터와반도체장치

요약

TFT의 활성부를 구성하는 폴리실리콘 패턴을 기판 상에 대략 U자형으로 굴곡한 형상으로 형성하고, 게이트 패턴을 직선형 도체 패턴으로 형성한다. 상기 게이트 패턴을 U자형 폴리실리콘 패턴과 여러 번 교차하도록 배치한다. 실리콘 패턴은 대칭으로 정렬되는 다수의 채널 영역과 불순물 영역을 구비한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1A 내지 1C는 본 발명의 원리를 도시하는 도면.

도 2는 본 발명의 실시예에 따른 액정 표시장치의 주요부의 도면.

도 3은 종래 다채널 게이트 TFT의 형태를 도시하는 도면.

도 4A 내지 4C는 도 3의 TFT의 문제점을 나타내는 도면.

<도면의 주요부분에 대한 부호의 설명>

10,20,30:유리 기판 11,21,32:폴리실리콘 패턴

12,22,33:게이트 버스 패턴

21D,21E,21F,21G,32A,32B,32E,32F:LDD 영역

CH_1:제 1 확산영역 CH_2:제 2 확산영역

35:차광 마스크

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 액정 표시장치에 관한 것으로서, 특히 액정 표시장치 등의 종류에 사용하는 박막 트랜지스터에 관한 것이다.

액정 표시장치는 휴대용[또는 랩탑(lap-top)] 정보처리장치의 표시장치로서 널리 이용되고 있다. 최근에, 액정 표시장치를 고정[또는 데스크탑(desk-top)] 정보처리장치의 고해상 칼라 표시장치로서 사용하려는 시도를 시작하였다.

여러 형식의 액정 표시장치 중에서, 개별 패널을 박막 트랜지스터(TFT)로 구동하는 활성 매트릭스 액정 표시장치가 상기 고해상 칼라 표시장치를 만드는데 적합하다. 활성 매트릭스 구동방법은 수동 매트릭스 구동방법에서 발생 가능한 픽셀 간의 누화(crosstalk)를 제거할 수 있고 따라서 우수한 표시성능을 제공할 수 있다. 활성 매트릭스 구동방법에서, TFF는 액정 패널을 구성하는 하나의 유리 기판에 배열되고, 각각의 TFT는 대응하는 투명 픽셀 전극에 가해진 전압을 제어한다.

활성 매트릭스 액정 표시장치에서, TFT는 유리 기판에 형성되므로 비정질 실리콘 패턴 또는 다결정 실리콘(즉 폴리실리콘) 패턴이 단결정 실리콘 기판에 형성된 보통의 트랜지스터의 경우와는 대조적으로 채널층과 같은 활성층으로 사용된다. 폴리실리콘이 비정질 실리콘보다 더 큰 캐리어 이동성을 가지기 때문에 TFT에 적합하지만, 실제로 결정 구조에서 입자 경계 등을 포함하기 때문에 단결정 실리콘보다 더 큰 결함 밀도를 가진다. 그 결과, 폴리실리콘 TFT는 큰 누설 전류를 가지는 경향이 있다.

이러한 누설 전류를 최소로 줄이기 위해 액정 표시장치의 TFT에서 LDD(lightly doped drain)구조가 사용되는 경우가 많다. 상기 LDD 구조에서, 채널 영역에 인접한 드레인 영역의 일부에는 다소 낮은 불순물 농도가 주어지고, 전기장을 상기 부분에서 확장시킴으로써 채널 영역의 전기장의 농도가 감소된다.

누설 전류를 더욱 감소시키기 위해 폴리실리콘 TFT에는 2개의 TFT가 직렬로 함께 연결되어 있는 다채널 게이트 구조가 설치되어 있다.

도 3은 SID 90 다이제스트, pp. 315-318에서 와이. 마츠에다(Y. Matsueda), 엠. 아시자와(M. Ashizawa), 에스, 아루가(S. Aruga), 에이치. 오시마(H. Ohshima), 및 에스. 모로즈미(S. Morozumi)에 의한 "고구경비를 갖는 소형 TFT LCD를 위한 신기술"로서 제안된 TFT의 간단한 변경물인 종래 다채널 게이트 TFT의 예를 도시한다.

도 3에서, TFT는 액정 패널을 구성하는 유리 기판(10)에 형성된 폴리실리콘 패턴(11)과, 이 폴리실리콘 패턴(11) 위에 형성된 게이트 버스 패턴(12)을 포함한다. 게이트 버스 패턴(12)에는 폴리실리콘 패턴(11)을 덮는 브랜치(12A,12B)가 형성되어 있다. 폴리실리콘 패턴(11)은 브랜치(12A,12B)로 덮인 부분을 제외하고 n형 또는 p형 불순물로 도핑된 TFT의 활성부를 구성한다. 즉, 폴리실리콘 패턴(11)에서, 제 1 및 제 2 채널 영역이 각각 브랜치(12A,12B)로 덮인 부분과 일치하도록 형성되고, 소스 및 드레인 영역으로서 작용하는 확산 영역이 각 채널 영역의 양측면에 형성된다.

게이트 버스 패턴(12)은 낮은 저항율(low resistivity)을 갖는 Al 또는 Al합금으로 제조된다. 또한 TFT는 상기 게이트 버스 패턴(12) 보다 더 높은 위치에 형성되어 있고 Al 또는 Al합금으로 제조된 데이터 버스 패턴(13)을 포함한다. 폴리실리콘 패턴(11)의 한 단부는 접촉홀(11a)을 통해 데이터 버스 패턴(13)에 연결된다. 폴리실리콘 패턴(11)의 다른 단부는 접촉홀(11b)을 통해 투명 픽셀 전극(14)에 연결된다.

상기 형태를 갖는 TFT에서, 데이터 버스 패턴(13)을 경유하여 공급되는 구동 전압은 게이트 버스 패턴(12)을 경유하여 공급되는 게이트 전압의 제어하에서 투명 픽셀 전극(14)에 인가되고, 이에 의해 대응하는 액정 분자들의 방향을 변화시킨다. 브랜치(12A,12B)에 해당하는 제 1 및 제 2 채널 영역이 직렬로 형성되어 있기 때문에, 트랜지스터의 오프 상태(off-state) 중에 누설 전류가 아주 작아서 하이 콘트라스트(high-contrast) 표시가 가능하게 된다. LDD영역을 전술한 바와 같이 제 1 및 제 2 채널 영역 바로 외부에 형성함으로써 누설 전류를 더욱 감소시킬 수 있다.

그러나, LDD 영역을 관련된 다채널 게이트 TFT에 형성하는 경우에는 아래 문제가 발생한다. 즉, 게이트 버스 패턴(12)이 브랜치(12A,12B)를 포함하는 복잡한 형상을 가지기 때문에 폴리실리콘 패턴(11)에 확산 영역을 형성하기 위한 이온주입이 불균일하게 되는 것 같다. 예를 들어, 도 3의 구조의 경우에, 게이트 버스 패턴(12)을 마스크로 사용하여 폴리실리콘 패턴(11)내에 이온을 주입하면, 브랜치(12A,12B) 사이의 영역에 새도우(shadow)가 일어나고, 또 불순물 농도가 거기서 더 낮아지는 경향이 있다.

게이트 버스 패턴(12)이 브랜치(12A,12B)를 가지는 다채널 게이트 TFT에서 마스크는 LDD 구조를 형성하기 위한 이온 주입단계에서 사용된다. 상기 이온 주입 단계에서 마스크 정렬오류가 일어나면, 각 게이트의 우측 및 좌측에 만들어진 LDD 영역의 길이가 달라지게 된다.

도 4A 내지 4C는 이온 주입단계에서 마스크 정렬오류에 의해 초래된 문제를 도시한다. 도 4A는 도 3의 구조의 주요부를 도시하는 평면도이고, 도 4B는 마스크 정렬오류가 일어나지 않는 이상적인 경우에 도 4A의 구조의 폴리실리콘 패턴(11)에 LDD 영역을 형성하는 것을 도시하는 단면도이고, 도 4C는 마스크 정렬오류가 일어나는 경우에 LDD 영역을 형성하는 것을 도시하는 단면도이다.

도 4A에서, 이온 주입에 의해 폴리실리콘 패턴(11)에 LDD 영역을 형성하는 단계를 이하에 설명하기로 한다. 브랜치(12A,12B) 보다 약간 넓은 마스크(15A,15B)가 이 브랜치(12A,12B)에 형성된 후에, p형 또는 n형 이온이 주어진 도스(dose)만큼 마스크(15A,15B)를 통해 주입되어서 TFT의 소스 및 드레인 영역이 되는 확산 영역(11A 내지 11C)이 도 4B에 도시된 바와 같이 폴리실리콘 패턴(11)에 형성된다. 마스크(15A,15B)를 제거한 후, 이온 주입을 작은 도스로 실시하여서 LDD 영역(11D 내지 11G)이 게이트 버스 패턴(12)의 브랜치(12A,12B) 양측면에 형성된다. 도 4B 및 4C는 도 4A의 선 A-A'를 취한 단면도이다.

도 4B에 도시한 바와 같이, 산화막(11a)이 폴리실리콘 패턴(11)에 형성되고, 게이트 버스 패턴(12)의 브랜치(12A,12B)가 상기 산화막(11a)에 형성된다. 또한, 제 1 채널 영역(CH_1) 및 제 2 채널 영역(CH_2)이 폴리실리콘 패턴(11)에서 브랜치(12A,12B) 바로 아래에 형성되어 있다.

발명이 이루고자 하는 기술적 과제

도 4B에 도시된 바와 같이, 마스크(15A,15B)가 브랜치(12A,12B)와 이상적으로 정렬되고 따라서 그 아래에 형성된 채널 영역(CH_1,CH_2)과 정렬되는 경우에, LDD 영역(11D 내지 11G)은 주어진 길이 L_{DD}를 가진다. 그러나, 도 4C에 도시된 바와 같이, 마스크(15A,15B)가 채널 영역(CH_1,CH_2)에서 이탈되면, 브랜치(12A,12B)의 좌측에 위치한 LDD 영역(11D,11F)은 증가된 길이 L_{DD} + d를 가지는 반면, 반대편의 LDD 영역(11E,11G)은 감소된 길이 L_{DD} - d를 가진다. 다시 말하면, 도 4C의 다채널 게이트 TFT에서, 각 게이트의 우측 및 좌측에 있는 LDD 영역은 길이가 다르므로 양 및 음의 드레인 전압으로 구해진 장치 특성이 비대칭이 된다.

게다가, 도 3 및 도 4A 내지 4C에 도시된 종래 TFT에서, LDD 영역은 누설 전류의 증가를 방지하기 위하여 차광막으로 빛으로부터 차폐될 필요가 있다. 따라서, 고려 중에 있는 TFT에서는, LDD 영역(11D 내지 11G)을 차폐하기 위한 차광 마스크가 게이트 버스 패턴(12)을 차폐하기 위해 종래 방식으로 설치된 차광 마스크와는 별개로 설치될 필요가 있다. 그러나, 추가로 차광 마스크를 설치하면 구경비(aperture ratio)를 축소시키고, 따라서 표시되는 영상을 더 어둡게 만든다.

그러므로, 본 발명의 일반 목적은 상기 문제점을 해결한 신규하고 유용한 박막 트랜지스터를 제공할 뿐만 아니라 그러한 박막 트랜지스터를 이용하는 액정 표시장치를 제공하는데 있다.

본 발명의 특정한 목적은 LDD 구조를 형성하는 이온 주입단계에서 마스크 정렬오류가 일어나더라도 양 및 음의 드레인 구조로 구해진 장치 특성이 비대칭이 되지 않으면서도 형태가 단순하고, 또 구경비가 큰 액정 패널을 제공할 수 있는 LDD 구조를 갖는 플리실리콘 박막 트랜지스터를 제공하는데 있다. 본 발명의 다른 특별한 목적은 상기와 같은 박막 트랜지스터를 이용하는 액정 표시장치를 제공하는데 있다.

발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따라, 직선상(straight) 도체 패턴인 게이트 패턴과; 상기 게이트 패턴을 여러 번 교차하도록 기판에 형성된 실리콘 패턴을 포함하고, 상기 실리콘 패턴은 실리콘 패턴이 게이트 패턴와 교차하는 각각의 영역에 형성된 채널 영역과; 각 채널 영역의 양 측면에 형성된 한 쌍의 제 1 확산 영역과; 게이트 패턴을 교차하도록 실리콘 패턴의 두 단부 사이에 설치된 굴곡부를 구비하는 구성으로 된 박막 트랜지스터를 제공한다.

실리콘 패턴은 U형을 취하도록 두 단부 사이로 굴곡될 수 있다.

실리콘 패턴은 각 채널 영역에 인접하여 양측면에 한 쌍의 제 1 확산영역 보다 낮은 불순물 농도를 갖는 제 2 확산영역을 추가로 포함한다.

본 발명의 다른 견지에 따라, 어레이 형태로 기판에 배열된 박막 트랜지스터를 포함하는 액정 표시장치로서, 각각의 박막 트랜지스터는 직선상 도체 패턴인 게이트 패턴과; 상기 게이트 패턴을 여러 번 교차하도록 기판에 형성된 실리콘 패턴을 포함하고, 상기 실리콘 패턴은 이 실리콘 패턴이 게이트 패턴와 교차하는 각각의 영역에 형성된 채널 영역과; 각 채널 영역의 양 측면에 형성된 한 쌍의 제 1 확산 영역과; 게이트 패턴을 교차하도록 실리콘 패턴의 두 단부 사이에 설치된 굴곡부를 구비하는 액정 표시장치를 제공한다.

상기 액정 표시장치는 게이트 패턴을 덮도록 연장되기 위하여 기판에 형성된 직선상 차광 패턴을 추가로 포함한다.

본 발명의 원리는 도 1A 내지 1C를 참고로 하여 이하에 설명하기로 한다. 도 1A는 도 4A에 대응하는 평면도이다. 도 1B 및 1C는 도 4B 및 4C에 대응하는 단면도이며, 도 1B는 어떤 마스크 정렬오류가 없는 이상적인 경우를 도시하고, 도 1C는 마스크 정렬오류를 갖는 경우를 도시한다.

도 1A에서, TFT는 액정 패널을 구성하는 유리 기판(20)에 형성되어 U형상을 취하도록 구부러진 폴리실리콘 패턴(21)과, 이 폴리실리콘 패턴(21) 위에 형성된 직선상 게이트 버스 패턴(22)을 포함한다. 폴리실리콘 패턴(21)은 게이트 버스 패턴(22)와 교차하는 부분을 제외하고 n형 또는 p형 불순물로 도핑된다. 다시 말하면, 폴리실리콘 패턴(21)에서, 제 1 및 제 2 채널 영역은 폴리실리콘 패턴(21)이 게이트 버스 패턴(22)와 교차하는 부분에 대응하도록 형성되고, 소스 및 드레인 영역으로서 작용하는 n형 또는 p형 확산 영역이 각 채널 영역의 양측면에 형성된다.

상기 구성에서, 폴리실리콘 패턴(21)이 U형상을 취하도록 구부러져 있기 때문에 폴리실리콘 패턴(21)이 게이트 버스 패턴(22)을 갖는 2개의 교차부 즉 전술한 바와 같이 2개의 채널 영역을 가진다. 이에 따라, 폴리실리콘 패턴(21)에서 제 1 및 제 2 채널 영역에 각각 해당하는 제 1 및 제 2 TFT가 직렬로 서로 연결된다. 그 결과, 트랜지스터의 오프 상태 중에 누설 전류가 작아서 하이 콘트라스트 표시를 가능하게 한다. 누설 전류는 전술한 바와 같이 LDD영역을 제 1 및 제 2 채널 영역 바로 외부에 형성함으로써 더욱 감소될 수 있다.

도 1A에서, 상기 제 1 및 제 2 TFT의 소스 및 드레인 영역으로서의 n형 또는 p형 확산영역은 마스크(25)로 덮인 영역을 제외하고 폴리실리콘 패턴(21)에 형성된다. 도 1B의 단면도에 도시된 바와 같이, 마스크(25)를 제거한 후 다시 이온주입을 실시함으로써 LDD 영역(21D,21E) 및 LDD 영역(21F,21G)이 게이트 버스 패턴(22)에 해당하는 채널 영역(CH_1,CH_2)에 각각 인접하게 형성된다. LDD 영역(21D 내지 21G)은 길이 L_{DD}를 가진다. 도 1B는 마스크(25)가 이상적으로 정렬된 TFT의 도 1A에서 선 B-B'를 취한 단면도이다.

도 1B에 도시된 바와 같이, 산화막(21a)이 폴리실리콘 패턴(21)에 형성되고, 직선상 게이트 버스 패턴(22)이 채널 영역(CH_1,CH_2)에서 상기 폴리실리콘 패턴(21)을 교차한다.

마스크(25)가 도 1A의 평면도에서 편차가 있는 경우, LDD 영역(21D 내지 21G)이 도 1C에 도시된 바와 같이 형성된다. 마스크(25)가 도 1A에서 위로 편차되어 있으면, LDD 영역(21D,21G)은 증가된 길이 L_{DD} + d를 가지며, 한편 LDD 영역(21E,21F)은 감소된 길이 L_{DD} - d를 가진다. 그 반대로, 마스크(25)가 도 1A에서 아래로 편차가 있으면, LDD 영역(21D,21G)은 감소된 길이 L_{DD} - d를 가지며, 한편 LDD 영역(21E,21F)은 증가된 길이 L_{DD} + d를 가진다.

도 1C에 도시된 바와 같이, 전술한 바와 같이 마스크 정렬오류에 의해 초래된 LDD 영역의 길이의 변화는, 도 1A에 도시된 U형상을 취하도록 구부러진 폴리실리콘 패턴(21)을 활성 영역으로서 갖는 TFT에서는 대칭적이다. 그 결과, 마스크정렬 오류가 일어나더라도, 양 및 음의 드레인 전압으로 구해진 다채널 게이트 TFT의 작동특성이 비대칭이 되지 않는다.

더구나, 직선상 게이트 버스 패턴을 갖는 TFT에서는 이온 주입단계에서 새도우에 영향을 거의 주지 않는다. 덧붙여 도 3 및 도 4A 내지 4C의 형태에서는 필요했던 보조 차광 마스크가 더 이상 필요가 없게 되고, 이에 의해 액정 표시장치의 구경비가 증가될 수 있다.

도 2는 본 발명의 실시예에 의한 액정 표시장치의 주요부를 도시한다.

도 2에서, 액정 표시장치는 유리 기판(30)에 매트릭스 형태로 배열된 투명 픽셀전극(31)과, 이 전극을 구동하기 위해 각 픽셀전극(31)에 해당하며 설치된 TFT를 포함한다. 각 TFT는 유리 기판(30)에 형성된 대체로 U형의 폴리실리콘 패턴(32)과, Al 또는 Al합금으로 제조되며 유리 기판(30)에 종방향(row direction)으로 연장하도록 형성된 게이트 버스 패턴(33)을 포함한다. 게이트 버스 패턴(33)은 폴리실리콘 패턴(32)을 교차한다. 폴리실리콘 패턴(32)에서, 제 1 및 제 2 채널 영역(CH_1,CH_2)이 게이트 버스 패턴(33)와 교차하는 부분에 형성된다. LDD 영역(32A,32B)이 제 1 채널 영역(CH_1) 바로 외부에 형성되고, n형 또는 p형 확산영역(32C,32D)이 LDD 영역(32A,32B) 외부에 형성된다. TFT의 드레인 영역으로서 작용하는 확산영역(32C)은 접촉홀(34A)을 통해 데이터 버스 패턴(34)에 연결되며, 이 데이터 버스 패턴은 Al 또는 Al합금으로 제조되며 게이트 버스 패턴(33) 보다 높은 배선층 높이에 형성된다.

유사한 방법으로, LDD 영역(32E,32F)이 제 2 채널 영역(CH_2) 바로 외부에 형성되고, 확산영역(32D)에 연속하는 확산영역(32G)이 LDD 영역(32E) 외부에 형성되고, TFT의 소스영역으로서 작용하는 확산영역(32H)이 LDD 영역(32F) 외부에 형성된다. 확산영역(32H)이 접촉홀(31A)을 통해 픽셀전극(31)에 연결되고, 이 픽셀전극은 데이터 버스 패턴(34) 보다 높은 배선층 높이에 형성된다. 대체로, 픽셀전극(31)은 ITO막과 같은 투명 도전성 산화막이어도 좋다.

또한, 도시된 액정 표시장치에서, LDD 영역(32A,32B,32E,32F)을 광학적으로 차폐하기 위한 차광 마스크(35)가 게이트 버스 패턴(33)을 따라 형성된다. 또한 차광 마스크(35)는 게이트 버스 패턴(33)과 픽셀전극(31) 사이의 구멍을 통해 빛이 새는 것을 방지하기 위하여 게이트 버스 패턴(33)을 따라 형성되어 있는 보통의 차광 마스크(35)로서 작용한다. 따라서, 더 이상 도 3 및 도 4A 내지 4C에 도시된 종래 LDD 다채널 게이트 TFT에서 필요로 한 별개의 차광 마스크를 형성할 필요가 없다. 그 결과, 도 2의 액정 표시장치는 구경비가 향상되며 이에 의해 밝은 하이콘트라스트 표시가 가능하게 된다.

도 1A 내지 1C와 관련하여 이미 설명한 바와 같이, 상기 형태를 갖는 TFT에서는 LDD 영역(32A,32B,32E,32F)을 형성할 때 마스크 정렬오류가 발생하더라도, 이 LDD 영역의 길이는 대칭적으로 변한다. 그러므로, 양 및 음의 드레인 전압으로 구해진 다채널 게이트 TFT 자체의 작동특성이 비대칭으로 되지 않으며, 따라서 도 2의 다채널 게이트 TFT가 LDD 구조를 가지지만, 저렴하고 용이하게 제작할 수 있는 장점이 있다.

더구나, 도 2의 액정 표시장치에서, 게이트 버스 패턴(33)이 도 3 및 도 4A 내지 4C의 경우와 같이 브랜치를 가지는 것보다 직선상으로 연장하기 때문에, 이온 주입 중에 새도우가 형성될 가능성이 적으며, 따라서 불순물이 필요한 도스만큼 정확하게 주입될 수 있다.

발명의 효과

본 발명에 따라, 다채널 게이트 TFT에서는 게이트 패턴이 직선상 도체 패턴으로서 형성되고, TFT의 활성부를 구성하는 실리콘 패턴이 확산영역 사이에 굴곡부를 가지도록 형성되어서 게이트 패턴이 실리콘 패턴을 여러 번 교차하게 된다. 그 결과, 실리콘 패턴에 이온 주입으로 LDD 영역을 형성할 때 마스크 정렬오류가 발생하더라도 장치의 작동 특성에 어떠한 악영향을 주지 않는다. LDD 영역을 빛으로부터 차폐하기 위한 차광 마스크를 게이트 패턴을 따라 형성되는 보통의 차광 마스크로서 사용함으로써 보조 차광 마스크를 필요로 하지 않고, 이에 의해 액정 표시장치의 구경비가 증가될 수 있다. 게다가, 게이트 패턴을 간단한 직선의 도체 패턴으로 형성함으로써 복잡한 게이트 패턴을 사용하는 경우와는 달리 이온 주입 중에 새도우가 발생하지 않으므로 균일한 이온 주입이 가능하게 된다.

(57) 청구의 범위

청구항 1.

다수의 채널 영역과, 상기 각 채널 영역의 양 측에 형성된 다수의 제 1 확산영역을 포함하는 기판에 형성되며, 적어도 하나의 굴곡부를 갖는 반도체 패턴과;

상기 반도체 패턴을 복수 회 교차하도록 배치되며 직선의 도체 패턴인 게이트 패턴과;

상기 제 1 확산 영역들 중 제 1영역과 연결된 소스 라인과;

상기 제 1 확산 영역들 중 제 2영역과 연결된 픽셀 전극을 포함하고,

적어도 상기 제 1 확산 영역들 중 제 3영역은 상기 제 1 확산 영역의 상기 제 1영역 및 제 2영역 사이에 배치되고,

상기 반도체 패턴은 각각의 채널 영역과 각각의 제 1 확산 영역 사이에 상기 제 1 확산 영역보다 낮은 불순물 농도를 갖는 다수의 제 2 확산 영역을 추가로 포함하고,

상기 제 2 확산 영역들 중 2개 영역은 상기 제 1 확산 영역의 상기 제 1영역과 제 2영역에 각각 연속하며 동일한 폭을 가지고,

상기 2개의 제 2 확산 영역의 상기 폭은 제 2 확산 영역의 다른 영역들의 폭보다 더 넓은, 박막 트랜지스터.

청구항 2.

제 1 항에 있어서, 상기 반도체 패턴은 U형상으로 형성되는, 박막 트랜지스터.

청구항 3.

제 1 항에 있어서, 상기 반도체 패턴은 결정 실리콘을 포함하는, 박막 트랜지스터.

청구항 4.

제 1 항에 있어서, 상기 다수의 제 1 확산 영역은 불순물 영역이고, 상기 다수의 제 2 확산 영역은 LDD 영역인, 박막 트랜지스터.

청구항 5.

제 1 항에 있어서, 상기 반도체 패턴의 상기 채널 영역, 제 1 확산 영역 및 제 2 확산 영역의 배치는 대칭인, 박막 트랜지스터.

청구항 6.

기판에 매트릭스 형태로 배열된 다수의 박막 트랜지스터를 포함하는 반도체 장치에 있어서,

상기 각 박막 트랜지스터는,

다수의 채널 영역과, 다수의 불순물 영역과, 다수의 LDD 영역을 포함하는 기판 상에 형성되며, 적어도 하나의 굴곡부를 갖는 반도체 패턴으로서, 상기 각 불순물 영역은 상기 LDD 영역중 하나를 개재하여 상기 채널 영역 중 하나에 인접하게 배치되는, 상기 반도체 패턴과;

상기 반도체 패턴을 복수 회 교차하도록 배치된 직선의 도체 패턴인 게이트 패턴과;

상기 불순물 영역들 중 제 1영역과 연결된 소스 라인과;

상기 불순물 영역들 중 제 2영역과 연결된 픽셀 전극을 포함하고,

적어도 상기 불순물 영역들 중 제 3영역은 상기 불순물 영역의 상기 제 1영역과 제 2영역 사이에 배치되고,

상기 LDD 영역들 중 2개 영역은 상기 불순물 영역의 상기 제 1영역과 제 2영역에 각각 연속하며 동일한 폭을 가지고, 상기 폭은 상기 반도체 패턴의 상기 LDD 영역의 다른 영역들의 폭과는 다른, 반도체 장치.

청구항 7.

제 6 항에 있어서, 상기 게이트 패턴과 상기 다수의 LDD 영역 전체를 덮도록 연장되는 직선의 차광 패턴을 추가로 포함하는, 반도체 장치.

청구항 8.

기판에 매트릭스 형태로 배열된 다수의 박막 트랜지스터를 포함하는 반도체 장치에 있어서,

상기 각 박막 트랜지스터는,

다수의 채널 영역과, 상기 각 채널 영역의 양측에 형성된 다수의 제 1 확산 영역과, 상기 제 1 확산 영역보다 낮은 불순물 농도를 가지며 상기 채널 영역들 중 하나의 영역과 상기 제 1 확산 영역들 중 하나의 영역 사이에 각각 형성된 다수의 제 2 확산 영역을 포함하는 기판 상에 형성된 결정 실리콘을 포함하며, 적어도 하나의 굴곡부를 갖는 반도체 패턴과;

상기 반도체 패턴을 복수 회 교차하도록 배치된 직선의 도체 패턴인 게이트 패턴과;

상기 제 1 확산 영역들 중 제 1영역과 연결된 데이터 패턴과;

상기 제 1 확산 영역들 중 제 2영역과 연결된 픽셀 전극과;

상기 게이트 패턴과 상기 다수의 제 2 확산 영역 전체를 덮도록 연장되는 직선의 차광 패턴을 포함하고,

상기 데이터 패턴과 상기 게이트 패턴 및 직선의 차광 패턴은 직각으로 교차하고,

상기 제 2 확산 영역들 중 하나는 상기 제 1 확산 영역의 상기 제 1영역에 연속하며 다른 하나는 상기 제 1 확산 영역의 상기 제 2영역에 각각 연속하며, 상기 2개의 제 2 확산 영역은 동일한 폭을 가지고, 상기 폭은 상기 반도체 패턴의 상기 제 2 확산 영역의 다른 영역들의 폭과는 다른, 반도체 장치.

청구항 9.

제 8 항에 있어서, 상기 반도체 패턴에서 상기 채널 영역, 제 1 확산 영역 및 제 2 확산 영역의 배치는 대칭인, 반도체 장치.

청구항 10.

제 8 항에 있어서, 상기 2개의 제 2 확산영역의 상기 폭은 상기 제 2 확산 영역의 다른 영역들의 폭보다 넓은, 반도체 장치.

청구항 11.

제 8 항에 있어서, 상기 반도체 패턴은 결정 실리콘을 포함하는, 반도체 장치.

청구항 12.

제 8 항에 있어서, 상기 반도체 패턴은 U형상으로 형성되는, 반도체 장치.

청구항 13.

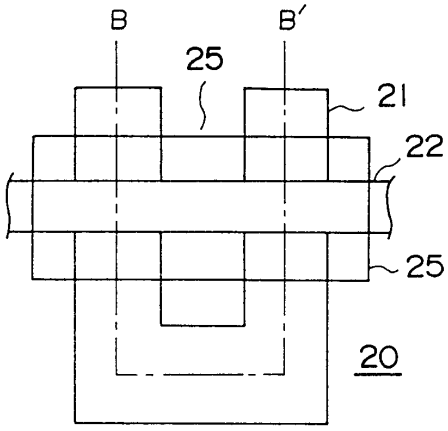
제 6 항에 있어서, 상기 게이트 패턴은 알루미늄을 포함하는, 반도체 장치.

청구항 14.

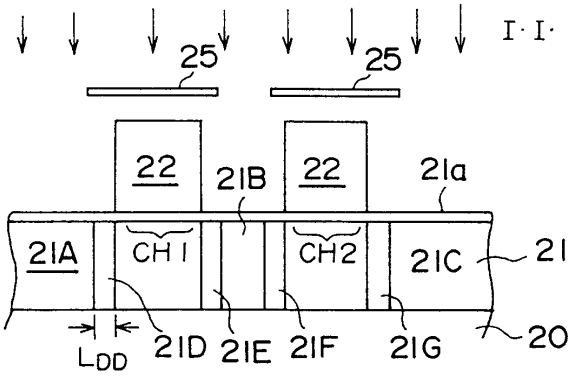
제 6 항에 있어서, 상기 반도체 패턴은 U형상으로 형성되는, 반도체 장치.

도면

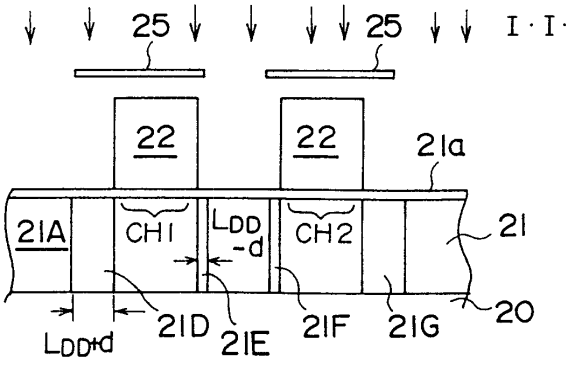
도면1a



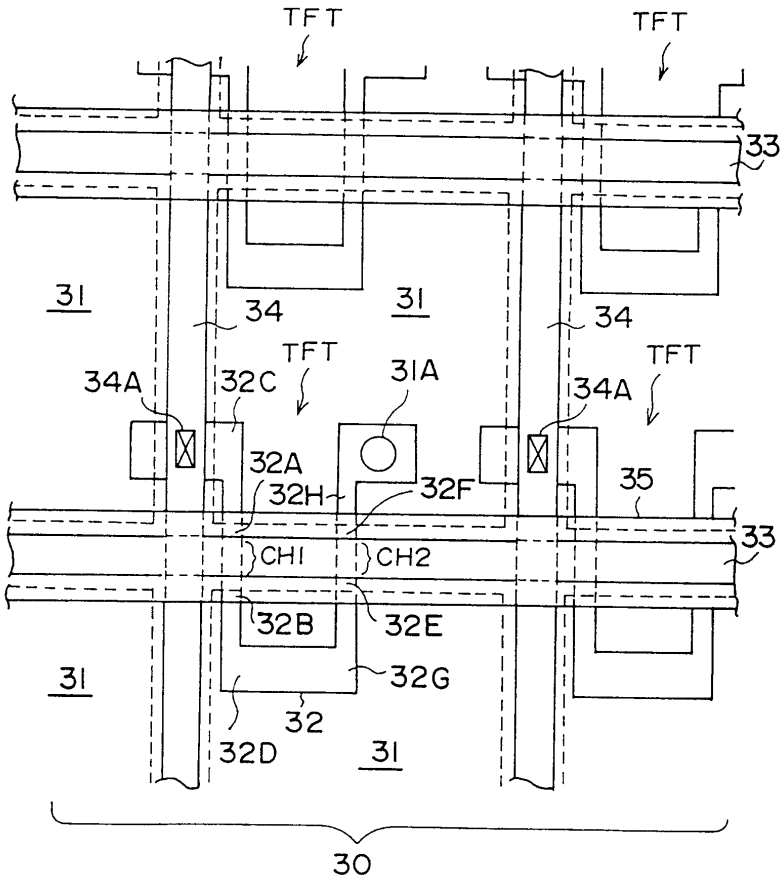
도면1b



도면1c

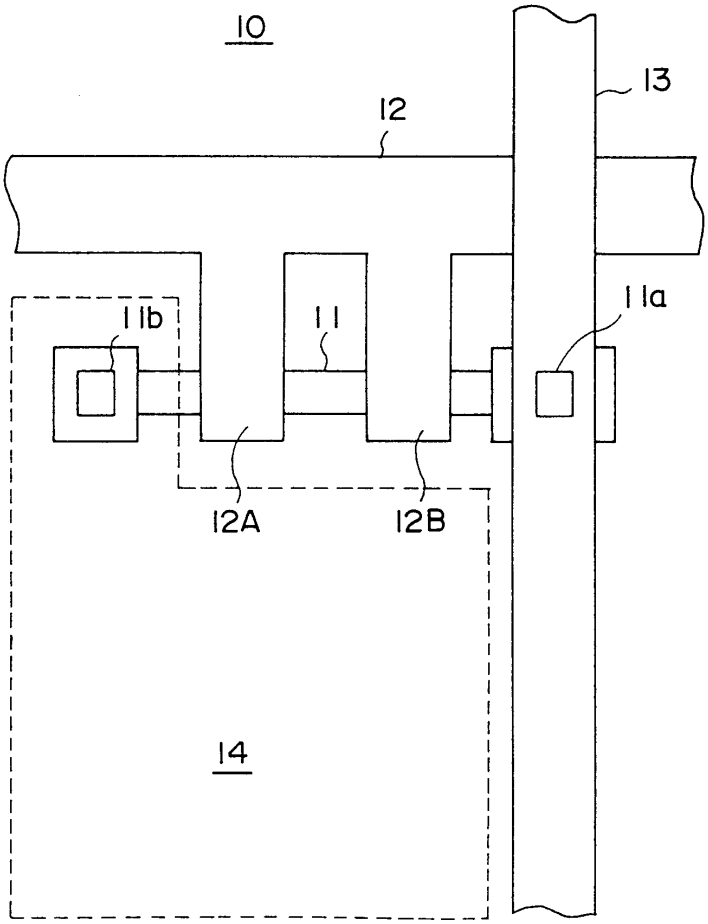


도면2


TFT
TFT
33
31
34
31
34
TFT
TFT
34A
32C
31A
34A
32A
32H
32F
35
33
CH1
CH2
32B
32E
31
32G
32
32D
31
30

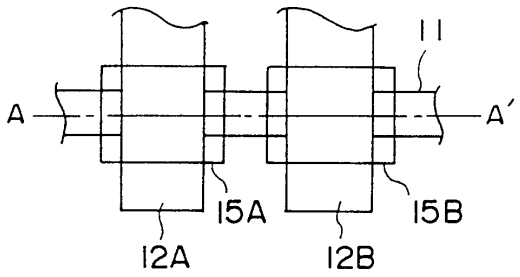
도면3

종래기술



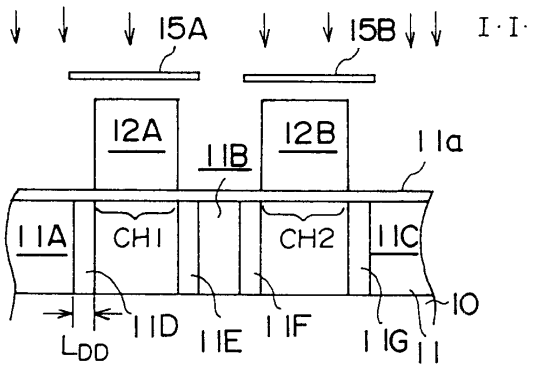
도면4a

종래기술



도면4b

종래기술



도면4c

종래기술

