

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4048978号
(P4048978)

(45) 発行日 平成20年2月20日(2008.2.20)

(24) 登録日 平成19年12月7日(2007.12.7)

(51) Int.Cl. F I
 HO 1 L 21/8234 (2006.01) HO 1 L 27/08 1 O 2 A
 HO 1 L 27/088 (2006.01) HO 1 L 29/06 3 O 1 D
 HO 1 L 29/06 (2006.01)

請求項の数 1 (全 27 頁)

(21) 出願番号	特願2003-49641 (P2003-49641)	(73) 特許権者	503361248 富士電機デバイステクノロジー株式会社 東京都品川区大崎一丁目11番2号
(22) 出願日	平成15年2月26日(2003.2.26)	(74) 代理人	100133167 弁理士 山本 浩
(62) 分割の表示	特願平7-192891の分割	(72) 発明者	藤平 龍彦 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
原出願日	平成7年7月28日(1995.7.28)	(72) 発明者	矢野 幸雄 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(65) 公開番号	特開2004-6675 (P2004-6675A)	(72) 発明者	大日方 重行 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(43) 公開日	平成16年1月8日(2004.1.8)		
審査請求日	平成15年2月26日(2003.2.26)		
(31) 優先権主張番号	特願平7-86601		
(32) 優先日	平成7年4月12日(1995.4.12)		
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願平7-141469		
(32) 優先日	平成7年6月8日(1995.6.8)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 高耐圧 I C

(57) 【特許請求の範囲】

【請求項 1】

第二導電形の領域と該第二導電形の領域内にループ状に形成された第一導電形の領域とからなる p n 接合を有する高耐圧接合終端構造と、該高耐圧接合終端構造のループの内側に形成された少なくとも一つの M I S トランジスタと、該高耐圧接合終端構造のループの内側に第一のドレイン電極、外側に第二のゲート電極と第一のソース電極とを有する第二導電形チャネルの高耐圧 M I S トランジスタとを備えたことを特徴とする高耐圧 I C。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、パワーデバイスの制御駆動用などに用いられる高耐圧 I C で、パワーデバイスとは別の半導体基板または同一半導体基板上に形成される高耐圧 I C に関する。

【0002】

【従来の技術】

ここでは参考文献が多数あるため、文献名はまとめて番号を付けて〔発明が解決しようとする課題〕の項の最後に記載し、文章中では文献名の番号を〔 〕で示すことに留めた。また参考文献の USP No の後に () で示した内容は特許内容を簡単に説明したものである。

パワーデバイス[1] ~ [4] は、モータ制御用のインバータやコンバータ、照明用のインバータ、各種電源およびソレノイドやリレーの駆動用スイッチ等の多くの分野で広く利用

されている。このパワーデバイスの駆動や制御は、従来個別の半導体素子や電子部品を組み合わせて構成した電子回路[5],[6]によっていたが、近年LSI(高集積度IC、ICとは集積回路のこと)技術を利用した数十V級の低耐圧IC[7],[8]や数百V級の高耐圧IC[9],[10]が実用化されており、さらに駆動・制御回路とパワーデバイスとを同一半導体基板に集積化したパワーIC[11],[12]が用いられインバータやコンバータなどの変換装置などの小型化や高信頼性が図られている。

【0003】

図33はモータ制御用インバータのパワー部分を中心に説明する回路構成図である。三相モータMoを駆動するために用いるパワーデバイス(ここではIGBTであるQ1~Q6とダイオードであるD1~D6を示す)はブリッジ回路を構成し同一パッケージに収納されたパワーモジュール[13]の構造をしている。ここでIGBTとは絶縁ゲート型バイポーラトランジスタのことである。主電源V_{CC}は通常直流100~400Vと高電圧である。主電源V_{CC}の高電位側をV_{CCH}、低電位側をV_{CCL}と表した場合、V_{CCH}に接続されるIGBTQ1~Q3を駆動するためには、IGBTのゲート電極の電位はこれよりさらに高電位となるため、駆動回路にはフォトカップラ(PC:Photo Coupler)や高耐圧IC(HVIC:High Voltage Integrated Circuit)が用いられる。駆動回路の入出力端子I/O(Input/Output)は通常マイクロコンピュータへ接続され、そのマイクロコンピュータによりインバータ全体の制御がなされる。

【0004】

図34は図33で用いられる高耐圧IC(HVIC)の内部構成ユニットのブロック図を示す。その構成をつぎに説明する。入出力端子I/Oを通してマイクロコンピュータと信号のやりとりを行い、どのIGBTをオンさせ、どれをオフさせるかの制御信号を発生させる制御回路CU(Control Unit)と、この制御回路CUからの信号を入力ラインSIN4~6で受けてIGBTのゲートドライブ用の出力ラインOUT4~6から信号を出力し、またIGBTの過電流を電流検出端子[14]OC4~6で、過熱を温度端子[15]OT4~6で検出し、異常信号を出力ラインSOUT4~6で出力し、図33の主電源V_{CC}の低電位側V_{CCL}に接続するIGBTQ4~Q6を駆動する、ゲート駆動回路GDU(Gate Drive Unit)4~6と、GDU4~6と同じ機能で主電源V_{CC}の高電位側V_{CCH}に接続するQ1からQ3を駆動するゲート駆動回路GDU1~3と、V_{CCL}レベルの制御回路CUの信号とV_{CCH}レベルとV_{CCL}レベルの間を行き来するGDU1~3の信号(SIN1~3、SOUT1~3)との間を媒介する働きをするレベルシフト回路LSU(Level Shift Unit)とから構成されている。GDU1~3のドライブ電源(図35参照)V_{DD1}~V_{DD3}の高電位側をV_{DDH1}~V_{DDH3}、低電位側をV_{DDL1}~V_{DDL3}で示し、GDU4~6のドライブ電源は共通電源V_{DDC}(図35でも省略されている)であり、この共通電源V_{DDC}の高電位側をV_{DDHC}、低電位側をV_{DDLDC}で示す。またGDU4~6およびCUのドライブ共通電源V_{DDC}は10~20V程度であり、この共通電源V_{DDC}の低電位側V_{DDLDC}は図33の主電源V_{CC}の低電位側V_{CCL}に接続する。

【0005】

図35は図34のGDU1とIGBTQ1のさらに詳細な接続図を示す。ここではその他のGDUとIGBTは省略している。GDU1のドライブ電源V_{DD1}は10~20V程度であり、その低電位側V_{DDL1}はIGBTQ1のエミッタ端子Eに即ちインバータ出力のU相に接続され、IGBTQ1のコレクタ端子Cが主電源V_{CC}の高電位側V_{CCH}に接続されている。このため、IGBTQ1がオンした時はV_{DDL1}の電位はV_{CCH}の電位とほぼ等しくなり、またIGBTQ1がオフした時はV_{DDL1}の電位はV_{CCL}の電位とほぼ等しくなる。従って、GDU1と他の回路ユニットの間には主電源V_{CC}の電圧より、さらに高い絶縁耐圧が必要であり、このことはGDU2、3についても同様である。そしてレベルシフト回路LSUはそれ自体が高耐圧でなければならない。同図においてIGBTQ1は電流検出端子[16]Mと温度検出素子 および温度検出端子[17]Tempを備え、ゲート駆動回路GDU1は電流検出端子OC1や温度検出端子OT1によりIGBTQ1の異常を検

10

20

30

40

50

出し、異常信号を出力ライン S O U T 1 から出力する。O U T 1 はゲート駆動端子である。

【 0 0 0 6 】

図 3 6 は図 3 3 と同一回路をインテリジェントパワーモジュール[18]と呼ばれる製品を用いて構成した構成図である。この場合ゲート駆動回路 G D U 1 ~ G D U 6 は、低耐圧 I C や個別電子部品および半導体素子からなり、パワーデバイス (Q 1 ~ Q 6 、 D 1 ~ D 6) とともにパワーデバイス側のパッケージに備えられている。この場合でも、外付けの駆動回路としてはフォトカプラ (P C) や高耐圧 I C (H V I C) が用いられる。

図 3 7 は図 3 6 の I G B T Q 1 および G D U 1 のまわりの回路を詳細に示したものである。S I N 1 および S O U T 1 は外部の構成となる P C や H V I C に接続される。

10

【 0 0 0 7 】

またその他の構成例として、G D U 1 と Q 1 を 1 チップ (同一の半導体基板) に集積化するパワー I C 技術[19],[20] や図 3 6 の全ての回路を 1 チップに集積化するパワー I C 技術[11],[12] も開示されている。

図 3 8 は図 3 4 に示した高耐圧 I C (H V I C) のチップの平面図を示し、各回路ユニットの配置が分かるように描いている。他の回路ユニットから高耐圧で分離される必要のある G D U 1 は接合分離[21],[22],[10]や誘電体分離[23],[11],[12]により電氣的に分離された島の中に形成されており、その周縁部を高耐圧接合終端構造[11],[21] H V J T (絶縁するために高電圧が印加される接合の終端部の構造をいう) により囲まれている。レベルシフト回路 L S U の中には主電源 V_{CC} の低電位側の電位 V_{CCL} レベルの信号をドライ
ブ電源 V_{DD1} の低電位側の電位 V_{DDL1} レベルの信号 (入力ライン S I N 1 の信号) にレベ
ルシフトするための高耐圧 n チャネル M O S F E T (H V N) が設けられている。この高
耐圧 n チャネル M O S F E T には、中心のドレイン電極 D_N を囲んで高耐圧接合終端構造
[10],[11] H V J T が設けられている。また G D U 1 の分離された島の中には V_{DDL1} レ
ベルの信号 (出力ライン S O U T 1 の信号) を V_{CCL} レベルの信号にレベルシフトするた
めの高耐圧 p チャネル M O S F E T (H V P) が設けられており、この場合もドレイン電極
 D_P を囲んで高耐圧接合終端構造 H V J T が設けられている。そして、G D U 1 の入力
ライン S I N 1 と出力ライン S O U T 1 が、高耐圧接合終端構造 H V J T の上を
通って G D U 1 と L S U の間にそれぞれ跨がって配線されている。また各 G D U には
図 3 5 で示した O U T 端子、O C 端子、O T 端子が配置され、G D U 1 ~ G D U 3 には
 $V_{DDH1} \sim V_{DDH3}$ の端子、 $V_{DDL1} \sim V_{DDL3}$ の端子が配置され、また G D U 4 ~ G D U 6 には
 V_{DDHC} の端子と V_{DDLc} の端子が配置されている。同図では G D U 1 と G D U 4 の詳細な説明をし、他の G D U は詳細な配置説明は省略した。

20

30

【 0 0 0 8 】

【 発明が解決しようとする課題 】

前記した従来の高耐圧 I C やパワー I C の課題は 6 0 0 V を越える高耐圧化が困難なこと、製造コストが高いことなどであるが、さらに詳細に説明すると次のようになる。

(1) 分離技術に関する課題

先に述べたように、他の部分と電位の大きく異なる回路ユニット (例えば図 3 8 の G D U 1 、 2 、 3) を他の部分から電氣的に高耐圧で分離する分離技術には誘電体分離[11],[12],[23]、接合分離[10],[21],[22]、自己分離[20],[24]などの技術がある。しかし誘電体分離や接合分離は分離構造が複雑で製造コストが高く、耐圧が高くなるほど、この製造コストがさらに高くなる。また自己分離は製造コストは低く抑えられるが、C M O S (相補形 M O S F E T) 構成では高耐圧化技術が未だ開発されておらず、一方、高耐圧化が可能な N M O S (n チャネル M O S F E T) 構成ではアナログ回路 (先で述べた電流検出回路や温度検出回路を指す) の高精度化が極めて困難である。

40

(2) 高耐圧接合終端構造 H V J T に関する課題

高耐圧接合終端構造は、縦型パワーデバイス用のもの[25],[26]、横型高耐圧デバイス用のもの[27],[28],[29]など個々の用途別に各種構造が開示されている。しかしながら、高耐圧化した I C である H V I C やパワーデバイスを集積した高耐圧パワー I C において

50

は、集積回路ユニット間の高耐圧接合終端構造（図38のGDU1~3の回り）、高耐圧横型nチャンネルMOSFET用の高耐圧接合終端構造（図38のHVNのD_Nの回り）、高耐圧横型pチャンネルMOSFET用の高耐圧接合終端構造（図38のHVPのD_pの回り）、さらには縦型パワーデバイス用の高耐圧接合終端構造など多くの用途の高耐圧接合終端構造を同一チップ上に形成する必要がある。従来のような汎用性の少ない構造で高耐圧ICやパワーICを実現しようとする、多くの異なる高耐圧接合終端構造HVJTを同一チップ上に形成しなければならず、製造コストが高くなる。

(3) 配線下の高耐圧接合終端構造に関する課題

高耐圧ICでは、電位の大きく異なる集積回路ユニット（例えば図38のGDU1とLSU）間での信号のやり取りを行うため、高耐圧接合終端構造HVJT上に配線を通すことが必要とされる。ところが、高耐圧接合終端構造HVJT上を配線を通すとこの配線の電位の影響を受けて、高耐圧接合終端構造HVJTの耐圧が低下する問題がある[30]。この問題を解決するために、いくつかの構造[10],[11],[12],[31]が提案されているが、構造が複雑なため製造コストが高くなる。またこれらの提案されている構造では配線の影響を皆無にできなく、耐圧低下の程度を少なくしている丈であり、600V程度の耐圧までは実用化できても、それ以上の耐圧のものはまだ実現していない。

【0009】

この発明は、前記課題を解決するために、高耐圧に耐える第二領域および第四領域を設け、縦型パワーデバイスの高耐圧接合終端構造、集積回路ユニット間を分離する高耐圧接合終端構造、nチャンネルまたはpチャンネルの高耐圧横型MOSFETの高耐圧接合終端構造など幅広く利用できる汎用性が高く、低コストな高耐圧接合終端構造とし、配線が横切っても耐圧が低下せず高耐圧が維持できる、低コストな高耐圧接合終端構造とすることで、製造コストの低い高耐圧ICを提供することができる。参考文献〔1〕USP 4,364,073(IGBT関連)〔2〕USP 4,893,165(ノンパンチスルー形IGBT関連)〔3〕USP 5,008,725(パワーMOSFET関連)〔4〕EP 0,071,916、特開昭58-39065に対応(高速ダイオード内蔵パワーMOSFET関連)〔5〕USP 5,091,664(駆動回路関連)〔6〕USP 5,287,023(駆動回路関連)〔7〕USP 4,947,234(低耐圧ICとパワーデバイス関連)〔8〕USP 4,937,646(低耐圧ICとパワーデバイス関連)〔9〕A.Wegener and M.Amato "A HIGH VOLTAGE INTERFACE IC FOR HALF-BRIDGE CIRCUITS" Electrochemical Society Extended Abstracts, vol.89-1, pp.476-478(1989)〔10〕T.Terashima et al "Structure of 600V IC and A New Voltage Sensing Device" IEEE Proceeding of the 5th International Symposium on Power Semiconductor Devices and ICs,pp.224-229(1993)〔11〕K.Endo et al "A 500V 1A 1-chip Inverter IC with a New Electric Field Reduction Structure" IEEE Proceeding of the 6th International Symposium on Power Semiconductor Devices and ICs,pp.379-383(1994)〔12〕N.Sakurai et al "A three-phase inverter IC for AC220V with a drastically small chip size and highly intelligent functions" IEEE Proceeding of The 5th International Symposium on Power Semiconductor Devices and ICs,pp.310-315(1993)〔13〕M.Mori et al "A HIGH POWER IGBT MODULE FOR TRACTION MOTOR DRIVE" IEEE Proceeding of the 5th International Symposium on Power Semiconductor Devices and ICs,pp.287-289(1993)〔14〕USP 5,159,516 (電流検出方法関連)〔15〕USP 5,070,322 (温度検出方法関連)〔16〕USP 5,097,302 (電流検出用素子関連)〔17〕USP 5,304,837 (温度検出用素子関連)〔18〕K.Reinmuth et al "Intelligent Power Modules for Driving Systems" IEEE Proceeding of the 6th International Symposium on Power Semiconductor Devices and ICs,pp.93-97(1994)〔19〕USP 4,677,325 (IPS関連)〔20〕USP 5,053,838 (IPS関連)〔21〕R.Zambrano et al "A New Edge Structure for 2 kVolt Power IC Operation" IEEE Proceeding of the 6th International Symposium on Power Semiconductor Devices and ICs,pp.373-378(1994)〔22〕M.F.Chang et al "Lateral HVIC with 1200-V Bipolar and Field-Effect Devices" IEEE Transactions on Electron devices, vol.ED-33, No.12, pp.1992-2001(1986)〔23〕T.Ohoka et al "A WAFER BONDED SOI STRUCTURE FOR INTELLIGENT POWER ICs" IEEE Proceeding of the 5th I

10

20

30

40

50

International Symposium on Power Semiconductor Devices and ICs, pp.119-123(1993) [24] J.P.MILLER "A VERY HIGH VOLTAGE TECHNOLOGY(up to 1200V) FOR VERTICAL SMART POEWR ICs" Electrochemical Society Extended Abstracts, vol.89-1, pp.403-404(1989) [25] USP 4,399,449 (パワーデバイスのHVJT関連) [26] USP 4,633,292 (パワーデバイスのHVJT関連) [27] USP 4,811,075 (横型MOSFETのHVJT関連) [28] USP 5,258,636 (横型MOSFETのHVJT関連) [29] USP 5,089,871 (横型MOSFETのHVJT関連) [30] P.K.T.MOK and C.A.T.SALAMA "Interconnect Induced Breakdown in HVIC's" Electrochemical Society Extended Abstracts, vol. 89-1, pp. 437 -38(1989) [31] USP 5,043,781 (パワーIC関連)

【 0 0 1 0 】

10

【課題を解決するための手段】

この発明は前記の目的を達成するために、高耐圧ICが、第二導電形の領域と該第二導電形の領域内にループ状に形成された第一導電形の領域とからなるpn接合を有する高耐圧接合終端構造と、該高耐圧接合終端構造のループの内側に形成された少なくとも一つのMISトランジスタと、該高耐圧接合終端構造のループの内側にドレイン電極、外側にゲート電極とソース電極とを有する第二導電形チャンネルの高耐圧MISトランジスタとを備えることである。この発明によれば、耐圧クラスの異なる回路ユニットでも同一の高耐圧接合終端構造でよく、低コスト化できる。

【 0 0 1 1 】

【発明の実施の形態】

20

図1はこの発明の第1参考例の要部断面図を示す。図38の高耐圧接合終端構造HVJTに囲まれたGDU1~3の部分にこの発明が適用されている。以下、一部実施例を除き第一導電形をp形、第二導電形をn形として説明する。

高耐圧IC(HVIC)はホウ素をドーブしたp形半導体基板からなる第一領域1と、その表面層に選択的にリンのイオン注入を行って高温の熱拡散により形成したn形の第二領域2と、第二領域2の表面層に選択的にホウ素のイオン注入を行って高温の熱拡散により形成したp形の第三領域3と、第二領域2の表面層に選択的にリンをイオン注入し高温の熱拡散により形成したn形の第五領域5と、第三領域3の表面層に選択的にホウ素をイオン注入し高温の熱拡散により形成されたp形の第六領域6と、第二領域2の表面層に選択的に形成したp形の高濃度領域11(第一ソース領域と第一ドレイン領域になる)とこのp形の高濃度領域11に挟まれた第二領域2上にゲート絶縁膜13を介して形成されたゲート電極となる多結晶シリコン膜15とで構成されるpチャンネルMOSFET(pchMOSFET)と、第三領域3の表面層に選択的に形成されたn形の高濃度領域12(第二ソース領域と第二ドレイン領域になる)とこのn形の高濃度領域12に挟まれた第三領域3上にゲート絶縁膜13を介して形成されたゲート電極となる多結晶シリコン膜15とで構成されるnチャンネルMOSFET(nchMOSFET)と、第一領域1と第二領域2との間の第一のpn接合104に高い逆バイアス電圧が印加されたときに表面付近での電界集中によるブレイクダウンが生じないように、第一領域1を囲んで設けられた高耐圧接合終端構造HVJTとからなる。p形の高濃度領域11は高濃度のホウ素がドーブされ、n形の高濃度領域は高濃度のリンがドーブされている。ゲート絶縁膜13は厚みが200~500程度のシリコン酸化膜で形成される。第一領域1上、第二領域2上および第五領域5上の一部にフィールド絶縁膜14が厚み5000~10000程度のシリコン酸化膜で形成され、その上に選択的に導電膜であるリンドーブされたn形の高濃度シリコン膜15が厚さ3000~6000程度で形成される。またこの多結晶シリコン膜15は第三領域3と第二領域2の向かい合う領域にも同図に示すように形成される。層間絶縁膜16は例えば常圧CVD等により形成された、厚さ5000~10000のBPSG膜である。第一金属膜17は第一主面側の配線や電極として用いる例えば厚さ5000~10000程度のAl-1%Si膜である。第一領域1の不純物濃度は $10^{13} \sim 10^{15} \text{ cm}^{-3}$ 程度であり、例えば600V耐圧の高耐圧ICでは $1.5 \times 10^{14} \text{ cm}^{-3}$ 以下、1200V耐圧の高耐圧ICでは $8 \times 10^{13} \text{ cm}^{-3}$ 以下というように必要とする耐圧により

30

40

50

適切な不純物濃度が異なる。第一領域 1 の不純物濃度と第二領域 2 の不純物のドーピング量（ドーピング量）は第一領域 1 と第二領域 2 との間の第一の p n 接合 1 0 4 が高電圧に逆バイアスされたときでも第一の p n 接合 1 0 4 の両側に広がる空乏層 1 0 1 の第二領域 2 側での空乏層端 1 0 2 が第三領域 3 へは届かず第二領域 2 内に止まるように設定される。これを満たすには、第三領域 3 下の第三領域 3 と第一領域 1 とに挟まれた第二領域 2 の部分の正味のドーピング量を $1 \times 10^{12} \text{ cm}^{-2}$ 以上、 $3 \times 10^{13} \text{ cm}^{-2}$ 以下にすることが効果的である。典型的な例を次に示す。第二領域 2 の形成を $5 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ のドーピング量のリンの選択的なイオン注入と 1 1 5 0、3 ~ 1 0 時間程度の熱拡散を行いその深さを 3 ~ 8 μm 程度に設定し、第三領域 3 の形成を $1 \times 10^{13} \sim 5 \times 10^{13} \text{ cm}^{-2}$ のドーピング量のホウ素の選択的なイオン注入と 1 1 0 0、2 ~ 1 0 時間程度の熱拡散により行い、その深さを 1 ~ 4 μm 程度に設定する。第五領域 5 および第六領域 6 のドーピング量は $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度、p 形および n 形の高濃度領域 1 1、1 2 のドーピング量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度である。高耐圧接合終端構造 H V J T は、従来技術の引用文献の中から色々な構造を用いることが可能であり、また引用した以外の構造も用いることもできる。第二領域 2 内に設けた比較的高濃度にドーピングされた n 形の第五領域 5 は、第一領域 1 をコレクタ、第二領域 2 をベース、第三領域 3 をエミッタとする寄生バイポーラトランジスタのベース抵抗を低く抑えて、その誤動作を防ぐためのものである。この第五領域 5 は、第三領域 3 に対向する第二領域 2 の表面層や第一領域 1 に対向する第二領域 2 の表面層に形成し、できる限り第三領域 3 の回りを概ね囲うように設けたり、第二領域 2 表面上で M O S F E T などの素子を形成しない領域（フィールド領域）の大半を覆うように設けたりすることで誤動作を防止する効果が高まる。また第三領域 3 内に設けた比較的高濃度にドーピングされた p 形の第六領域 6 は第二領域 2 をコレクタ、第三領域 3 をベース、n 形の高濃度領域 1 2 をエミッタとする寄生バイポーラトランジスタのベース抵抗を低く抑えてその誤動作を防ぐものである。この第六領域 6 においても、前記第五領域 5 の形成と同様の配置上の工夫することで効果を高めることができる。

【 0 0 1 2 】

同図に示した高耐圧 I C (H V I C) の例は第一導電形が p 形、第二導電形が n 形であるので、第一領域 1 は図 3 4 の V_{DDLC} 即ち図 3 3 の V_{CC} に接続され、第三領域 3 は図 3 4 の V_{DDL1} 即ち図 3 3 の U 相に接続され、第二領域 2 は 1 5 V 程度のドライブ電源 V_{DD1} から高電位側の出力 V_{DDH1} が接続される。また同図では簡略化のため、第二領域 2 および第三領域 3 内に p チャネル M O S F E T と n チャネル M O S F E T のみを図示したが、実際はこれらの素子以外に抵抗やコンデンサ、ダイオードやバイポーラトランジスタなどの各種デバイスを多数集積化して形成することができ、これらのデバイスを用いてゲート駆動回路 G D U 1 (図 3 3 および図 3 5) を構成することができる。そして、後述する構造の高耐圧 n チャネル M O S F E T (H V N) や高耐圧 p チャネル M O S F E T (H V P) を図 3 8 に示したように加え、G D U 1 と L S U との間の信号配線である入力ライン S I N 1 と出力ライン S O U T 1 を形成すれば図 3 3 ~ 図 3 5 に説明した高耐圧 I C となる。

【 0 0 1 3 】

図 2 は第 2 参考例を示す要部構造図で、同図 (a) は図 3 8 における G D U 1 と高耐圧接合終端構造 H V J T に対応する部分の要部平面図で、同図 (b) は同図 (a) の X - X で切断した要部断面図である。同図 (a) において、G D U 1 は高耐圧接合終端構造 H V J T に周囲を囲まれた第二領域 2 および第四領域 4 に形成されている。同図 (b) において、第二領域 2 に囲まれて、第二領域 2 とは分離された n 形の第四領域 4 が設けられ、この第二領域 2 と第四領域 4 とに跨がって多結晶シリコンからなるループ状の第一導電膜 7 がフィールド絶縁膜 1 4 を介して設けられている。この第一導電膜 7 と図 1 の多結晶シリコン膜 1 5 とは同様の働きをする。同図 (b) では第四領域 4 は一つしか描いていないが、当然必要により複数（もしくは多数）設けることもできる。第四領域 4 は第二領域 2 の形成と同時にリンを選択的にイオン注入するときのマスクのパターン形状を変えるだけで形成される。この第四領域 4 には n p n トランジスタを形成した例が示してあり、第六領域 6 の形状と同時に形成したベース領域 3 1、n 形の高濃度領域 1 2 の形成と同時に形成

10

20

30

40

50

したエミッタ領域3 2およびコレクタとしての第二領域2を備え、第二領域2内に設けるのと同じ理由で第四領域4にも第五領域5を設けている。第二領域2内と第三領域3内とにpチャンネルMOSFET(pchMOSFET)とnチャンネルMOSFET(nchMOSFET)とを設けた例を示しているが、第二領域2および第三領域3には前記同様多くの種類のデバイスを集積化することができ、また同様に第四領域4にも第三領域3と同様のp形の領域(図示されていないが仮に第七領域と呼ぶこととする)を設けて、この第四領域4および第七領域に多くの種類のデバイスを集積化することができる。第四領域4は第二領域2のドライブ電源 V_{DD1} と異なる電源 V_{EE1} (例えば15Vの V_{DD1} を降圧安定化したアナログ回路用の10V電源やロジック回路用の5V電源など)の回路ユニットとして利用でき、また同図(b)に示すようにコレクタ(C)が第二領域2から独立した

10

【0014】

また同図(b)において、第二領域2と第四領域4に挟まれた第一領域1表面上にはフィールド絶縁膜14を介して第二領域2と第四領域4とに跨がる導電膜7が設けられており、高電圧が印加される第一領域1と第二領域2との間の第一のpn接合104と第一領域1と第四領域4との間の第四のpn接合105が不連続であることによる電界集中を防止し、高い耐圧が確保できるようになっている。この導電膜7は浮遊電位状態(フローティング)にしておくよりも、第二領域2もしくは第四領域4に電氣的に接続し、電位的に安定化しておく方が好ましい。また第二領域2と第四領域4の間の分離耐圧を高くとりたい場合には、第一導電形がp形の場合は、この第一導電膜7を第二領域2と第四領域4のうち低電位側の領域に接続し、n形の場合は高電位側の領域に接続するとよい。こうすれば、第一導電膜7をゲートとする寄生のMOSFETがオンし難くなるからである。

20

【0015】

図3は第3参考例を示す要部構造図で、同図(a)はゲート駆動回路ユニットを1チップ化したときの平面図、同図(b)はその断面図、同図(c)はゲート駆動回路ユニット(1チップ化されている)とパワーデバイス(例えばIGBTとダイオード)とがヒートシンク上に形成された断面図である。ここでは前記説明とは導電形を逆にし、第一導電形をn形、第二導電形をp形とした。

同図(a)において、n形の第一領域1上に高耐圧接合終端構造HVJTに囲まれてp形の第二領域2が設けられている。この図は図2、3、6のゲート駆動回路ユニットであるGDU1部分だけを1チップに集積化した高耐圧IC(GDUIC1)の平面図を示す。

30

【0016】

同図(b)において、n形の第一領域1に形成されたp形の第二領域2およびn形の第三領域3に、nチャンネルMOSFET(nchMOSFET)とpチャンネルMOSFET(pchMOSFET)がそれぞれ形成されている。この第二領域2および第三領域3にも当然多くの種類のデバイスが集積化できる。この高耐圧IC(GDUIC1)の裏面には、例えばTi/Ni/Auの三層の金属膜からなる第二金属膜18が設けられ、はんだで金属板と固着できるようにしてある。

40

同図(c)において、高耐圧IC(GDUIC1)がnチャンネル形の縦型パワーデバイスQ1(IGBTなど)およびダイオードD1と共に図33および図35の V_{CCH} に接続されることになる金属板33上にはんだ接合で固着される。この場合、第一導電形がn形であるので、この高耐圧IC(GDUIC1)の裏面をパワーデバイスの裏面(コレクタまたはドレイン)が固着している金属板33に接着しても、第一領域1と第二領域2との間の第一のpn接合104は常に逆バイアスとなり、第二領域2に形成された各種デバイスは第一領域1から電氣的に絶縁され、動作上全く問題ない。尚、金属板33は例えばセラミックからなる絶縁板34を介して銅やアルミニウムからなるヒートシンク35上に設置されている。

【0017】

50

図4は第4参考例の要部構造図を示し、同図(a)はGDU1の部分だけを1チップに集積化した高耐圧ICであるGDUIC1の平面図、同図(b)はその断面図、同図(c)はGDUIC1をパワーデバイスQ1のエミッタ(もしくはソース)電極上に固着した断面図である。同図(a)は図3(a)と同じであるため説明は省略する。同図(b)において、第一領域1および第三領域3はp形、第二領域2はn形である。また同図(c)において、GDUIC1とパワーデバイスQ1のエミッタ(もしくはソース)電極との固着は例えばエポキシ系の接着剤が使用できる。またこの場合も第一導電形がp形であればpn接合104は常に逆バイアスとなるので、前記で述べたように動作上全く問題ない。
【0018】

図5は第5参考例の要部構造図を示し、同図(a)は平面図、同図(b)は断面図である。同図(a)において、高耐圧接合終端構造HVJTでnチャネル形の縦型パワーデバイスQ1(ここではIGBTを示す)が囲まれ、さらにGDU1がこのパワーデバイスQ1で囲まれている。

同図(b)において、Q1のp形のベース領域36に囲まれた第二領域2がn形のドリフト領域40である第一領域1の表面層に形成されている。第二領域2とQ1のベース領域36の間の第一領域1の表面にフィールド絶縁膜14を介して第一導電膜7が形成される。この第一導電膜7はQ1のエミッタ電極と共に図2の第一導電膜7と同じ働きをする。Q1はIGBTを示し、第一領域1の第二主面側にn⁺バッファ層38およびp⁺基板39があり、p⁺基板39表面上に第二金属膜18が形成され、周縁部はパッシベーション膜19(例えば10000のシリコン窒化膜)が被覆されている。

【0019】

図6は第6参考例の要部平面図、図7は第7参考例の要部平面図を示す。これらは別の参考例である。図3の参考例ではGDU1のみの例を示したが、これらの図は図34および図38に示すものに対応した参考例で、図6は高耐圧接合終端構造HVJTがGDU4~GDU6とCUおよびLSUを一括して取り囲んでいる参考例を示し、図7は高耐圧接合終端構造HVJTが図38の各回路ユニットを一括して取り囲んでいる参考例を示す。図7は図6と比べ、入力ラインSIN1、出力ラインSOUT1の各配線が横切る高耐圧接合終端構造HVJTの数が少ないため、(図6は3個、図7は2個)、耐圧低下が起り難い。また各回路ユニットの説明は前記と同様のため省略する。

【0020】

図8以降において、図中の番号の()内の番号は、図1ないし図5の参考例に対応する番号と同じ製造方法で、それらと同時に同一チップ上に形成され得るものであることを示している。また第一導電形をp形、第二導電形をn形とした場合で説明する。当然逆の導電形にしてもよい。

図8は第8参考例でダイオードに用いた場合の高耐圧接合終端構造図を示し、同図(a)は要部断面図、同図(b)、同図(c)は平面図である。

同図(a)において、第一領域1はホウ素をドーブした半導体基板で濃度は $10^{13} \sim 10^{15} \text{ cm}^{-3}$ 程度である。この濃度は必要とする耐圧により異なる。第八領域8は、第一領域1の表面からの選択的なリンのイオン注入(ドーズ量： $3 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度)と1150、3~10時間程度の熱拡散により形成し、その拡散深さは3~8 μm 程度である。第九領域9は、第八領域8の表面からの選択的なホウ素のイオン注入(ドーズ量： $1 \times 10^{12} \sim 1.5 \times 10^{13} \text{ cm}^{-2}$ 程度)と1150、1~5時間程度の熱拡散により形成し、その拡散深さは1.5~5 μm 程度である。n形の高濃度領域45は、カソード電極Kと第八領域8の電氣的接続を良好にするために設けた領域で、例えば選択的なリンのイオン注入(ドーズ量： $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度)と1000~1100程度の熱処理により第五領域(図1参照のこと)と同時に形成される。p形の高濃度領域46は、アノード電極Aと第九領域9の電氣的接続を良好にするために設けた領域で、例えば選択的なホウ素のイオン注入($1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度)と1000~1100程度の熱処理により第六領域6(図1参照のこと)と同時に形成される。フィールド絶縁膜14および第九領域9上の絶縁膜41は熱酸化膜で、膜厚は5000

10

20

30

40

50

~ 10000 程度である。カソード電極 K とアノード電極 A は例えば Al - 1% Si からなる第一金属膜 17 からなり、膜厚は 5000 ~ 10000 程度である。パッシベーション膜 19 は、例えばアモルファスシリコン膜やシリコンリッチの SiN 膜 (窒化膜) で膜厚は 5000 ~ 15000 程度である。この場合、抵抗性フィールドプレートとして用いるために、高抵抗膜 44 として第九領域 9 上の絶縁膜 41 上にカソード電極 K と共通の第二導電膜 42 とアノード電極 A と共通の第三導電膜 43 の双方に接触して設けられている。高抵抗膜 44 の抵抗率はシート抵抗で $10^{13} \sim 10^{11} / \square$ 程度である。第二導電膜 42 および第三導電膜 43 は、フィールドプレートとして第九領域 9 の上の絶縁膜 41 上へ延在している。第九領域下の第一領域 1 と第九領域とに挟まれた第八領域部分 116 の正味のドーピング量は $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $4 \times 10^{12} \text{ cm}^{-2}$ 以下となるように設定されており、第九領域 9 の正味のドーピング量は $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $2 \times 10^{12} \text{ cm}^{-2}$ 以下となるように設定されている。これにより、第一領域 1 と第八領域 8 の間の第二の pn 接合 111 と第八領域 8 と第九領域 9 の間の第三の pn 接合 112 がともに逆バイアスされたときに、第二の pn 接合 111 の両側に広がる第二の空乏層 113 と第三の pn 接合 112 の両側に広がる第三の空乏層 114 とは第八領域 8 内で結合し、また第三の空乏層 114 は第九領域 9 の表面 115 まで達している。つまり、この高耐圧接合終端構造 HVJT のアノード電極 A とカソード電極 K とに平面上で挟まれた第八領域 8 および第九領域 9 には、第一領域 1 まで達する空乏層 (結合した第二の空乏層 113 と第三の空乏層 114) が水平方向にも垂直方向にも拡がり、その結果高い耐圧が得られる。垂直方向に拡がるのは第一領域 1 が低濃度であるためである。第二導電膜 42 は、第二導電形の高濃度領域 45 近辺での電界集中を防ぐために、第三導電膜 43 は、p 形の高濃度領域 46 近辺での電界集中を防ぐために有効である。高抵抗膜 44 は、第二導電膜 42 と第三導電膜 43 の間を高抵抗膜 44 を介して流れる電流が、高抵抗膜 44 に沿って生ずる水平方向の滑らかな電位分布を第九領域 9 上の絶縁膜 41 の容量を介して絶縁膜下の半導体領域内へ静電的に作用させ、半導体領域の空乏層中の電位分布を水平方向に滑らかに安定化させるので、より一層小さい高耐圧接合終端構造の水平距離で高耐圧を得るために効果的である。

【0021】

同図 (b) は、同図 (a) の高耐圧接合終端構造の平面的な配置図を示し、同図 (a) に一点鎖線で示した中心線を軸に同心円上の配置で、アノード電極 A とカソード電極 K に挟まれた高耐圧接合終端構造 HVJT が円形のループで帯状に設けられている。この配置は小さい活性面積のデバイスに適する。

同図 (c) も、同図 (a) の高耐圧接合終端構造 HVJT の平均的な配置の例であり、この場合大きい活性面積のデバイスに適するように櫛歯状に配置されたアノード電極 A とカソード電極 K に挟まれた高耐圧接合終端構造 HVJT が、櫛歯の間をぬって曲がりくねった形のループで、帯状に設けられている。

【0022】

尚、ループ状とは、帯状で、かつ円形や櫛歯形などの形状をした環状のものをいう。

図 9 は第 9 参考例の要部断面構造を示す。これは、従来から高耐圧 IC に用いられている接合分離の構造に本発明を適用したものである。図 8 (a) との違いは、第八領域 8 が第一領域 1 上へのエピタキシャル成長により形成された層であり、したがって、この第八領域 8 を他の部分から電気的に分離するための高濃度の p 形の分離領域 47 を設けている点である。その他の部分は図 8 (a) と全く同じであり同じ番号を付けている。エピタキシャル成長により形成された第八領域 8 は厚さが $5 \sim 15 \mu\text{m}$ 程度でリンが 1×10^{15} から $1 \times 10^{16} \text{ cm}^{-3}$ 程度ドーピングされている。分離領域 47 は、第八領域 8 のエピタキシャル成長後第九領域 9 の形成前に、例えばドーピング量が $1 \times 10^{15} \text{ cm}^{-2}$ のホウ素の選択的なイオン注入と 1200、2 ~ 10 時間程度の熱拡散により形成する。第八領域 8 のエピタキシャル成長による形成と分離領域 47 の形成に関する分、図 8 の実施例よりコストは高くなり、また分離領域 47 の形成のために、高温の熱処理が必要となり、この高温の熱処理で発生するシリコン結晶内の欠陥による良品率の低下も多少招くが、接合分離という

従来技術の上にもそのまま適用できるという便利さがある。同図の平面的な配置は図 8 (b)、(c)と同様である。

【 0 0 2 3 】

図 1 0 は第 1 0 参考例の要部断面図を示す。第一領域 1、第八領域 8、第九領域 9、フィールド絶縁膜 1 4、第九領域 9 上の絶縁膜 4 1 (1 4)、第二導電膜 4 2 および第三導電膜 4 3、パッシベーション膜 1 9、および高抵抗膜 4 4 (1 9) は図 8 の参考例と同じである。本参考例が違う点は、高耐圧接合終端構造 H V J T を挟んで、一方の側に n 形の高濃度領域 5 0 (1 2) を介して第八領域 8 と電氣的に接続された第一のドレイン電極 D 1 (この場合、第二の導電体 4 2 と共通) を備え、他方の側に第九領域 9 と電氣的につながった p 形のベース領域 4 8 と、このベース領域 4 8 中に選択的に設けられた高濃度の n 形のソース領域 4 9 と、第八領域 8 とソース領域 4 9 とに挟まれたベース領域 4 8 表面の n チャネル領域 5 2 と、少なくともチャネル領域上に設けられた第一のゲート絶縁膜 5 1 および第三のゲート電極 G 1 と、少なくとも前記 n 形のソース領域 4 9 に電氣的に接続された第一のソース電極 S 1 (この場合第三導電膜 4 3 と共通) とを備えた n 形チャネル (この場合 n チャネル) の高耐圧 M I S トランジスタ (この場合 M O S F E T) であることと、第三のゲート電極 G 1 と第一のソース電極 S 1 との間の電氣的な絶縁を行うための層間絶縁膜 1 6 を備え、これがさらに第九領域 9 上の絶縁膜 4 1 (1 6) としても用いられる点である。同図の平面的配置も、図中の一点鎖線のいずれかを中心にした図 8 (b) のような同心円状の配置や、図中の一点鎖線での折り返しによる同図 (c) のような櫛歯状の配置など、いろいろな配置が可能である。

10

20

【 0 0 2 4 】

図 1 1 は、第 1 1 参考例の要部断面図を示す。第一領域 1、第八領域 8、第九領域 9、フィールド絶縁膜 1 4、第九領域 9 上の絶縁膜 4 1 (1 4)、第二および第三の導電体 4 2 および 4 3、パッシベーション膜 1 9、および高抵抗膜 4 4 (1 9) は図 8 の参考例と同じである。本参考例が違う点は、高耐圧接合終端構造 H V J T を挟んで、一方の側に第八領域 8 表面上に選択的に形成された p 形のソース領域 5 6 (1 1) と、第九領域 9 と p 形のソース領域 5 6 (1 1) とに挟まれた第八領域 8 表面の p 形チャネル領域 5 4 と、少なくとも p 形チャネル領域 5 4 上に形成された第二のゲート絶縁膜 5 3 (1 3) およびこのゲート絶縁膜 5 3 (1 3) 上の第四のゲート電極 G 2 と、少なくとも前記 p 形のソース領域 5 6 (1 1) と電氣的に接続された第二のソース電極 S 2 とを備え、他方の側に第九領域 9 と p 形の高濃度領域 5 5 (1 1) を介して電氣的に接続した第二のドレイン電極 D 2 とを備えていることである。

30

【 0 0 2 5 】

図 1 2 は第 1 2 参考例の要部断面図を示す。高耐圧接合終端構造 H V J T に囲まれ、n 形の第八領域 8 と n 形の第二領域 2 とを同一拡散工程で同時に形成し、第二領域 2 の表面層に選択的に形成された p 形の第三領域 3 と、第二領域 2 の表面層に形成された p 形チャネルの M I S トランジスタと、第三領域 3 の表面層に形成された n 形チャネルの M I S トランジスタとを形成する。また第二領域 2 と第八領域 8 を連結して一体の領域を形成してもよい。これ以降の図の説明で第八領域の番号を 8 (2) としたのは第二領域と同一工程で第八領域を形成し得ることを示している。また同図の平面的な配置は、図 6 の G D U 1 がその例となる。

40

【 0 0 2 6 】

図 1 3 は第 1 3 参考例の要部平面図を示す。図 3 8 の従来例との相違点は第一の出力配線 6 1 と第二の出力配線 6 2 下の電界強度を弱めるために、G D U 1 を取り囲む第一の高耐圧接合終端構造 H V J T 1 と、G D U 1 内および L S U 内に形成される横型 M O S F E T を取り囲む第二の高耐圧接合終端構造 H V J T 2 とが同一構造の高耐圧接合終端構造 H V J T で構成され、かつ一体となっている点である。このように構成することで、第一の出力配線 6 1 および第二の出力配線 6 2 と、これらの出力配線の下の高耐圧接合終端構造 H V J T の電位差を他の高耐圧接合終端構造 H V J T より小さくできる。そのため、これらの出力配線 6 1、6 2 の電位が高耐圧接合終端構造部の半導体表面の電位分布に及ぼす

50

影響を軽減し、耐圧低下を防止できる。図中の符号は図38と同一であるので、その説明は省略する。第一の出力配線61、第二の出力配線62は図38のSIN1とSOUT1に対応する。S1、S2は第一、第二のソース電極を示し、D1、D2は第一、第二のドレイン電極を示す。

【0027】

図14は電位差の強弱を図13の平面図に示した図である。出力配線61、62付近では電位差が小さく、その他の箇所では大きい。

図15は第14参考例の要部断面図で、図13のA-A線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。

図16は第14参考例の要部断面図で、図13のB-B線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。

10

【0028】

図17は第14参考例の要部断面図で、図13のC-C線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。

図15ないし図17において、図13で示す高耐圧接合終端構造HVJTがGDU1用と高耐圧nチャネルMOSFET(HVN)用と高耐圧pチャネルMOSFET(HVP)用とがそれぞれ共用の一体構造とすることで、高耐圧nおよびpチャネルMOSFET(高耐圧MISTランジスタの一つ)のドレイン電極D1、D2のまわりの高耐圧接合終端構造HVJTのうち、ソース電極S1、S2のある側に面している高耐圧接合終端構造HVJT部分には約400V程度(図15ではD1の左側、図16ではD2の右側)の高い電圧が印加されるのに対し、反対側に面している高耐圧接合終端構造HVJT部分には15V程度の微小な電圧(図15ではD1の右側、図16ではD2の左側、つまり第一、第二の出力配線61、62のある側)が印加される丈である。この僅かな電位差しかない高耐圧接合終端構造HVJTを横切らせて、第一、第二の出力配線61、62を配置することで、半導体領域の電位分布に殆ど影響を与えず配線することができる。したがって耐圧低下を生じさせずに配線できる。

20

【0029】

図18ないし図20は第15参考例の要部断面図を示し、図13のA-A線、B-B線、C-C線の各切断部に相当する要部断面図を示す。これは第14参考例の変形例である。

30

図18ないし図20と図15ないし図17との違いは高電圧に曝される側の半導体領域にn形の高濃度領域58を第一領域1と第二領域8(又は2)に跨がって埋め込み、さらにソース電極S1側である低電位側にp形の高濃度領域47を第一領域1に接するように形成することでさらに前記の効果を高めている。

図21は第1実施例の要部平面図を示す。図13との違いは高耐圧接合終端構造HVJTの平面的な配置のされ方であり、この実施例では第一、第二の出力配線61、62の近傍において、高耐圧接合終端構造HVJTを設けていない点である。これは図13~図17において説明したように、この領域には大きな電位差が発生しないので、必ずしも高耐圧接合終端構造HVJTを設ける必要がない。

【0030】

図22ないし図26は第1実施例の要部断面図と電位分布を示す。

40

図22は図21のA-A線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。図15との違いは、第一の出力配線61下の第九領域9がこの場合なくしてあり、第八領域8のみが設けられていることである。これは先に説明したように、この領域には大きな電位差が発生しないので高耐圧接合終端構造HVJTを設ける必要がないためである。

図23は図21のB-B線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。図16との違いは、第二の出力配線62下の第九領域9が設けられていないことであり、理由は図22の場合と同じである。

【0031】

50

図 2 4 は図 2 1 の C - C 線切断部の要部断面図と電位分布図を示し、同図 (a) は要部断面図、同図 (b) は電位分布図である。これらは図 1 7 と同じであるので説明は省略する。

図 2 5 は図 2 1 の X - X 線切断部の要部断面図と電位分布図を示し、同図 (a) は要部断面図、同図 (b) は電位分布図である。第一の出力配線 6 1 下には第九領域 9 が設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。

図 2 6 は図 2 1 の Y - Y 線切断部の要部断面図と電位分布図を示し、同図 (a) は要部断面図、同図 (b) は電位分布図である。第二の出力配線 6 2 下には第九領域が設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。

10

【 0 0 3 2 】

図 2 7 ないし図 3 1 は第 2 実施例の要部断面図と電位分布図を示し、第 1 実施例の変形例である。

図 2 7 は図 2 1 の A - A 線切断部の要部断面図と電位分布図を示し、同図 (a) は要部断面図、同図 (b) は電位分布図である。図 2 2 との違いは、第一の出力配線 6 1 下の第九領域 9 および第八領域 8 の両方とも設けられていない部分があることである。この理由も先に述べたのと同じである。ただし、この実施例のように第八領域 8、第九領域 9 の両領域がなく、第一領域 1 の表面が第一の出力配線 6 1 下にある場合には、後に示す図 3 0 で説明するような注意が必要である。

20

【 0 0 3 3 】

図 2 8 は図 2 1 の B - B 線切断部の要部断面図と電位分布図を示し、同図 (a) は要部断面図、同図 (b) は電位分布図である。図 2 3 との違いは、第二の出力配線 6 2 下に第九領域 9 および第八領域の両領域とも設けられていないことであり、その理由は図 2 7 の場合と同じである。

図 2 9 は図 2 1 の C - C 線切断部の要部断面図と電位分布図を示し、同図 (a) は要部断面図、同図 (b) は電位分布図である。これらは図 1 7 と同じであるので説明は省略する。

図 3 0 は図 2 1 の X - X 線切断部の要部断面図と電位分布図を示し、同図 (a) は要部断面図、同図 (b) は電位分布図である。第一の出力配線 6 1 下には第九領域 9 および第八領域 8 の両領域とも設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。ただし、第八領域 8 に挟まれた第一領域 1 が半導体基板の表面に達する部分は電位的に安定にするため、第一の出力配線 6 1 で完全に覆った方がよい。そうしない場合にはその部分で耐圧低下が生じる場合があるからである。

30

【 0 0 3 4 】

図 3 1 は図 2 1 の Y - Y 線切断部の要部断面図と電位分布図を示し、同図 (a) は要部断面図、同図 (b) は電位分布図である。第二の出力配線 6 2 下には第九領域および第八領域 8 の両領域とも設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。

図 3 2 は第 3 実施例の要部平面図を示す。

40

この場合は高耐圧接合終端構造 H V J T は単なるループ状に設けられている。前記した図 1 3 や図 2 1 の場合は高耐圧接合終端構造 H V J T は平面的配置で凸凹形状に設けられていた。その理由は高耐圧 n チャネルトランジスタ H V N のドレイン D 1 と G D U 1 を形成する第二領域 8 (又は 2) (例えば図 1 5) との距離および高耐圧 p チャネルトランジスタ H V P のドレイン D 2 と p 形の高濃度領域 5 7 (例えば図 1 9) との距離をそれぞれ大きくとることによって寄生的なもれ電流を小さくするためであった。

【 0 0 3 5 】

しかし図 3 2 の場合は、高耐圧接合終端構造 H V J T が凸凹のない形状に設けられている。この場合は、図 1 3 や図 2 1 に比較して高耐圧接合終端構造の占める面積が小さくなるという利点がある。ただし、この場合は、前述した寄生的なもれ電流が大きくなり、高

50

耐圧ICの無効な消費電力の増大につながるデメリットも大きい。600Vを超えるような高耐圧ICの場合は図21の実施例の方が適している。

【0036】

【発明の効果】

この発明によれば、第一領域と第二領域の接合を逆バイアスし、第二領域の表面層に形成した第三領域に空乏層が達しないように第二領域を設けることで、第三領域内に設けた各種デバイスが、低コストで第一領域から電氣的に絶縁分離することができる。この接合構造を採用することで、耐圧クラスの異なる回路ユニットでも同一の高耐圧接合終端構造でよく、低コスト化できる。また、この接合構造で耐圧を確保するので、高耐圧接合終端構造部上に橋渡しする配線で耐圧低下が生じなくなる。またパワーデバイスを固着する金属板に温度検出部などを備える高耐圧ICを固着したり、パワーデバイス上にこの高耐圧ICを固着したり、また同一半導体基板にパワーデバイスとこの高耐圧ICを集積することで高精度の温度検出ができる。以上のことから、低コストで高性能な高耐圧ICの実現が可能となる。

10

【図面の簡単な説明】

【図1】 この発明の第1参考例の要部断面図

【図2】 この発明の第2参考例を示す要部構造図で、(a)はGDU1と高耐圧接合終端構造HVJTに対応する部分の要部平面図で、(b)は(a)のX-Xで切断した要部断面図

【図3】 この発明の第3参考例を示す要部構造図で、(a)はゲート駆動回路ユニットを1チップ化したときの平面図、(b)はその断面図、(c)はゲート駆動回路ユニットとパワーデバイスとがヒートシンク上に形成された断面図

20

【図4】 この発明の第4参考例の要部構造図を示し、(a)はGDU1の部分だけを1チップに集積化した高耐圧ICであるGDUIC1の平面図、(b)はその断面図、(c)はGDUIC1をパワーデバイスQ1のエミッタ(もしくはソース)電極上に固着した断面図

【図5】 この発明の第5参考例の要部構造図を示し、(a)は平面図、(b)は断面図

【図6】 この発明の第6参考例の要部平面図

【図7】 この発明の第7参考例の要部平面図

【図8】 この発明の第8参考例でダイオードに用いた場合の高耐圧接合終端構造図を示し、(a)は要部断面図、(b)は平面図、(c)は別の平面図

30

【図9】 この発明の第9参考例の要部断面構造図

【図10】 この発明の第10参考例の要部断面図

【図11】 この発明の第11参考例の要部断面図

【図12】 この発明の第12参考例の要部断面図

【図13】 この発明の第13参考例の要部平面図

【図14】 図13に電位差の強弱を示した図

【図15】 この発明の第14参考例で図13のA-A線切断部の要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

【図16】 この発明の第14参考例で図13のB-B線切断部の要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

40

【図17】 この発明の第14参考例で図13のC-C線切断部に相当する要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図

【図18】 この発明の第15参考例で図13のA-A線切断部に相当する要部断面図

【図19】 この発明の第15参考例で図13のB-B線切断部に相当する要部断面図

【図20】 この発明の第15参考例で図13のC-C線切断部に相当する要部断面図

【図21】 この発明の第1実施例の要部平面図

【図22】 この発明の第1実施例で図21のA-A線切断部の要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

【図23】 この発明の第1実施例で図21のB-B線切断部の要部断面図と電位分布図

50

を示し、(a)は要部断面図、(b)は電位分布図

【図24】 この発明の第1実施例で図21のC-C線切断部の要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

【図25】 この発明の第1実施例で図21のX-X線切断部の要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

【図26】 この発明の第1実施例で図21のY-Y線切断部の要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

【図27】 この発明の第2実施例で図21のA-A線切断部に相当する要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

【図28】 この発明の第2実施例で図21のB-B線切断部に相当する要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

10

【図29】 この発明の第2実施例で図21のC-C線切断部に相当する要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

【図30】 この発明の第2実施例で図21のX-X線切断部に相当する要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

【図31】 この発明の第2実施例で図21のY-Y線切断部に相当する要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

【図32】 この発明の第3実施例の要部平面図

【図33】 モータ制御用インバータのパワー部分を中心に説明する回路構成図

【図34】 図33で用いられる高耐圧ICの内部構成のブロック図

20

【図35】 図34のGDU1とIGBTQ1のさらに詳細な接続図

【図36】 図33と同一回路をインテリジェントパワーモジュールと呼ばれる製品を用いて構成した構成図

【図37】 図36のIGBTQ1のまわりの回路を詳細に示した構成図

【図38】 図34に示した高耐圧ICのチップの平面図

【符号の説明】

- | | | |
|----|-----------|--|
| 1 | 第一領域 | |
| 2 | 第二領域 | |
| 3 | 第三領域 | |
| 4 | 第四領域 | |
| 5 | 第五領域 | |
| 6 | 第六領域 | |
| 7 | 第一導電膜 | |
| 8 | 第八領域 | |
| 9 | 第九領域 | |
| 11 | p形の高濃度領域 | |
| 12 | n形の高濃度領域 | |
| 13 | ゲート絶縁膜 | |
| 14 | フィールド絶縁膜 | |
| 15 | 多結晶シリコン膜 | |
| 16 | 層間絶縁膜 | |
| 17 | 第一金属膜 | |
| 18 | 第二金属膜 | |
| 19 | パッシベーション膜 | |
| 31 | ベース領域 | |
| 32 | エミッタ領域 | |
| 33 | 金属板 | |
| 34 | 絶縁板 | |
| 35 | ヒートシンク | |
| 36 | ベース領域 | |

30

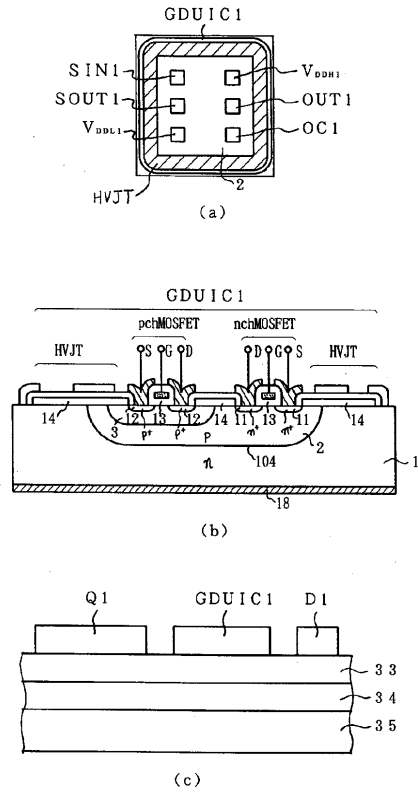
40

50

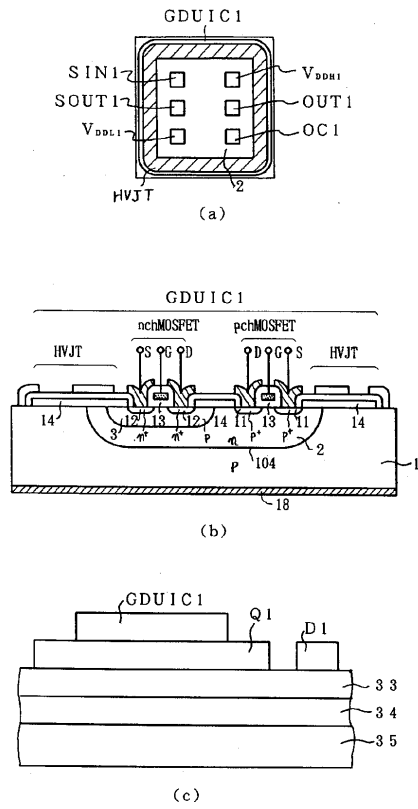
3 7	ソース領域	
3 8	n ⁺ バッファ層	
3 9	p ⁺ 基板	
4 0	n形ドリフト領域	
4 1	第九領域上の絶縁膜	
4 2	第二導電膜	
4 3	第三導電膜	
4 4	高抵抗膜	
4 5	n形の高濃度領域	
4 6	p形の高濃度領域	10
4 7	p形の分離領域	
4 8	ベース領域	
4 9	n形のソース領域	
5 0	n形の高濃度領域	
5 1	第一のドレイン電極	
5 2	n形のチャネル領域	
5 3	第二のゲート絶縁膜	
5 4	p形のチャネル領域	
5 5	p形の高濃度領域	
5 6	p形のソース領域	20
5 7	p形の高濃度領域	
5 8	n形の埋め込み領域	
6 1	第一の出力配線	
6 2	第二の出力配線	
1 0 1	空乏層	
1 0 2	空乏層端	
1 0 4	第一のpn接合	
1 0 5	第四のpn接合	
1 1 1	第二のpn接合	
1 1 2	第三のpn接合	30
1 1 3	第二の空乏層	
1 1 4	第三の空乏層	
1 1 5	第九領域の表面	
2 0 2	第二領域(LSU側)	
2 0 5	第五領域(LSU側)	
2 1 1	p形の高濃度領域	
H V I C	高耐圧IC	
H V J T	高耐圧接合終端構造	
n c h M O S F E T	nチャネルMOSFET	
p c h M O S F E T	pチャネルMOSFET	40
V _{DD1}	ドライブ電源	
S	ソース端子	
S 1	第一のソース電極(端子)	
S 2	第二のソース電極(端子)	
D	ドレイン端子	
D 1	第一のドレイン電極(端子)	
D 2	第二のドレイン電極(端子)	
G	ゲート端子	
G 1	第三のゲート電極(端子)	
G 2	第四のゲート電極(端子)	50

N P N	n p n トランジスタ	
E	エミッタ端子	
B	ベース端子	
C	コレクタ端子	
V _{EE1}	電源	
Q 1	パワーデバイス (I G B T)	
Q 2	パワーデバイス (I G B T)	
Q 3	パワーデバイス (I G B T)	
Q 4	パワーデバイス (I G B T)	
Q 5	パワーデバイス (I G B T)	10
Q 6	パワーデバイス (I G B T)	
D 1	パワーデバイス (ダイオード)	
D 2	パワーデバイス (ダイオード)	
D 3	パワーデバイス (ダイオード)	
D 4	パワーデバイス (ダイオード)	
D 5	パワーデバイス (ダイオード)	
D 6	パワーデバイス (ダイオード)	
M o	モータ	
V _{CC}	主電源	
P C	フォトカブラ	20
I / O	入出力端子	
C U	制御回路	
L S U	レベルシフト回路	
G D U 1	ゲート駆動回路	
G D U 2	ゲート駆動回路	
G D U 3	ゲート駆動回路	
G D U 4	ゲート駆動回路	
G D U 5	ゲート駆動回路	
G D U 6	ゲート駆動回路	
S I N	入力ライン	30
S O U T	出力ライン	
V _{DDC}	共通電源	
V _{DDHC}	共通電源の高電位側	
V _{DDL C}	共通電源の低電位側	
V _{DD}	ドライブ電源	
V _{DDH1}	ドライブ電源の高電位側	
V _{DDH2}	ドライブ電源の高電位側	
V _{DDH3}	ドライブ電源の高電位側	
V _{DDL1}	ドライブ電源の低電位側	
V _{DDL2}	ドライブ電源の低電位側	40
V _{DDL3}	ドライブ電源の低電位側	
O U T	ゲート駆動端子	
O C	電流検出端子	
O T	温度検出端子	
M	電流検出端子 (I G B T 側)	
T e m p	温度検出端子 (温度検出素子側)	
	温度検出素子	
K	カソード	
A	アノード	
U	U相	50

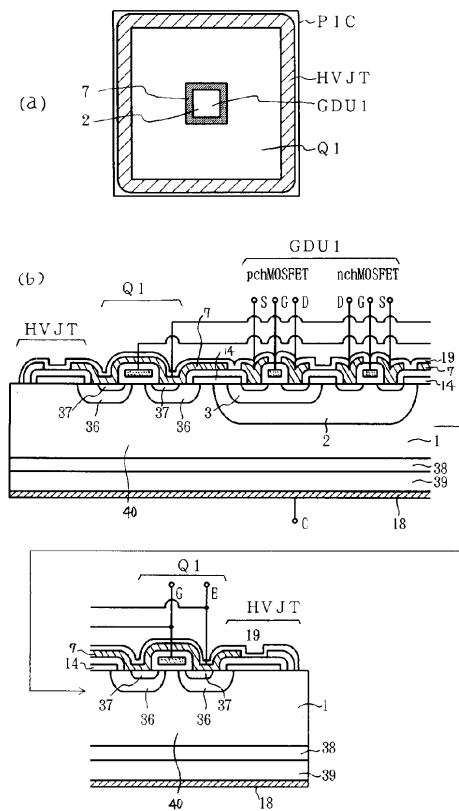
【図3】



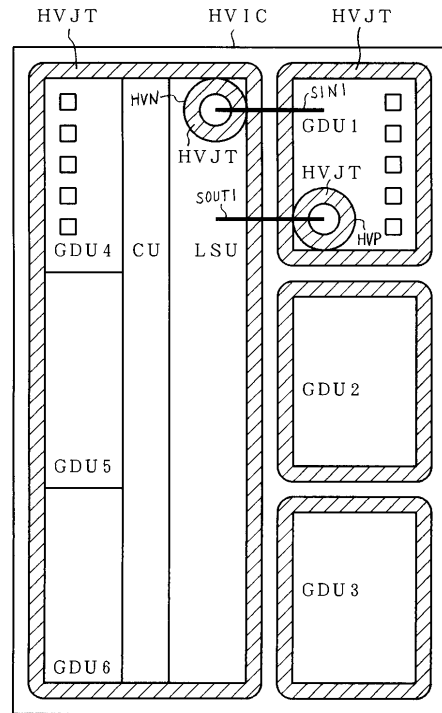
【図4】



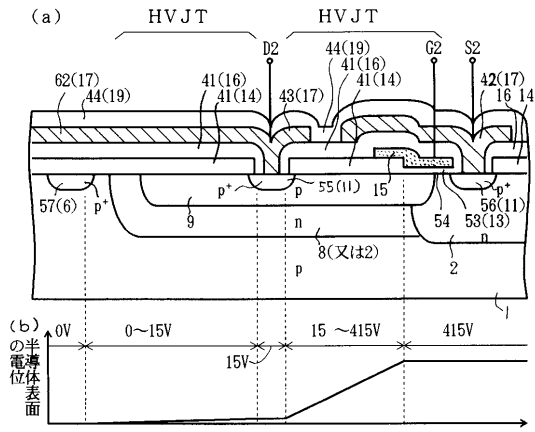
【図5】



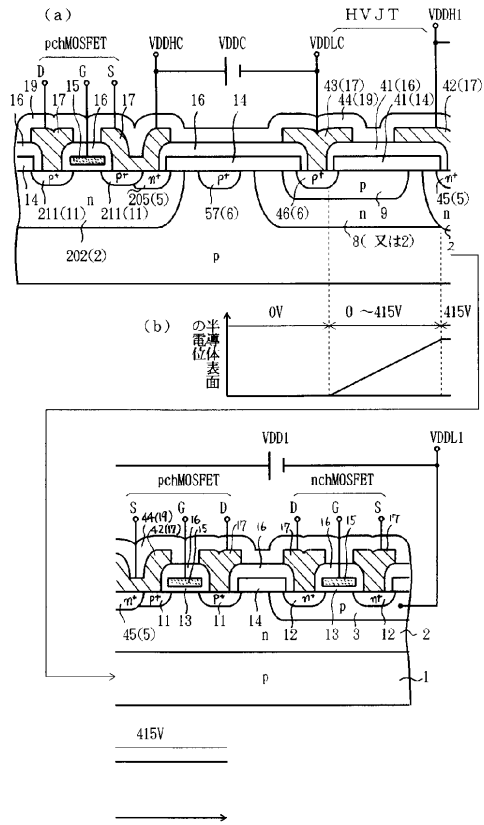
【図6】



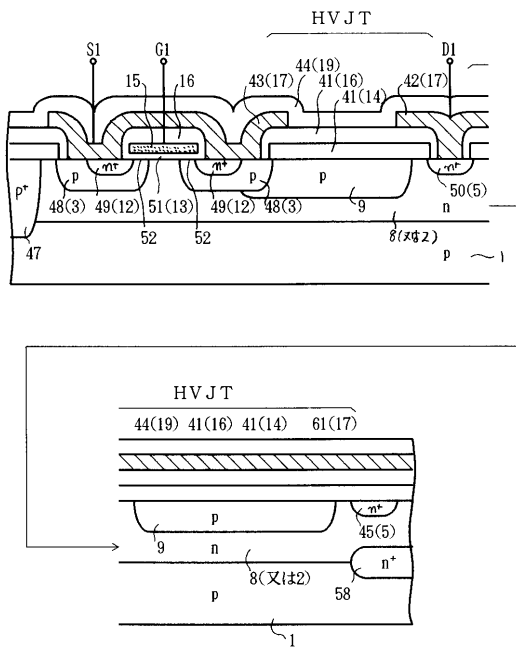
【図16】



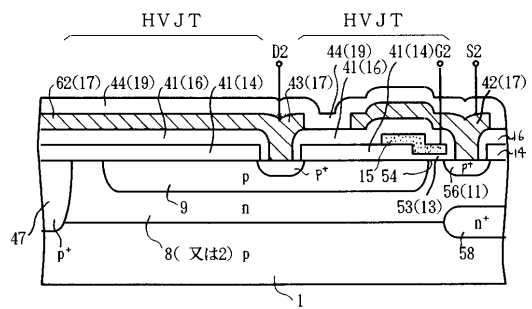
【図17】



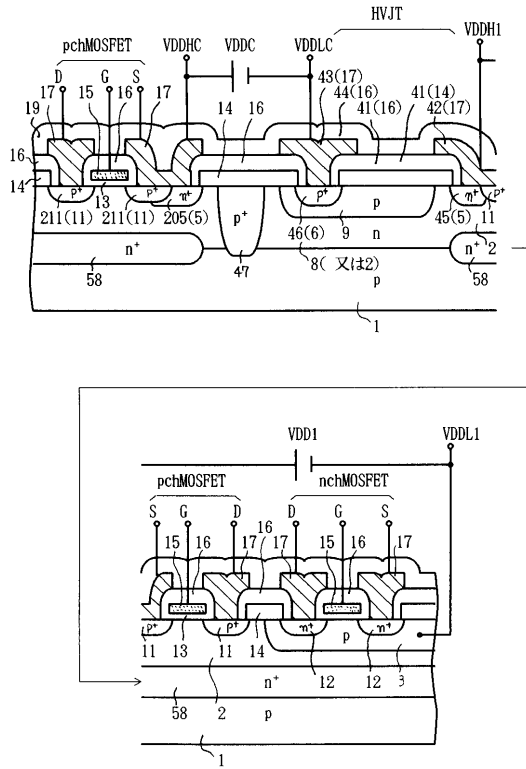
【図18】



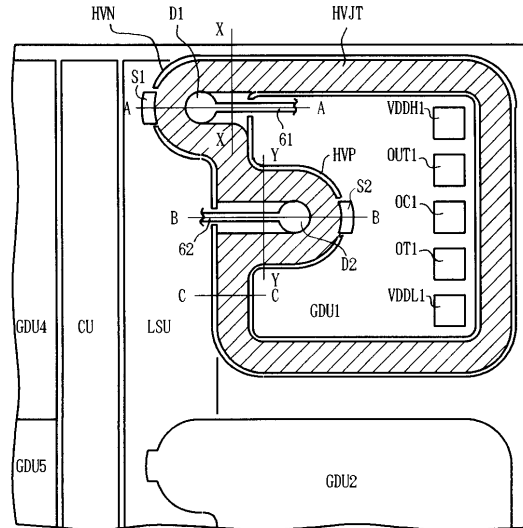
【図19】



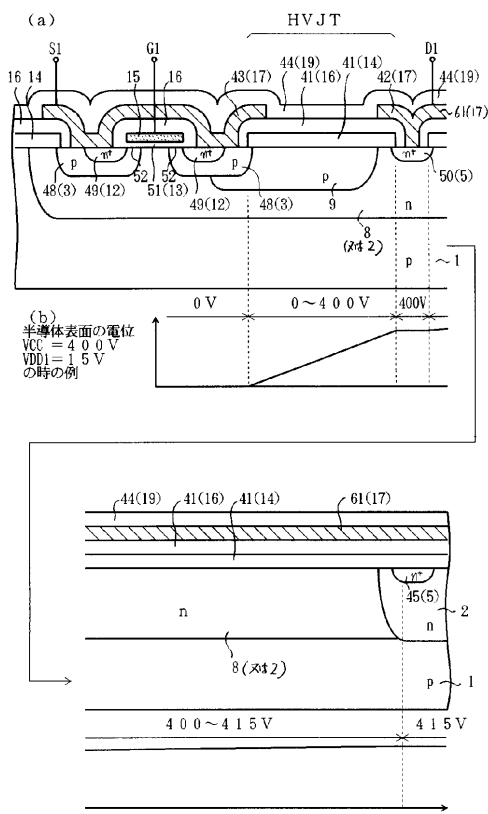
【図20】



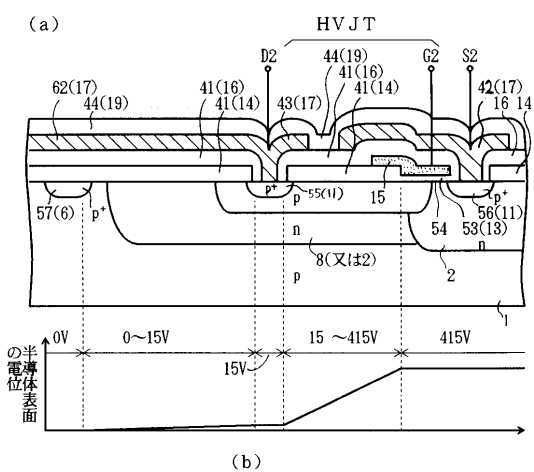
【図21】



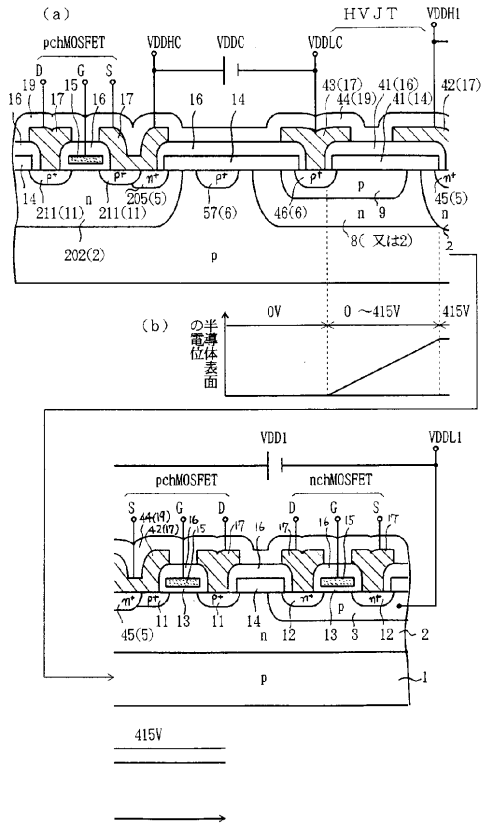
【図22】



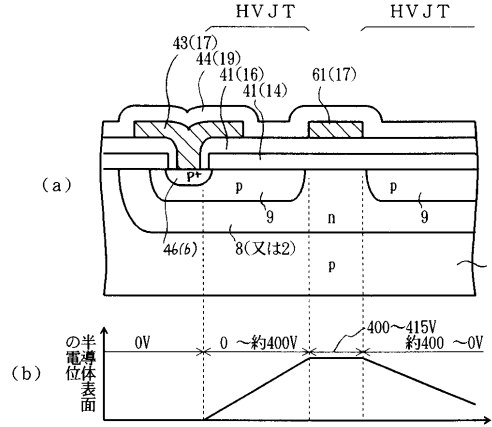
【図23】



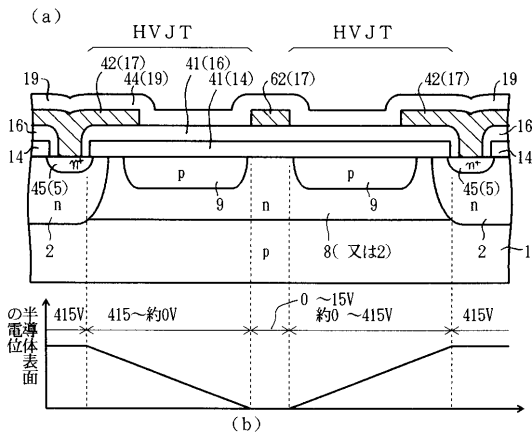
【図24】



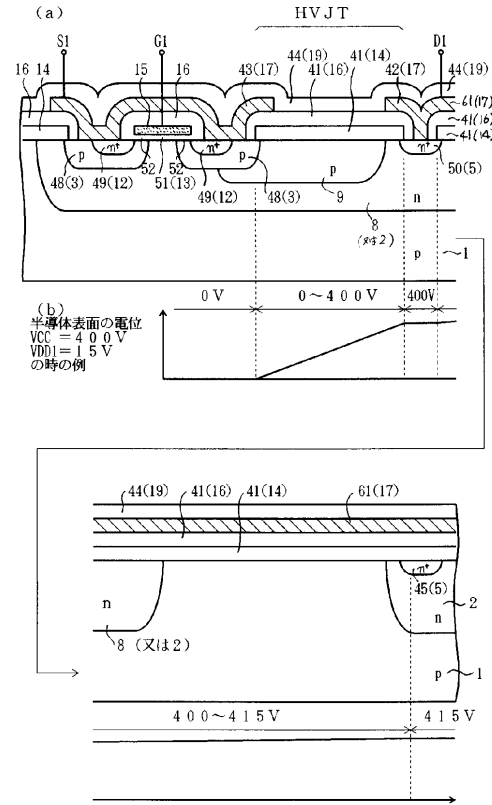
【図25】



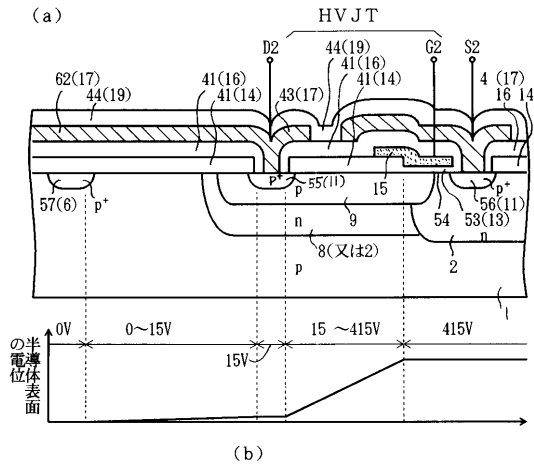
【図26】



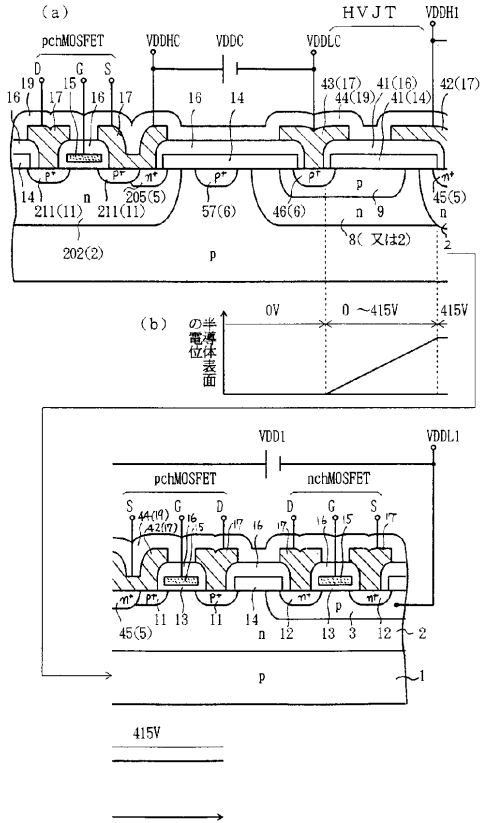
【図27】



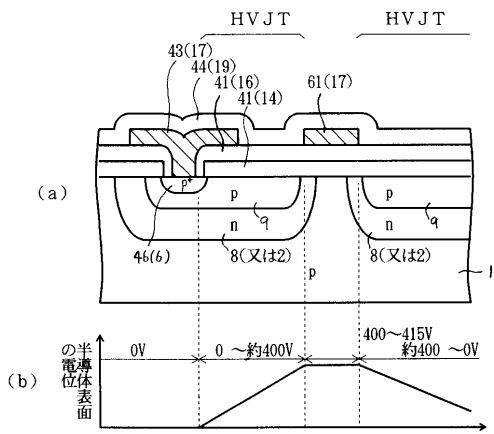
【図28】



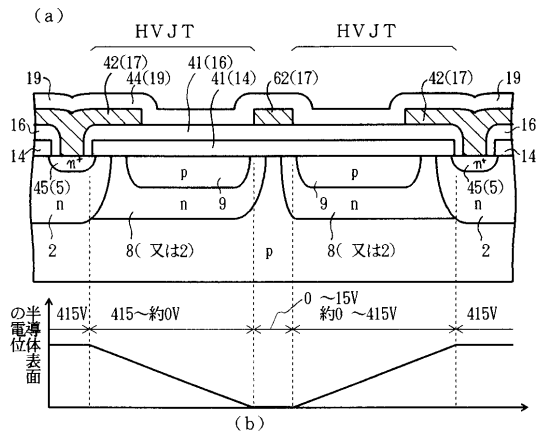
【図29】



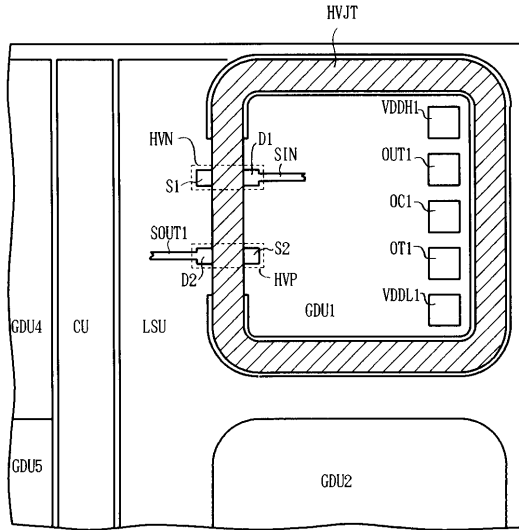
【図30】



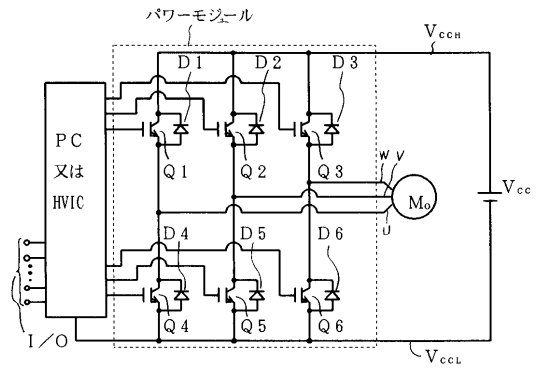
【図31】



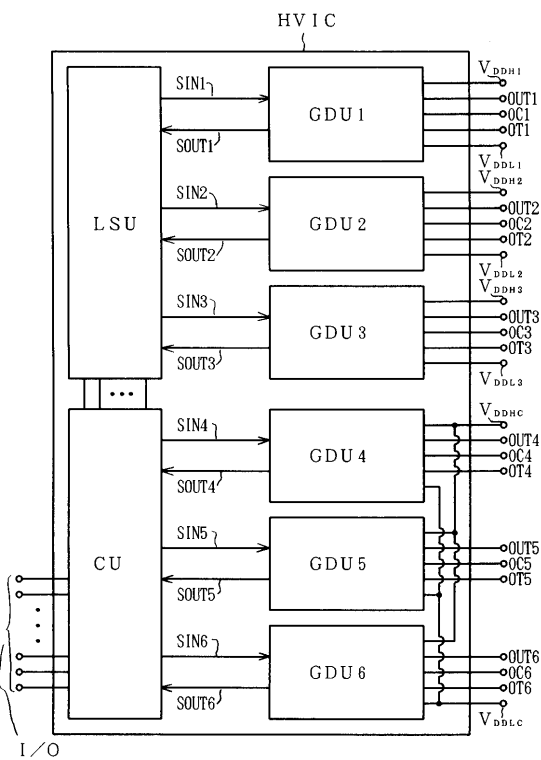
【図32】



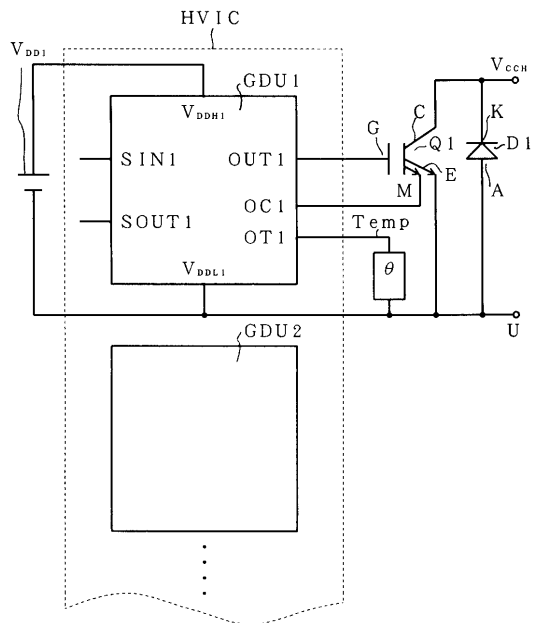
【図33】



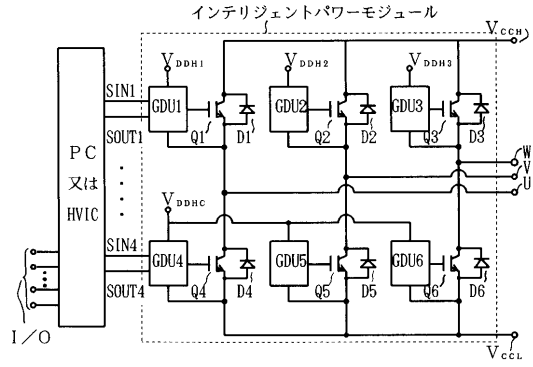
【図34】



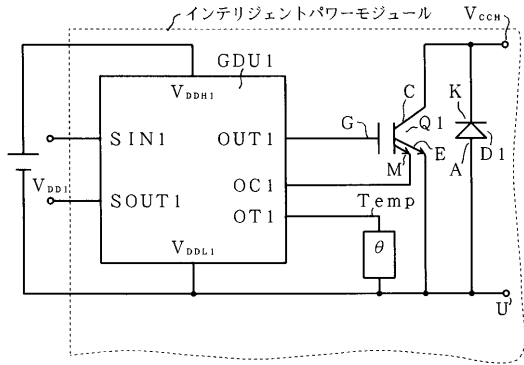
【図35】



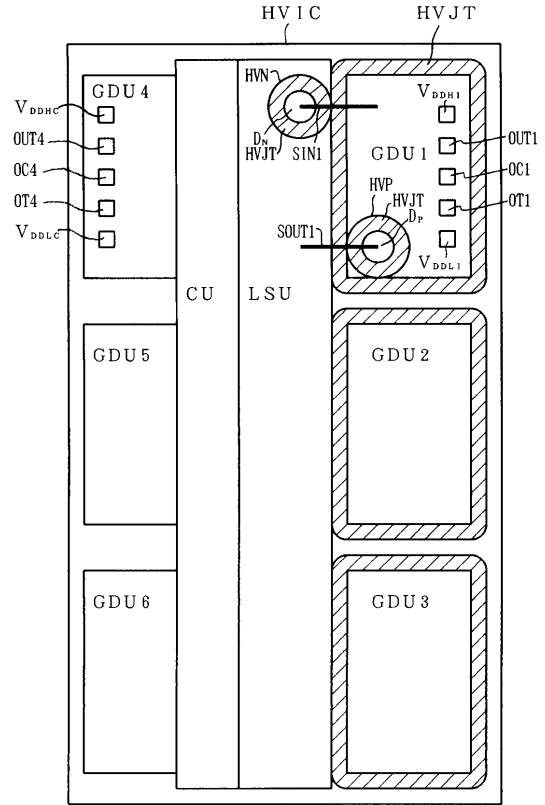
【図36】



【図37】



【図38】



フロントページの続き

(72)発明者 熊谷 直樹

神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 瀧内 健夫

(56)参考文献 特開平01-262667(JP,A)

特開平02-284462(JP,A)

特開平05-029620(JP,A)

特開平05-121738(JP,A)

特開平06-120510(JP,A)

特開平06-244412(JP,A)

特開平06-260601(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234

H01L 21/8236

H01L 21/8238

H01L 27/08

H01L 27/088

H01L 27/092