



(12) 发明专利

(10) 授权公告号 CN 103094112 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201110338440. 4

TW 465033 B, 2001. 11. 21, 全文 .

(22) 申请日 2011. 10. 31

US 5893748 A, 1999. 04. 13, 全文 .

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

US 6391782 B1, 2002. 05. 21, 全文 .

地址 201203 上海市浦东新区张江路 18 号

US 6706571 B1, 2004. 03. 16, 全文 .

审查员 陈慧玲

(72) 发明人 鲍宇

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/336(2006. 01)

(56) 对比文件

CN 101315933 A, 2008. 12. 03, 全文 .

CN 1925119 A, 2007. 03. 07, 说明书第 4 页第 22 行至第 6 页第 9 行 ; 附图 1-5.

JP 特开平 5-206085 A, 1993. 08. 13, 全文 .

TW 200537688 A, 2005. 11. 16, 全文 .

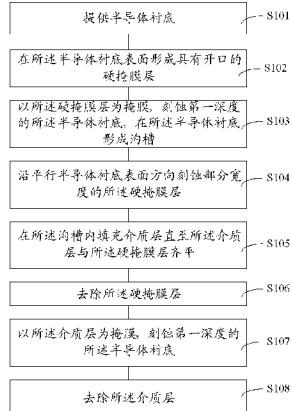
权利要求书1页 说明书4页 附图3页

(54) 发明名称

鳍式晶体管的鳍部的形成方法

(57) 摘要

一种鳍式晶体管的鳍部的形成方法，包括：提供半导体衬底；在所述半导体衬底表面形成具有开口的硬掩膜层；以所述硬掩膜层为掩膜，刻蚀第一深度的所述半导体衬底，在所述半导体衬底形成沟槽；沿平行半导体衬底表面方向刻蚀部分宽度的所述硬掩膜层；在所述沟槽内填充介质层直至所述介质层与所述硬掩膜层齐平；去除所述硬掩膜层；以所述介质层为掩膜，刻蚀第一深度的所述半导体衬底。本发明的实施例能够同时形成两个鳍部，并且能够减少刻蚀的步骤，提高了效率。



1. 一种鳍式晶体管的鳍部的形成方法, 其特征在于, 包括 :
提供半导体衬底 ;
在所述半导体衬底表面形成具有开口的硬掩膜层 ;
以所述硬掩膜层为掩膜, 刻蚀第一深度的所述半导体衬底, 在所述半导体衬底形成沟槽 ;
沿平行半导体衬底表面方向刻蚀部分宽度的所述硬掩膜层 ;
在所述沟槽内填充介质层直至所述介质层与所述硬掩膜层齐平 ;
去除所述硬掩膜层 ;
以所述介质层为掩膜, 刻蚀第一深度的所述半导体衬底。
2. 如权利要求 1 所述的鳍部的形成方法, 其特征在于, 所述沟槽的侧壁为竖直的形貌或为倾斜角度的形貌。
3. 如权利要求 2 所述的鳍部的形成方法, 其特征在于, 当沟槽的侧壁具有倾斜角度时, 倾斜角度为大于等于 80 度小于 90 度。
4. 如权利要求 1 所述的鳍部的形成方法, 其特征在于, 所述硬掩膜层材料为氮化硅。
5. 如权利要求 1 所述的鳍部的形成方法, 其特征在于, 所述硬掩膜层厚度为 200nm 至 500nm。
6. 如权利要求 1 所述的鳍部的形成方法, 其特征在于, 刻蚀所述硬掩膜层的部分宽度为 100 埃至 250 埃。
7. 如权利要求 1 所述的鳍部的形成方法, 其特征在于, 所述介质层的材料为氧化硅。
8. 如权利要求 1 所述的鳍部的形成方法, 其特征在于, 所述介质层的厚度为 200nm 至 500nm。

鳍式晶体管的鳍部的形成方法

技术领域

[0001] 本发明涉及半导体技术领域，尤其涉及鳍式晶体管的鳍部的形成方法。

背景技术

[0002] 随着半导体工艺技术的不断发展，工艺节点逐渐减小，后栅 (gate-last) 工艺得到了广泛应用，以获得理想的阈值电压，改善器件性能。但是当器件的特征尺寸 (CD, Critical Dimension) 进一步下降时，即使采用后栅工艺，常规的 MOS 场效应管的结构也无法满足对器件性能的需求，多栅器件作为常规器件的替代得到了广泛的关注。

[0003] 鳍式场效应晶体管 (Fin FET) 是一种常见的多栅器件，图 1 示出了现有技术的一种鳍式场效应晶体管的立体结构示意图。如图 1 所示，鳍式场效应晶体管包括：半导体衬底 10，所述半导体衬底 10 上形成有凸出的鳍部 14，鳍部 14 一般是通过对半导体衬底 10 刻蚀后得到的；介质层 11，覆盖所述半导体衬底 10 的表面以及鳍部 14 的侧壁的一部分；栅极结构，横跨在所述鳍部 14 上，覆盖所述鳍部 14 的顶部和侧壁，栅极结构包括栅介质层（图中未示出）和位于栅介质层上的栅电极 12。对于 Fin FET，鳍部 14 的顶部以及两侧的侧壁与栅极结构相接触的部分都成为沟道区，即具有多个栅，有利于增大驱动电流，改善器件性能。更多关于鳍式场效应晶体管的结构及形成方法请参考公开号为“US7868380B2”的美国专利。

[0004] 但是，现有的鳍式场效应晶体管的鳍部 14 的形成工艺通常采用光刻工艺，在半导体衬底表面形成与鳍部 14 对应的光刻胶图形，以光刻胶图形为掩膜，刻蚀半导体衬底形成凸出的鳍部 14，光刻胶图形对应一个鳍部 14，形成鳍部 14 的效率低。

发明内容

[0005] 本发明解决的问题是提供一种形成功率高的鳍式晶体管的鳍部的形成方法。

[0006] 为解决上述问题，本发明提供一种鳍式晶体管的鳍部的形成方法，包括：提供半导体衬底；在所述半导体衬底表面形成具有开口的硬掩膜层；以所述硬掩膜层为掩膜，刻蚀第一深度的所述半导体衬底，在所述半导体衬底形成沟槽；沿平行半导体衬底表面方向刻蚀部分宽度的所述硬掩膜层；在所述沟槽内填充介质层直至所述介质层与所述硬掩膜层齐平；去除所述硬掩膜层；以所述介质层为掩膜，刻蚀第一深度的所述半导体衬底。

[0007] 可选的，所述沟槽的侧壁为竖直的形貌或为倾斜角度的形貌。

[0008] 可选的，当沟槽的侧壁具有倾斜角度时，倾斜角度为 80 度至 90 度。

[0009] 可选的，所述硬掩膜层材料为氮化硅。

[0010] 可选的，所述硬掩膜层厚度为 200nm 至 500nm。

[0011] 可选的，刻蚀所述硬掩膜层的部分宽度为 100 埃至 250 埃。

[0012] 可选的，所述介质层的材料为氧化硅。

[0013] 可选的，所述介质层的厚度为 200nm 至 500nm。

[0014] 与现有技术相比，本发明具有以下优点：本发明的实施例能够同时形成两个鳍部，

并且能够减少刻蚀的步骤,提高了效率。

[0015] 进一步地,本发明的实施例能够同时形成两个形貌不同的鳍部且不需要额外的光刻步骤,减少工艺步骤和制造成本。

附图说明

[0016] 图 1 是现有技术的一种鳍式场效应晶体管的立体结构示意图;

[0017] 图 2 是本发明的实施例的鳍式晶体管的鳍部的形成方法流程示意图;

[0018] 图 3 至图 10 是本发明的实施例的鳍式晶体管的鳍部的形成方法的过程示意图。

具体实施方式

[0019] 由背景技术可知,现有的鳍式场效应晶体管的鳍部 14 的形成工艺通常采用光刻工艺,在半导体衬底表面形成与鳍部 14 对应的光刻胶图形,以光刻胶图形为掩膜,刻蚀半导体衬底形成凸出的鳍部 14,光刻胶图形对应一个鳍部 14,形成鳍部 14 的效率低。

[0020] 此外,本发明的发明人还发现,采用现有技术形成的鳍部 14 形貌通常类似,无法采用一次光刻工艺形成形貌不同的鳍部 14,在形成鳍式 CMOS 晶体管,当 NMOS 晶体的鳍部与 PMOS 的鳍部形貌要求不同时,需要额外的光刻工艺,才能满足上述的需求,这样增加了工艺步骤和制造成本。

[0021] 为此,本发明的发明人提供一种鳍部的形成方法,请参考图 2,包括如下步骤:

[0022] 步骤 S101,提供半导体衬底;

[0023] 步骤 S102,在所述半导体衬底表面形成具有开口的硬掩膜层;

[0024] 步骤 S103,以所述硬掩膜层为掩膜,刻蚀第一深度的所述半导体衬底,在所述半导体衬底形成沟槽;

[0025] 步骤 S104,沿平行半导体衬底表面方向刻蚀部分宽度的所述硬掩膜层;

[0026] 步骤 S105,在所述沟槽内填充介质层直至所述介质层与所述硬掩膜层齐平;

[0027] 步骤 S106,去除所述硬掩膜层;

[0028] 步骤 S107,以所述介质层为掩膜,刻蚀第一深度的所述半导体衬底;

[0029] 步骤 S108,去除所述介质层。

[0030] 下面结合以具体实施例对本发明的鳍部的形成方法做详细描述,图 3 ~ 图 10 为本发明具体实施例的形成鳍部的形成方法的剖面结构示意图。

[0031] 请参考图 3,提供半导体衬底 100。

[0032] 所述半导体衬底 100 为后续形成鳍部提供工作平台,所述半导体衬底 100 可以为 n 型硅衬底、p 型硅衬底或者 SOI 衬底。

[0033] 请依旧参考图 3,在所述半导体衬底 100 表面形成具有开口 101 的硬掩膜层 110。

[0034] 所述硬掩膜 110 作用刻蚀半导体衬底 100 的掩膜,所述硬掩膜 110 的材料为氮化硅,所述硬掩膜 110 的厚度为 200nm 至 500nm。

[0035] 所述开口 101 的尺寸与待形成的两个鳍部的间距对应,在本实施例中,所述开口 101 的宽度对应于待形成的两个鳍部的间距。

[0036] 请参考图 4,以所述硬掩膜层 110 为掩膜,刻蚀第一深度的所述半导体衬底 100,在所述半导体衬底 100 形成沟槽 102。

[0037] 所述沟槽 102 用于定义后续形成的两个鳍部的间距,所述沟槽 102 的深度(即第一深度)用于定义后续形成的鳍部的长度,本领域的技术人员可以根据实际制造的鳍部选择所述沟槽 102 深度,在这里特意说明,不应过分限制本发明的保护范围。

[0038] 所述沟槽的形貌可以是侧壁为竖直的形貌也可以是侧壁具有倾斜角度的形貌,请参考图 5,当所述沟槽的形貌是侧壁为竖直的形貌时,采用本发明实施例的方法可以形成形貌相同的两个鳍部;在本实施例中,请参考图 4,所述沟槽 102 的形貌是侧壁具有倾斜角度的形貌,沟槽 102 的侧壁具有倾斜角度时,能够形成形貌不同的两个鳍部,进一步地,可以根据 NMOS 和 PMOS 对鳍部需求不同,采用一步形成两个不同形貌的鳍部,且满足 NMOS 和 PMOS 对鳍部需求。

[0039] 具体地,当沟槽 102 的侧壁具有倾斜角度时,倾斜角度大于等于 80 度小于 90 度时,满足 NMOS 和 PMOS 对鳍部需求效果佳。

[0040] 所述刻蚀工艺可以为干法刻蚀工艺,在刻蚀侧壁为竖直的形貌的沟槽时,采用聚合物保护侧墙的干法刻蚀工艺,刻蚀气体为 SF₆、CF₄、CHF₃、HBr、Cl₂、O₂其中之一或者上述刻蚀气体的组合,形成竖直的形貌的沟槽;在刻蚀壁为倾斜的形貌的沟槽时,可以采用干法刻蚀工艺,刻蚀气体为 SF₆、CF₄、CHF₃其中之一与氧气的组合或者上述刻蚀气体的组合,具有倾斜角度形貌的沟槽。

[0041] 下面以沟槽 102 的侧壁具有倾斜角度对本发明的鳍部的形成方法做示范性说明,所述沟槽的侧壁为竖直的形貌可以相应参考本实施例。

[0042] 请参考图 6,沿平行半导体衬底 100 表面方向刻蚀部分宽度的所述硬掩膜层 110。

[0043] 去除部分宽度的所述硬掩膜层 110 的作用为定义待形成的两个鳍部的顶部宽度。

[0044] 刻蚀部分宽度的所述硬掩膜层 110 的工艺为湿法刻蚀工艺,具体地,采用热磷酸浸泡去除部分宽度的所述硬掩膜层 110,需要说明的是,在去除过程中会损失部分厚度的所述硬掩膜层 110,但对本发明的实施例的鳍部的形成方法无不利影响,且在本实施例中,刻蚀的部分宽度为 100 埃至 250 埃,上述宽度对于所述硬掩膜层 110 的整体厚度而言,完全可以忽略影响。

[0045] 请参考图 7,在所述沟槽 102 内填充介质层 120 直至所述介质层 120 与所述硬掩膜层 110 齐平。

[0046] 所述介质层 120 的材料为氧化硅,所述介质层 120 的厚度为 200nm 至 500nm。

[0047] 具体地,采用化学气相沉积工艺沉积介质层 120 填充满所述沟槽 102,且所述介质层 120 覆盖所述硬掩膜层 110;然后采用化学机械抛光工艺平坦化所述介质层 120 直至暴露出所述硬掩膜层 110,所述硬掩膜层 110 还可以作为化学机械抛光工艺的刻蚀停止层,使得所述介质层 120 与所述硬掩膜层 110 齐平。

[0048] 需要说明的是,所述介质层 120 覆盖刻蚀部分宽度的所述硬掩膜层 110 后暴露出的半导体衬底 100,从而能够在后续以所述介质层 120 作为刻蚀鳍部的掩膜层刻蚀半导体衬底 100 形成鳍部时,能够保护鳍部的顶部。

[0049] 请参考图 8,去除所述硬掩膜层 110。

[0050] 去除所述硬掩膜层 110 的工艺为湿法刻蚀工艺,采用热磷酸作为刻蚀剂,去除所述硬掩膜层 110。

[0051] 请参考图 9,以所述介质层 120 为掩膜,刻蚀第一深度的所述半导体衬底 100。

[0052] 所述刻蚀工艺为干法刻蚀工艺,刻蚀第一深度的所述半导体衬底 100,形成相对应的两个鳍部 123。

[0053] 具体地,刻蚀工艺参数为:刻蚀气体为 Cl₂、NF₃或 SF₆,刻蚀设备的偏压为 0V 至 300V,刻蚀设备腔室的压力为 5 毫托至 30 毫托,采用上述竖直的形貌刻蚀工艺,刻蚀后形成的鳍部的形貌为一侧为竖直,一侧为倾斜,且同时形成的两个鳍部对称分布在沟槽 102 侧。

[0054] 请参考图 10,去除所述介质层 120。

[0055] 所述去除工艺可以为干法或湿法去除工艺,在这里不再赘述。

[0056] 本发明的实施例能够同时形成两个鳍部,并且能够减少刻蚀的步骤,提高了效率。

[0057] 进一步地,本发明的实施例能够同时形成两个形貌不同的鳍部且不需要额外的光刻步骤,减少工艺步骤和制造成本。

[0058] 本发明虽然已以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改,因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本发明技术方案的保护范围。

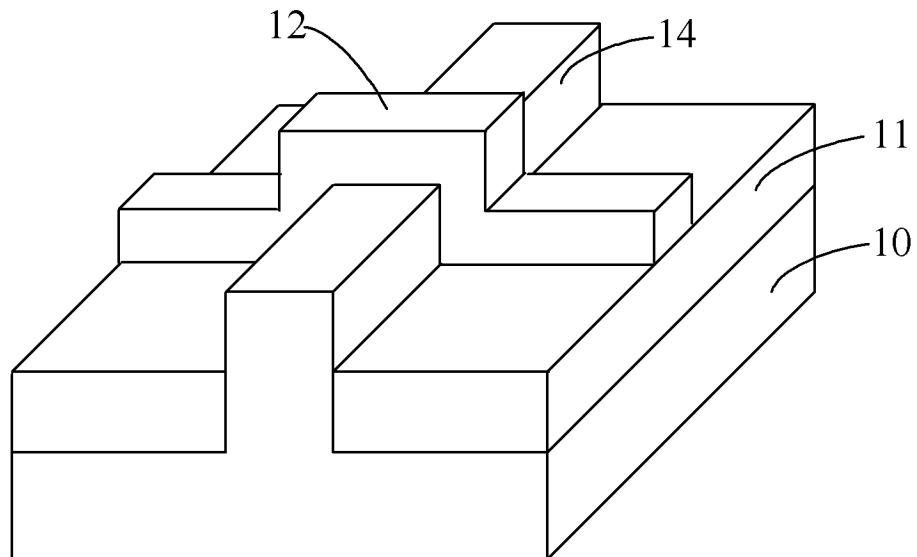


图 1

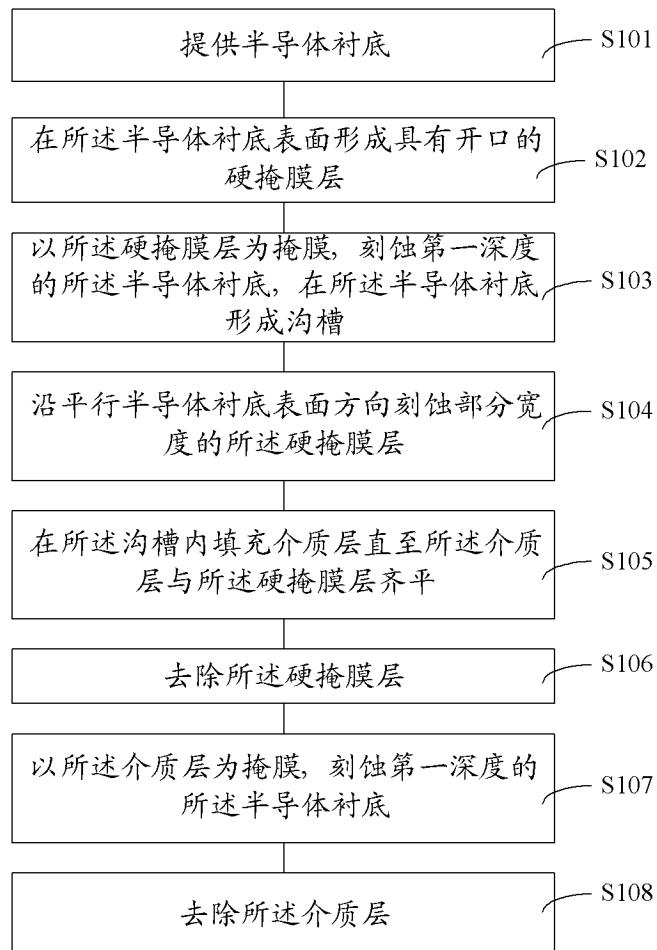


图 2

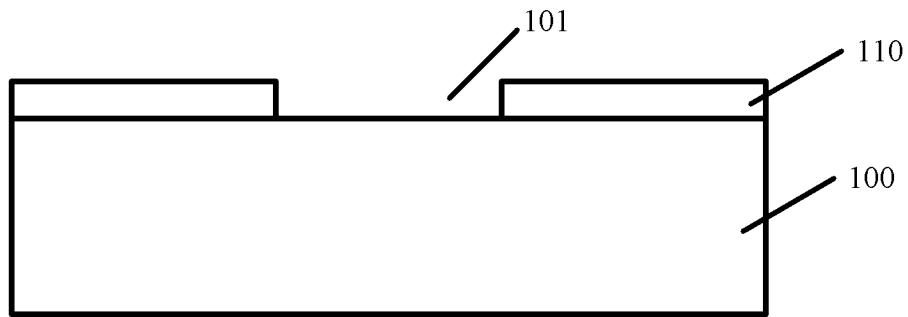


图 3

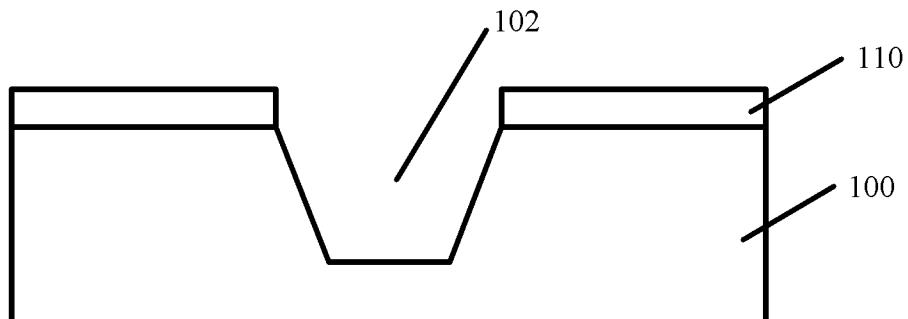


图 4

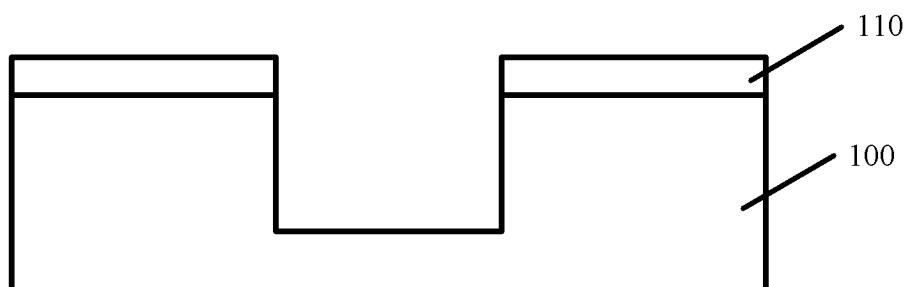


图 5

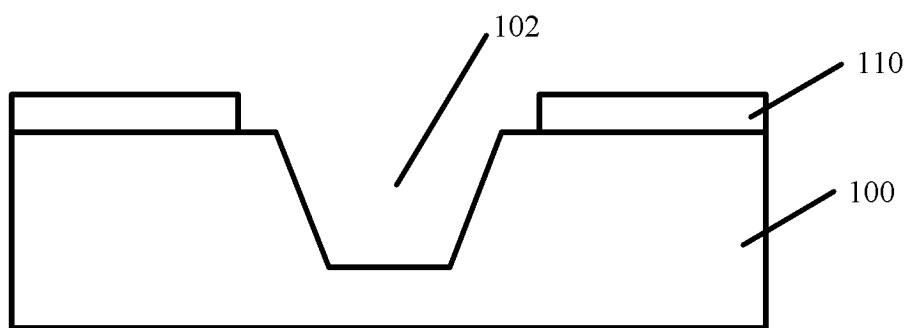


图 6

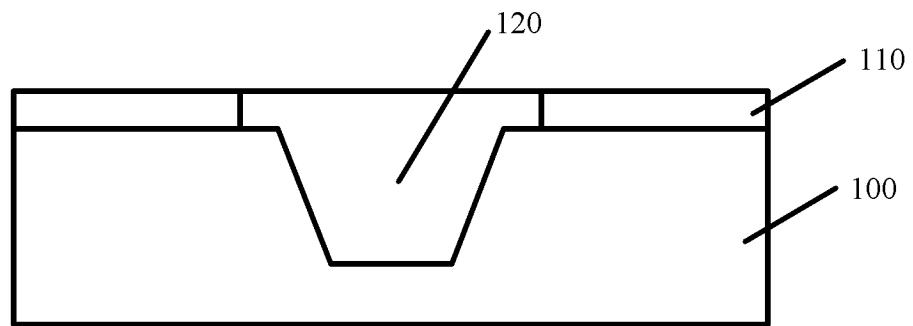


图 7

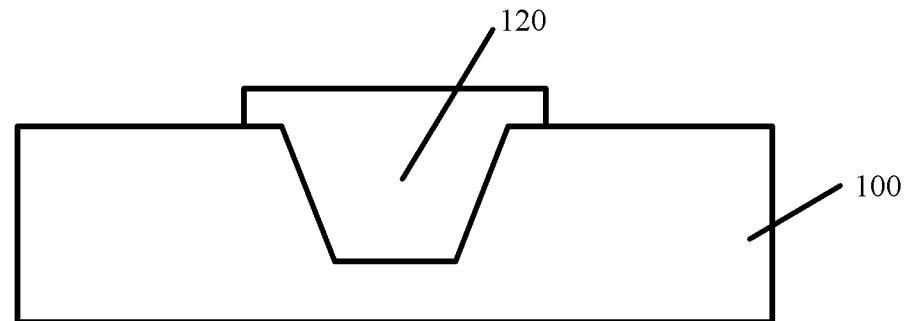


图 8

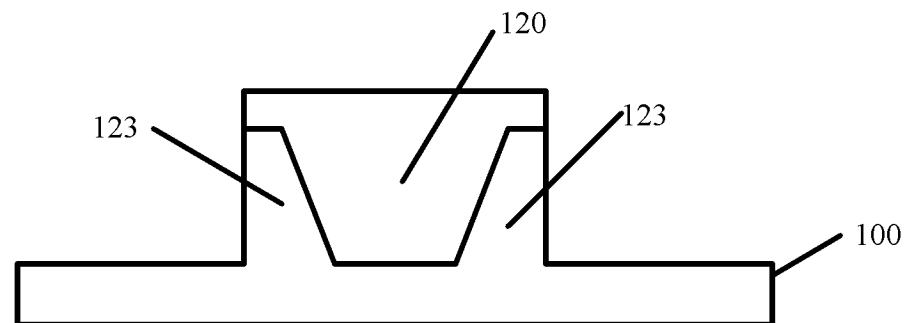


图 9

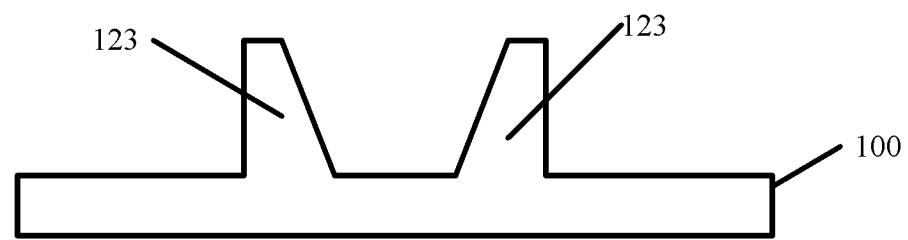


图 10