

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-507105

(P2004-507105A)

(43) 公表日 平成16年3月4日(2004.3.4)

(51) Int. Cl.<sup>7</sup>

H01L 21/822

H01L 27/04

F I

H01L 27/04

H01L 27/04

テーマコード (参考)

5 F 0 3 8

審査請求 未請求 予備審査請求 有 (全 25 頁)

(21) 出願番号 特願2002-521340 (P2002-521340)  
 (86) (22) 出願日 平成13年8月17日 (2001.8.17)  
 (85) 翻訳文提出日 平成15年2月21日 (2003.2.21)  
 (86) 国際出願番号 PCT/US2001/025875  
 (87) 国際公開番号 W02002/017367  
 (87) 国際公開日 平成14年2月28日 (2002.2.28)  
 (31) 優先権主張番号 09/642, 680  
 (32) 優先日 平成12年8月21日 (2000.8.21)  
 (33) 優先権主張国 米国 (US)

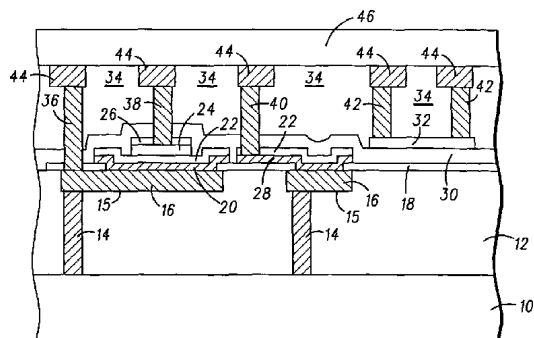
(71) 出願人 390009597  
 モトローラ・インコーポレイテッド  
 MOTOROLA INCORPORATED  
 アメリカ合衆国イリノイ州シャンバーグ、  
 イースト・アルゴンクイン・ロード1303  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 ギルカー、ピーター  
 アメリカ合衆国 85044 アリゾナ州  
 フェニックス イースト ホピ ストリ  
 ート 4514

最終頁に続く

(54) 【発明の名称】 受動素子を有する半導体デバイスおよびそれを作製する方法

(57) 【要約】

半導体デバイスおよび半導体デバイスを作製する方法。  
 基板(10)と直接電氣的に連絡するダマシン金属層(16)が絶縁誘電層(12)内に形成される。第1のキャパシタ電極層(20)のような受動素子の層が金属層(16)の上に配置され、好ましくは、ビア(36)を通じて金属層(16)に直接電氣的に相互接続することができるように金属層(16)に対して位置がずらされる。1つの実施形態では、キャパシタとレジスタはデバイス中の受動素子として形成される。別の実施形態では、受動素子は少なくとも1つのレジスタ(28)および任意選択で第2のレジスタ(32)を備える。さらに別の実施形態では、金属層(16)はダマシン銅層である。



## 【特許請求の範囲】

## 【請求項 1】

半導体デバイスを製造する方法であって、  
半導体基板を提供するステップ；  
前記半導体基板の上に絶縁層を形成するステップ；  
前記絶縁層中に、半導体基板と電氣的に連絡するための第 1 のダマシン金属層を形成するステップ；  
前記の第 1 のダマシン金属層上に、第 1 のキャパシタ電極と第 2 のキャパシタ電極とを有するキャパシタを形成するステップ；  
第 1 のダマシン金属層上に、第 1 のキャパシタ電極を形成するのに用いたのと同じ材料の層で形成される少なくとも 1 つのレジスタを形成するステップ；および  
キャパシタと電氣的に連絡するための第 2 の金属層を形成するステップ；からなる方法。

## 【請求項 2】

半導体デバイスを製造する方法であって、  
絶縁層の平らな表面に画成された溝の中へ銅層を堆積させるステップ；  
前記の銅層の上に、絶縁層の平らな表面と同一平面上にある表面を形成するステップ；および  
前記の銅層の上に、該銅層に直接形成され、自身の表面の少なくとも一部の上で、該銅層に隣接するレジスタを形成するステップ；からなる方法。

## 【請求項 3】

半導体デバイスを製造する方法であって、  
ダマシン銅層を形成するステップ；  
前記ダマシン銅層の上に誘電層を形成するステップ；  
ダマシン銅層の一部を露出させるために前記誘電層に開口部をパターン形成するステップ；および  
少なくとも一部が誘電層上にあり、かつ少なくとも一部が誘電層中の前記開口部によってダマシン銅層に直接接触する受動素子を形成するステップ；からなる方法。

## 【請求項 4】

半導体デバイスを製造する方法であって、  
基板を提供するステップ；  
前記基板の上に絶縁層を形成するステップ；  
前記絶縁層中に、前記半導体基板と電氣的に連絡するためのダマシン金属層を形成するステップ；  
前記ダマシン金属層上に第 1 の材料を堆積させるステップ；  
前記第 1 の材料をパターン形成して第 1 のキャパシタ電極と第 1 のレジスタを形成するステップ；  
前記第 1 のキャパシタ電極上と前記第 1 のレジスタ上に誘電層を堆積させるステップ；  
前記誘電層上と前記第 1 のキャパシタ電極上に第 2 の材料を堆積させるステップ；  
前記第 2 の材料をパターン形成して前記第 1 のキャパシタ電極上に第 2 のキャパシタ電極を形成するステップ；からなる方法。

## 【発明の詳細な説明】

## 【0001】

本発明は半導体デバイスおよび半導体デバイスを作製する方法、特に少なくとも 1 つの受動素子を備え、無線通信システムでの使用に適した半導体デバイスに関する。

## 【0002】

多くの電子デバイスが、半導体デバイス製造技術の技術水準の点から、設計の限界やその結果としての性能の限界に直面している。例えば無線通信システムは、一般に比較的少数の半導体チップしか含まないが数百の受動素子を有する。形状係数を高め電力削減を促進し、 $10^9$  Hz またはそれより高いオーダーの周波数における性能と機能性を向上させる努力が続くにつれて、受動素子を個々のチップまたはモジュール内に、そして（シリコン

10

20

30

40

50

含有基板のような) 活性基板上に統合することが望まれるようになっている。

#### 【0003】

様々なオンチップキャパシタおよびレジスタの技術が現在存在しており、その例にはダブルポリキャパシタ、ゲート酸化物キャパシタ、接合キャパシタまたは拡散シリコンレジスタもしくはポリシリコンレジスタが含まれる。多くの応用例が上記の技術の結果生じる性能特性の向上の恩恵を受けるであろう。例えば、寄生キャパシタンスの削減、電圧直線性の向上、電極のシリーズ抵抗の削減、 $1/f$  ノイズ削減の分野において向上が求められている。また、結果としてできるデバイスが、活性基板(例えばSiチップ)の後面に統合されることも望まれており、このことはこれまで既存の技術を用いては達成されなかったことである。

10

#### 【0004】

(図面の詳細な説明)

図1では、金属-絶縁体-金属キャパシタまたは薄膜レジスタのような半導体受動素子の組み合わせの例が示されている。図1に示すような好ましい実施形態では、発明は金属-絶縁体-金属キャパシタと少なくとも1つの薄膜レジスタとの組み合わせを内蔵するデバイスを意図している。図1は2つの薄膜レジスタを内蔵する実施形態も示す。別の実施形態では、金属-絶縁体-金属キャパシタ(または別の受動素子)が除かれてもよく、または本発明の方法に基づいて製造される1つまたは複数のレジスタ素子と電氣的に連絡状態にある別個のデバイス内で用いられてもよいことが意図されている。

#### 【0005】

概して、本発明のデバイスは、誘電体の層(すなわち絶縁層)に形成された溝に堆積される金属層であって、その後過剰な材料を取り除くよう処理して得られるその露出表面が実質的に誘電体層の最初の表面と同一平面上になる金属層を備えることにより特徴付けられる。金属層は銀、金、銅、アルミニウムまたはそれらの混合物であることが好ましく、銅が最も好ましい金属である。従って、より特定のには、デバイスは材料の層に形成される少なくとも1つの銅のダマシン金属層を備えることにより特徴付けられる。好適な実施形態では、キャパシタの電極は、1つまたはそれ以上のキャパシタ、レジスタ、もしくは両方の組み合わせの端子となる1つのダマシン銅層から形成される。しかしながら、当業者は1つの受動素子が複数のダマシン層上に形成されうること、1つの受動素子が1つのダマシン層上に形成されうること、1つまたはそれ以上の受動素子が多数のダマシン層上に形成されうることを認識するであろう。

20

30

#### 【0006】

さらに詳しく説明するため、図1は適当な半導体基板10を備えたデバイスを示す。基板10に隣接するのは、内部に画成された溝15を有する第1の絶縁誘電層12である。溝15の底部を定める面では、ビア14が、溝15を満たす金属層16と基板10を導電的に接続する材料(好ましくはダマシン金属層、さらに好ましくはダマシン銅層)を含む。図1に示すように、金属層16の一部または全部上では除かれる可能性のある、金属層16の上に形成される任意選択のバリア誘電層18がある。例えば、図1は、金属層16の一部を露出させ、それによって金属層16と第1のすなわち下方のキャパシタ電極層20との間を直接接触させる、バリア誘電層18の窓口開口部を図示する。金属層16はひと

40

#### 【0007】

キャパシタ電極層20は、その長さの少なくとも一部が金属層16とキャパシタ誘電層22との間に挟まれている。第2のすなわち上方のキャパシタ電極層24がキャパシタ誘電層22の少なくとも一部に隣接する。第2のキャパシタ電極層24は任意選択でその表面の少なくとも一部を覆うエッチング停止層26を備えてもよい。キャパシタ電極層20、キャパシタ誘電層22、キャパシタ電極層24の組み合わせおよび任意選択のエッチング停止層26は、本発明のキャパシタ素子の構造を総括的に定義する。

#### 【0008】

50

第1のレジスタ28、好ましくは薄膜レジスタは、(金属-絶縁体-金属キャパシタが使用される実施形態においては)第1のキャパシタ電極層20と同じ材料を用いることが好ましい、適当な材料で形成される。従って、レジスタ28と第1のキャパシタ電極層20は共通の材料で形成される。第1のレジスタ28は、第1の絶縁誘電層12と直接接するか、または任意選択のバリア誘電層18によりその表面の少なくとも一部の上で第1の絶縁誘電層12からは離れた状態で、第1の絶縁誘電層12に隣接する。レジスタ28は、ビア40および金属層44により上方から接触されるか、または任意選択で金属層16およびビア14によって接触される。金属層16がひと続きの場合にはビア14の1つだけでよいことに注意すべきである。任意選択で1つまたはそれ以上の誘電層が第1のレジスタ28の上に配置される。例えば図1には、キャパシタの金属層20および24の上のブランケット層として配置され、使用されていれば任意選択のエッチング停止層26の上にさらに配置される、第1の中間誘電層30が示される。

10

#### 【0009】

中間誘電層30の表面に直接接触する任意選択の第2のレジスタ32を図1に示す。第2のレジスタは、デバイス中のほかの場所で他の層に接して用いられてもよい。例えば、第2のレジスタを、第1のレジスタに直接接触する同じ金属層に直接接触する関係に配置してもよい。任意選択の第2のレジスタ32を覆うもう1つの中間誘電層34が、図1に示すように中間誘電層30の上に配置される。前述のように、1つの誘電層を選択して、中間誘電層30または34のいずれかを除いてもよい。レジスタ28および32を異なる材料で形成してもよく、従ってこれらのレジスタの比抵抗は異なってもよい。

20

#### 【0010】

複数のビアが、第2の中間誘電層34、もしあればその他の任意の層によって隔てられた、複数の金属層の間の連絡経路を提供する。例えば、ビア36は金属層44を金属層16に導電的に接続する材料を含む。1つまたはそれ以上の数のビア38は、金属層44をキャパシタ電極層24に導電的に接続する材料を含む。複数のビア40は、金属層44を第1のレジスタ28に導電的に接続する材料で満たされている。同様に、複数のビア42は金属層44を第2のレジスタ32に導電的に接続する材料を含む。任意選択で、1つまたはそれ以上の、例えば層46のような追加の層が金属層44の上に配置されてもよい。図1の実施形態は、金属層44に最も近い表面で受動素子に接触するビア38、40および42を表す。ビア36、38、40が中間誘電層30および34を貫通し、ビア42が中間誘電層34のみを貫通することが理解されるであろう。

30

#### 【0011】

当業者は、任意の種々の材料が受動素子を製造するために適切に使用されうることを認識するであろうが、キャパシタ誘電層の材料のための好ましい誘電材料は、例えば $Ta_2O_5$ 、 $SrTiO_3$ 、 $ZrO_2$ 、 $ZrSiO_4$ 、 $HfO_2$ 、 $HfSiO_4$ 、 $TiO_2$ 、 $Si_3N_4$ のような酸化物もしくは窒化物またはそれらの混合物およびそれらの各材料の化学量論的組成の変形物から選択される。レジスタおよびキャパシタ電極層のために好ましい材料には、例えば $TaN$ 、 $TaAlN$ 、 $TiN$ 、 $CrNi$ 、 $WN$ 、 $CrSi$ またはそれらの混合物のような合金が含まれる。これらの材料の化学量論的組成の変形物を使用してもよい。

40

#### 【0012】

半導体デバイス内に形成される少なくとも1つの受動素子について、金属層16が該素子の端を越えて延在するか、または端に対して側方に位置がずらされる(オフセットされる)ことが望ましいであろう。例えば、金属層16は第1のキャパシタ電極層20、第1のキャパシタ誘電層22、および第2のキャパシタ電極層24の端を越えて側方に延在する。このような方法で、ビア36と金属層16により、金属層44から直接デバイスの第1のキャパシタ電極層20への電氣的接続が作成され得る。別の方法では、レジスタ28および32に関して、層間の接触がビア40および42を介してレジスタの第1の表面へ直接的であってもよい。

#### 【0013】

50

図1のデバイスを参照することにより、半導体基板10上の受動デバイスの加工について述べる。半導体基板10の上に堆積させた第1の絶縁誘電層12をパターン形成し、エッチングして、受動デバイスの金属層16を受け入れる溝15およびビア14を形成する。比抵抗が低いかまたは導電性の高い材料を溝15およびビア14に堆積させる。溝15内に材料を堆積させた後、余分な材料を除いて、その結果得られる金属層16の露出表面が第1の絶縁誘電層12の露出表面に対して連続的であり、好ましくは該表面と実質的に同一平面になるようにする。材料の除去のために、化学機械研磨技術のような任意の適当な技術を用いることができる。

#### 【0014】

任意選択で、バリア誘電層18が用いられる場合、バリア誘電層18を絶縁誘電層12および金属層16の上に堆積し、次いで該層18を貫通する開口部をエッチングし、図1のキャパシタのために金属層16の少なくとも一部を露出させる。受動素子が、バリア誘電層18の上に（使用する場合。そうでなければ第1の絶縁誘電層12および金属層16の上に）材料を堆積させることにより金属層上に構成され、次にパターン形成されエッチングされる。図1では、パターン形成のステップおよびエッチングのステップすなわち化学機械研磨法により、キャパシタ電極20およびレジスタ28が画成される。

#### 【0015】

1つまたはそれ以上の追加の堆積、パターン形成およびエッチングのステップが、（キャパシタが形成される、図1で示されるような実施形態について）キャパシタ誘電層22および金属層24の形成を含む、受動素子の追加の構成要素または層を形成するために、必要に応じて用いられる。当業者は、追加の層を形成するために利用可能な様々な技術の種類を理解するであろう。ブランケット堆積技術と、それに続く1つまたはそれ以上のパターン形成およびエッチングのステップを用いてもよい。1つの実施形態では、エッチングの前に、任意選択の第2のバリアすなわちエッチング停止層26を金属層24の上に堆積させてもよい。

#### 【0016】

結果として生じる図1のキャパシタの構造を製造するためには、わずか1回のマスキングステップを（付随するエッチングとともに）用いればよい。任意選択のバリア層18が使用される場合、任意選択のマスキングステップが金属層16を露出させる窓口を形成することに注意すべきである。第1のマスキングステップは、第2の電極材料を用いて第2のキャパシタ電極層24および任意選択の第2のレジスタを形成する。第2のマスキングステップは、レジスタとキャパシタの組み合わせが用いられる場合、第1のキャパシタ電極層20および第1のレジスタ28を形成する。当業者には、上述のエッチング手順を用いて、受動素子上に少なくとも誘電材料の薄膜を残し、受動素子へのエッチング液の攻撃を（特にビアエッチングステップの間）制御するのを助けることが可能であるということが理解されるであろう。もう1つの方法としては、受動素子に直接エッチングすることが望まれる場合には、そのような誘電体の薄膜を備えることを避けてもよい。

#### 【0017】

1つまたはそれ以上の受動素子の形成後、材料の追加の層を各受動素子の上に望みどおりに形成することができる。例えば、第1および第2の中間誘電層30および34を堆積させることができる（例えばブランケット堆積）。第2のレジスタ32を形成する場合は、該レジスタ32を第2の中間誘電層34の堆積の前に堆積させる。次いで第2のレジスタ32は、適当なマスキングおよびエッチング手順を用いて画成される。

#### 【0018】

ビアは（好適な材料除去技術であるエッチングとともに）任意の適当な技術の使用と、それに続く導電材料の堆積によって生成される。該相互接続金属層は、金属層16を形成するプロセスのような技術を含む、任意の適当な方法で形成してもよい。当然のことながら、金属層44はダマシン法で形成する必要はなく、任意の他の適当な方法で形成可能である。追加の層または構成要素（層46として図示）を、望みどおりに定められた適切な電気的連絡経路（図示せず）とともに、誘電層34および金属層44の上に形成することが

できる。

#### 【0019】

上記の方法は、一般に、1つまたはそれ以上の材料を提供し、該材料をパターン形成してその結果生じるデバイスの機能的構成要素の層を形成するという、複数のステップを含む。パターン形成には、材料の堆積すなわち形成のステップと材料の除去のステップを含む、多くの任意の従来のステップが使用されうる。通常、該ステップには、作業層の露出表面へのフォトリソグロフの塗布と、それに続く、該フォトリソグロフを現像し、その結果として、作業層の露出表面に所定のパターンを形成する該フォトリソグロフを選択的に除去する、フォトリソグロフのステップとが含まれる。次いで該作業層の露出表面を望みどおりにエッチングし、該表面およびその下の材料を除去する。フォトリソグロフは、保護層、すなわち材料の除去に用いられた物質（例えばエッチング液）が作業片（ワークピース）の下にある材料に接触するのを防ぐための層として、作業片に選択的に付着して残る。

#### 【0020】

図2も金属-絶縁体-金属キャパシタおよび薄膜レジスタのような半導体受動素子の組み合わせを示す。両図において同じ参照番号が同じ素子を示すべく使用されることに注意すべきである。絶縁誘導層12が半導体基板10の上に形成され、該誘電層の一部がその中に溝15を画成すべくエッチングされる。ビア14が溝15の底面から絶縁誘導層12を貫通して半導体基板10までエッチングされる。金属層16が、基板10と金属層16との間に電氣的接触を提供する導電材料で溝15およびビア14を満たす。

#### 【0021】

金属層16の少なくとも一部を覆って下方のキャパシタ電極層20が形成される。レジスタ28は下方のキャパシタ電極層20を形成するのと同じ材料で形成される。レジスタ28は絶縁誘導層12の上に形成され、金属層16に接触してもよい。誘電層22を下方のキャパシタ電極層20およびレジスタ28の上に堆積させ、キャパシタの誘電層としても使用する。上方のキャパシタ電極層24は、キャパシタ誘電層22の少なくとも一部と隣接する。上方のキャパシタ電極層24は、任意選択でその表面の少なくとも一部を覆うエッチング停止層26を含んでもよい。キャパシタ電極層20、キャパシタ誘電層22、キャパシタ電極層24、および使用する場合は任意選択のエッチング停止層26の組み合わせが、本実施形態に示すキャパシタ素子の構造を定義する。

#### 【0022】

誘電層34はキャパシタおよびレジスタ28、23を覆う。レジスタ28、23の端子には、それぞれビア40、42を誘電層34中に形成し該ビアを金属層44で満たすことにより、上方から接触することができる。任意選択で、レジスタ28は金属層16および金属で満たされたビア14によって下方から接触されうる。本実施形態では、レジスタ28、23は異なる比抵抗値を有する材料で形成されてもよいことに注意すべきである。キャパシタ電極層24を形成するのに使用される材料を、レジスタ23を形成するのと同じ処理ステップで堆積させることにさらに注意すべきである。

#### 【0023】

任意選択で、キャパシタ電極層20を除き、金属層16をキャパシタの電極を形成するために用いることが可能である。この実施形態では（図示せず）、金属層16、キャパシタ誘電層22、およびキャパシタ電極層24の組み合わせがキャパシタ素子の構造を定義する。キャパシタ電極層20を使用しない場合、レジスタ23を含む複数の抵抗素子を利用可能である。

#### 【0024】

ここで、本発明に従って製造されたデバイスは、無線周波数システム、アナログ回路を有するシステムまたはミックスシグナルの適用例のような（限定ではない）種々の固定または携帯用システムの任意のものに実用的用途があることが理解されるべきである。例えば、本デバイスを利用した、無線通信機器システム（例えば携帯電話、電話、インターネットアクセス装置、コンピュータシステム、ネットワークシステム、テレビもしくはラジオ放送システム、測位システム、一方向もしくは双方向通信、または他の無線周波数通信シ

ステム)のようなシステムが本発明の範囲内にあるものとして意図される。そのようなシステムは、特に1つまたはそれ以上の受動素子を別々のチップもしくはモジュールに、または活性基板上に統合することができるという観点において、本発明のデバイスおよび方法を用いて向上した性能の恩恵を受ける。

【図面の簡単な説明】

【図1】本発明に基づいて製造される1つの好適な半導体デバイスの説明図。

【図2】本発明に基づいて製造されるキャパシタおよびレジスタの説明図。

## 【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
28 February 2002 (28.02.2002)

PCT

(10) International Publication Number  
**WO 02/17367 A2**(51) International Patent Classification: **H01L 21/02**

(21) International Application Number: PCT/US01/25875

(22) International Filing Date: 17 August 2001 (17.08.2001)

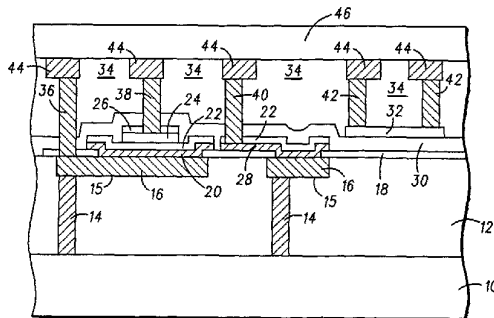
(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:  
09/642,680 21 August 2000 (21.08.2000) US(71) Applicant: **MOTOROLA, INC.**, [US/US]; 1303 East Algonquin Road, Schaumburg, IL 60196 (US).(72) Inventors: **ZURCHER, Peter**, 4514 East Hopi Street, Phoenix, AZ 85044 (US). **MILLER, Melvy, Freeland, III**, 177 West Caroline Lane, Tempe, AZ 85284 (US).(81) Designated States (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.(84) Designated States (*regional*): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).**Published:**  
— without international search report and to be republished upon receipt of that report(74) Agents: **KOCH, William, E.**, Motorola, Inc., Intellectual Property Section, Corporate Law Dept., Suite R3163, P.O. Box 10219, Scottsdale, AZ 85271-0219 et al. (US).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: SEMICONDUCTOR DEVICE HAVING PASSIVE ELEMENTS AND METHOD OF MAKING SAME



(57) Abstract: A semiconductor device and a method of making a semiconductor device. A damascene metal layer (16) is formed in an insulating dielectric layer (12), which is in direct electrical communication with a substrate (10). A layer of a passive element, such as first capacitor electrode layer (20) is disposed on metal layer (16) and preferably is offset relative to metal layer (16) to allow a direct electrical interconnect through a via (36) to metal layer (16). In one embodiment a capacitor and a resistor are formed as passive elements in the device. In another embodiment, the passive element includes at least one resistor (28) and optionally a second resistor (32). In yet another embodiment, metal layer (16) is a damascene copper layer.

WO 02/17367 A2

WO 02/17367

PCT/US01/25875

1  
**SEMICONDUCTOR DEVICE HAVING  
PASSIVE ELEMENTS AND METHOD OF MAKING SAME**

5 The present invention is directed to a semiconductor device and method for forming a semiconductor device, and particularly, a semiconductor device, including at least one passive element, adapted for use in wireless communication systems.

Many electronic devices currently suffer design and resulting performance limitations in view of the state of semiconductor device fabrication technology. Wireless communication systems, for example, generally contain relatively few semiconductor chips, but several hundred passive elements. As efforts continue to enhance form factor and power reduction, and to improve performance and functionality at frequencies on the order of  $10^9$  Hz or higher, it has become desirable to integrate passive elements into separate chips or modules and onto active substrates (such as silicon-containing substrates).

10 A variety of on-chip capacitor and resistor technologies currently exist, examples of which include double-poly, gate-oxide or junction capacitors or diffused silicon or poly silicon resistors. Many applications would benefit from an improvement in performance characteristics resulting from these technologies. For example, improvement is sought in the areas of reducing parasitic capacitance, improving voltage linearity, reducing electrode series resistance or reducing  $1/f$  noise. It is also desired that resulting devices be integrated into the backend of an active substrate (e.g., Si-chip), heretofore not accomplished using existing technology.

Brief Description of the Drawings

25 Fig. 1 illustrates one preferred semiconductor device fabricated in accordance with the present invention; and

Fig. 2 illustrates a capacitor and resistor fabricated in accordance with the present invention.

30

Detailed Description of the Drawings

Referring to the Fig. 1, there is shown an example of a combination of semiconductor passive elements, such as a metal-insulator-metal capacitor or a thin film resistor. In the

WO 02/17367

PCT/US01/25875

2

preferred embodiment, as illustrated in Fig. 1, the invention contemplates a device incorporating the combination of a metal-insulator-metal capacitor and at least one thin film resistor. Fig. 1 also illustrates an embodiment incorporating two thin film resistors. In another embodiment, it is contemplated that the metal-insulator-metal capacitor (or another passive element) may be  
5 omitted, or employed in a separate device, which may be in electrical communication with one or a plurality of resistor elements prepared in accordance with the method of the present invention.

In general, the devices of the present invention are characterized by the inclusion of a metal layer that is deposited in a trench formed in a layer of dielectric (i.e., insulating layer) and thereafter treated to remove excess material so that the resulting exposed surface of metal layer is  
10 substantially coplanar with the first surface of the layer of dielectric. Metal layer preferably is silver, gold, copper, aluminum or a mixture thereof, with copper being the preferred metal. Thus, more specifically, the devices are characterized by the inclusion of at least one copper damascene metal layer formed in a layer of material. In the preferred embodiment, the electrode for the capacitor is formed from a single damascene copper layer that becomes a terminal for one or  
15 more capacitors, resistors or a combination of both. However, the skilled artisan will recognize that a single passive element can be formed on a plurality of damascene layers, a single passive element can be formed on a single damascene layer, or one or more passive elements can be formed on multiple damascene layers.

To further illustrate, Fig 1. depicts a device that includes a suitable semiconductor  
20 substrate 10. Adjoining the substrate 10 is a first insulating dielectric layer 12, with a trench 15 defined therein. At a surface defining the base of trench 15, a via 14 includes a material that conductively connects substrate 10 with a metal layer 16 that fills trench 15 (preferably a damascene metal layer, and still more preferably a damascene copper layer). Shown in Fig. 1 there is an optional barrier dielectric layer 18 formed over metal layer 16 that may be omitted  
25 over some or all of metal layer 16. For instance, Fig. 1 illustrates a window opening in barrier dielectric layer 18, exposing a portion of metal layer 16 and thereby affording direct contact between metal layer 16 and a first or bottom capacitor electrode layer 20. Metal layer 16 is shown continuous but may be broken into multiple parts. It should be noted that multiple capacitors may be built on single metal layer 16.

30 Capacitor electrode layer 20 is sandwiched over at least a portion of its length between metal layer 16 and a capacitor dielectric layer 22. A second or top capacitor electrode layer 24 adjoins at least a portion of capacitor dielectric layer 22. The second capacitor electrode layer 24 optionally may include an etch stop layer 26 over at least a portion of its surface. The combination of capacitor electrode layer 20, capacitor dielectric layer 22, and capacitor electrode

WO 02/17367

PCT/US01/25875

3

layer 24 and optional etch stop layer 26 defines generally the structure of a capacitor element of the present invention.

A first resistor 28, preferably a thin film resistor, is formed from a suitable material that preferably (in an embodiment in which a metal-insulator-metal capacitor is employed) uses the same material as first capacitor electrode layer 20. Thus, resistor 28 and first capacitor electrode layer 20 are formed of a common material. First resistor 28 adjoins the first insulating dielectric layer 12, either in direct contact or separated therefrom over at least a portion of its surface by the optional barrier dielectric layer 18. Resistor 28 can be contacted through via 40 and metal layer 44 from above or optionally contacted through metal layer 16 and via 14. It should be noted that only one via 14 is needed when metal layers 16 are continuous. Optionally one or more dielectric layers are disposed on first resistor 28. For instance, in Fig. 1 there is shown a first interlevel dielectric layer 30 disposed as a blanket layer above metal layers 20 and 24 of the capacitor, and further disposed on optional etch stop layer 26 if used.

An optional second resistor 32 in direct contact with a surface of interlevel dielectric layer 30 is shown in Fig. 1. The second resistor may be employed elsewhere in the device and in contact with other layers. For instance, it may be disposed in direct contacting relationship with the same metal layer that is in direct contact with the first resistor. Another interlevel dielectric layer 34 is disposed on interlevel dielectric layer 30, covering optional second resistor 32 as shown in Fig. 1. As previously mentioned, either of the interlevel dielectric layers 30 or 34 may be omitted in favor of a single dielectric layer. Resistors 28 and 32 may be formed from different materials, and therefore, the resistivities of the resistors may be different.

A plurality of vias provide contact paths between metal layers that are separated by the second interlevel dielectric layer 34 and any other layers, if present. For instance, a via 36 includes a material that conductively connects a metal layer 44 to metal layer 16. One or more vias 38 include a material that conductively connects metal layer 44 to capacitor electrode layer 24. A plurality of vias 40 are filled with a material that conductively connects metal layer 44 to the first resistor 28. Likewise, a plurality of vias 42 include a material that conductively connects metal layer 44 to second resistor 32. Optionally, one or more additional layers such as, for example, a layer 46 may be disposed on metal layer 44. The embodiment illustrated in Fig. 1 depicts vias 38, 40 and 42 contacting the passive elements at the surface closest to metal layer 44. It will be appreciated that vias 36, 38 and 40 pass through interlevel dielectric layers 30 and 34 while via 42 passes only through interlevel dielectric layer 34.

While the skilled artisan will recognize that any of a variety of materials may be suitably employed to fabricate the passive elements, preferred dielectric materials for the capacitor

WO 02/17367

PCT/US01/25875

dielectric layer material are selected from oxides or nitrides such as, for example,  $Ta_2O_5$ ,  $SrTiO_3$ ,  $ZrO_2$ ,  $ZrSiO_4$ ,  $HfO_2$ ,  $HfSiO_4$ ,  $TiO_2$ ,  $Si_3N_4$  or mixtures thereof and stoichiometric variations of each of these materials. Preferred materials for the resistor and capacitor electrode layers include, for instance, intermetallics such as TaN, TaAlN, TiN, CrNi, WN, CrSi or mixtures thereof.

5 Stoichiometric variations of these materials may also be employed.

It may be desirable that, as to at least one of the passive elements formed in the semiconductor device, metal layer 16 extends beyond or is offset laterally relative to the ends of the element. For example, metal layer 16 extends laterally beyond the ends of the first capacitor electrode layer 20, the first capacitor dielectric layer 22, and the second capacitor electrode layer 24. In this manner, electrical connection may be made to first capacitor electrode layer 20 of the device directly from metal layer 44 by way of via 36 and metal layer 16. Alternatively, with reference to the resistors 28 and 32, contact between layers may be direct through vias 40 and 42 to the first surface of the resistors.

By reference to the device illustrated in the Fig. 1, the processing of the passive devices on semiconductor substrate 10 is described. The first insulating dielectric layer 12 deposited on the substrate 10 is patterned and etched to form the trench 15 and via 14 for receiving metal layer 16 of the passive device. A low resistivity or highly conductive material is deposited in trench 15 and via 14. After depositing the material in trench 15, excess material is removed so that the exposed surface of the resulting metal layer 16 is continuous relative to the exposed surface of the first insulating dielectric layer 12, and preferably substantially coplanar therewith. Any suitable technique may be used for material removal, such as a chemical mechanical polishing technique.

Optionally, if barrier dielectric layer 18 is employed, it is deposited on the insulating dielectric layer 12 and metal layer 16 and then an opening is etched through it to expose at least a portion of metal layer 16 for the capacitor depicted in Fig. 1. A passive element is constructed on the metal layer by depositing material over barrier dielectric layer 18 (if used, or otherwise over the first insulating dielectric layer 12 and metal layer 16) that is then patterned and etched. Referring to Fig. 1, the patterning and etching steps or a chemical mechanical polishing procedure defines capacitor electrode 20 and resistor 28.

One or more additional deposition, patterning and etching steps are employed as needed to define additional components or layers of the passive elements, including (for an embodiment such as depicted in Fig. 1, wherein a capacitor is formed) the formation of capacitor dielectric layer 22 and metal layer 24. The skilled artisan will appreciate the variety of different techniques available to form the additional layers. Blanket deposition techniques may be used followed by

WO 02/17367

PCT/US01/25875

5

one or more patterning and etching steps. In one embodiment, before etching, an optional second barrier or etch stop layer 26 is deposited over metal layer 24.

To prepare the resulting structure of the capacitor illustrated in Fig. 1, as few as one masking steps (with attendant etching) may be employed. It should be noted that if optional barrier layer 18 is used, then an optional masking step defines a window that exposes metal layer 16. The first masking step defines the second capacitor electrode layer 24 and an optional second resistor using the second electrode material. The second masking step defines the first capacitor electrode layer 20 and the first resistor 28 when a combination of resistor and capacitor is employed. It will be appreciated by the skilled artisan that it is possible, using the above described etching sequence, to leave at least a thin layer of dielectric material on the passive elements to help control the attack of etchant on the passive elements (particularly during via etching steps). Alternatively, should it be desired to etch straight through to the passive element, having such thin layer of dielectric can be avoided.

After formation of one or more passive elements, additional layers of material can be formed over each passive element as desired. For instance, the first and second interlevel dielectric layers 30 and 34 can be deposited (e.g., blanket deposited). If a second resistor 32 is formed, then it is deposited before the deposition of the second interlevel dielectric layer 34. The second resistor 32 is then defined using a suitable masking and etching sequence.

The vias are generated using any suitable technique (with etching being a preferred material removal technique), followed by the deposition of a conductive material. The interconnect metal layers may be formed in any suitable manner, including techniques such as the process for forming metal layer 16. It will be appreciated that metal layer 44 need not be formed in a damascene manner but can be formed in any other suitable manner. Additional layers or components (schematically depicted as layer 46) can be formed on the dielectric layer 34 and metal layer 44, with appropriate electrical communication paths (not shown) defined as desired.

The above methods generally include a plurality of steps of providing one or more materials and patterning the materials to form functional component layers of the resulting device. Patterning may employ any of a number of conventional steps, including material deposition or formation steps and material removal steps. Typically the steps involve the application of a photoresist to an exposed surface of a work layer, followed by a photolithography step to develop the photoresist, with resulting selective removal of the photoresist that defines a predetermined pattern on the exposed surface of the work layer. The exposed surface on the work layer is then etched as desired to remove material at and beneath the

WO 02/17367

PCT/US01/25875

6

surface. Photoresist remains selectively attached to the work piece as a protective layer, i.e., as a layer to prevent the agent (e.g., etchant) employed for material removal from contacting the underlying material of the work piece.

Fig. 2 also illustrates a combination of semiconductor passive elements such as a metal-insulator-metal capacitor and thin film resistors. It should be noted that the same reference numbers are used in the figures to denote the same elements. An insulating dielectric layer 12 is formed over semiconductor substrate 10 and a portion of the dielectric layer etched to define a trench 15 therein. A via 14 is etched from a bottom surface of trench 15 through insulating dielectric layer 12 to semiconductor substrate 10. A metal layer 16 fills trench 15 and via 14 with a conductive material that provides electrical contact between substrate 10 and metal layer 16.

A bottom capacitor electrode layer 20 is formed over at least a portion of metal layer 16. A resistor 28 is formed from the same material that forms bottom capacitor electrode layer 20. Resistor 28 is formed on insulating dielectric layer 12 and may be contacted from metal layer 16. A dielectric layer 22 is deposited over bottom capacitor electrode layer 20 and resistor 28 and is also used as the dielectric layer for the capacitor. A top capacitor electrode layer 24 adjoins at least a portion of capacitor dielectric layer 22. The top capacitor electrode layer 24 optionally may include an etch stop layer 26 over at least a portion of its surface. The combination of capacitor electrode layer 20, capacitor dielectric layer 22, and capacitor electrode layer 24, and optional etch stop layer 26 if used, defines the structure of the capacitor element shown in this embodiment.

A dielectric layer 34 covers the capacitor and resistors 28 and 23. Terminals of resistors 28 and 23 can be contacted from above by forming respective vias 40 and 42 in dielectric layer 34 and filling the vias with a metal layer 44. Optionally, resistor 28 can be contacted from below through metal layer 16 and the metal filled via 14. It should be noted that in this embodiment, resistors 28 and 23 may be formed from materials having different resistivity values. It should be further noted that the material used to form capacitor electrode layer 24 is deposited in the same processing step that forms resistor 23.

Optionally, capacitor electrode layer 20 can be eliminated and metal layer 16 used to form an electrode of the capacitor. In this embodiment (not shown), the combination of metal layer 16, capacitor dielectric layer 22, and capacitor electrode layer 24, define the structure of the capacitor element. When capacitor electrode layer 20 is not used, resistive elements that include resistor 23 are available.

WO 02/17367

PCT/US01/25875

7  
By now it should be appreciated that devices prepared in accordance with the present invention find practical application in any of a variety of stationary or portable systems, such as (without limitation) radio frequency systems, systems having analog circuits or mixed signal applications. For instance, systems such as wireless communications equipment systems (e.g.,  
5 pagers, phones, internet access devices, computing systems, networking systems, television or radio broadcast systems, positioning systems, one or two way communications or other radio frequency communications systems) employing the present devices are contemplated as within the scope of the present invention. Such systems benefit from improved performance using the devices and methods of the present invention, particularly in view of the ability to integrate one  
10 or more passive elements into separate chips or modules or onto active substrates.

WO 02/17367

PCT/US01/25875

8

## CLAIMS:

1. A method for fabricating a semiconductor device, comprising the steps of:
  - 5 providing a semiconductor substrate;
  - forming an insulating layer on the semiconductor substrate;
  - forming a first damascene metal layer in the insulating layer for electrical communication with the semiconductor substrate;
  - forming a capacitor on the first damascene metal layer, the capacitor having a first capacitor electrode and a second capacitor electrode;
  - 10 forming at least one resistor on the first damascene metal layer, wherein the at least one resistor is formed from a same layer of material as used in forming the first capacitor electrode; and
  - forming a second metal layer for electrical communication with the capacitor.
- 15 2. The method of claim 1, wherein the metal of the first damascene metal layer is selected from copper, gold, silver or mixtures thereof.
3. The method of claim 1, wherein the forming a first damascene metal layer step includes depositing copper in a trench in the insulating layer and chemically polishing the copper to define a surface that is substantially coplanar with a surface on the insulating layer.
- 20 4. The method of claim 1, wherein the at least one resistor is at least partially formed on a dielectric layer that overlies the first damascene metal layer.
- 25 5. The method claim 1, wherein the second metal layer also provides for electrical communication with the at least one resistor.
- 30 6. The method of claim 1, further comprising the step of forming an additional resistor from a third metal layer which is a different layer than that used to form either of the first and second capacitor electrodes.

WO 02/17367

PCT/US01/25875

9

7. The method of claim 1, further comprising the step of forming an additional resistor, the additional resistor being formed from a same layer of material as used in forming the second capacitor electrode.

5 8. A method for fabricating a semiconductor device, comprising the steps of:  
depositing a layer of copper into a trench defined in a flat surface of an  
insulating layer;  
forming a surface on the layer of copper that is coplanar with the flat surface of  
the insulating layer; and  
10 forming a resistor on the layer of copper, wherein the resistor is formed directly  
on and contiguous with the copper layer over at least a portion of its surface.

9. The method according to claim 8 wherein the formed surface is damascene.

15 10. The method according to claim 8 further comprising forming a capacitor on the  
layer of copper, the capacitor having a first capacitor electrode and a second capacitor  
electrode, and wherein the first capacitor electrode and the resistor are formed of a same  
layer of material.

20 11. The method according to claim 10 further comprising the step of forming a  
dielectric layer on the resistor, wherein the dielectric layer forms a capacitor dielectric  
layer of the capacitor.

25 12. The method according to claim 11 further comprising the step of forming a  
contact in the dielectric layer to enable electrical communication with the resistor.

13. The method of claim 8 further comprising a dielectric layer that overlies at least  
a portion of the surface of the copper layer, and wherein the resistor is formed at least  
partially on the dielectric layer.

30 14. A method for fabricating a semiconductor device, comprising the steps of:  
depositing a first layer of copper into a trench defined in a flat surface of an insulating layer;  
forming a surface on the layer of copper that is coplanar with the flat surface of  
the insulating layer;

WO 02/17367

PCT/US01/25875

- 10
- forming a resistor overlying the layer of copper; and  
forming a second layer of copper overlying the resistor for electrical  
communication with the resistor.
- 5 15. A method for fabricating a semiconductor, comprising the steps of:  
forming a damascene copper layer;  
forming a dielectric layer on the damascene copper layer;  
patterning an opening in the dielectric layer to expose a portion of the damascene  
copper layer; and  
10 forming a passive element which at least in part lies over the dielectric layer and  
which at least in part is in direct contact with the damascene copper layer  
through the opening in the dielectric layer.
16. The method of claim 15 wherein the passive element is a capacitor and a bottom  
15 electrode of the capacitor is in direct contact with the damascene copper layer.
17. The method of claim 16 further comprising a resistor formed from a same layer of  
material as the bottom electrode of the capacitor.
- 20 18. The method of claim 15, wherein the passive element includes a layer of material  
selected from  $Ta_2O_5$ ,  $SrTiO_3$ ,  $ZrO_2$ ,  $HfO_2$ ,  $HfSiO_4$ ,  $TiO_2$ ,  $Si_3N_4$  or mixtures thereof and  
stoichiometric variations.
19. The method of claim 15, wherein the passive element includes a layer of material  
25 selected from TaN, TaAlN, TiWN, CrNi, CrSi and mixtures thereof and stoichiometric  
variations.
20. A method of fabricating a semiconductor device, comprising the steps of:  
providing a substrate;  
30 forming an insulating layer on the substrate;  
forming a damascene metal layer in the insulating layer for electrical  
communication with the semiconductor substrate;  
depositing a first material on the damascene metal layer;  
patterning the first material to form a first capacitor electrode and a first resistor;

WO 02/17367

PCT/US01/25875

- 11  
depositing a dielectric layer over the first capacitor electrode and over the first resistor;  
depositing a second material over the dielectric layer and over the first capacitor electrode;  
5 patterning the second material to form a second capacitor electrode over the first capacitor electrode.
21. The method of claim 20 wherein the step of patterning the second material comprises, patterning the second material to also form a second resistor.
- 10 22. The method of claim 20, wherein the dielectric layer includes a layer of material selected from  $Ta_2O_5$ ,  $SrTiO_3$ ,  $ZrO_2$ ,  $HfO_2$ ,  $HfSiO_4$ ,  $TiO_2$ ,  $Si_3N_4$  or mixtures thereof and stoichiometric variations.
- 15 23. The method of claim 20, wherein the damascene metal layer is a metal layer comprising copper.
24. The method of claim 20 wherein the first material is selected from TaN, TaAlN, TiWN, CrNi, CrSi and mixtures thereof and stoichiometric variations.
- 20 25. The method of claim 20 wherein the first and seconds materials are selected from TaN, TaAlN, TiWN, CrNi, CrSi and mixtures thereof and stoichiometric variations.
- 25

WO 02/17367

PCT/US01/25875

1/1

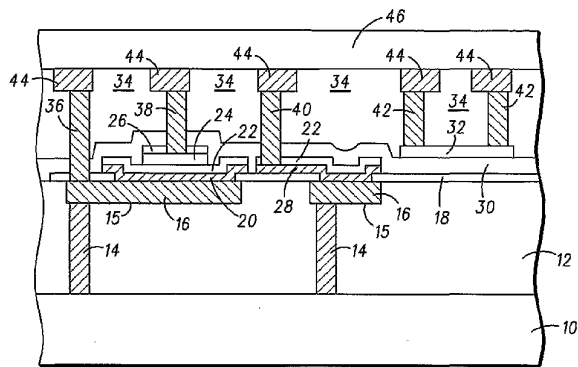


FIG. 1

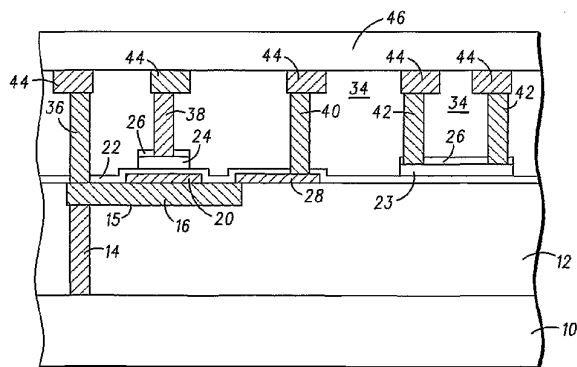


FIG. 2

## 【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

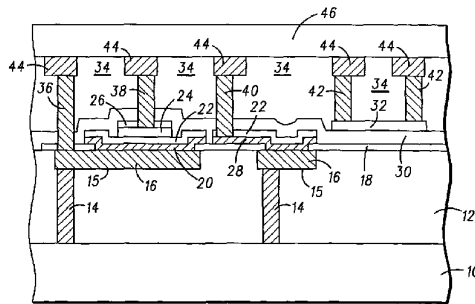
(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
28 February 2002 (28.02.2002)

PCT

(10) International Publication Number  
WO 02/017367 A3

- (51) International Patent Classification: **H01L 21/02** (81) Designated States (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, ES, IE, IL, GB, GR, GU, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (21) International Application Number: PCT/US01/25875
- (22) International Filing Date: 17 August 2001 (17.08.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/642,680 21 August 2000 (21.08.2000) US
- (71) Applicant: **MOTOROLA, INC.**, [US/US]; 1303 East Algonquin Road, Schaumburg, IL 60196 (US).
- (72) Inventors: **ZURCHER, Peter**, 4514 East Hopi Street, Phoenix, AZ 85044 (US); **MILLER, Melvyn, Freeland, III**, 177 West Caroline Lane, Tempe, AZ 85284 (US).
- (74) Agents: **KOCH, William, E.**, Motorola, Inc., Intellectual Property Section, Corporate Law Dept., Suite R3163, P.O. Box 10219, Scottsdale, AZ 85271-0219 et al. (US).
- (84) Designated States (*regional*): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SI, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD, TG).
- Published: — with international search report
- (88) Date of publication of the international search report: 23 January 2003
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: SEMICONDUCTOR DEVICE HAVING PASSIVE ELEMENTS AND METHOD OF MAKING SAME



(57) Abstract: A semiconductor device and a method of making a semiconductor device. A damascene metal layer (16) is formed in an insulating dielectric layer (12), which is in direct electrical communication with a substrate (10). A layer of a passive element, such as first capacitor electrode layer (20) is disposed on metal layer (16) and preferably is offset relative to metal layer (16) to allow a direct electrical interconnect through a via (36) to metal layer (16). In one embodiment a capacitor and a resistor are formed as passive elements in the device. In another embodiment, the passive element includes at least one resistor (28) and optionally a second resistor (32). In yet another embodiment, metal layer (16) is a damascene copper layer.

WO 02/017367 A3

## 【国際調査報告】

| INTERNATIONAL SEARCH REPORT                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                                                                                                            | International Application No.<br>PCT/US 01/25875                     |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------|
| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br>IPC 7 H01L21/02                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                                            |                                                                      |
| According to International Patent Classification (IPC) or to both national classification and IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                                                                                                                            |                                                                      |
| <b>B. FIELDS SEARCHED</b><br>Minimum documentation searched (classification system followed by classification symbols)<br>IPC 7 H01L                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                                                                                                                            |                                                                      |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                                            |                                                                      |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used)<br>EPO-Internal, PAJ, INSPEC, WPI Data                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                                                                                                                            |                                                                      |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                                            |                                                                      |
| Category *                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | Citation of document, with indication, where appropriate, of the relevant passages                                                                                         | Relevant to claim No.                                                |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | EP 1 020 905 A (LUCENT TECHNOLOGIES INC)<br>19 July 2000 (2000-07-19)<br>claims 1-16                                                                                       | 1-25                                                                 |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | PATENT ABSTRACTS OF JAPAN<br>vol. 1999, no. 02,<br>26 February 1999 (1999-02-26)<br>& JP 10 303372 A (SANYO ELECTRIC CO LTD),<br>13 November 1998 (1998-11-13)<br>abstract | 1-25                                                                 |
| P, A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | & US 6 110 772 A (KANEKO SATORU ET AL)<br>29 August 2000 (2000-08-29)<br>the whole document                                                                                |                                                                      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | US 5 801 065 A (ANZELC GREG ET AL)<br>1 September 1998 (1998-09-01)<br>the whole document                                                                                  | 1-25                                                                 |
| -/-                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |                                                                                                                                                                            |                                                                      |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                                            |                                                                      |
| * Special categories of cited documents:<br>*A* document defining the general state of the art which is not considered to be of particular relevance<br>*E* earlier document but published on or after the international filing date<br>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see specification)<br>*O* document referring to an oral disclosure, use, exhibition or other means<br>*P* document published prior to the international filing date but later than the priority date claimed<br>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.<br>*Z* document member of the same patent family |                                                                                                                                                                            |                                                                      |
| Date of the actual completion of the international search<br><br>17 July 2002                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                                            | Date of mailing of the international search report<br><br>25/07/2002 |
| Name and mailing address of the ISA<br>European Patent Office, P.O. Box 5818 Patentamt 2<br>NL - 2280 HV Rijswijk<br>Tel: (+31-70) 340-2010, Tx: 31 651 epo nl,<br>Fax: (+31-70) 340-3016                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                                                                            | Authorized officer<br><br>Giordani, S                                |

Form PCT/ISA/210 (second sheet) (July 1992)

| INTERNATIONAL SEARCH REPORT                          |                                                                                                                                                                                                                                                                                                                                                                                                                 | International Application No<br>PCT/US 01/25875 |
|------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------|
| C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT |                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                 |
| Category *                                           | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                                                                                                                                              | Relevant to claim No.                           |
| A                                                    | US 5 440 174 A (NISHITSUJI MITSURU)<br>8 August 1995 (1995-08-08)<br>the whole document                                                                                                                                                                                                                                                                                                                         | 1-25                                            |
| P,A                                                  | WO 01 56086 A (PARKERSON JAMES PATRICK<br>;SCHAPER LEONARD W (US); TRUSTEES OF THE<br>U) 2 August 2001 (2001-08-02)<br>the whole document                                                                                                                                                                                                                                                                       | 1-25                                            |
| P,A                                                  | ZURCHER P ET AL: "INTEGRATION OF THIN<br>FILM MIM CAPACITORS AND RESISTORS INTO<br>COPPER METALLIZATION BASED RF-CMOS AND<br>BI-CMOS TECHNOLOGIES"<br>INTERNATIONAL ELECTRON DEVICES MEETING<br>2000. IEDM. TECHNICAL DIGEST. SAN<br>FRANCISCO, CA, DEC. 10 - 13, 2000, NEW<br>YORK, NY: IEEE, US,<br>10 December 2000 (2000-12-10), pages<br>153-156, XP000988822<br>ISBN: 0-7803-6439-2<br>the whole document | 1-25                                            |

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/US 01/25875

| Patent document<br>cited in search report |   | Publication<br>date | Patent family<br>member(s)                                       | Publication<br>date                                  |
|-------------------------------------------|---|---------------------|------------------------------------------------------------------|------------------------------------------------------|
| EP 1020905                                | A | 19-07-2000          | US 6346454 B1<br>EP 1020905 A1<br>JP 2000208745 A<br>TW 455990 B | 12-02-2002<br>19-07-2000<br>28-07-2000<br>21-09-2001 |
| JP 10303372                               | A | 13-11-1998          | US 6110772 A                                                     | 29-08-2000                                           |
| US 5801065                                | A | 01-09-1998          | NONE                                                             |                                                      |
| US 5440174                                | A | 08-08-1995          | JP 2797885 B2<br>JP 6188367 A                                    | 17-09-1998<br>08-07-1994                             |
| WO 0156086                                | A | 02-08-2001          | AU 3120301 A<br>WO 0156086 A1                                    | 07-08-2001<br>02-08-2001                             |

---

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PH,PL,PT,R  
O,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(72)発明者 ミラー、メルビー フリーランド ザ サード

アメリカ合衆国 85284 アリゾナ州 テンペ ウェスト カロライン レーン 177  
Fターム(参考) 5F038 AC04 AC05 AC15 AR07 AR08 EZ20