

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-165568

(P2007-165568A)

(43) 公開日 平成19年6月28日(2007.6.28)

| (51) Int. Cl.            | F I               | テーマコード (参考) |
|--------------------------|-------------------|-------------|
| HO 1 L 23/52 (2006.01)   | HO 1 L 27/12 C    | 4M104       |
| HO 1 L 27/12 (2006.01)   | HO 1 L 21/88 K    | 5F032       |
| HO 1 L 21/3205 (2006.01) | HO 1 L 21/28 3O1D | 5F033       |
| HO 1 L 21/28 (2006.01)   | HO 1 L 21/28 3O1S | 5F048       |
| HO 1 L 21/762 (2006.01)  | HO 1 L 21/76 D    | 5F110       |

審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2005-359713 (P2005-359713)  
 (22) 出願日 平成17年12月14日 (2005.12.14)

(71) 出願人 000000295  
 沖電気工業株式会社  
 東京都港区虎ノ門1丁目7番12号  
 (74) 代理人 100079049  
 弁理士 中島 淳  
 (74) 代理人 100084995  
 弁理士 加藤 和詳  
 (74) 代理人 100085279  
 弁理士 西元 勝一  
 (74) 代理人 100099025  
 弁理士 福田 浩志  
 (72) 発明者 岡村 友博  
 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

最終頁に続く

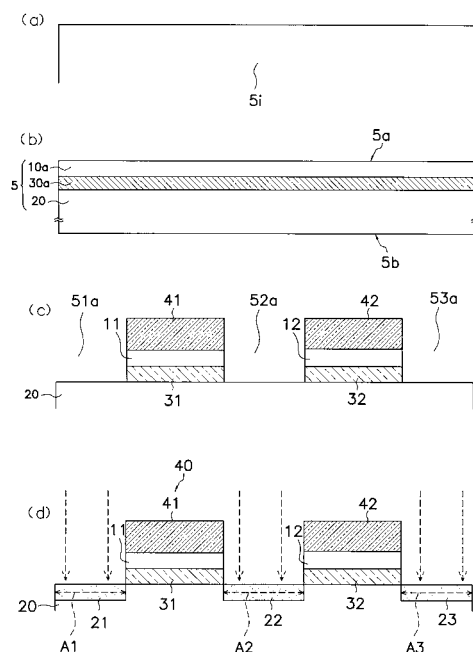
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 工程を簡略化することができ、層間絶縁膜を容易に平坦化できる半導体装置の製造方法を提供する。

【解決手段】 SOI基板5が準備される。第1半導体層10aとBOX層30aとがエッチングされて、トレンチ51a, 52a, 53aが形成される。トレンチ51a, 52a, 53aは、素子分離のためのトレンチである。トレンチ51a, 52a, 53aにより露出された第2半導体層20の露出部分A1, A2, A3にイオンが注入される。イオン注入工程の後に、トレンチ51a, 52a, 53aに素子分離用酸化膜群が埋め込まれる。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

表面側の半導体層である第 1 半導体層と裏面側の半導体層である第 2 半導体層と前記第 1 半導体層及び前記第 2 半導体層に挟まれた基板絶縁膜とを有する S O I 基板が準備される準備工程と、

少なくとも前記第 1 半導体層と前記基板絶縁膜とがエッチングされて、素子分離のためのトレンチである第 1 トレンチが形成されるトレンチエッチング工程と、

前記第 2 半導体層において前記第 1 トレンチにより露出されている部分である第 1 露出部分の少なくとも一部に第 2 イオンが注入される第 2 イオン注入工程と、

前記第 2 イオン注入工程の後に、前記第 1 トレンチに絶縁膜が埋め込まれる埋め込み工程と、

を備えた、

半導体装置の製造方法。

**【請求項 2】**

前記埋め込み工程の後に、ゲート酸化膜が形成されるゲート酸化膜形成工程と、

前記ゲート酸化膜の上にゲート電極が形成されるゲート電極形成工程と、

前記第 1 半導体層において前記ゲート酸化膜の下部を挟む部分である拡散領域に、第 1 イオンが注入される第 1 イオン注入工程と、

熱処理されて、前記拡散領域に注入された前記第 1 イオンが活性化される拡散工程と、

をさらに備え、

前記拡散工程では、前記第 1 露出部分の少なくとも一部に注入された前記第 2 イオンが

さらに活性化される、

請求項 1 に記載の半導体装置の製造方法。

**【請求項 3】**

前記拡散工程の後に、前記ゲート電極及び前記拡散領域の上に金属層が形成される金属層形成工程と、

熱処理されて、前記ゲート電極及び前記拡散領域に接している部分の前記金属層がシリサイド化されるシリサイド工程と、

をさらに備えた、

請求項 2 に記載の半導体装置の製造方法。

**【請求項 4】**

シリサイド化された前記金属層の上に層間絶縁膜が形成される層間絶縁膜形成工程をさらに備えた、

請求項 3 に記載の半導体装置の製造方法。

**【請求項 5】**

前記準備工程の後であって前記トレンチエッチング工程の前に、前記第 2 半導体層の一部に第 3 イオンが注入される第 3 イオン注入工程をさらに備えた、

請求項 1 から 4 のいずれか 1 項に記載の半導体装置の製造方法。

**【発明の詳細な説明】****【技術分野】**

40

**【0001】**

本発明は、半導体装置の製造方法に関する。

**【背景技術】****【0002】**

従来から、S O I ( S i l i c o n O n I n s u l a t o r ) 基板において、表面側の半導体層に半導体素子が形成され、裏面側の半導体層に基板コンタクトが形成されるような半導体装置の製造方法が提案されている(例えば、特許文献 1 参照)。

【特許文献 1】特開 2000-243967 (第 1-5 頁、第 1-4 図)

**【発明の開示】****【発明が解決しようとする課題】**

50

## 【0003】

特許文献1の技術では、素子分離領域の絶縁膜が開口されて裏面側の半導体層の一部が露出されて、その部分にイオンが注入されることにより基板コンタクトが形成されている。

## 【0004】

しかし、特許文献1の技術では、素子分離領域の絶縁膜が開口されるようにするために、マスクを1枚追加する必要がある。これにより、工程が複雑化する傾向がある。

## 【0005】

また、特許文献1の技術では、基板コンタクトが形成された後に、素子分離領域において開口された部分と開口されていない部分とで形成される段差が大きくなる傾向にあるので、平坦化可能な段差より段差が大きな状態で層間絶縁膜が形成される傾向にある。これにより、層間絶縁膜の平坦化が困難になる傾向にある。

10

## 【0006】

本発明の課題は、工程の複雑化を低減でき、層間絶縁膜を容易に平坦化できる半導体装置の製造方法を提供することにある。

## 【課題を解決するための手段】

## 【0007】

本発明に係る半導体装置の製造方法は、準備工程と、トレンチエッチング工程と、第2イオン注入工程と、埋め込み工程とを備える。準備工程では、SOI基板が準備される。SOI基板は、第1半導体層と第2半導体層と基板絶縁膜とを有する。第1半導体層は、表面側の半導体層である。第2半導体層は、裏面側の半導体層である。基板絶縁膜は、第1半導体層及び第2半導体層に挟まれている。トレンチエッチング工程では、少なくとも第1半導体層と基板絶縁膜とがエッチングされて、第1トレンチが形成される。第1トレンチは、素子分離のためのトレンチである。第2イオン注入工程では、第1露出部分の少なくとも一部に第2イオンが注入される。第1露出部分は、第2半導体層において第1トレンチにより露出されている部分である。埋め込み工程では、第2イオン注入工程の後に、第1トレンチに絶縁膜が埋め込まれる。

20

## 【0008】

この半導体装置の製造方法では、第2イオン注入工程において、第1露出部分の少なくとも一部に第2イオンが注入される。これにより、新たにエッチングする工程を追加せずに第2イオンが注入されるようにすることができる。

30

## 【0009】

また、埋め込み工程において、第2イオン注入工程の後に、第1トレンチに絶縁膜が埋め込まれる。これにより、平坦化可能な段差より段差が小さな状態で層間絶縁膜が形成されるようにすることができる。

## 【0010】

このように、工程が増えることを抑制でき、層間絶縁膜の形成後の段差を平坦化可能な段差以下に抑えることができる。このため、工程の複雑化を低減でき、層間絶縁膜を容易に平坦化できる。

## 【発明の効果】

40

## 【0011】

本発明に係る半導体装置の製造方法では、工程が増えることを抑制でき、層間絶縁膜の形成後の段差を平坦化可能な段差以下に抑えることができる。このため、工程の複雑化を低減でき、層間絶縁膜を容易に平坦化できる。

## 【発明を実施するための最良の形態】

## 【0012】

## &lt;第1実施形態&gt;

本発明の第1実施形態に係る半導体装置の断面図を図1に示す。なお、図1では、トランジスタが2つ示されているが、SOI基板5に同様の構成が繰り返し形成されているものとする。

50

## 【0013】

(半導体装置の概略構成)

半導体装置1は、主として、第1半導体層10、第2半導体層20、BOX層30、素子分離用酸化膜群50(51, 52, 53, ...)、層間絶縁膜3、ゲート酸化膜群(11c, 12c, ...)、ゲート電極群60(61, 61a, 62, 62a, ...)、第1配線層90及びスルーホール配線群70(71, 72, ...)を備える。

## 【0014】

第1半導体層10は、SOI基板5の表面5a(図2(b)参照)側の半導体層である。第1半導体層10は、第11半導体層11と第12半導体層12とを有する。第11半導体層11は、主として、拡散領域(11d, 11e)とチャネル領域11fとを有する。チャネル領域11fは、後述の第1ゲート電極(61, 61a)の下部に形成されており、拡散領域11dと拡散領域11eとに挟まれている。拡散領域(11d, 11e)は、AsやPなどのN型の不純物が高濃度(例えば、 $1.0 \times 10^{20}$ 個/立方センチメートル)でドーパされた領域となっている。それに対して、チャネル領域11fは、BなどのP型の不純物が低濃度でドーパされたものとなっている。なお、第12半導体層12も第11半導体層11と同様である。

10

## 【0015】

第2半導体層20は、SOI基板5の裏面5b(図2(b)参照)側の半導体層である。第2半導体層20には、基板コンタクト層(21, 22, 23)が形成されている。基板コンタクト層(21, 22, 23)は、BなどのP型の不純物が高濃度(例えば、 $1.0 \times 10^{20}$ 個/立方センチメートル)でドーパされた領域となっている。それに対して、第2半導体層20において基板コンタクト層(21, 22, 23)以外の部分は、BなどのP型の不純物が低濃度でドーパされたものとなっている。

20

## 【0016】

BOX層30は、半導体基板5i(図2(a)参照)を第1半導体層10と第2半導体層20とに分離するように形成されている。BOX層30は、第1BOX層31、第2BOX層32を有する。すなわち、BOX層30は、SOI基板5において、第1半導体層10と第2半導体層20とに挟まれている。これにより、第1半導体層10と第2半導体層20とが電氣的に絶縁されている。また、第2半導体層20の電位を安定させることにより、第1半導体層10の電位を安定させることができるようになっている。

30

## 【0017】

素子分離用酸化膜群50(51, 52, 53, ...)は、第1素子分離用酸化膜51、第2素子分離用酸化膜52及び第3素子分離用酸化膜53を有する。第1素子分離用酸化膜51、第2素子分離用酸化膜52及び第3素子分離用酸化膜53は、第11半導体層11と第12半導体層12とを互いに電氣的に分離している。

## 【0018】

層間絶縁膜3は、第11半導体層11及び第12半導体層12と、第1配線層90との間に形成されている。これにより、第11半導体層11及び第12半導体層12と、第1配線層90とが一部を除き電氣的に絶縁されている。

## 【0019】

ゲート酸化膜群(11c, 12c, ...)は、ゲート酸化膜11cとゲート酸化膜12cとを有する。ゲート酸化膜11cは、チャネル領域11fと第1ゲート電極(61, 61a)との間に形成されている。ゲート酸化膜12cもゲート酸化膜11cと同様である。

40

## 【0020】

ゲート電極群60(61, 61a, 62, 62a, ...)は、ゲート電極61、コバルトシリサイド層61a、ゲート電極62及びコバルトシリサイド層62aを有する。ゲート電極61は、ポリシリコン層を有する。コバルトシリサイド層61a, 62aは、ゲート電極61, 62よりもゲート酸化膜11c, 12cから離れた箇所に形成されている。これにより、ゲート電極61, 62へ電圧が供給される際の接触抵抗が低減されている

50

。

## 【0021】

第1配線層90は、第11配線91，第12配線92，第15配線95，第16配線96，第17配線97及び第18配線98を有する。スルーホール配線群70(71，72，・・・)は、第1スルーホール配線71，第2スルーホール配線72，第5スルーホール配線75，第6スルーホール配線76，第7スルーホール配線77及び第8スルーホール配線78を有する。

## 【0022】

第1スルーホール配線71は、第11配線91と第2半導体層20とを接続する。第2半導体層20において第1スルーホール配線71に接続される部分には基板コンタクト層21が形成されている。これにより、第1スルーホール配線71と第2半導体層20との接触抵抗が低減されている。第2スルーホール配線72も第1スルーホール配線71と同様である。

10

## 【0023】

第5スルーホール配線75は、第15配線95と拡散領域11dとを接続する。拡散領域11dにおいて第5スルーホール配線75に接続される部分にはコバルトシリサイド層11d1が形成されている。これにより、第5スルーホール配線75と拡散領域11dとの接触抵抗が低減されている。第16配線96，第17配線97及び第18配線98も第15配線95と同様である。

## 【0024】

(半導体装置の製造方法)

半導体装置の製造方法を、図2～図5に示す工程断面図を用いて説明する。

20

## 【0025】

準備工程S1では、図2(a)，(b)に示すように、SOI基板5が準備される。すなわち、まず、図2(a)に示すように、半導体基板5iが準備される。そして、図2(b)に示すように、既知の方法を用いて半導体基板5iにBOX層30aが形成される。これにより、BOX層30aは、第1半導体層10aと第2半導体層20とに挟まれるようになる。ここで、第1半導体層10aの膜厚が300～500になるように形成され、BOX層30aの膜厚が1350～2000になるように形成される。このようにして、第1半導体層10aとBOX層30aと第2半導体層20とを有するSOI基板5が準備される。

30

## 【0026】

トレンチエッチング工程S2では、図2(c)に示すように、第1トレンチ(51a，52a，53a)が形成される。具体的には、全面にSiN層(41，42)が形成された後、SiN層(41，42)とともに第1半導体層10aとBOX層30aとがエッチングされて、第1トレンチ(51a，52a，53a)が形成される。ここで、第1トレンチ(51a，52a，53a)は、素子分離のためのトレンチである。また、第1露出部分(A1，A2，A3)も形成される。ここで、第1露出部分(A1，A2，A3)は、第2半導体層20において第1トレンチ(51a，52a，53a)により露出されている部分である。

40

## 【0027】

第2イオン注入工程S3では、図2(d)に示すように、基板コンタクト層(21，22，23)が形成される。具体的には、SiN層(41，42)をマスクとして第1露出部分(A1，A2，A3)に第2イオンが注入される。第2イオンは、BなどのP型の不純物イオンであり、高濃度(例えば、1.0E20個/立方センチメートル)で注入される。

## 【0028】

埋め込み工程S4では、図3(a)に示すように、第1トレンチ(51a，52a，53a)に素子分離用酸化膜群50(51，52，53，・・・)が埋め込まれる。具体的には、酸化膜がCVD法により全面に成膜された後に、CMP法により、第11半導体層

50

1 1 及び第 1 2 半導体層 1 2 が露出するまで平坦化が行われる。これにより、素子分離用酸化膜群 5 0 ( 5 1 , 5 2 , 5 3 , . . . ) も形成される。

【 0 0 2 9 】

ゲート酸化膜形成工程 S 5 では、図 3 ( b ) に示すように、ゲート酸化膜が形成される。具体的には、熱酸化が行われて、露出された第 1 1 半導体層 1 1 及び第 1 2 半導体層 1 2 の表面 ( 1 1 a , 1 1 b ) にゲート酸化膜 ( 1 1 b , 1 2 b ) が形成される。

【 0 0 3 0 】

ゲート電極形成工程 S 6 では、図 3 ( c ) に示すように、ゲート電極 ( 6 1 i , 6 2 i ) が形成される。具体的には、ポリシリコン層が全面に蒸着された後にレジストを用いてパターンングが行われ、ポリシリコン層及びゲート酸化膜がエッチングされる。これにより、ゲート電極 ( 6 1 i , 6 2 i ) 及びゲート酸化膜 ( 1 1 c , 1 2 c ) が形成される。ここで、ゲート酸化膜 ( 1 1 c , 1 2 c ) 及びゲート電極 ( 6 1 i , 6 2 i ) の膜厚の合計が約 1 5 0 0 になるように形成されている。なお、この後には、図示しないサイドウォール ( 酸化膜 ) がゲート電極 ( 6 1 i , 6 2 i ) の側面に形成される。

【 0 0 3 1 】

第 1 イオン注入工程 S 7 では、図 3 ( d ) に示すように、拡散領域 ( 1 1 d , 1 1 e ) に第 1 イオンが注入される。拡散領域 ( 1 1 d , 1 1 e ) は、第 1 1 半導体層 1 1 においてチャネル領域 1 1 f を挟む部分である。第 1 イオンは、A s や P などの N 型の不純物イオンであり、高濃度 ( 例えば、 $1.0 \times 10^{20}$  個 / 立方センチメートル ) で注入される。

【 0 0 3 2 】

拡散工程 S 8 では、高温 ( 例えば、 $1000$  ) で熱処理が行われて、拡散領域 ( 1 1 d , 1 1 e ) に注入された第 1 イオンが活性化される。このとき、第 1 露出部分 ( A 1 , A 2 , A 3 ) に注入された第 2 イオンもさらに活性化される。

【 0 0 3 3 】

金属層形成工程 S 9 では、図 4 ( a ) に示すように、ゲート電極 ( 6 1 i , 6 2 i ) 及び拡散領域 ( 1 1 d , 1 1 e ) の上に ( 全面に ) コバルト層 7 が形成される。

【 0 0 3 4 】

サリサイド工程 S 1 0 では、図 4 ( b ) に示すように、低温 ( 例えば、 $500$  ) で熱処理されて、ゲート電極 ( 6 1 i , 6 2 i ) 及び拡散領域 ( 1 1 d , 1 1 e ) とコバルト層 7 とが反応して、ゲート電極 ( 6 1 i , 6 2 i ) 及び拡散領域 ( 1 1 d , 1 1 e ) に接している部分のコバルト層 7 がシリサイド化される。これにより、コバルトシリサイド層 ( 6 1 a , 1 1 d 1 , 1 1 e 1 ) が形成される。なお、サイドウォール ( 酸化膜 ) や素子分離用酸化膜群 5 0 ( 5 1 , 5 2 , 5 3 , . . . ) は、コバルト層 7 とほとんど反応しない。そして、コバルト層 7 が選択的にエッチングされて、その後  $800$  前後で熱処理が行われることによりサリサイド構造が形成される。このようにして、ゲート電極群 ( 6 1 , 6 1 a , 6 2 , 6 2 a ) が得られる。ここで、ゲート酸化膜 ( 1 1 c , 1 2 c ) , ゲート電極 ( 6 1 , 6 2 ) 及びコバルトシリサイド層 ( 6 1 a , 6 2 a ) の高さ H 1 は約 1 5 0 0 になっている。

【 0 0 3 5 】

層間絶縁膜形成工程 S 1 1 では、図 4 ( c ) に示すように、コバルトシリサイド層 ( 6 1 a , 1 1 d 1 , 1 1 e 1 ) の上に層間絶縁膜 3 が形成される。ここで、層間絶縁膜 3 の表面 ( 3 a , 3 b ) では、盛り上がった部分 3 a と平坦な部分 3 b との段差 H 2 が、ゲート酸化膜 ( 1 1 c , 1 2 c ) , ゲート電極 ( 6 1 , 6 2 ) 及びコバルトシリサイド層 ( 6 1 a , 6 2 a ) の高さ H 1 と同等の約 1 5 0 0 になっている。

【 0 0 3 6 】

平坦化工程 S 1 2 では、図 4 ( d ) に示すように、層間絶縁膜 3 の表面 ( 3 a , 3 b ) が平坦化される。具体的には、層間絶縁膜 3 の表面 ( 3 a , 3 b ) に C M P プロセスが施されて、平坦な表面 3 c が得られる。

【 0 0 3 7 】

スルーホール形成工程 S 1 3 では、図 5 ( a ) に示すように、スルーホール ( 8 1 , 8

10

20

30

40

50

2, 85, 86, 87, 88) が形成される。具体的には、基板コンタクト(21, 23)の上の層間絶縁膜3, 第1素子分離用酸化膜51及び第3素子分離用酸化膜53が開口されて、スルーホール(81, 82)が形成される。次に、拡散領域(11d, 11e)の上の層間絶縁膜3が開口されて、スルーホール(85, 86, 87, 88)が形成される。

#### 【0038】

スルーホール配線形成工程S14では、図1に示すように、スルーホール配線(71, 72, 75, 76, 77, 78)が形成される。具体的には、スルーホール(81, 82, 85, 86, 87, 88)に金属が埋められて、スルーホール配線(71, 72, 75, 76, 77, 78)が形成される。

10

#### 【0039】

第1配線層形成工程S15では、図1に示すように、第1配線層90が形成される。具体的には、スルーホール配線(71, 72, 75, 76, 77, 78)及び層間絶縁膜3の上に(全面に)金属(例えば、アルミニウム)がスパッタ法により成膜された後に、レジストを用いてパターニングが行われる。これにより、第11配線91, 第12配線92, 第15配線95, 第16配線96, 第17配線97及び第18配線98が形成される。

#### 【0040】

(半導体装置の製造方法における特徴)

(1)

ここでは、第2イオン注入工程S3において、第1露出部分(A1, A2, A3)に第2イオンが注入される。これにより、新たにエッチングする工程を追加せずに第2イオンが注入されるようになっている。

20

#### 【0041】

また、埋め込み工程S4において、第2イオン注入工程S3の後に、第1トレンチ(51a, 52a, 53a)に絶縁膜が埋め込まれる。これにより、平坦化可能な段差より段差(図4(b)参照, H1 1500)が小さな状態で層間絶縁膜3が形成されるようになっている。

#### 【0042】

このように、工程が増えることが抑制され、層間絶縁膜3の形成後の段差(図4(c)参照, H2 1500)が平坦化可能な段差以下に抑えられている。このため、工程の複雑化は低減され、層間絶縁膜は容易に平坦化される(図4(d)参照)。

30

#### 【0043】

(2)

ここでは、拡散工程S8において、熱処理されて、拡散領域(11d, 11e)に注入された第1イオンが活性化される。また、拡散工程S8において、第1露出部分(A1, A2, A3)に注入された第2イオンがさらに活性化される。これにより、第1半導体層10に注入された第1イオンと、第2半導体層20に注入された第2イオンとは同時に活性化される。このため、工程をさらに簡略化することができるようになっている。

#### 【0044】

(3)

ここでは、金属層形成工程S9において、拡散工程S8の後に、ゲート電極(61, 62)及び拡散領域(11d, 11e)の上にコバルト層7が形成される。また、サリサイド工程S10において、熱処理されて、ゲート電極(61, 62)及び拡散領域(11d, 11e)に接している部分のコバルト層7がシリサイド化される。すなわち、高温(例えば、1000)で熱処理が行われる拡散工程S8の後にコバルトシリサイド層(61a, 11d1, 11e1)が形成されているので、コバルトシリサイド層(61a, 11d1, 11e1)が高温で熱処理されてトランジスタの特性が劣化することは抑制されている。

40

#### 【0045】

(4)

50

ここでは、層間絶縁膜形成工程 S 1 1 において、ゲート電極 ( 6 1 , 6 2 ) 及び拡散領域 ( 1 1 d , 1 1 e ) の上に層間絶縁膜 3 が形成される。これにより、段差が少ない ( 図 4 ( b ) 参照 , H 1 1 5 0 0 ) 状態で層間絶縁膜 3 を形成することが容易になっている。

【 0 0 4 6 】

( 第 1 実施形態の変形例 )

ゲート電極 ( 6 1 , 6 2 ) は、ポリシリコン層を有する代わりに、ポリシリコン層及びタングステンシリサイド層などを有していても良い。ここで、タングステンシリサイド層などは、ポリシリコン層の上に積層される。

【 0 0 4 7 】

< 第 2 実施形態 >

本発明の第 2 実施形態に係る半導体装置の断面図を図 6 に示す。なお、図 6 では、トランジスタが 2 つ示されているが、SOI 基板 1 0 5 に同様の構成が繰り返し形成されているものとする。

【 0 0 4 8 】

( 半導体装置の概略構成 )

半導体装置 1 0 0 は、第 2 半導体層 2 0 の代わりに第 2 半導体層 1 2 0 を備える。

【 0 0 4 9 】

SOI 基板 1 0 5 の第 2 半導体層 1 2 0 には、第 1 ゲート電極 ( 6 1 , 6 1 a ) の下方に N ウェル 1 2 4 が形成されている。N ウェル 1 2 4 には、スルーホール配線 7 1 が接続される部分に基板コンタクト層 1 2 1 が形成されている。基板コンタクト層 1 2 1 は、As や P などの N 型の不純物が高濃度 ( 例えば、 $1.0 \times 10^{20}$  個 / 立方センチメートル ) でドーピングされた領域となっている。一方、第 2 半導体層 1 2 0 において N ウェル 1 2 4 以外の領域には、スルーホール配線 7 2 が接続される部分に基板コンタクト層 1 2 3 が形成されている。基板コンタクト層 1 2 3 は、B などの P 型の不純物が高濃度 ( 例えば、 $1.0 \times 10^{20}$  個 / 立方センチメートル ) でドーピングされた領域となっている。

【 0 0 5 0 】

他の点は第 1 実施形態に係る半導体装置 1 と同様である。

【 0 0 5 1 】

( 半導体装置の製造方法 )

半導体装置の製造方法を、図 7 に示す工程断面図を用いて説明する。

【 0 0 5 2 】

準備工程 S 1 は、第 1 実施形態と同様である。

【 0 0 5 3 】

第 3 イオン注入工程 S 1 1 6 では、図 7 ( a ) に示すように、N ウェル 1 2 4 が形成される。具体的には、SOI 基板 1 0 5 の第 1 半導体層 1 0 a の上にレジスト R 1 0 1 のパターンが形成されて、レジスト R 1 0 1 をマスクとして第 3 イオンが注入される。第 3 イオンは、As や P などの N 型の不純物イオンであり、低濃度で注入される。

【 0 0 5 4 】

トレンチエッチング工程 S 1 0 2 では、図 7 ( b ) に示すように、第 1 トレンチ ( 5 1 a , 5 2 a , 5 3 a ) が形成される。具体的には、全面に SiN 層 ( 4 1 , 4 2 ) が形成された後、SiN 層 ( 4 1 , 4 2 ) とともに第 1 半導体層 1 0 a と BOX 層 3 0 a とがエッチングされて、第 1 トレンチ ( 5 1 a , 5 2 a , 5 3 a ) が形成される。ここで、第 1 トレンチ ( 5 1 a , 5 2 a , 5 3 a ) は、素子分離のためのトレンチである。また、第 1 露出部分 ( A 1 0 1 , A 1 0 2 , A 1 0 3 ) も形成される。ここで、第 1 露出部分 ( A 1 0 1 , A 1 0 2 , A 1 0 3 ) は、第 2 半導体層 1 2 0 において第 1 トレンチ ( 5 1 a , 5 2 a , 5 3 a ) により露出されている部分である。

【 0 0 5 5 】

第 4 イオン注入工程 S 1 1 7 では、図 7 ( c ) に示すように、基板コンタクト層 1 2 1 が形成される。具体的には、SiN 層 ( 4 1 , 4 2 ) 及び第 2 半導体層 1 2 0 の上に、第

10

20

30

40

50



1 露出部分 ( A 1 0 1 , A 1 0 2 , A 1 0 3 ) の ( N ウェル 1 2 4 の形成されている ) 一部の領域 A 1 1 1 が開口されるようなレジスト R 1 0 2 のパターンが形成されて、レジスト R 1 0 2 をマスクとして第 4 イオンが注入される。第 4 イオンは、As や P などの N 型の不純物イオンであり、高濃度 ( 例えば、 $1.0 \times 10^{20}$  個 / 立方センチメートル ) で注入される。

【 0 0 5 6 】

第 2 イオン注入工程 S 1 0 3 では、図 7 ( d ) に示すように、基板コンタクト層 1 2 3 が形成される。具体的には、SiN 層 ( 4 1 , 4 2 ) 及び第 2 半導体層 1 2 0 の上に、第 1 露出部分 ( A 1 0 1 , A 1 0 2 , A 1 0 3 ) の ( N ウェル 1 2 4 の形成されていない ) 一部の領域 A 1 1 3 が開口されるようなレジスト R 1 0 3 のパターンが形成されて、レジ

10

【 0 0 5 7 】

埋め込み工程 S 4 ~ 第 1 配線層形成工程 S 1 5 は、第 1 実施形態と同様である。

【 0 0 5 8 】

( 半導体装置の製造方法における特徴 )

工程が増えることが抑制され、層間絶縁膜 3 の形成後の段差 ( 図 4 ( c ) 参照 , H 2 1 5 0 0 ) が平坦化可能な段差以下に抑えられている点は、第 1 実施形態と同様である。したがって、このような半導体装置 1 0 0 の製造方法によっても、工程の複雑化は低減

20

【 0 0 5 9 】

また、第 3 イオン注入工程 S 1 1 6 において、準備工程 S 1 の後であってトレンチエッチング工程 S 1 0 2 の前に、第 2 半導体層 1 2 0 の一部に第 3 イオンが注入される。これにより、第 2 半導体層 1 2 0 に N ウェル 1 2 4 が形成され、N ウェル 1 2 4 が形成された部分と N ウェル 1 2 4 が形成されていない部分とで第 2 半導体層 1 2 0 の電位を変えることができるようになってい

30

【 産業上の利用可能性 】

【 0 0 6 0 】

本発明に係る半導体装置の製造方法は、工程を簡略化することができ、層間絶縁膜を容易に平坦化できるという効果を有し、半導体装置の製造方法等として有用である。

【 図面の簡単な説明 】

【 0 0 6 1 】

【 図 1 】 本発明の第 1 実施形態に係る半導体装置の断面図。

【 図 2 】 半導体装置の製造方法を示す工程断面図。

【 図 3 】 半導体装置の製造方法を示す工程断面図。

【 図 4 】 半導体装置の製造方法を示す工程断面図。

【 図 5 】 半導体装置の製造方法を示す工程断面図。

40

【 図 6 】 本発明の第 2 実施形態に係る半導体装置の断面図。

【 図 7 】 半導体装置の製造方法を示す工程断面図。

【 符号の説明 】

【 0 0 6 2 】

1 , 1 0 0 半導体装置

3 層間絶縁膜

5 , 1 0 5 S O I 基板

1 0 第 1 半導体層

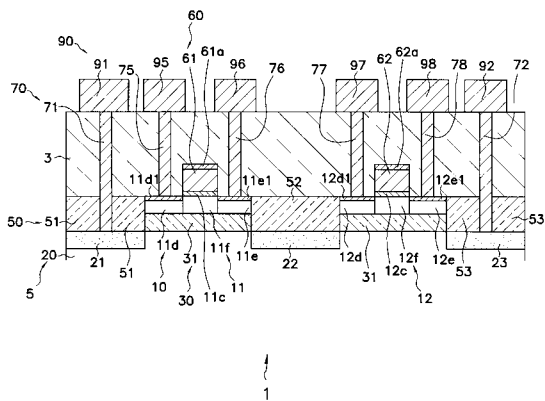
1 1 c 等 ゲート酸化膜

2 0 , 1 2 0 第 2 半導体層

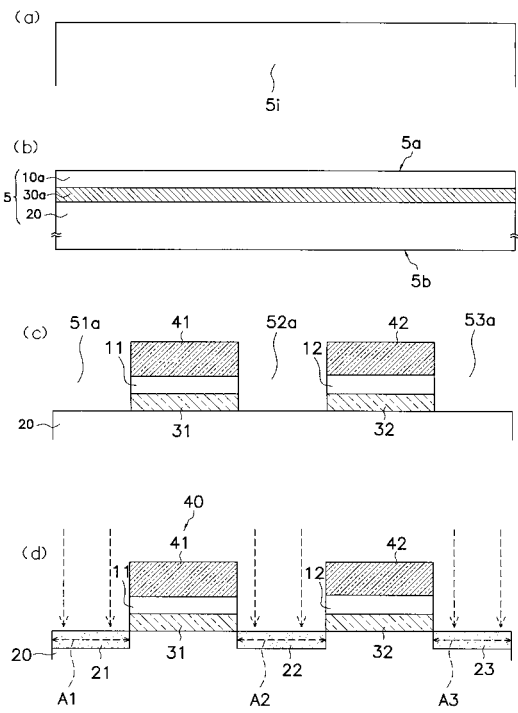
50

- 3 0 B O X 層
- 5 0 素子分離用酸化膜群
- 6 0 ゲート電極群
- 7 0 スルーホール配線群
- 9 0 第 1 配線層

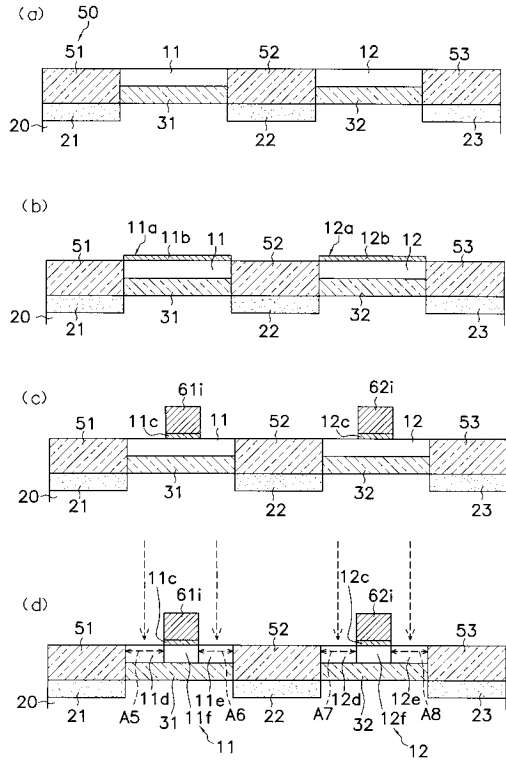
【 図 1 】



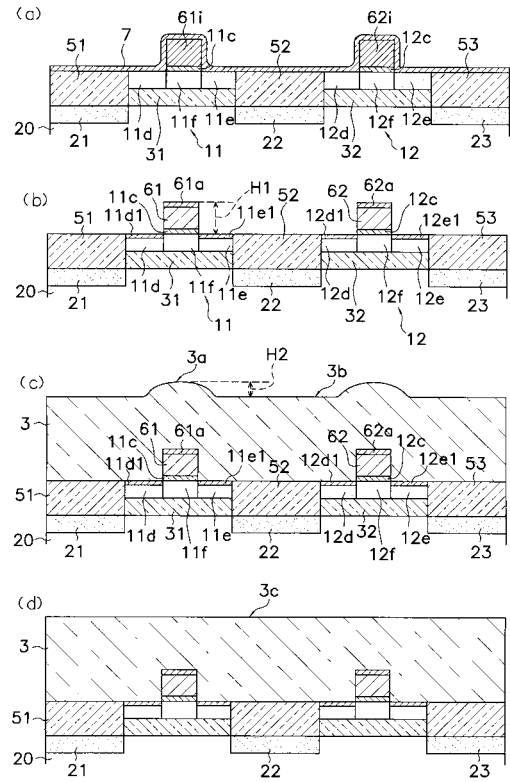
【 図 2 】



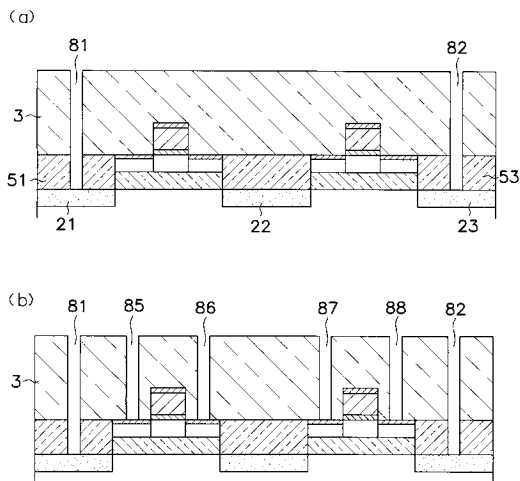
【 図 3 】



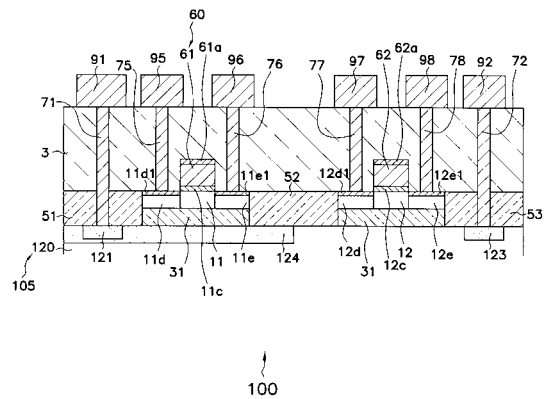
【 図 4 】



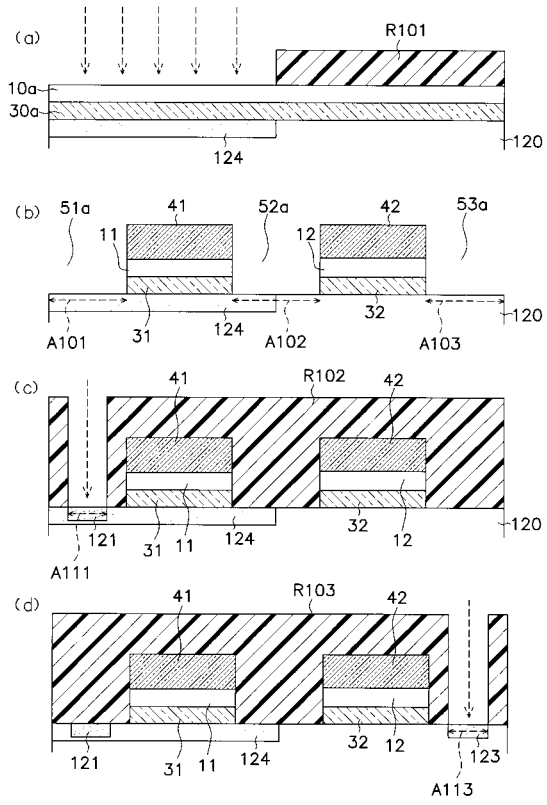
【 図 5 】



【 図 6 】



【 図 7 】



## フロントページの続き

| (51) Int.Cl.                     | F I                   | テーマコード(参考) |
|----------------------------------|-----------------------|------------|
| <b>H 0 1 L 21/76 (2006.01)</b>   | H 0 1 L 21/76 L       |            |
| <b>H 0 1 L 29/786 (2006.01)</b>  | H 0 1 L 29/78 6 2 6 C |            |
| <b>H 0 1 L 21/336 (2006.01)</b>  | H 0 1 L 29/78 6 2 1   |            |
| <b>H 0 1 L 27/08 (2006.01)</b>   | H 0 1 L 29/78 6 1 6 K |            |
| <b>H 0 1 L 21/8238 (2006.01)</b> | H 0 1 L 29/78 6 1 7 J |            |
| <b>H 0 1 L 27/092 (2006.01)</b>  | H 0 1 L 27/12 F       |            |
|                                  | H 0 1 L 27/08 3 3 1 E |            |
|                                  | H 0 1 L 27/08 3 2 1 F |            |

| F ターム(参考) | 4M104 | AA09 | BB01 | BB20 | BB28 | CC01 | CC05 | DD02 | DD37 | DD84 | FF14 |
|-----------|-------|------|------|------|------|------|------|------|------|------|------|
|           |       | GG09 | GG10 | GG14 | HH20 |      |      |      |      |      |      |
|           | 5F032 | AA01 | AA34 | AA64 | AA77 | CA17 | DA02 | DA22 | DA33 | DA43 | DA74 |
|           | 5F033 | GG03 | HH08 | KK01 | KK25 | PP15 | QQ09 | QQ37 | QQ38 | QQ48 | QQ70 |
|           |       | VV15 | XX01 | XX33 |      |      |      |      |      |      |      |
|           | 5F048 | AC04 | BA16 | BB05 | BB08 | BB12 | BB14 | BC12 | BD04 | BE09 | BF06 |
|           |       | BF11 | BF16 | BF18 | BG06 | BG13 |      |      |      |      |      |
|           | 5F110 | AA16 | AA18 | CC02 | DD05 | DD11 | DD21 | DD22 | DD25 | EE05 | EE09 |
|           |       | EE14 | EE31 | EE41 | EE43 | FF02 | FF23 | GG02 | GG12 | GG32 | HJ01 |
|           |       | HJ04 | HJ13 | HJ23 | HK05 | HK40 | HL02 | HL03 | HL11 | HL23 | NN02 |
|           |       | NN40 | NN62 | NN65 | NN77 | NN78 | QQ08 | QQ11 | QQ19 |      |      |