



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I537719 B

(45)公告日：中華民國 105 (2016) 年 06 月 11 日

(21)申請案號：101104389

(22)申請日：中華民國 101 (2012) 年 02 月 10 日

(51)Int. Cl. : **G06F11/30 (2006.01)**

(30)優先權：2011/03/31 美國 13/077,661

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：修邁可 肯尼斯 SHOEMAKER, KENNETH D. (US)

(74)代理人：林志剛

(56)參考文獻：

US	2008/0007319A1	US	2009/0168840A1
US	2010/0142291A1	WO	2009/081225A1

審查人員：林琮烈

申請專利範圍項數：18 項 圖式數：4 共 23 頁

(54)名稱

容忍半導體裝置中的感應熱梯度之設備、系統和方法

APPARATUS, SYSTEM AND METHOD FOR TOLERATING INDUCED THERMAL GRADIENTS IN SEMICONDUCTOR DEVICES

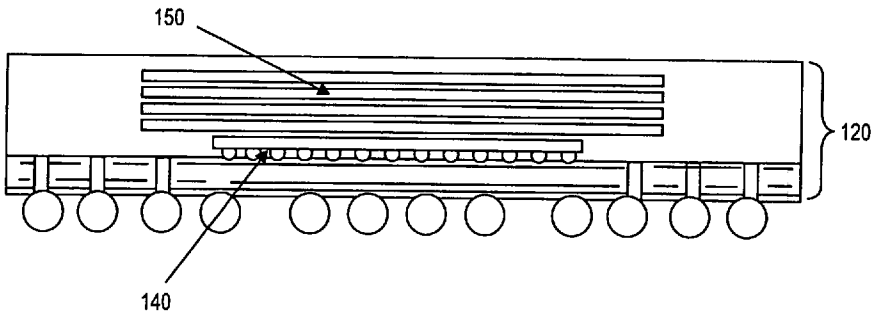
(57)摘要

第一晶片上的第一熱感測器與第二熱感測器間的溫差被決定。該溫差係從該第一晶片傳輸至第二晶片上的電路。來自該第二晶片上的熱感測器之溫度被決定。該溫差及來自該熱感測器的溫度係用來在該第二晶片上修改該第二晶片上的一或更多個電路之操作特性。

A temperature difference between a first thermal sensor and a second thermal sensor on a first die is determined. The temperature difference is transmitted from the first die to a circuit on a second die. A temperature from a thermal sensor on the second die is determined. The temperature difference and the temperature from the thermal sensor are utilized on the second die to modify operational characteristics of one or more circuits on the second die.

指定代表圖：

- 符號簡單說明：
- 120 . . . 積體電路封裝
 - 140 . . . 邏輯晶片
 - 150 . . . 記憶體模組



第1圖

發明專利說明書

公告本

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101104389

※申請日：101 年 02 月 10 日

※IPC 分類：G06F 1/30 (2006.01)

一、發明名稱：(中文／英文)

容忍半導體裝置中的感應熱梯度之設備、系統和方法

Apparatus, system and method for tolerating induced thermal gradients in
semiconductor devices

二、中文發明摘要：

第一晶片上的第一熱感測器與第二熱感測器間的溫差被決定。該溫差係從該第一晶片傳輸至第二晶片上的電路。來自該第二晶片上的熱感測器之溫度被決定。該溫差及來自該熱感測器的溫度係用來在該第二晶片上修改該第二晶片上的一或更多個電路之操作特性。

三、英文發明摘要：

A temperature difference between a first thermal sensor and a second thermal sensor on a first die is determined. The temperature difference is transmitted from the first die to a circuit on a second die. A temperature from a thermal sensor on the second die is determined. The temperature difference and the temperature from the thermal sensor are utilized on the second die to modify operational characteristics of one or more circuits on the second die.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

120：積體電路封裝

140：邏輯晶片

150：記憶體模組

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明的實施例關於半導體裝置。較具體而言，本發明的實施例關於用以容忍半導體裝置中的感應熱梯度之技術。

【先前技術】

半導體裝置在操作時產生熱能。因為熱能可能不均勻，熱梯度可能存在。隨著系統變得較小且半導體裝置被較緊密地堆積，其可能導致裝置間的機械耦接。此緊湊的機械耦接可能導致半導體裝置的一者與另一者間意料之外的感應熱梯度。

這些意料之外的熱梯度可能導致操作錯誤。例如，在動態隨機存取記憶體（DRAM）中，意料之外的熱梯度可能導致不適當的再新頻率，甚至資料損失。

【發明內容及實施方式】

在下列說明中，數個特定細節被陳述。然而，本發明的實施例可在沒有這些特定細節的情況下加以實行。在其他例子中，熟知的電路、結構及技術未詳細加以顯示以便不會模糊本說明的理解。

當處理器（或系統單晶片，SoC）與DRAM晶片被堆疊時，可能有該DRAM與該邏輯晶片間的少許熱梯度。邏輯晶片典型含有數個熱感測器，其被用來監測該邏輯晶片

的各種部份上的溫度且典型被放置於局部熱點預期所在處。邏輯晶片可對應於該邏輯晶片中的較活動或較不活動區來展現橫跨該晶片的高熱梯度。

DRAM 晶片可能根據溫度來展現可變的停留時間。較低功率 DRAM 晶片可將此性質使用於稱為「溫度補償自我再新」的特徵中。此可降低自我再新期間的再新頻率，藉此降低在較低溫度的待機功率消耗。典型地，DRAM 晶片具有單一熱感測器，因為 DRAM 晶片典型具有相對均勻的功率分佈。然而，當與具有非均勻功率分佈的邏輯晶片緊密耦接時，DRAM 熱感測器可能不位於接近 DRAM 晶片的最熱點處。這可造成 DRAM 在不當低的再新率下再新，其可能導致資料損失。

本文所述的技術藉由一或更多個策略來解決此問題。在一個實施例中，熱感測器的位置可針對堆疊上的所有裝置來加以標準化。可將位置指定成例如距標準化垂直互連陣列（在無法被用於 DRAM 中的記憶體陣列之區域中）的某一偏移量。在一個實施例中，SoC（或其他運算元件）可計算最熱點與標準位置間的溫差。在一個實施例中，模式暫存器可被 SoC（或其他運算元件）用來與 DRAM 通訊有關標準位置與熱點間的溫差。DRAM 可接著利用此差值來相應地設定再新率。

在替代實施例中，該等技術可能適於在沒有標準熱感測器位置的情況下作用。在這些實施例中，SoC（或其他運算元件）可計算橫跨其晶片的最大溫度梯度且使用該資

訊來程式化 DRAM 偏移溫度。這可容許 DRAM 用比絕對必須更經常的方式來再新其內容，這可能導致功率消耗增加，但將會防止資料損失。

第 1 圖為封裝的一個實施例之方塊圖，該封裝具有與處理器/邏輯晶片堆疊的一或更多個記憶體晶片。在第 1 圖的實例中，含有記憶體陣列（例如，DRAM）的數個晶片被示出；然而任何數量的記憶體晶片可被支援。

積體電路封裝 120 可為本技藝中已知的任何類型之封裝，其具有本技藝中已知的任何類型之介面（例如，球柵陣列等）。在封裝 120 內，可將邏輯晶片 140 電耦接至該介面。可將一或更多個記憶體模組 150 與邏輯晶片 140 電耦接。邏輯晶片 140 可為例如處理器晶片、系統單晶片（SoC）、或可能具有不均勻熱型樣的任何其他晶片。

也可將一或更多個記憶體模組 150 實體連接至邏輯晶片 140，其可能對於該等晶片的一或更多者具有熱後果。因為邏輯晶片 140 可能具有不均勻熱梯度，邏輯晶片 140 與記憶體模組 150 的一或更多者間的實體連接，所以記憶體模組 150 的一或更多者之熱梯度可能不會如所預期一般。典型地，記憶體模組（例如 DRAM）具有橫跨晶片的相對一致溫度，因為對該記憶體模組的電路利用率相對被分散。

因為如此，記憶體模組晶片上的熱感測器之放置可能相對不重要。那就是，當記憶體模組在沒有任何外部熱影響的情況下操作時，單一熱感測器可能充足且該熱感測器

的位置可能相對可變通。

對比於記憶體模組，邏輯晶片具有被一致且頻繁使用的電路，其導致在這些區中的較高操作溫度。因此，邏輯晶片典型具有位於較高預期溫度的地方之熱感測器，使得這些熱點可被監測。當邏輯晶片進入而與另一晶片（例如記憶體晶片 150）實體接觸時，該邏輯晶片上的熱點可能產生對應熱點於該記憶體晶片上。因此，來自該記憶體晶片熱感測器的熱資訊可能不準確。

在一個實施例中，記憶體晶片 150 具有在已知位置中的熱感測器。那就是，各個記憶體晶片可能具有相同的熱感測器位置。邏輯晶片 140 可具有在緊鄰接或實質鄰接記憶體晶片 150 的熱感測器之位置中的對應熱感測器。邏輯晶片 140 也可具有在其他例如對應於一或更多熱點的位置中的熱感測器。

在一個實施例中，邏輯晶片可決定在熱點的熱感測器與相當於記憶體模組中的熱感測器之熱感測器間的溫差。邏輯晶片上的熱感測器間的溫差可被記憶體模組用來決定對於該記憶體模組上的熱感測器所指示之溫度的調整。記憶體模組的表現可根據調整的溫度而非量測的溫度來加以修改。

第 2 圖為具有單一感測器之第一晶片及具有多個感測器之第二晶片的一個實施例之方塊圖。第 2 圖的實例示出可被堆疊使得來自一個晶片的熱可傳遞至另一晶片的二個晶片。第 2 圖的實例示出僅僅二個晶片，但所示概念可應

用至任何數量的已堆疊晶片。

晶片 220 可包括任何類型的電路，例如 DRAM 陣列、或其他記憶體結構 235。晶片 220 包括與管理邏輯 230 耦接的熱感測器 240。在一個實施例中，當晶片 220 包括 DRAM 時，管理邏輯 230 可操作以讀取來自熱感測器 240 的溫度資訊且可使用該溫度資訊來修改記憶體陣列 235 的表現或操作。在一個實施例中，記憶體陣列 235 的再新率可根據來自熱感測器 240 的資訊由管理邏輯 230 加以調整。

晶片 250 可包括邏輯電路，例如處理器核心、圖形處理器、系統單晶片（SoC）、或其他邏輯 275。晶片 250 可具有多個類型的電路，例如處理器核心、快取記憶體、收發器等。因為晶片 250 可能有具有不規則熱梯度的電路，晶片 250 可具有多個熱感測器（例如，260、265），其中一者待與熱感測器 240 對齊。

在一個實施例中，可將熱感測器 240 放置於晶片 220 上的預定位置（晶片 250 的設計者及/或製造商已知）中。將熱感測器 260 定位成使得在晶片 220 被堆疊於晶片 250 上時，熱感測器 240 與 260 將被對齊或在空間上夠靠近，來自熱感測器 260 的溫度資訊可能連同來自熱感測器 240 的溫度資訊加以利用。

將控制電路 270 與熱感測器 260 及 265 耦接以收集溫度資訊。在一個實施例中，控制邏輯 270 決定熱感測器 265 與熱感測器 260 間的溫差。控制邏輯 270 可傳輸此差

值（或指示差值範圍的資訊）至管理邏輯 230。在一個實施例中，將管理邏輯 230 中的暫存器中的位元設定成指示溫差（例如，0 指示 0 至 10 度差值，1 指示 10+度差值）。在另一實施例中，可將較多位元用來提供較精細的範圍，或實際溫差可被傳輸。

管理邏輯 230 使用來自控制電路 270 的溫差資訊與來自熱感測器 240 的溫度資訊以管理記憶體陣列 235 的操作。在一個實施例中，管理邏輯 230 控制記憶體陣列 235 的再新率。管理邏輯 230 可結合該溫差資訊與來自熱感測器 240 的溫度資訊以決定被用於記憶體陣列 235 之管理的操作溫度值。例如，如果該溫差指示較高溫度，管理邏輯 230 可增加記憶體陣列 235 的再新率。

第 3 圖為藉由使用溫差資訊來操作記憶體陣列的技術之一個實施例的流程圖。對於第 3 圖所描述的操作可由遍佈一或更多個晶片的控制及/或管理電路加以實施。

第 3 圖的操作係可應用至多個晶片的配置，該多個晶片實體上互相接觸使得熱傳遞可能發生。在一個實施例中，下方晶片上的至少一個熱感測器與上方晶片上的至少一個感測器對齊。在一個實施例中，下方晶片含有邏輯電路，例如處理器核心或系統單晶片。上方晶片可含有記憶體結構，例如 DRAM。在替代實施例中，邏輯電路在上方晶片上且記憶體模組在下方晶片上。

來自二或更多個熱感測器的溫度資訊在邏輯晶片上加以收集，310。邏輯晶片可具有任何數量的熱感測器，且

該邏輯晶片上的一或更多個電路可藉由利用從多個熱感測器所收集的溫度資訊來管理該邏輯晶片的操作。

溫差資訊係針對邏輯晶片上的至少一對熱感測器加以決定，320。在一個實施例中，對其決定溫差的熱感測器之至少一者與記憶體模組晶片上的對應熱感測器對齊。

溫差資訊在邏輯晶片與記憶體晶片之間傳輸，330。在一個實施例中，溫差可藉由一或更多個指示溫差範圍的位元來傳送，或指示實際溫差的數字可被傳輸。例如，在單位元實施例中，0可指示第一範圍（例如，0至5度、0至10度、0至12度）中的溫差且1可指示第二範圍（例如，>5度、>10度、>12度）中的溫差。

在二位元實施例中，四個範圍可被支援。例如，00可指示第一範圍（例如，0至5度、0至7度、0至10度），01可指示第二範圍（例如，6至10度、8至15度、11至20度），10可指示第三範圍（例如，11至15度、16至20度、21至25度），且11可指示第四範圍（例如，>15度、>20度、>25度）。具有不同數量的位元之其他實施例可類似地被支援。

溫度資訊係針對記憶體模組加以收集，340。在一個實施例中，記憶體模組具有僅一個與邏輯晶片的熱感測器對齊之熱感測器。在替代實施例中，記憶體模組可具有多個熱感測器。記憶體模組可具有管理（或其他控制）電路，其利用溫度資訊來管理該記憶體模組的操作。在一個實施例中，記憶體陣列的再新率至少一部份根據該記憶體模

組的操作溫度來加以決定。

管理電路利用來自記憶體模組熱感測器的溫度資訊及溫差資訊以視需要調整該記憶體模組的操作參數，350。在一個實施例中，記憶體模組的再新率可根據被溫差資訊所調整的量測溫度來加以決定。其他操作參數也可被調整。

在替代實施例中，其他調整可藉由利用溫差資訊來作出。例如，如果二個邏輯晶片被堆疊且各別的熱感測器未被對齊，溫差資訊可在該等晶片之間共用，其將容許各別的控制電路具有操作參數能根據的較準確資訊。

第4圖為電子系統的一個實施例之方塊圖。第4圖中所示的電子系統意圖代表一系列的電子系統（有線或者無線），包括例如桌上型電腦系統、膝上型電腦系統、蜂巢式電話、包括蜂巢式致能PDA的個人數位助理（PDA）、機上盒。替代電子系統可包括較多、較少及/或不同的組件。

第4圖中所示組件的一或更多者可能在如上述處於實體接觸的晶片上。例如，處理器410的一或更多者與一或更多個DRAM模組（其為記憶體420的一部份）可如以上所述加以配置。其他組件可類似地加以配置。

電子系統400包括匯流排405或用以傳送資訊的其他通訊裝置、及耦接至匯流排405且可處理資訊的處理器410。儘管電子系統400被示出具有單一處理器，電子系統400可包括多個處理器及/或共處理器。電子系統400

進一步可包括隨機存取記憶體（RAM）或其他動態儲存裝置 420（稱為主記憶體），被耦接至匯流排 405 且可儲存資訊與可被處理器 410 執行的指令。也可將主記憶體 420 用來在指令被處理器 410 執行的期間儲存暫時變數或其他中間資訊。

電子系統 400 也可包括唯讀記憶體（ROM）及/或其他靜態儲存裝置 430，被耦接至匯流排 405 且可儲存用於處理器 410 的靜態資訊與指令。可將資料儲存裝置 440 耦接至匯流排 405 以儲存資訊及指令。可將資料儲存裝置 440（諸如磁碟或光碟及對應的磁碟機）耦接至電子系統 400。

電子系統 400 也可經由匯流排 405 耦接至顯示裝置 450，諸如陰極射線管（CRT）或液晶顯示器（LCD），以顯示資訊給使用者。可將文數輸入裝置 460（包括文數及其他鍵）耦接至匯流排 405 以傳送資訊與命令選擇至處理器 410。另一類型的使用者輸入裝置為游標控制 470，諸如滑鼠、軌跡球、或游標方向鍵，以傳送方向資訊與命令選擇至處理器 410 且控制顯示器 450 上的游標移動。

電子系統 400 進一步可包括網路介面 480 以提供對網路的存取，諸如區域網路。網路介面 480 可包括例如具有天線 485（其可代表一或更多個天線）的無線網路介面。網路介面 480 也可包括例如有線網路介面以經由網路纜線 487 與遠端裝置通訊，其可為例如乙太纜線、同軸纜線、光纖纜線、串列纜線或並行纜線。

在一個實施例中，網路介面 480 可例如藉由符合 IEEE 802.11b 及/或 IEEE 802.11g 標準來提供對區域網路的存取，及/或無線網路介面可例如藉由符合藍芽標準來提供對個人區域網路的存取。其他無線網路介面及/或協定也可被支援。

IEEE 802.11b 相當於 1999 年 9 月 16 日所批准的 IEEE Std. 802.11b-1999 (名稱爲「Local and Metropolitan Area Networks, Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications: Higher-Speed Physical Layer Extension in the 2.4 GHz Band」) 以及相關文件。IEEE 802.11g 相當於 2003 年 6 月 27 日所批准的 IEEE Std. 802.11g-2003 (名稱爲「Local and Metropolitan Area Networks, Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications, Amendment 4: Further Higher Rate Extension in the 2.4 GHz Band」) 以及相關文件。藍芽協定被描述於藍芽特殊利益團體公司在 2001 年 2 月 22 日所發表的「Specification of the Bluetooth System: Core, Version 1.1」中。關聯的以及先前或後續版本的藍芽標準也可被支援。

除了(或代替)經由無線 LAN 標準的通訊，網路介面 480 可藉由使用例如分時多工存取(TDMA)協定、全球行動通訊系統(GSM)協定、分碼多工存取(CDMA)協定及/或任何其他類型的無線通訊協定來提供無線通訊

說明書中對「一個實施例」或「實施例」的參照意指針對該實施利所描述的特定特徵、結構、或特性被含括於本發明的至少一個實施例中。詞語「一個實施例」在說明書中各處的出現不必然皆意指相同實施例。

儘管本發明已經以數個實施例的方式加以描述，熟習本技藝之人士將理解的是，本發明不受限於所述實施例，但可用所附申請專利範圍的精神與範圍內的修改與替換來加以實行。說明因此被視為例示性而非限制性。

【圖式簡單說明】

本發明的實施例以舉例的方式且非以限制的方式加以示出，在隨附圖式的圖中，相似元件符號意指類似元件。

第 1 圖為封裝的一個實施例之方塊圖，該封裝具有與處理器/邏輯晶片堆疊的一或更多個記憶體晶片。

第 2 圖為具有單一感測器之第一晶片及具有多個感測器之第二晶片的一個實施例之方塊圖。

第 3 圖為藉由使用溫差資訊來操作記憶體陣列的技術之一個實施例的流程圖。

第 4 圖為電子系統的一個實施例之方塊圖。

【主要元件符號說明】

120：積體電路封裝

140：邏輯晶片

150：記憶體模組
220：晶片
230：管理邏輯
235：記憶體陣列
240：熱感測器
250：晶片
260：熱感測器
265：熱感測器
270：控制邏輯
275：其他邏輯
400：電子系統
405：匯流排
410：處理器
420：動態儲存裝置
430：靜態儲存裝置
440：資料儲存裝置
450：顯示裝置
460：文數輸入裝置
470：游標控制
480：網路介面
485：天線
487：網路纜線

七、申請專利範圍：

1. 一種用以容忍半導體裝置中的感應熱梯度之設備，包含：

記憶體晶片，具有動態隨機存取記憶體（DRAM）陣列，包括用於熱偏移位元的儲存位置之模式暫存器，及電耦接至該 DRAM 陣列的記憶體熱感測器；

與該記憶體晶片熱耦接的控制器晶片，該控制器晶片具有用以檢測熱偏移的第一熱感測器及第二熱感測器和用以回應於檢測在該熱偏移中的改變，提供該熱偏移位元至該記憶體晶片上用於該模式暫存器之該熱偏移位元的該儲存位置的電路，該控制器晶片與該記憶體晶片緊密實體接近且該記憶體晶片的該熱感測器與該控制器晶片的該第一熱感測器和該控制器晶片的該第二熱感測器在該控制器晶片上的點對齊；以及

位在該記憶體晶片上的溫度補償自我再新（TCSR）邏輯，該 TCSR 邏輯用以回應於該熱偏移位元修改該記憶體陣列的自我再新率。

2. 如申請專利範圍第 1 項之設備，其中該控制器晶片包含處理器核心。

3. 如申請專利範圍第 1 項之設備，其中該控制器晶片包含系統單晶片（SoC）。

4. 一種用以容忍半導體裝置中的感應熱梯度之系統，包含：

與天線耦接的無線收發器電路；

記憶體晶片，具有動態隨機存取記憶體（DRAM）陣列，包括用於熱偏移位元的儲存位置之模式暫存器，及電耦接至該 DRAM 陣列的記憶體熱感測器；

與該記憶體晶片熱耦接的控制器晶片，該控制器晶片具有用以檢測熱偏移的第一熱感測器及第二熱感測器和用以回應於檢測在該熱偏移中的改變，提供該熱偏移位元至該記憶體晶片上用於該模式暫存器之該熱偏移位元的該儲存位置的電路，該控制器晶片與該記憶體晶片緊密實體接近且該記憶體晶片的該熱感測器與該控制器晶片的該第一熱感測器和該控制器晶片的該第二熱感測器在該控制器晶片上的點對齊；以及

位在該記憶體晶片上的溫度補償自我再新（TCSR）邏輯，該 TCSR 邏輯用以回應於該熱偏移位元修改該記憶體陣列的自我再新率。

5. 如申請專利範圍第 4 項之系統，其中該控制器晶片包含處理器核心。

6. 如申請專利範圍第 4 項之系統，其中該控制器晶片包含系統單晶片（SoC）。

7. 一種用以容忍半導體裝置中的感應熱梯度之方法，包含：

決定處理器晶片上的第一熱感測器與第二熱感測器間的溫差；

從該處理器晶片傳輸該溫差至記憶體晶片上的電路，該記憶體晶片以該記憶體晶片之熱感測器與該處理器晶片

堆疊，該記憶體晶片之該熱感測器與該處理器晶片的該第一熱感測器和該處理器晶片的該第二熱感測器在該處理器晶片上的點對齊，該記憶體晶片具有動態隨機存取記憶體（DRAM）陣列，包括用於熱偏移位元的儲存位置之模式暫存器，其中回應於檢測在該處理器晶片上的該熱偏移中的改變該熱偏移位元被提供至在該記憶體晶片上用於該模式暫存器之該熱偏移位元的該儲存位置；及

利用位在該記憶體晶片上的溫度補償自我再新（TCSR）邏輯，用以回應於該熱偏移位元修改該記憶體陣列的自我再新率。

8. 如申請專利範圍第 7 項之方法，其中該記憶體晶片包含動態隨機存取記憶體（DRAM）陣列。

9. 如申請專利範圍第 8 項之方法，包含：

從在該記憶體晶片上的該熱感測器決定溫度，其中該電路根據來自該記憶體晶片上的該熱感測器之該溫度量測來修改該 DRAM 陣列的再新率。

10. 如申請專利範圍第 8 項之方法，其中該處理器晶片包含處理器核心。

11. 如申請專利範圍第 8 項之方法，其中該記憶體晶片包含系統單晶片（SoC）。

12. 一種半導體裝置，包含：

記憶體晶片，具有含有可組態自我再新率的動態隨機存取記憶體（DRAM）陣列，包括用於至少一熱偏移位元的儲存位置之模式暫存器，及電耦接至該 DRAM 陣列的記

憶體熱感測器；

與該記憶體晶片熱耦接的控制器晶片，該控制器晶片包括：用以檢測熱狀況的至少一熱感測器和用以提供該至少一熱偏移位元至用於該模式暫存器之該熱偏移位元的該儲存位置的電路；以及

位在該記憶體晶片上的溫度補償自我再新（TCSR）電路，該 TCSR 電路可操作以至少部分地回應於該熱偏移位元，修改該記憶體陣列的該自我再新率，其中該 TCSR 利用該熱偏移位元以決定該控制器晶片上的熱感測器位置與該記憶體晶片上的熱感測器位置之間的溫差。

13. 如申請專利範圍第 12 項之半導體裝置，其中該控制器晶片包含至少一處理器核心。

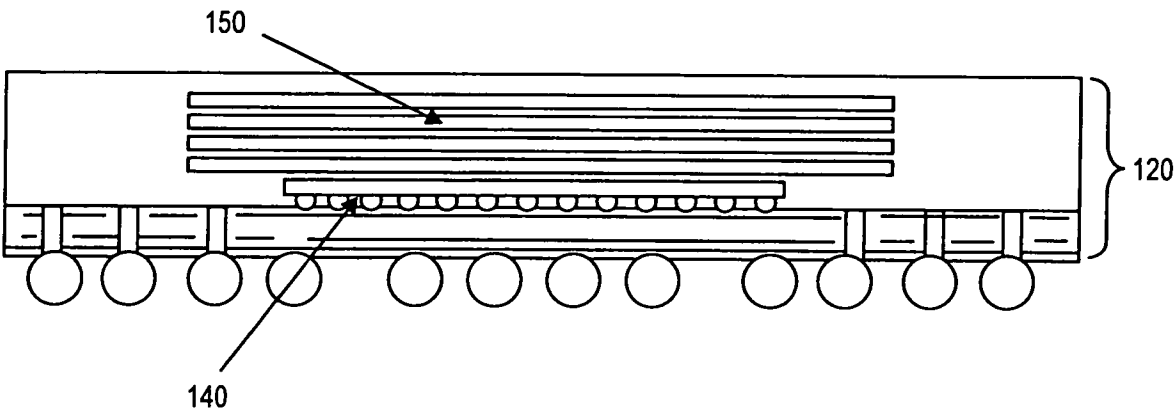
14. 如申請專利範圍第 12 項之半導體裝置，其中該控制器晶片包含系統單晶片（SoC）。

15. 如申請專利範圍第 12 項之半導體裝置，其中該熱偏移位元的值是用以代表溫度範圍。

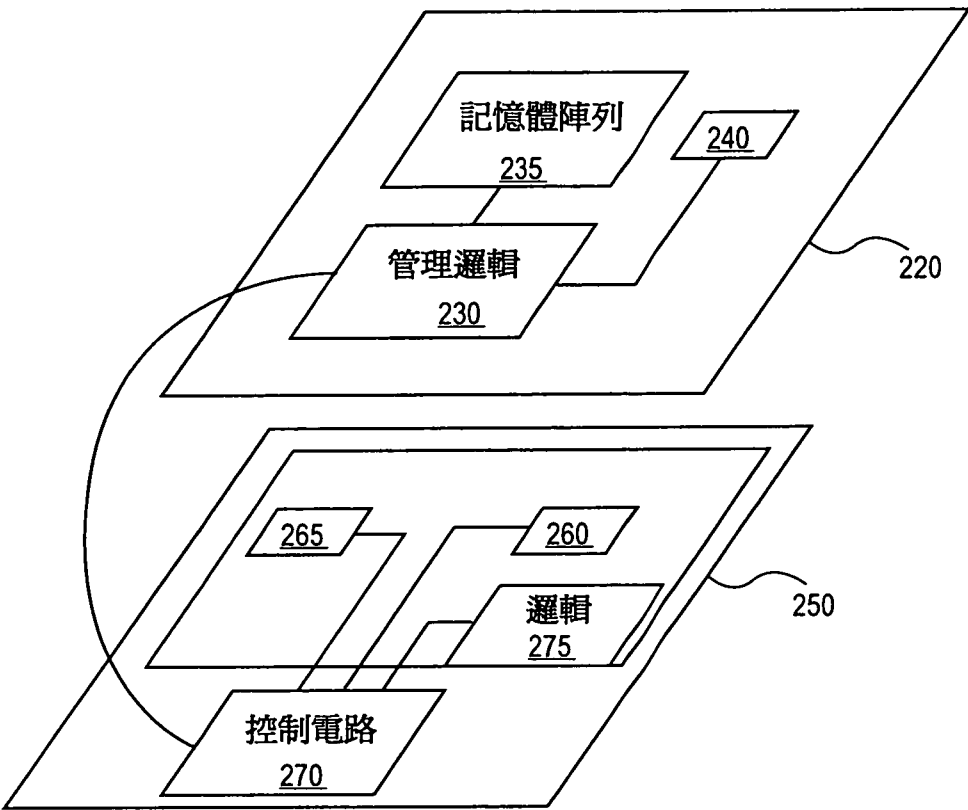
16. 如申請專利範圍第 7 項之方法，其中該熱偏移位元的值是用以代表溫度範圍。

17. 如申請專利範圍第 4 項之系統，其中該熱偏移位元的值是用以代表溫度範圍。

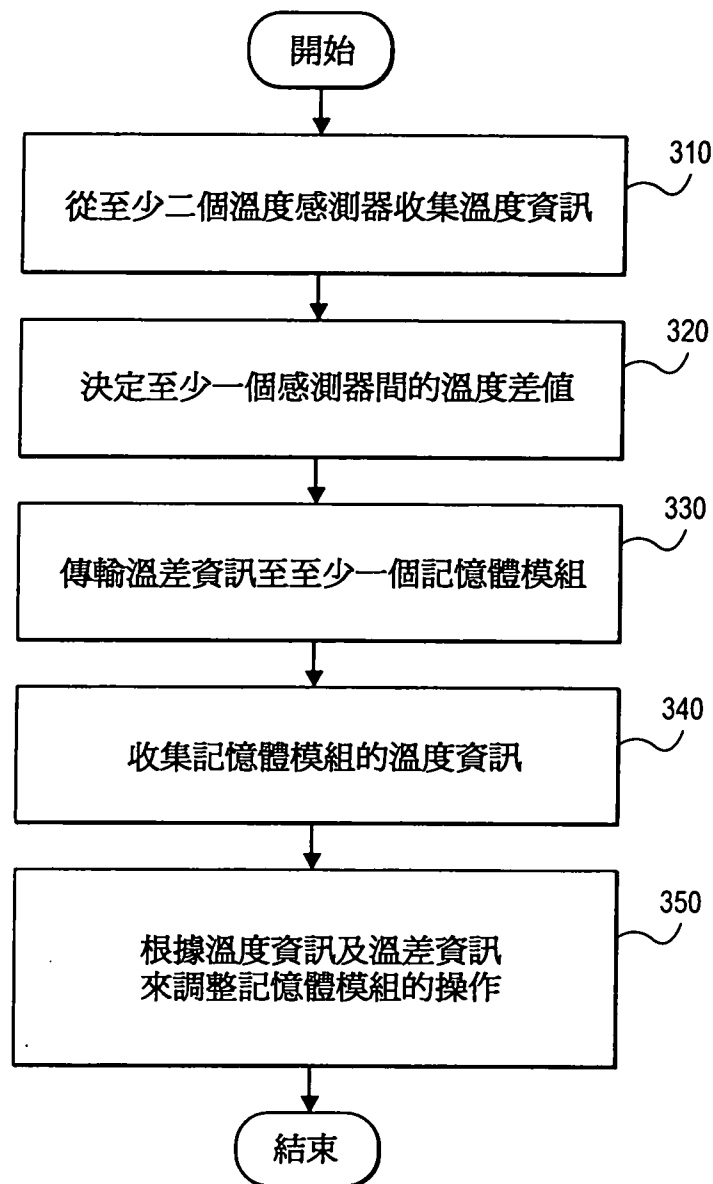
18. 如申請專利範圍第 1 項之設備，其中該熱偏移位元的值是用以代表溫度範圍。



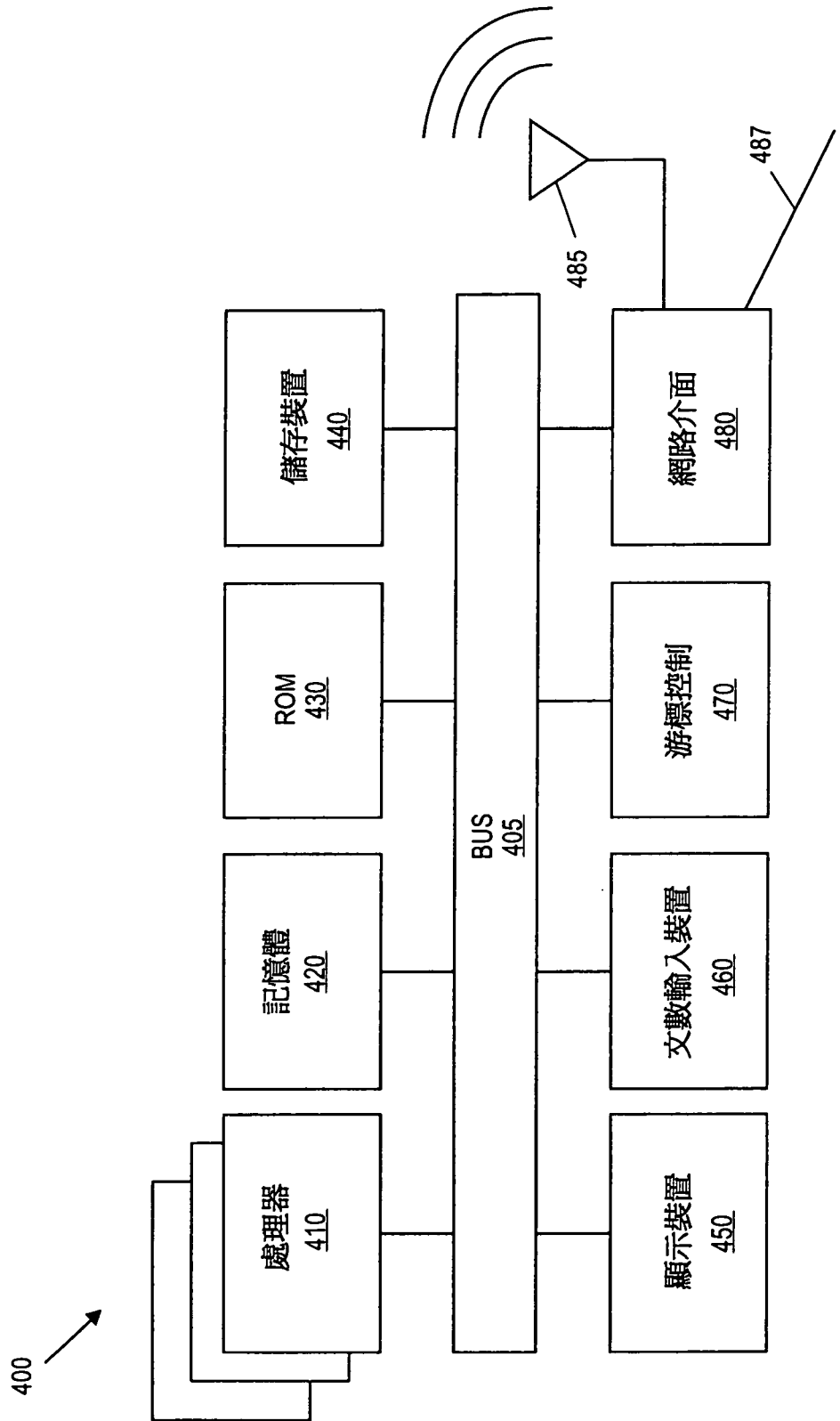
第1圖



第2圖



第3圖



第4圖