

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成17年5月26日(2005.5.26)

【公開番号】特開2003-174145(P2003-174145A)

【公開日】平成15年6月20日(2003.6.20)

【出願番号】特願2002-224451(P2002-224451)

【国際特許分類第7版】

H 01 L 27/105

【F I】

H 01 L 27/10 444 B

【手続補正書】

【提出日】平成16年7月30日(2004.7.30)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置であって、

複数の前記上部電極を覆うように設けられた絶縁性又は導電性の第1の水素バリア膜を備え、

前記第1の水素バリア膜は、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列毎に分離して形成されていることを特徴とする強誘電体メモリ装置。

【請求項2】

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置であって、

複数の前記上部電極を覆うように設けられた絶縁性又は導電性の第1の水素バリア膜を備え、

前記第1の水素バリア膜は、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びビット線方向のうちの他方向に隣り合う一対のキャパシタ列を覆うように形成されていることを特徴とする強誘電体メモリ装置。

【請求項3】

前記複数の強誘電体キャパシタのうち、前記一方向に並ぶ複数の強誘電体キャパシタの前記下部電極同士の間に埋め込まれた絶縁性の第2の水素バリア膜をさらに備えていることを特徴とする請求項1または請求項2記載の強誘電体メモリ装置。

【請求項4】

前記上部電極は、前記一方向に並ぶ前記複数の強誘電体キャパシタに共通に形成されていることを特徴とする請求項1または請求項2記載の強誘電体メモリ装置。

【請求項5】

前記層間絶縁膜に形成されているコンタクトプラグと前記下部電極との間に形成された導電性の第3の水素バリア膜をさらに備えていることを特徴とする請求項1または請求項2に記載の強誘電体メモリ装置。

**【請求項 6】**

前記一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列は、前記第1の水素バリア膜、前記第2の水素バリア膜及び前記第3の水素バリア膜によって完全に覆われていることを特徴とする請求項5に記載の強誘電体メモリ装置。

**【請求項 7】**

前記共通の上部電極と前記第1の水素バリア膜との間に形成され、前記共通の上部電極の周縁部に形成される段差を緩和する段差緩和膜をさらに備えていることを特徴とする請求項4に記載の強誘電体メモリ装置。

**【請求項 8】**

前記第2の水素バリア膜は、 $\text{Si}_3\text{N}_4$ 膜、 $\text{SiON}$ 膜、 $\text{Al}_2\text{O}_3$ 膜、 $\text{TiO}_2$ 膜、又は $\text{Ti}$ と $\text{Al}$ との合金の酸化物膜若しくは酸窒化物膜よりなることを特徴とする請求項3に記載の強誘電体メモリ装置。

**【請求項 9】**

前記第1の水素バリア膜は、 $\text{Si}_3\text{N}_4$ 膜、 $\text{SiON}$ 膜、 $\text{Al}_2\text{O}_3$ 膜、 $\text{TiO}_2$ 膜、 $\text{TiN}$ 膜若しくは $\text{Ti}$ と $\text{Al}$ との合金膜、又は $\text{Ti}$ と $\text{Al}$ との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなることを特徴とする請求項1に記載の強誘電体メモリ装置。

**【請求項 10】**

前記第3の水素バリア膜は、 $\text{Ti}$ と $\text{Al}$ との合金膜、 $\text{Ti}$ と $\text{Al}$ との合金の窒化物膜若しくは酸窒化物膜、又は $\text{TiN}$ 膜よりなることを特徴とする請求項5に記載の強誘電体メモリ装置。

**【請求項 11】**

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置の製造方法であって、

前記層間絶縁膜の上に、前記複数の強誘電体キャパシタの下部電極を形成する工程と、前記下部電極上に容量絶縁膜を形成する工程と、  
前記容量絶縁膜の上に上部電極を形成する工程と、

絶縁性又は導電性の第1の水素バリア膜を、複数の前記上部電極を覆い、かつ、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列毎に分離して形成する工程とを備えていることを特徴とする強誘電体メモリ装置の製造方法。

**【請求項 12】**

半導体基板上の層間絶縁膜の上に順次形成された下部電極、強誘電体膜よりなる容量絶縁膜及び上部電極を有し、ワード線方向及びビット線方向に配置された複数の強誘電体キャパシタを備えた強誘電体メモリ装置の製造方法であって、

前記層間絶縁膜の上に、前記複数の強誘電体キャパシタの下部電極を形成する工程と、前記下部電極上に容量絶縁膜を形成する工程と、  
前記容量絶縁膜の上に上部電極を形成する工程と、

絶縁性又は導電性の第1の水素バリア膜を、複数の前記上部電極を覆い、かつ、ワード線方向及びビット線方向のうちの一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列のうち、ワード線方向及びビット線方向のうちの他方向に隣り合う一対のキャパシタ列を覆うように形成する工程とを備えていることを特徴とする強誘電体メモリ装置の製造方法。

**【請求項 13】**

前記下部電極を形成する工程の後で、前記容量絶縁膜を形成する工程よりも前に、前記層間絶縁膜及び前記下部電極の上に絶縁性の第2の水素バリア膜を堆積した後、該第2の水素バリア膜を平坦化して、前記複数の強誘電体キャパシタのうち、前記一方向に並ぶ複数の強誘電体キャパシタの前記下部電極同士の間に第2の水素バリア膜を埋め込む工程をさらに備えていることを特徴とする請求項11または請求項12記載の強誘電体メモリ装置の製造方法。

**【請求項 1 4】**

前記下部電極を形成する工程よりも前に、前記層間絶縁膜に形成されているコンタクトプラグと前記下部電極との間に介在する導電性の第3の水素バリア膜を形成する工程をさらに備えていることを特徴とする請求項11または請求項12に記載の強誘電体メモリ装置の製造方法。

**【請求項 1 5】**

前記一方向に並ぶ前記複数の強誘電体キャパシタよりなるキャパシタ列は、前記第1の水素バリア膜、前記第2の水素バリア膜及び前記第3の水素バリア膜によって完全に覆われていることを特徴とする請求項14に記載の強誘電体メモリ装置の製造方法。

**【請求項 1 6】**

前記上部電極を形成する工程と前記第1の水素バリア膜を形成する工程との間に、前記上部電極と前記第1の水素バリア膜との間に介在し、前記上部電極の周縁部に形成される段差を緩和する段差緩和膜を形成する工程をさらに備えていることを特徴とする請求項11または請求項12に記載の強誘電体メモリ装置の製造方法。

**【請求項 1 7】**

前記第2の水素バリア膜は、 $\text{Si}_3\text{N}_4$ 膜、 $\text{SiON}$ 膜、 $\text{Al}_2\text{O}_3$ 膜、 $\text{TiO}_2$ 膜、又は $\text{Ti}$ と $\text{Al}$ との合金の酸化物膜若しくは酸窒化物膜よりなることを特徴とする請求項15に記載の強誘電体メモリ装置の製造方法。

**【請求項 1 8】**

前記第1の水素バリア膜は、 $\text{Si}_3\text{N}_4$ 膜、 $\text{SiON}$ 膜、 $\text{Al}_2\text{O}_3$ 膜、 $\text{TiO}_2$ 膜、 $\text{TiN}$ 膜若しくは $\text{Ti}$ と $\text{Al}$ との合金膜、又は $\text{Ti}$ と $\text{Al}$ との合金の酸化物膜、窒化物膜若しくは酸窒化物膜よりなることを特徴とする請求項11または請求項12に記載の強誘電体メモリ装置の製造方法。

**【請求項 1 9】**

前記第3の水素バリア膜は、 $\text{Ti}$ と $\text{Al}$ との合金膜、 $\text{Ti}$ と $\text{Al}$ との合金の窒化物膜若しくは酸窒化物膜、又は $\text{TiN}$ 膜よりなることを特徴とする請求項14に記載の強誘電体メモリ装置の製造方法。