

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月24日(24.12.2020)



(10) 国際公開番号

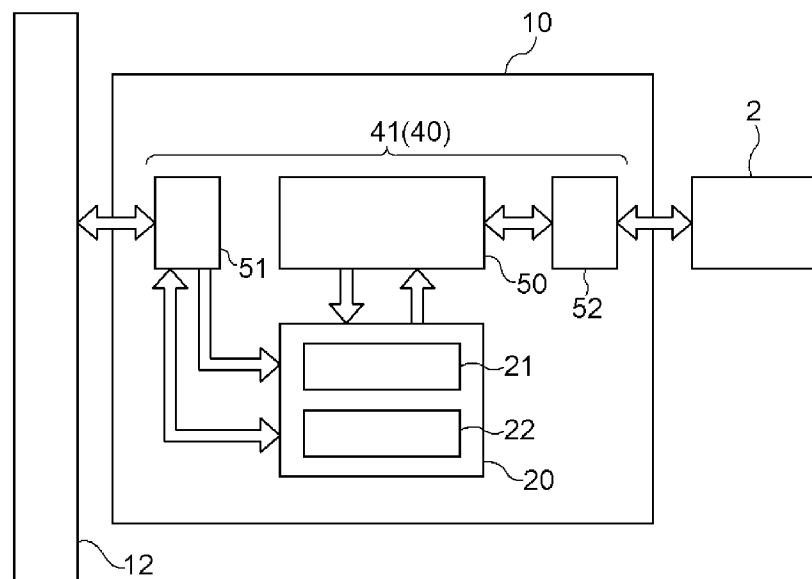
WO 2020/255448 A1

- (51) 国際特許分類:
H01L 43/08 (2006.01) *G11C 11/00* (2006.01)
H01L 21/8239 (2006.01) *G11C 11/16* (2006.01)
H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2019/048379
- (22) 国際出願日: 2019年12月11日(11.12.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-111966 2019年6月17日(17.06.2019) JP
- (71) 出願人: アイシン・エイ・ダブリュ株式会社
(AISIN AW CO., LTD.) [JP/JP]; 〒4441192 愛知県安城市藤井町高根 1 0 番地 Aichi (JP).
- (72) 発明者: 成瀬 峰 信 (NARUSE Takanobu);
〒4441192 愛知県安城市藤井町高根 1 0 番地 アイシン・エイ・ダブリュ株式会社内 Aichi (JP).
- (74) 代理人: 特許業務法人 R & C (R&C IP LAW FIRM); 〒5300005 大阪府大阪市北区中之島三丁目3番3号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置

Fig.2



(57) Abstract: A semiconductor storage device (20) includes a first magnetoresistive random access memory (21) and a second magnetoresistive random access memory (22) which are two types of magnetoresistive random access memories accessed by an designated logic part (41) which is one logic part (40). The designated logic part (41), first magnetoresistive random access memory (21), and second magnetoresistive random access memory (22) are formed in one semiconductor chip, and the first magnetoresistive random access memory (21) has a coercive force greater than that of the second magnetoresistive random access memory (22).

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体記憶装置 (20) は、1つのロジック部 (40) である対象ロジック部 (41) によりアクセスされる2種類の磁気抵抗メモリである、第1磁気抵抗メモリ (21) と第2磁気抵抗メモリ (22) とを備える。対象ロジック部 (41) と第1磁気抵抗メモリ (21) と第2磁気抵抗メモリ (22) とが1つの半導体チップに形成され、第1磁気抵抗メモリ (21) は、第2磁気抵抗メモリ (22) よりも保磁力が大きい。

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本発明は、半導体記憶装置に関する。

背景技術

[0002] 半導体記憶装置が用いられる装置の一例として、特開 2016-184233 号公報（特許文献 1）に記載されているような、メモリに対して信号ラインを介してデータ伝送を行うメモリコントローラを挙げることができる。以下、背景技術の説明において括弧内に示す符号は特許文献 1 のものである。特許文献 1 の図 2 に示されているように、このメモリコントローラ（C）は、半導体記憶装置として記憶回路（15）を備えている。そして、特許文献 1 の段落 0021，0022 に記載されているように、このメモリコントローラ（C）は、当該記憶回路（15）を、作業用データを格納するためのワークメモリとして用いて、置換処理や復元処理等の各種処理を行うように構成されている。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2016-184233 号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、データの書き換えが比較的頻繁に行われる半導体記憶装置（上述したワークメモリ等）には、これまで一般的に揮発性メモリが用いられていたが、この揮発性メモリを、書き換え可能な不揮発性メモリ的一种である磁気抵抗メモリ（MRAM）に置き換えることが検討されている。このように半導体記憶装置に磁気抵抗メモリを用いる場合、ワークデータのように比較的頻繁に書き換えられるデータだけでなく、設定データ（プログラムや初期設定データ等）のように書き換え頻度が低いデータも磁気抵抗メモリに記

憶させることが考えられる。

[0005] しかしながら、磁気抵抗メモリは、その構造上、データの書き換え可能回数を多く確保しようとするデータ保持期間が短くなるため、揮発性メモリとの置き換えが可能な程度の書き換え可能回数を得られるように、磁気抵抗メモリを構成すると、設定データのような書き換え頻度が低いデータの保持期間が短くなりやすい。この結果、半導体記憶装置が用いられる装置の起動時に設定データを他の記憶装置からロードする必要が生じて、起動時間が長くなるおそれや、そのような処理のために消費電力が増大するおそれがある。

[0006] そこで、半導体記憶装置に磁気抵抗メモリを用いる場合に、データの書き換え可能回数とデータの保持期間との双方を適切に確保することが可能な技術の実現が望まれる。

課題を解決するための手段

[0007] 本開示に係る半導体記憶装置は、1つのロジック部である対象ロジック部によりアクセスされる2種類の磁気抵抗メモリである、第1磁気抵抗メモリと第2磁気抵抗メモリとを備え、前記対象ロジック部と前記第1磁気抵抗メモリと前記第2磁気抵抗メモリとが1つの半導体チップに形成され、前記第1磁気抵抗メモリは、前記第2磁気抵抗メモリよりも保磁力が大きい。

[0008] この構成によれば、第1磁気抵抗メモリが第2磁気抵抗メモリよりも保磁力が大きいため、第2磁気抵抗メモリについては、保磁力を比較的小さくしてデータの書き換え可能回数を多く確保しつつ、第1磁気抵抗メモリについては、保磁力を比較的大きくしてデータの保持期間を長く確保することができる。すなわち、2種類の磁気抵抗メモリを用いることで、半導体記憶装置の中に、第2磁気抵抗メモリにより形成される、データの書き換え可能回数が多いメモリ領域と、第1磁気抵抗メモリにより形成される、データの保持期間が長いメモリ領域との、2種類のメモリ領域を形成することができる。そして、上記の構成によれば、このような2種類のメモリ領域に対象ロジック部がアクセス可能な半導体チップを実現することができる。

[0009] 以上のように、上記の構成によれば、半導体記憶装置に磁気抵抗メモリを用いる場合に、データの書き換え可能回数とデータの保持期間との双方を適切に確保することが可能となる。

[0010] 半導体記憶装置の更なる特徴と利点は、図面を参照して説明する実施形態についての以下の記載から明確となる。

図面の簡単な説明

[0011] [図1]半導体チップの一例の概略構成を示すブロック図

[図2]機能モジュールの一例の概略構成を示すブロック図

[図3]半導体記憶装置の一例の概略構成を示す斜視図

[図4]半導体記憶装置と対象ロジック部との配置関係の一例を示す図

発明を実施するための形態

[0012] 半導体記憶装置の実施形態について、図面を参照して説明する。本実施形態では、半導体記憶装置がレジスタ（レジスタファイル）として用いられる場合を例として説明する。

[0013] 半導体記憶装置20は、半導体チップ1に形成される記憶装置である。そのため、半導体記憶装置20（例えば、半導体記憶装置20を構成するメモリセルや、メモリセルに対するデータの書き換えを行う書き換え回路）は、半導体材料を用いて形成される。

[0014] 図1に、半導体記憶装置20が形成される半導体チップ1の一例を示す。半導体チップ1は、例えば、SoC（System on a Chip）とされる。半導体チップ1は、1枚のチップに集積された複数の回路（半導体集積回路）を備えている。半導体チップ1には、後述するロジック部40を構成する回路や、半導体記憶装置20（メモリ部）を構成する回路が形成されている。半導体チップ1に、他の機能部（例えば、アナログ部）を構成する回路が形成されていてもよい。半導体チップ1が備える複数の回路は、当該半導体チップ1が内蔵する半導体基板（シリコンダイ等の半導体ダイ）に形成される。例えば、半導体チップ1が1枚の半導体基板を備え、半導体チップ1が備える全ての回路が、当該1枚の半導体基板に形成された構成とすることができる。

。

[0015] 図1に示すように、半導体チップ1は、内部バス12によって互いに接続された複数の機能モジュール10を備えている。また、半導体チップ1は、CPU (Central Processing Unit) 等のプロセッサ11を備えており、プロセッサ11は、内部バス12によって機能モジュール10のそれぞれに接続されている。機能モジュール10のそれぞれは、例えば、プロセッサ11の周辺機能（サポート機能等）を実現する周辺ロジック部として機能し、又は、半導体チップ1と外部装置2（半導体チップ1の外部に設けられる装置）との間でデータ又は信号をやり取りするインタフェース部として機能する。外部装置2は、例えば、半導体チップ1の外部に設けられる記憶装置や、センサ等とされる。図1に示す例では、複数の機能モジュール10の一部が、外部装置2との間でデータ又は信号をやり取りする機能モジュール10とされている。

[0016] 機能モジュール10及びプロセッサ11のそれぞれは、ロジック部40を備えている。ロジック部40は、ロジック回路（論理回路）を備えており、当該ロジック回路を用いて処理（演算処理や変換処理等）を行う。図2に示すように、本実施形態では、半導体記憶装置20は、機能モジュール10に付属する半導体記憶装置とされており、当該機能モジュール10が備えるロジック部40によりアクセスされる。すなわち、半導体記憶装置20にアクセスする1つのロジック部40を対象ロジック部41とすると、本実施形態では、対象ロジック部41は、1つの機能モジュール10が備えるロジック部40である。本実施形態では、半導体記憶装置20は、対象ロジック部41を備える機能モジュール10のレジスタとして機能し、対象ロジック部41（具体的には、後述する演算回路50）は、半導体記憶装置20に記憶されているデータに基づいて動作する。

[0017] 図2に、対象ロジック部41を備える機能モジュール10の一例を示す。以下では、図2に示す機能モジュール10以外の機能モジュール10を、他の機能モジュール10と称する。図2に示すように、対象ロジック部41は

、演算回路 50 と第 1 回路 51 とを備えている。演算回路 50 は、動作プログラムに従った演算処理を行うように構成されている。演算回路 50 を動作させる動作プログラムは、半導体記憶装置 20（具体的には、後述する第 1 磁気抵抗メモリ 21）に記憶されている。

[0018] 第 1 回路 51 は、内部バス 12 と半導体記憶装置 20 とに接続されており、半導体記憶装置 20 と、他の機能モジュール 10 又はプロセッサ 11 との間の、内部バス 12 を介したデータ伝送を制御するように構成されている。すなわち、第 1 回路 51 は、内部バス制御部として機能する制御回路である。第 1 回路 51 と半導体記憶装置 20 との間には、半導体記憶装置 20 内のアドレスを指定するためのアドレスバスと、データをやり取りするためのデータバスとが形成されており、第 1 回路 51 は、指定したアドレスのデータを読み書きするように構成されている。

[0019] 図 2 に示す機能モジュール 10 は、外部装置 2 との間で信号をやり取りする機能モジュールとされており、対象ロジック部 41 は、第 2 回路 52 を備えている。第 2 回路 52 は、演算回路 50 に接続されていると共に、外部バスを介して外部装置 2 に接続されている。第 2 回路 52 は、外部信号制御部として機能する制御回路である。第 2 回路 52 は、演算回路 50 から入力されたデータを信号に変換して外部装置 2 に出力するように構成されていると共に、外部装置 2 から入力された信号をデータに変換して演算回路 50 に出力するように構成されている。なお、第 2 回路 52 から外部装置 2 への信号の出力と、外部装置 2 から第 2 回路 52 への信号の入力との、いずれか一方のみが行われる構成としてもよい。

[0020] 図 2 に示すように、半導体記憶装置 20 は、対象ロジック部 41 によりアクセスされる 2 種類の磁気抵抗メモリである、第 1 磁気抵抗メモリ 21 と第 2 磁気抵抗メモリ 22 とを備えている。磁気抵抗メモリ（MRAM ; Magnetoresistive Random Access Memory）は、磁気トンネル接合をメモリセル 30 とする不揮発性メモリである。図 3 に模式的に示すように、磁気抵抗メモリを構成するメモリセル 30（磁気トンネル接合）は、絶縁体層である第 2 層

32を、2つの強磁性体層である第1層31と第3層33とで挟んだ構造を備える。強磁性体層は、例えば、強磁性半導体材料を用いて形成される。

[0021] 第1層31及び第3層33の一方は、磁化が固定される固定層とされ、第1層31及び第3層33の他方は、磁化が可変な自由層とされる。自由層の磁化方向を変化させてメモリセル30（磁気トンネル接合）の電気抵抗値の高低を切り替えることで、メモリセル30に1ビットの情報を記憶させることができる。メモリセル30は、半導体チップ1の厚さ方向Dに直交する面にアレイ状（2次元アレイ状）に並べて配置されており、詳細は省略するが、メモリセル30に対するデータの書き換えを行う書き換え回路は、トランジスタ（セル選択用トランジスタ）を用いて書き換え対象のメモリセル30を選択するように構成されている。

[0022] 図3及び図4に模式的に示すように、対象ロジック部41と第1磁気抵抗メモリ21と第2磁気抵抗メモリ22とは、1つの半導体チップ1に形成されている。すなわち、第1磁気抵抗メモリ21及び第2磁気抵抗メモリ22は、埋め込みMRAMである。ここでは、対象ロジック部41と第1磁気抵抗メモリ21と第2磁気抵抗メモリ22とは、同じ半導体基板（半導体ダイ）に混載されている。具体的には、第1磁気抵抗メモリ21及び第2磁気抵抗メモリ22は、対象ロジック部41に対して表側D1（表層側）に一体的に形成されている。言い換えれば、対象ロジック部41は、半導体チップ1における、第1磁気抵抗メモリ21及び第2磁気抵抗メモリ22よりも裏側D2（内層側）に形成されている。ここで、表側D1は、厚さ方向Dの一方側（半導体基板に対して各素子が形成される側）であり、裏側D2は、厚さ方向Dの他方側（表側D1とは反対側）である。

[0023] 第1磁気抵抗メモリ21は、第2磁気抵抗メモリ22よりも保磁力が大きい。具体的には、第1磁気抵抗メモリ21を構成するメモリセル30の保磁力（具体的には、自由層の保磁力）は、第2磁気抵抗メモリ22を構成するメモリセル30の保磁力（具体的には、自由層の保磁力）よりも大きい。本実施形態では、第1磁気抵抗メモリ21を構成するメモリセル30の体積を

、第2磁気抵抗メモリ22を構成するメモリセル30の体積よりも大きくすることで、第1磁気抵抗メモリ21を構成するメモリセル30の保磁力を、第2磁気抵抗メモリ22を構成するメモリセル30の保磁力よりも大きくしている。メモリセル30の体積は、例えば、第1層31、第2層32、及び第3層33の各層の体積の合計とすることができる。

[0024] 第1磁気抵抗メモリ21を構成するメモリセル30の体積が、第2磁気抵抗メモリ22を構成するメモリセル30の体積よりも大きい構成の一例として、第1磁気抵抗メモリ21を構成するメモリセル30の面積（厚さ方向Dに沿う方向視での面積、以下同様）が、第2磁気抵抗メモリ22を構成するメモリセル30の面積よりも大きい構成とすることができる。この場合、第1層31の厚さ、第2層32の厚さ、及び第3層33の厚さを、第1磁気抵抗メモリ21と第2磁気抵抗メモリ22との間で共通とすることができるため、2種類の磁気抵抗メモリを半導体チップ1に形成することによる製造工程の複雑化を抑制することができる。

[0025] 上記のように、第1磁気抵抗メモリ21は、第2磁気抵抗メモリ22よりも保磁力が大きいため、第2磁気抵抗メモリ22については、保磁力を比較的小さくしてデータの書き換え可能回数を多く確保しつつ、第1磁気抵抗メモリ21については、保磁力を比較的大きくしてデータの保持期間を長く確保することができる。すなわち、対象ロジック部41がアクセス可能なメモリ領域として、第2磁気抵抗メモリ22により形成される、データの書き換え可能回数が多いメモリ領域と、第1磁気抵抗メモリ21により形成される、データの保持期間が長いメモリ領域との、2種類のメモリ領域を半導体チップ1に形成することが可能となっている。

[0026] 第1磁気抵抗メモリ21はデータの保持期間が長いため、半導体チップ1が用いられる装置の起動時間の短縮の観点から、当該装置の起動時に対象ロジック部41が必要とするデータは、第1磁気抵抗メモリ21に記憶される構成とすることが望ましい。このような観点から、本実施形態では、第1磁気抵抗メモリ21に設定データが記憶される構成としている。第1磁気抵抗

メモリ 21 に記憶される設定データには、対象ロジック部 41（具体的には、演算回路 50）の動作プログラムが含まれる。第 1 磁気抵抗メモリ 21 に記憶される設定データに更に別のデータが含まれていてもよく、例えば、対象ロジック部 41（具体的には、演算回路 50）の初期設定データが含まれる構成とすることや、対象ロジック部 41（具体的には、演算回路 50）での演算に用いられる定数（制御定数等）のデータが含まれる構成とすることができる。

[0027] 一方、第 2 磁気抵抗メモリ 22 はデータの書き換え可能回数が多いため、半導体記憶装置 20 の寿命の長期化の観点から、比較的頻繁に書き換えられるデータは、第 2 磁気抵抗メモリ 22 に記憶される構成とすることが望ましい。このような観点から、本実施形態では、第 2 磁気抵抗メモリ 22 にワークデータが記憶される構成としている。第 2 磁気抵抗メモリ 22 に記憶されるワークデータには、対象ロジック部 41（具体的には、演算回路 50）による演算結果が含まれる。第 2 磁気抵抗メモリ 22 に記憶されるワークデータに更に別のデータが含まれていてもよく、例えば、対象ロジック部 41（具体的には、演算回路 50）に入力される入力データが含まれる構成とすることや、対象ロジック部 41（具体的には、演算回路 50）から出力される出力データが含まれる構成とすることができる。

[0028] 図 4 に模式的に示すように、本実施形態では、第 2 磁気抵抗メモリ 22 は、第 1 磁気抵抗メモリ 21 よりも演算回路 50 に近い位置に配置されている。本実施形態では、上述したようにワークデータが第 2 磁気抵抗メモリ 22 に記憶されるため、第 1 磁気抵抗メモリ 21 に比べて第 2 磁気抵抗メモリ 22 の方が、演算回路 50 との間でのデータのやり取りがより頻繁に行われる。よって、演算回路 50 との間でのデータのやり取りが頻繁に行われる第 2 磁気抵抗メモリ 22 を、演算回路 50 の近くに配置することで、演算回路 50 と第 2 磁気抵抗メモリ 22 との間の配線経路長を短く抑えることができる。この結果、クロック信号を各部に供給するためのクロックツリー 60 の長さを短く抑えて、消費電力の低減を図ることが可能となっている。

[0029] 例えば、第2磁気抵抗メモリ22の少なくとも一部を、厚さ方向Dに沿った方向視で演算回路50と重複する位置に配置し、第1磁気抵抗メモリ21の少なくとも一部を、当該方向視で第1回路51又は第2回路52と重複する位置に配置することで、第2磁気抵抗メモリ22が、第1磁気抵抗メモリ21よりも演算回路50に近い位置に配置される構成を実現することができる。

[0030] [その他の実施形態]

次に、半導体記憶装置のその他の実施形態について説明する。

[0031] (1) 上記の実施形態では、半導体記憶装置20が、レジスタ（レジスタファイル）として用いられる場合を例として説明した。しかし、そのような構成に限定されることなく、半導体記憶装置20がレジスタ以外の記憶装置として用いられる構成とすることもできる。

[0032] 例えば、半導体記憶装置20が、プロセッサ11のキャッシュとして用いられる構成とすることができる。この場合、対象ロジック部41は、プロセッサ11が備えるロジック部40とされる。そして、第1磁気抵抗メモリ21に、キャッシュされたブロックのタグ（アドレス）が記憶され、第2磁気抵抗メモリ22に、キャッシュされたブロックの内容が記憶される。すなわち、第1磁気抵抗メモリ21はタグアレイ（アドレスアレイ）とされ、第2磁気抵抗メモリ22はデータアレイとされる。なお、プロセッサ11はCPU以外にGPU（Graphics Processing Unit）等であってもよい。

[0033] また、例えば、半導体記憶装置20が、内部バス12を介してプロセッサ11に接続される記憶装置として用いられる構成とすることもできる。この場合、対象ロジック部41は、プロセッサ11が備えるロジック部40とされる。そして、第1磁気抵抗メモリ21により形成されるメモリ領域が、プログラム領域として用いられ、第2磁気抵抗メモリ22により形成されるメモリ領域が、データ領域として用いられる。

[0034] (2) 上記の実施形態では、第1磁気抵抗メモリ21を構成するメモリセル30の体積を、第2磁気抵抗メモリ22を構成するメモリセル30の体積よ

りも大きくすることで、第1磁気抵抗メモリ21の保磁力を、第2磁気抵抗メモリ22の保磁力よりも大きくする構成を例として説明した。しかし、そのような構成に限定されることなく、第1磁気抵抗メモリ21を構成するメモリセル30と第2磁気抵抗メモリ22を構成するメモリセル30との間で構造及び材料の少なくとも一方を異ならせることで、第1磁気抵抗メモリ21の保磁力を、第2磁気抵抗メモリ22の保磁力よりも大きくしてもよい。この場合、上記の実施形態とは異なり、第1磁気抵抗メモリ21を構成するメモリセル30の体積が、第2磁気抵抗メモリ22を構成するメモリセル30の体積以下である構成とすることもできる。

[0035] (3) 上記の実施形態では、第2磁気抵抗メモリ22が、第1磁気抵抗メモリ21よりも演算回路50に近い位置に配置される構成を例として説明した。しかし、そのような構成に限定されることなく、例えば、第1磁気抵抗メモリ21が、第2磁気抵抗メモリ22よりも演算回路50に近い位置に配置される構成とすることもできる。

[0036] (4) なお、上述した各実施形態で開示された構成は、矛盾が生じない限り、他の実施形態で開示された構成と組み合わせて適用すること（その他の実施形態として説明した実施形態同士の組み合わせを含む）も可能である。その他の構成に関しても、本明細書において開示された実施形態は全ての点で単なる例示に過ぎない。従って、本開示の趣旨を逸脱しない範囲内で、適宜、種々の改変を行うことが可能である。

[0037] [上記実施形態の概要]

以下、上記において説明した半導体記憶装置の概要について説明する。

[0038] 半導体記憶装置(20)は、1つのロジック部(40)である対象ロジック部(41)によりアクセスされる2種類の磁気抵抗メモリである、第1磁気抵抗メモリ(21)と第2磁気抵抗メモリ(22)とを備え、前記対象ロジック部(41)と前記第1磁気抵抗メモリ(21)と前記第2磁気抵抗メモリ(22)とが1つの半導体チップ(1)に形成され、前記第1磁気抵抗メモリ(21)は、前記第2磁気抵抗メモリ(22)よりも保磁力が大きい

。

[0039] この構成によれば、第1磁気抵抗メモリ（21）が第2磁気抵抗メモリ（22）よりも保磁力が大きいため、第2磁気抵抗メモリ（22）については、保磁力を比較的小さくしてデータの書き換え可能回数を多く確保しつつ、第1磁気抵抗メモリ（21）については、保磁力を比較的大きくしてデータの保持期間を長く確保することができる。すなわち、2種類の磁気抵抗メモリ（21, 22）を用いることで、半導体記憶装置（20）の中に、第2磁気抵抗メモリ（22）により形成される、データの書き換え可能回数が多いメモリ領域と、第1磁気抵抗メモリ（21）により形成される、データの保持期間が長いメモリ領域との、2種類のメモリ領域を形成することができる。そして、上記の構成によれば、このような2種類のメモリ領域に対象ロジック部（41）がアクセス可能な半導体チップ（1）を実現することができる。

[0040] 以上のように、上記の構成によれば、半導体記憶装置（20）に磁気抵抗メモリを用いる場合に、データの書き換え可能回数とデータの保持期間との双方を適切に確保することが可能となる。

[0041] ここで、前記第1磁気抵抗メモリ（21）を構成するメモリセル（30）の体積が、前記第2磁気抵抗メモリ（22）を構成するメモリセル（30）の体積よりも大きいと好適である。

[0042] この構成によれば、第1磁気抵抗メモリ（21）と第2磁気抵抗メモリ（22）との間で構造や材料を共通としつつ、メモリセル（30）の体積を異ならせることで第1磁気抵抗メモリ（21）の保磁力を第2磁気抵抗メモリ（22）の保磁力よりも大きくすることができる。よって、第1磁気抵抗メモリ（21）と第2磁気抵抗メモリ（22）との間で構造や材料を異ならせる必要がある場合に比べて、半導体チップ（1）の製造コストの低減を図ることができる。

[0043] また、前記第1磁気抵抗メモリ（21）には、前記対象ロジック部（41）の動作プログラムを含む設定データが記憶され、前記第2磁気抵抗メモリ

(22) には、前記対象ロジック部(41)による演算結果を含むワークデータが記憶されると好適である。

[0044] この構成によれば、設定データをデータの保持期間が長い第1磁気抵抗メモリ(21)に記憶させることで、半導体チップ(1)が用いられる装置の起動時に設定データを第1磁気抵抗メモリ(21)に書き込む必要を基本的になくして、起動時間の短縮を図ることができると共に、そのような書き込み処理のために必要な消費電力の低減を図ることができる。また、上記の構成によれば、比較的頻繁に書き換えられるワークデータをデータの書き換え可能回数の多い第2磁気抵抗メモリ(22)に記憶させることで、半導体記憶装置(20)の寿命を適切に確保することもできる。

[0045] なお、第1磁気抵抗メモリ(21)に比べてデータの保持期間は短いものの、第2磁気抵抗メモリ(22)にもある程度の期間はデータを保持させることができる。そのため、半導体チップ(1)が用いられる装置の起動時に第2磁気抵抗メモリ(22)にワークデータが記憶されている場合には、当該ワークデータを利用することによって起動時間の更なる短縮を図ることもできる。

[0046] 上記のように、前記第1磁気抵抗メモリ(21)に前記設定データが記憶され、前記第2磁気抵抗メモリ(22)に前記ワークデータが記憶される構成において、前記対象ロジック部(41)は、前記動作プログラムに従った演算処理を行う演算回路(50)を備え、前記第2磁気抵抗メモリ(22)は、前記第1磁気抵抗メモリ(21)よりも前記演算回路(50)に近い位置に配置されていると好適である。

[0047] 第1磁気抵抗メモリ(21)に設定データが記憶され、第2磁気抵抗メモリ(22)にワークデータが記憶される場合には、第1磁気抵抗メモリ(21)に比べて第2磁気抵抗メモリ(22)の方が、演算回路(50)との間でのデータのやり取りがより頻繁に行われる。上記の構成によれば、演算回路(50)との間でのデータのやり取りが頻繁に行われる第2磁気抵抗メモリ(22)を、演算回路(50)の近くに配置することで、演算回路(50)

）と第2磁気抵抗メモリ（22）との間の配線経路長を短く抑えて、消費電力の低減を図ることができる。

[0048] 本開示に係る半導体記憶装置は、上述した各効果のうち、少なくとも1つを奏することができればよい。

符号の説明

[0049] 1：半導体チップ

20：半導体記憶装置

21：第1磁気抵抗メモリ

22：第2磁気抵抗メモリ

30：メモリセル

40：ロジック部

41：対象ロジック部

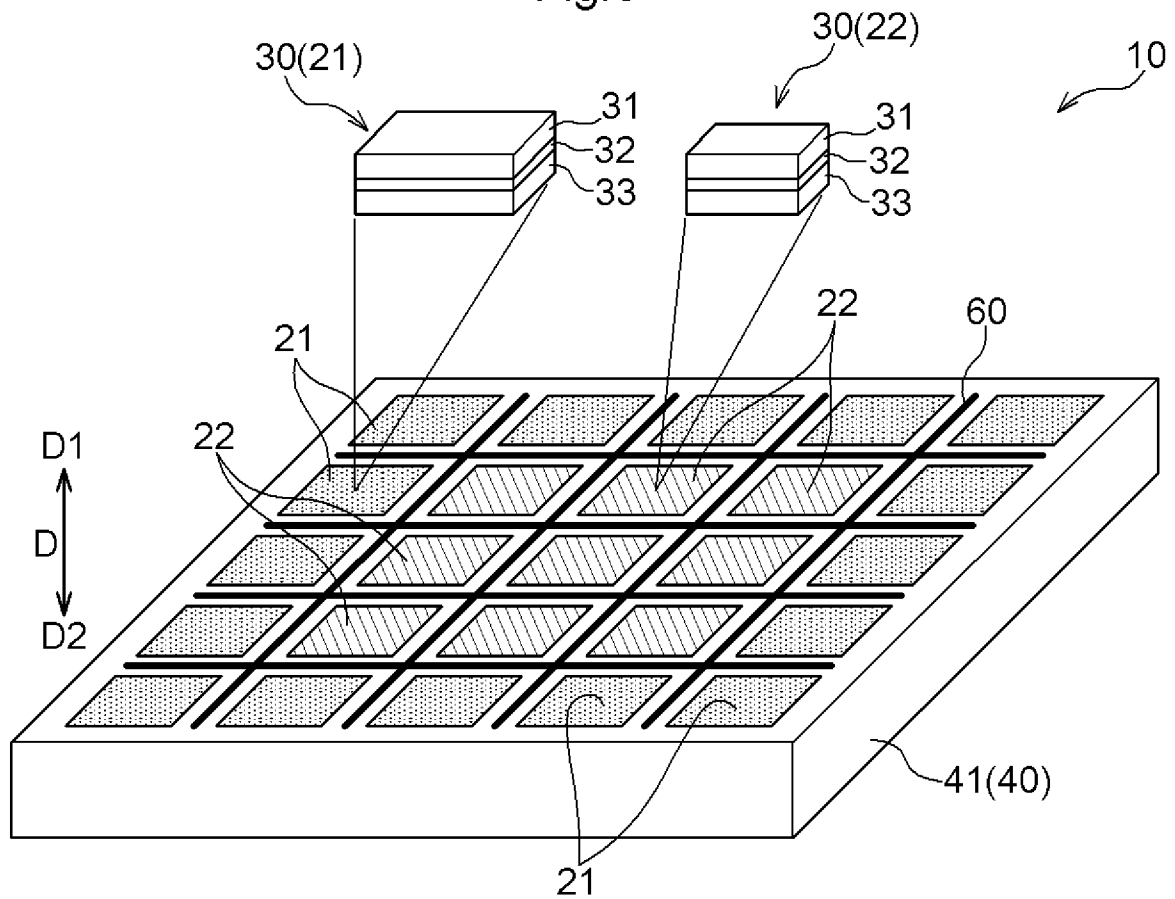
50：演算回路

請求の範囲

- [請求項1] 1つのロジック部である対象ロジック部によりアクセスされる2種類の磁気抵抗メモリである、第1磁気抵抗メモリと第2磁気抵抗メモリとを備え、
- 前記対象ロジック部と前記第1磁気抵抗メモリと前記第2磁気抵抗メモリとが1つの半導体チップに形成され、
- 前記第1磁気抵抗メモリは、前記第2磁気抵抗メモリよりも保磁力が大きい、半導体記憶装置。
- [請求項2] 前記第1磁気抵抗メモリを構成するメモリセルの体積が、前記第2磁気抵抗メモリを構成するメモリセルの体積よりも大きい、請求項1に記載の半導体記憶装置。
- [請求項3] 前記第1磁気抵抗メモリには、前記対象ロジック部の動作プログラムを含む設定データが記憶され、
- 前記第2磁気抵抗メモリには、前記対象ロジック部による演算結果を含むワークデータが記憶される、請求項1又は2に記載の半導体記憶装置。
- [請求項4] 前記対象ロジック部は、前記動作プログラムに従った演算処理を行う演算回路を備え、
- 前記第2磁気抵抗メモリは、前記第1磁気抵抗メモリよりも前記演算回路に近い位置に配置されている、請求項3に記載の半導体記憶装置。

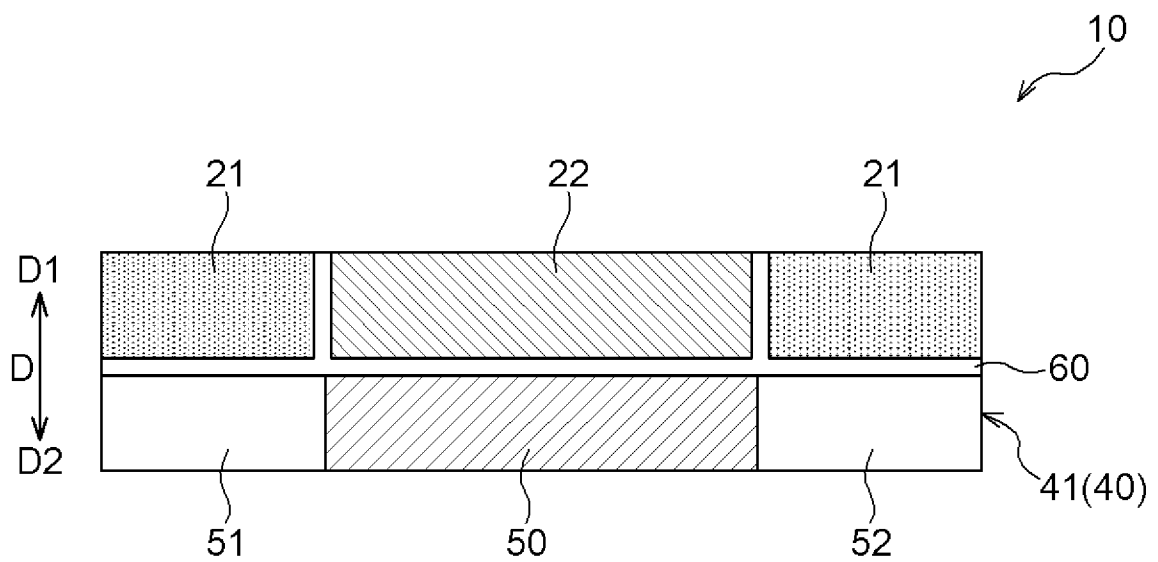
[図3]

Fig.3



[図4]

Fig.4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/048379

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L43/08(2006.01)i, H01L21/8239(2006.01)i, H01L27/105(2006.01)i, G11C11/00(2006.01)i, G11C11/16(2006.01)i

FI: H01L43/08Z, G11C11/16, G11C11/00100, H01L27/105447

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L43/08, H01L21/8239, H01L27/105, G11C11/00, G11C11/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-101123 A (SONY CORPORATION) 14.04.2005 (2005-04-14), paragraphs [0019]-[0021], [0073]-[0081], fig. 1-11	1-4
X	JP 2012-14787 A (SONY CORPORATION) 19.01.2012 (2012-01-19), paragraphs [0013], [0024], [0025], [0055], [0056], [0095], [0108], fig. 1-13	1-4
X	US 2019/0066746 A1 (QUALCOMM INCORPORATED) 28.02.2019 (2019-02-28), paragraphs [0034], [0035], [0044]-[0047], fig. 1-10	1-4

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19.02.2020

Date of mailing of the international search report
03.03.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2019/048379

JP 2005-101123 A	14.04.2005	US 2005/0063221 A1 paragraphs [0029]-[0031], [0083]-[0091], fig. 1-11
JP 2012-14787 A	19.01.2012	US 2012/0002466 A1 paragraphs [0024], [0059], [0060], [0152]-[0159], [0250], [0283]-[0286], fig. 1-10
US 2019/0066746 A1	28.02.2019	WO 2019/046197 A1 paragraphs [0034], [0035], [0044]-[0047], fig. 1-10

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 43/08(2006.01)i; H01L 21/8239(2006.01)i; H01L 27/105(2006.01)i; G11C 11/00(2006.01)i; G11C 11/16(2006.01)i FI: H01L43/08 Z; G11C11/16; G11C11/00 100; H01L27/105 447		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L43/08; H01L21/8239; H01L27/105; G11C11/00; G11C11/16		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2005-101123 A (ソニー株式会社) 14.04.2005 (2005 - 04 - 14) 段落0019-0021, 0073-0081, 図1-11	1-4
X	JP 2012-14787 A (ソニー株式会社) 19.01.2012 (2012 - 01 - 19) 段落0013, 0024, 0025, 0055, 0056, 0095, 0108, 図1-13	1-4
X	US 2019/0066746 A1 (QUALCOMM INCORPORATED) 28.02.2019 (2019 - 02 - 28) 段落0034, 0035, 0044-0047, 図1-10	1-4
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 19.02.2020		国際調査報告の発送日 03.03.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小山 満 5F 9458 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/048379

引用文献			公表日	パテントファミリー文献	公表日
JP	2005-101123	A	14.04.2005	US 2005/0063221 A1 段落0029-0031, 0083-0091, 図1-11	
JP	2012-14787	A	19.01.2012	US 2012/0002466 A1 段落 0024, 0059, 0060, 0152-0159, 0250, 0283-0286, 図1-10	
US	2019/0066746	A1	28.02.2019	W0 2019/046197 A1 段落0034, 0035, 0044-0047, 図1-10	