



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월18일
(11) 등록번호 10-1030178
(24) 등록일자 2011년04월12일

(51) Int. Cl.
H01L 29/76 (2006.01)
(21) 출원번호 10-2005-7010197
(22) 출원일자(국제출원일자) 2003년12월09일
심사청구일자 2008년11월14일
(85) 번역문제출일자 2005년06월03일
(65) 공개번호 10-2005-0085383
(43) 공개일자 2005년08월29일
(86) 국제출원번호 PCT/US2003/038931
(87) 국제공개번호 WO 2004/053939
국제공개일자 2004년06월24일
(30) 우선권주장
10/315,517 2002년12월10일 미국(US)
(56) 선행기술조사문헌
EP00747966 A2*
US06049104 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
페어차일드 세미컨덕터 코퍼레이션
미국 메인 04106 사우스 포틀랜드 러닝 힐 로드 82
(72) 발명자
카이, 준
미합중국 04103 메인, 포틀랜드, D3-5, 포리스트 애버뉴 1375
(74) 대리인
손은진

전체 청구항 수 : 총 25 항

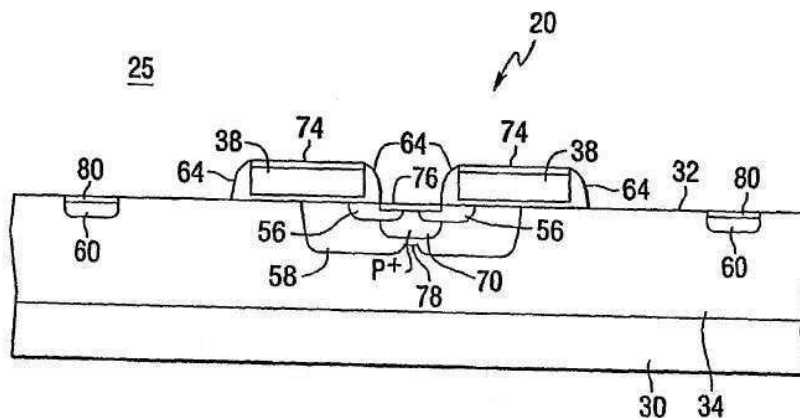
심사관 : 박기용

(54) 개선된 LDMOS 설계에 의한 집적회로 구조

(57) 요약

LDMOS 장치 구조를 포함하는 반도체 집적회로는 반도체층의 상부표면 위에 한 쌍의 이격-분리된 전계 효과 게이트 구조들을 갖는 반도체층을 포함한다. 제 1 전도 타입의 제 1 및 제 2 이격-분리된 소스 영역들이, 그 중간에 제 2 전도 타입의 제 1 영역이 형성되는 상기 한 쌍의 게이트 구조들 사이에 있는 층의 일부의 내부에 형성된다. 제 2 전도 타입의 저농도로 도핑된 바디 영역이 반도체층에 형성되고, 소스 영역의 하부에서부터 게이트 구조들의 하부까지 연장되며, 그리고 반도체층 내부에서 가변적인 깊이로 연장된다. 이러한 바디 영역은 제 1 영역으로 연장되는 바디 영역의 그 일부에 있어서 깊이의 조절에 의해 특징지워진다.

대표도 - 도2E



특허청구의 범위

청구항 1

반도체층;

상기 반도체층 위에 형성되는 한 쌍의 게이트 구조들로서, 각각의 게이트 구조는 반대편 게이트 구조와 마주보는 제 1 말단부를 포함하는 한 쌍의 이격-분리된 전계 효과 게이트 구조들;

상기 한 쌍의 게이트 구조들 사이에 있는 상기 층의 일부에 형성되는 소스 영역들로서, 상기 제 1 말단부들 사이에 있는 표면의 일부는 제 1 면적 치수를 가지며, 각각의 소스 영역은 상기 제 1 말단부들 중 하나에 따라 자기-정렬되는 제 1 전도성의 이격-분리된 제 1 및 제 2 소스 영역들;

상기 소스 영역들이 그 위에 형성된 측면 반대편의 각 게이트 구조 측면 위의 고농도로 도핑된 제1 전도성의 드레인 영역과, 상기 드레인과 상기 게이트 사이의 상기 드레인 영역보다 저농도로 도핑된 제1 전도성의 드리프트 영역;

상기 반도체층 내부에서 상기 소스 영역들의 하부에서부터 상기 게이트 구조들의 하부까지 연장되어 있는 제 2 전도성의 저농도로 도핑된 바디 영역; 및

상기 제 1 말단부들 사이에 있는 표면의 일부 내로 연장되고 상기 표면에서 상기 제 1 면적 치수보다 작은 면적 치수를 가지는 제 2 전도성의 고농도로 도핑된 영역을 포함하며;

상기 제1 영역 아래로 연장하는 상기 바디 영역 부분에서 상기 바디 영역의깊이가 변화되는 것을 특징으로 하는 수평의(lateral) 금속 산화물 전계 효과 반도체 장치.

청구항 2

제 1항에 있어서,

상기 제 1 및 제 2 소스 영역들은 각각의 게이트 구조 말단부 하부까지 각각 연장된 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 3

제 1항에 있어서,

상기 소스 영역들은 한 쌍의 소스 영역들 사이의 상기 표면의 일부 위에 하나의 마스크 층 부재를 위치시킴으로써 상호 이격-분리된 관계에서 형성되는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 4

제 1항에 있어서,

각각의 제 1 말단부에 접하고 각각의 소스 영역 상부에 각각 위치하는 제 1 및 제 2 측벽 이격자들을 더 포함하는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 5

제 4항에 있어서,

상기 제 2 전도성의 저농도로 도핑된 바디 영역은 제 1 및 제 2 측벽 이격자들에 따라 자기-정렬되는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 6

제 4항에 있어서,

상기 제 1 및 제 2 측벽 이격자들 사이의 반도체층 상부 표면의 일부는 규화물을 포함하는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 7

제 1항에 있어서,

상기 제 2 전도성의 저농도로 도핑된 바디 영역은 바디 연결부로서 기능하도록 위치하는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 8

제 5항에 있어서,

상기 제 2 전도성의 저농도로 도핑된 바디 영역은 바디 연결부로서 기능하도록 위치하는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 9

제 1항에 있어서,

상기 제 1 면적 치수를 갖는 표면의 일부 중 적어도 일정 부분이 규화물을 포함하는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 10

제 1항에 있어서,

상기 소스 영역들은 N-타입 전도성인 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 11

제 1항에 있어서,

상기 제 1 및 제 2 소스 영역들은 하나의 도펀트 주입으로 형성되는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 12

제 1항에 있어서,

상기 각각의 소스 영역은 제 2 전도성의 고농도로 도핑된 영역 및 인접하는 게이트 구조 하부에 있는 상기 반도체층의 일부 사이에서 일정한 측방 도펀트 프로필을 갖는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 13

제 1항에 있어서,

상기 이격-분리된 제 1 및 제 2 소스 영역들 및 상기 저농도로 도핑된 영역은 동일한 포토마스크를 사용하여 이중도핑 주입물로 형성된 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 14

제 8항에 있어서,

상기 저농도로 도핑된 바디 영역은 소스 영역들보다 높은 에너지에 의해 주입된 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 15

제 1항에 있어서,

상기 게이트 구조들 사이의 간격은 1 마이크로 이하인 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체장치.

청구항 16

삭제

청구항 17

반도체 재료로 된 반도체층을 제공하는 단계;

각각의 게이트 구조는 반대편 게이트 구조와 마주보는 제 1 말단부를 포함하는 한 쌍의 게이트 구조로서, 제 1 마스크 레벨에 의해 한 쌍의 이격-분리된 전계 효과 게이트 구조들을 형성하는 단계;

이격-분리된 제 1 및 제 2 소스 영역들 사이에 형성되는 영역의 표면은 제 1 면적 치수인 것으로서, 제 2 마스크 레벨에 의해 상기 한 쌍의 게이트 구조들 사이에 있는 상기 층의 내부에 제 1 전도성의 이격-분리된 제 1 및 제 2 소스 영역들을 형성하는 단계;

상기 제 2 마스크 레벨에 의해 상기 반도체층의 내부에 상기 소스 영역들 하부로 연장되는 제 2 전도성의 저농도로 도핑된 바디 영역을 형성하는 단계;

상기 소스 영역들로부터 상기 게이트 반대측 표면에 제1 전도성의 드레인 영역들을 형성하는 단계;

상기 드레인들과 상기 게이트들 사이에 상기 드레인 영역보다 저농도로 도핑된 제1 전도성의 드리프트 영역을 형성하는 단계; 및

상기 제 1 면적 치수보다 작은 면적 치수의 표면을 갖도록, 상기 제 1 면적 치수의 표면을 갖는 상기 반도체층의 일부에 제 2 전도성의 고농도로 도핑된 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체 장치의 형성 방법.

청구항 18

제 17항에 있어서,

상기 소스 영역들은 제 1 전도성에 의한 하나의 주입 단계에 의해 형성되는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체 장치의 형성방법.

청구항 19

제 17항에 있어서,

상기 각각의 소스 영역들은 각각의 게이트 구조 말단부에 따라 자기-정렬되어 형성되는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체 장치의 형성방법.

청구항 20

제 19항에 있어서,

상기 소스 영역들은 상기 한 쌍의 소스 영역들 사이의 상기 반도체층 표면의 일부 위에 하나의 마스크 층 부재를 위치시킴으로써 상호 이격-분리된 관계에서 형성되는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체 장치의 형성방법.

청구항 21

제 17항에 있어서,

상기 소스 영역들은 각각 게이트 구조 말단부의 하부로 연장되는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체 장치의 형성방법.

청구항 22

제 17항에 있어서,

상기 고농도로 도핑된 영역이 제 1 말단부에 따라 자기-정렬되어 형성될 수 있도록 상기 고농도로 도핑된 영역을 형성하기 전에 상기 소스 영역 위로 그리고 상기 제 1 말단부에 접하는 측벽 이격자를 형성하는 단계를 더 포함하는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체 장치의 형성방법.

청구항 23

제 17항에 있어서,

상기 고농도로 도핑된 영역을 형성하기 전에, 각각의 소스 영역 상부에 그리고 상기 제 1 말단부 중 하나에 대하여 측벽 이격자를 형성하는 단계를 더 포함하는 것을 특징으로 하는 수평의 금속 산화물 전계 효과 반도체 장치의 형성방법.

청구항 24

반도체층;

상기 반도체층의 상부 표면 위에 있는 한 쌍의 이격-분리된 전계 효과 게이트 구조들;

제 2 전도성의 제 1 영역을 그 중간에 갖는 상기 한 쌍의 게이트 구조들 사이에서, 상기 층의 일부에 형성된 제 1 전도성의 이격-분리된 제 1 및 제 2 소스 영역들; 및

상기 소스 영역들의 하부에서부터 상기 게이트 구조들의 하부까지 연장되며 상기 반도체층 내의 가변적인 깊이로 연장되어 상기 반도체층 내에 형성되는 제 2 전도성의 저농도로 도핑된 바디 영역을 포함하고; 상기 바디 영역은 상기 제 1 영역 아래로 연장된 바디 영역의 일부에서 상기 바디 영역의 깊이가 변화되는 것을 특징으로 하는 LDMOS 장치 구조를 포함하는 반도체 집적 회로.

청구항 25

제 24항에 있어서,

상기 반도체층 내의 상기 바디 영역의 깊이는 상기 제 1 영역 하부의 깊이와 비교하여 상기 게이트 구조들 하부에서 상대적으로 깊은 것을 특징으로 하는 반도체 집적 회로.

청구항 26

제 24항에 있어서,

상기 게이트 구조들 사이의 상기 반도체층 일부의 내부로 연장된 제 2 전도성의 고농도로 도핑된 영역을 더 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 27

삭제

명세서

기술분야

[0001] 본 발명은 반도체 회로와 관계된 것이며, 더욱 상세하게는, 디지털 및 전력 기능들을 집적하는 회로와 그러한 장치들을 제조하는 방법에 관련된 것이다.

배경기술

[0002] 본 출원은 2002년 12월 10일에 출원된 미국 특허출원번호 제 10/315,517에 기초한 우선권의 이익을 주장하는 출원이다.

[0003] 장치의 집적도는 계속해서 증가하고 있으며 집적된 회로상의 전력공급 장치들의 성능 조건들은 계속해서 더욱 요구되고 있다. 디지털 회로 성분들이 더욱 밀집될수록 측방의 전력공급 장치들의 전반적인 크기를 감소시키는 것이 바람직하다. 그러나, 최소 배선폭이 축소될수록 전압 동작범위 및 역 바이어스 상태에 대한 내구력을 유지하는 것이 어렵다.

[0004] 이러한 문제들은 특히 소비자 휴대 전자제품 시장과 관계된다. 성능 요구는 인접 기능들의 증가되는 배열을 필요로 하며, 통상적으로는 디스플레이 드라이버, RF 간섭, 및 배터리 작동을 포함한다. 끝없이 증대되는 소비자 욕구를 충족시키기 위하여 휴대품 설계는 증대된 효율성을 가지고 에너지 관리 및 전력 변환 기능들을 수행하여야 한다.

[0005] 휴대용 전력 공급 장치에서 사용되는 것과 같은 전력 집적 회로는 전형적으로 배터리 소비 및 에너지 변환을 효율적으로 관리하기 위하여 고전압 트랜지스터들을 저전압 회로와 통합시킨다. 전력 장치의 성능 요구(예를 들어, 빠른 스위치 속도, 낮은 "스위치온" 저항 및 스위치 동작 중의 낮은 전력 소비)때문에 많은 전력 집적 회로들을 위해 선택되는 전력 장치는 측방 이중 확산 MOS 트랜지스터(LDMOS)이다. 양극 트랜지스터 장치와 비교하여 LDMOS는 상대적으로 낮은 스위치온-저항 및 높은 항복 전압을 제공할 수 있다. 그러나, 장치 크기를 더 줄이고 동작 효율을 개선하기 위한 드라이브에 있어서는, 이러한 장치의 특성들을 개선 또는 유지하기 위한 수단은 여전히 제한된다.

[0006] 스위치온-저항을 더욱 감소시키는 것은 LDMOS 전도성 경로, 즉, 드리프트 영역에서의 도펀트 수준을 증가시킴으로써, 또는 드리프트 영역의 길이를 감소시킴으로써 달성될 수 있으나, 그러한 접근방식은 다른 측면의 장치 성능에 영향을 끼치는 대가를 치러야한다. 예를 들면, 높은 도펀트 농도로 달성될 수 있는 낮은 저항은 장치의 항복 전압 특성을 저하시킬 수 있다. 드리프트 영역의 길이의 감소는 게이트 근처에서 높은 전계의 집중을 초래하며, 또한 항복 전압을 감소시킨다.

[0007] 오늘날의 소비자 시장은 증대된 장치 밀도 및 감소된 전력 소비가 결합된, 예를 들어, 배터리 수명을 연장하면서 동시에 총비용을 감소시키는 집적회로를 요구하기 때문에, 더욱 정교한 라인 구조로의 진전은 장치의 스위치온-저항 및 항복 전압에 있어서의 고유한 제한하에서 설계 기술을 개발할 수 있는 가능성을 제시한다. 일반적으로, 전력 분산을 감소시키면서 그런 장치들의 안정된 동작 영역을 개선하는 것이 해당 기술분야의 요구이다.

발명의 상세한 설명

[0008] 본 발명에 따른 반도체 장치는, 반도체층; 상기 반도체층 위에 형성되는 한 쌍의 게이트 구조들로서, 각각의 게이트 구조는 반대편 게이트 구조와 마주보는 제 1 말단부를 포함하는 한 쌍의 이격-분리된 전계 효과 게이트 구조들; 상기 한 쌍의 게이트 구조들 사이에 있는 상기 층의 일부에 형성되는 소스 영역들로서, 상기 제 1 말단부들 사이에 있는 표면의 일부는 제 1 면적 치수를 가지며, 각각의 소스 영역은 상기 제 1 말단부들 중 하나에 따라 자기-정렬되는 제 1 전도성의 이격-분리된 제 1 및 제 2 소스 영역들; 상기 소스 영역들이 그 위에 형성된 측면 반대편의 각 게이트 구조 측면 위의 고농도로 도핑된 제1 전도성의 드레인 영역과, 상기 드레인과 상기 게이트 사이의 상기 드레인 영역보다 저농도로 도핑된 제1 전도성의 드리프트 영역; 상기 반도체층 내부에서 상기 소스 영역들의 하부에서부터 상기 게이트 구조들의 하부까지 연장되어 있는 제 2 전도성의 저농도로 도핑된 바디 영역; 및 상기 제 1 말단부들 사이에 있는 표면의 일부 내로 연장되고 상기 표면에서 상기 제 1 면적 치수보다 작은 면적 치수를 가지는 제 2 전도성의 고농도로 도핑된 영역을 포함하며; 상기 제1 영역 아래로 연장하는 상기 바디 영역 부분에서 상기 바디 영역의 깊이가 변화되는 것을 특징으로 한다.

[0009] 또한, 반도체층의 상부 표면 위로 한 쌍의 이격-분리된 전계 효과 게이트 구조를 갖는 하나의 반도체층으로 구성되는 LDMOS 장치 구조를 포함하는 반도체 집적회로가 제공된다. 제 1 전도성의 이격-분리된 제 1 및 제 2 소스 영역들은 한 쌍의 게이트 구조 사이에 있는 층의 일부분에 형성되며, 그 사이에 제 2 전도성의 제 1 영역이 형성된다. 제 2 전도성의 저농도로 도핑된 바디 영역은 반도체층에 형성되고, 소스 영역의 하부에서부터 게이트 구조의 하부까지 연장되며, 반도체층 내의 가변적인 깊이까지 연장된다. 이러한 바디 영역은 제 1 영역 하부로 연장되는 바디 영역 부분의 깊이 조절에 의해 특징지어진다.

[0010] 본 발명에 따른 반도체 장치를 형성하는 방법은 마스크 레벨로써 반도체층의 표면 위에 있는 한 쌍의 이격-분리된 전계 효과 게이트 구조를 형성하는 것을 포함한다. 각각의 게이트 구조는 반대편 게이트 구조와 마주보는 제 1 말단부를 포함한다. 제 2 마스크 레벨을 사용하여, 제 1 전도성의 이격-분리된 제 1 및 제 2 소스 영역들이 층 내부에 그리고 한 쌍의 게이트 구조 사이에 형성되고 결과적으로 제 1 면적 치수를 갖는 이격-분리된 제 1 및 제 2 소스 영역들 사이의 표면 영역이 형성된다. 또한, 상기 소스 영역들로부터 상기 게이트 반대측 표면에 제1 전도성의 드레인 영역들을 형성하며, 상기 드레인들과 상기 게이트들 사이에 상기 드레인 영역보다 저농도로 도핑된 제1 전도성의 드리프트 영역을 형성한다. 그리고, 제 2 전도성의 저농도로 도핑된 바디 영역은, 또한 제 2 마스크 레벨로써 한정되며, 반도체층 내에 형성되고 소스 영역의 하부로 연장된다. 제 2 전도성의 고농도로 도핑된 영역은 제 1 면적 치수의 표면을 갖는 반도체층의 일부에 형성된다. 고농도로 도핑된 영역에 상응하는 부분은 제 1 면적 치수보다 작은 면적 치수의 표면을 갖는다.

실시 예

[0016] 하기의 설명에서, 제공된 치수들은 상응하는 도면에 따라 취해진 거리들과 관계된다. 단면도에서, 폭 또는 측방 치수는 도면의 수평 치수를 따른 거리를 의미하도록 하였고, 높이 또는 깊이는 도면의 수직 치수를 따라 취하여

진 거리를 의미하도록 하였다. 본 발명의 실시예들을 이미 알려져 있는 설계들과 비교하기 위하여, 도시된 모든 장치들은 모두 동일한 포토리소그래피 수단으로 제조된다. 개시된 실시예들은 0.35 미크론의 최소배선폭, 즉, 선폭 구조를 취한다.

[0017] 도펀트 주입 또는 어떤 특징이나 연관된 구조에 따라 자기 정렬되는 것과 같은 결과로서의 확산을 참조하면, 상기 주입 또는 확산은, 예를 들어 주입된 도펀트가 열적-활성화된 확산의 전후 모두에 있어서 그 구조 또는 연관된 특징과 관계된 특징적인 프로필을 나타내는 것과 같이, 그러한 구조를 마스크 요소로 사용하는 것에서 기인한 하나의 결과라는 것을 의미한다. 여기서 상세하게 설명되지는 않더라도, 본 발명과 연관되어 주입되는 도펀트들은, 예측가능한 확산-후 프로필 특징을 획득하기 위하여 제조 공정 중에 다양한 열적-활성화된 확산을 겪는다는 것이 이해될 것이다. 또한, 한 층이 다른 층의 상면 또는 상부에 위치하는 것으로 설명되거나 도시될 때, 본 발명의 동일한 또는 대체적인 실시예와 관련된 다른 중간층이 존재할 수 있다는 것이 이해될 것이다.

[0018] 도 1에 나타난 종래기술의 측방 장치 구조는 반도체 재료로 된 N-상부층에 형성된다. 이 도면은 N-층의 표면 위 그리고 열적 산화물층(4) 위에 각각 형성되는 한 쌍의 이격-분리된 게이트 전극(2)들을 나타내고 있다. 게이트 전극들 사이의 간격은 3 미크론 이상이다. P-타입 바디(6)는 게이트 전극 사이의 N-층의 표면을 통한 주입에 의하여 형성된다. 절연 측벽 이격자 부재들이 각각의 게이트 전극(2)의 각 측면에 형성된다. 한 쌍의 드레인-측방 이격자들(7)이 도시되어 있다. 한 쌍의 소스 이격자들(미도시)은 높은 도펀트 농도의 소스 영역(8)이 게이트 전극들(2)과 오프셋 관계에서 주입되는 것과 같이 반대편 게이트 전극(2)과 마주 보는 측면에 형성된다.

[0019] 소스 영역(8)을 형성시키는 주입과 동시에, N+드레인(10)은 패턴화된 포토레지스트 개구를 통하여 게이트 전극들(2)과 이격-분리된 관계에서 한정된다. 소스 저항을 낮추기 위하여, 소스 이격자들은 통상 제거되며 저농도 N-타입 주입은 게이트 전극(2)에 따라 자기-정렬되는 저농도로 도핑된 소스 확장 영역(14)을 자리잡게 한다. 동시에, 남겨진 드레인-측방 이격자(7)들과 함께, N-타입 주입은 각각의 드리프트 영역의 일부에서의, 즉, 각각의 게이트 전극(2)과 연관된 드레인(10) 사이의 N-상부층 내에서의 저항도를 낮춘다. 재료 저항도에 있어서의 이러한 변경은 드리프트 영역(즉, 게이트에서 드레인까지의 전류 경로)을 가로지르는 전계의 더 큰 균일성을 확고히 하는 것에 기여한다.

[0020] 도 1의 장치 내로 주입된 영역들은 도 1A에 나타난 바와 같이 분리된 세 개의 접촉부에 의해 이후에 접촉된다. N+소스 영역은 측벽 이격자들의 경계 바깥임을 주목해야 한다. 두 개의 N+소스 영역 및 P+바디 연결부를 접촉시키기 위하여, 종래기술의 장치는 세 개의 분리된 접촉부를 사용한다. 각각의 접촉 면적은 공정의 변수들에 의해 제한되는 최소의 치수를 갖는다. 각각의 접촉을 위한 접촉 면적은, 하나의 전극을 다른 것들과 격리시킬 수 있는 이산화규소와 같은 절연 재료를 제공할 수 있을 정도로 충분히 넓다. 이와 같이, 종래 기술의 장치는 게이트의 반대편 측벽 이격자들 사이에 최소한 세 개의 최소 접촉 면적을 가진다. 상대적으로 큰 소스 접촉 면적은 본 장치의 N+소스 영역 하부의 누설 및 P-바디 저항에 더해진다.

[0021] 본 발명은 소스 및 바디 연결을 위한 접촉 영역의 수를 3에서 1로 줄임으로써 종래기술의 불리한 점들을 극복한다. 이것은 게이트 구조 사이의 간격을 감소시키고, 소스 영역의 크기를 감소시키며, 그럼으로써 하부의 누설 및 P-바디 저항을 감소시킨다. 결과적으로, 본 발명을 이용하는 장치들은 한층 안정된 동작 영역을 갖는다.

[0022] 본 발명의 실시예에 따른 LDMOS 쌍(20)의 제조는 도 2A 내지 2F에 도시된 집적회로 구조(25)의 부분단면도에 나타나 있다. 본 예는 0.35 미크론 선폭 구조를 기초로 한 N-채널 LDMOS에서의 관련 단계들을 연속적으로 설명하고 있는데, 그상부 표면에 형성된 복수의 N-웰(34)과 함께 상부 표면(32)을 갖는 P-타입 반도체층(30)으로 시작된다. 이러한 설명은 표면(32)을 따라 형성된 P-채널 LDMOS 및 N-채널 양자 모두를 갖는 CMOS 집적회로를 상기시키지만, 단지 설명을 위한 목적으로 한 쌍의 N-채널 장치(20)의 제조가 상세히 설명된다. 따라서, N-채널 장치(20)는 N-웰에 형성되고, P-채널 장치는 층(30)의 P-타입 영역에 형성되는 것이 이해될 것이다. 층(30)은 하부의 기판(미도시) 위에서 에피택셜 성장될 수 있다.

[0023] N-타입 웰(34)에 형성되는 예시적인 LDMOS 쌍(20)과 함께, 단지 연관되는 N-웰의 관계부분만이 도면에 나타나 있다. 도 2A 및 2B를 참조하면, 한 쌍의 이격-분리된 게이트 전극들(38)은 통상의 방법으로 표면(32) 위에 형성된다. 각각의 전극(38)은 반대편 전극(38)과 마주보는 말단부(40a)를 포함하며, 각각의 전극은 반대편 전극(38)과 반대로 향하는 말단부(40b)를 더 포함한다. 도 2B에서, 말단부(40a) 사이의 바람직한 폭은 약 1 미크론이다.

[0024] 포토레지스트(44)의 주입 마스크 레벨은 층(30)의 표면(32) 위로 패턴화되어 위치하고, 두 개의 이격-분리된 개구(52)를 생성하기 위하여 도시된 전극(38)의 말단부(40a) 사이에 부재(48)가 놓여지는데, 개구의 각각은 폭이

대략 0.3 미크론이며 소스 주입물을 수용하기에 적합하다. 바람직하게는 0.4 미크론 규모의 폭을 가지는, 레지스트 부재(48)는 측방 확산 후에 도핑된 영역의 격리를 확실하게 할 목적으로 주입물의 수용에서부터 개구(52) 사이의 표면(32)의 충분한 영역(50)을 격리하도록 한다. 포토레지스트(44)가 적소에 놓여지면, 이중-도핑 주입물이, 바디 영역을 형성하는 N-웰 내의 더 깊은 P-타입 도펀트 및 표면(32)을 따라 얇은 N-타입 소스 도펀트를 제공하기 위해 미리 형성된다. 그 후 포토레지스트(44)는 제거된다. 도 2B는 확산 후의 소스(56) 및 바디 영역(58)의 형성을 나타낸다. 바람직하게는, 소스 주입은 30KeV에서 $3 \times 10^{15} \text{ cm}^{-2}$ (비소) 규모인 반면에 바디 영역 주입은 60KeV에서 $5 \times 10^{13} \text{ cm}^{-2}$ 내지 $1 \times 10^{14} \text{ cm}^{-2}$ (붕소) 규모이다. 별개의 포토마스크 및 주입 단계들로 형성되는 종래의 N-타입 드레인(60)이 또한 도시되어 있다. 드레인(60)은 표면(32)의 다른 부분을 따라 다른 CMOS 장치들의 형성과 결합하여 형성될 수도 있다.

[0025] 소스 및 바디 영역 주입을 위한 이중-도핑 단계 후에, 도 2C에 도시된 바와 같이, 측벽 이격자 부재(64)가 게이트 말단부(40a) 위에 형성되고 또한 게이트 말단부(40b) 위에 형성될 수 있다. 이격자 부재(64)는 실리콘 산화물 또는 실리콘 질화물과 같이 이방성 식각이 뒤따르는 절연 재료의 퇴적에 의해 형성될 수 있다.

[0026] 이격자 부재(64)가 각각의 말단부(40a)에 접하여 위치하면, 게이트 전극 말단부(40b)에서부터 드레인(60)을 넘어서 연장된 표면 상부의 영역들은 패터화된 포토레지스트(66)로 마스크된다. 도 2D는 표면(32)의 노출된 부분들이 바디 연결부(70)를 형성하기 위해 80KeV에서 $5 \times 10^{15} \text{ cm}^{-2}$ 내지 $3 \times 10^{15} \text{ cm}^{-2}$ (붕소 또는 BF₂) 규모의 P+주입물(68)을 수용하는 것을 나타낸다. 바디 연결부는 소스 영역들을 통하여 연장되고 인접한 이격자 부재(64)와 함께 자기-정렬된다. 즉, 바디 연결부는 소스들에 의해 점유되는 표면(32) 하부의 영역 내에 안정된다. 본 발명에 따르면, 이러한 배치는 결과적인 소스들(56)이 바디 연결부(70)에 대하여 오프셋되는 것과 같이 바디 영역 주입물에 대하여 소스 주입물의 측방 오프셋을 허용한다. 결과적인 구조(확산 후)에서 각각의 소스는 인접한 게이트 말단부(40a)와 함께 자기-정렬되는 반면에 바디 연결은 각각의 인접한 이격자 부재(64)와 함께 자기-정렬된다. 바람직하게는, 주입물(68)은 집적 회로 구조(25)상의 디지털 회로를 위한 CMOS P+소스/드레인 확산을 동시에 형성하는 데 사용된다.

[0027] 도 2D에 나타낸 바와 같이, 완전히 형성된 바디 연결부(70)는 반도체층(30) 내부까지, 즉, 소스 영역들(56) 아래의 웰(34) 및 바디(58) 내부까지 이른다. 이러한 구조의 특징은 안정된 바디 연결이 또한 낮은 저항도 및 작은 측방 치수이면서 동시에 위에 놓인 이격자 부재(64)의 하부에 위치한 각각의 소스(56)의 현저한 부분이 상대적으로 높은 순 도펀트 농도를 보유한다는 것이다.

[0028] 포토레지스트 마스크(66)를 제거한 후에, 텅스텐, 티타늄 또는 코발트와 같은 금속이 퇴적되고 게이트 규화물(74) 및 소스/바디 연결 규화물(76)을 형성하기 위하여 반응한다. 도 2E는 규화 과정후의 구조(25)를 나타내고 있다.

[0029] 개선된 LDMOS 장치가 설명되었다. 결과적인 장치는 스위치온-저항 및 안정된 개구 동작 영역을 개선한 것이다. 본 발명의 특징은 하나의 마스크 레벨을 가지고 소스 영역들(56) 및 바디 영역(58)을 제공하고, 따라서 개선된 성능 특성을 갖는 LDMOS를 형성하는 데 필요한 마스크의 수를 감소시키는, 도 2A 및 도 2B의 이중도핑 주입이다. 명백히, 이중도핑 특징은 영역(50) 하부의 바디 영역의 일부의 깊이 조절 및 영역(50) 근처의 이격-분리된 소스 영역들(56)의 조합이라는 결과를 가져오고, 이러한 양자의 특징 모두는 이중도핑 공정 중에 마스크 부재(48)를 사용함에 기인한다. 따라서, 반도체층 내로의 바디 영역의 깊이는 제 1 영역 하부의 깊이와 비교하여 게이트 전극 아래에서 상대적으로 깊다.

[0030] 본 발명의 다른 특징은 제 2 전도 타입의 고농도로 도핑된 영역 및 인접한 게이트 구조, 즉, 전극(38) 하부의 반도체층 부분 사이에서 상대적으로 일정한 측방 도펀트 프로필에 의해 특징지어지는 소스 영역들의 제공이다. 즉, 소스 영역들은 순 전도 타입인 하나의 도펀트 주입으로 형성될 수 있는 반면에, 과거에는 소스 구조가 장치의 낮은 스위치온-저항을 초래하도록 고농도로 도핑된 영역들(예를 들어, 도 1의 영역(8)) 및 더욱 저농도로 도핑된 영역들(예를 들어, 도 1의 연장 영역(14))의 조합을 필요로 했다. 본 발명에 따라 구성된 장치의 낮은 특성 스위치온-저항은, 즉, 도면에 도시된 것과 같은 자기-정렬 구성들에 의해 달성될 수 있는 장치 유닛의 크기에 의한 결과이다. 개량되고 안정된 개구 동작 영역은 감소된 바디 저항, 작은 소스 이격 영역, 얇은 소스 접합 그리고, 예를 들어 영역(58)과 같은 바디 영역의 역행적인 도핑 프로필의 결과이다.

[0031] 개선된 동작 성능을 촉진하는 작은 치수를 달성하기 위하여, 이격자 부재, 즉, 게이트 전극 말단부(40a, 40b)에 인접한 이격자(64)는 작은 소스 영역을 가능케하는 정교한 라인 구조 마스크를 제공한다.

[0032] 부가적으로, 자기-정렬 규화(규화물) 공정은 바디 연결부 영역 및 소스 영역과 같은 중요한 접촉 영역에서 심한 도펀트 보상이 없음을 기인하는 낮은 접촉 저항을 가능하게한다. 바디 연결부(70) 및 연관된 규화물층(76) 양자 모두는 소스 영역들(56)과 함께 자기-정렬된다. 본 발명은 N+소스 주입물이 드레인 주입물과 같은 크기일 필요가 없음을 인지하고 있다.

[0033] 본 발명은 P+연결 주입물로부터 N+소스 주입물을 마스크하기 위해 게이트들 위에 측벽 산화물 이격자들을 사용한다. 본 발명에 따라, N+소스 주입물들은 측벽 이격자들에 앞서 만들어진다. 본 발명의 공정은 N+소스 및 P-바디를 주입하기 위하여 하나의 마스크 단계를 사용한다. 본 발명은 종래기술에서 필요로 했던 별개의 P-바디 마스크 단계를 제거한 것이다. 본 발명은 두개의 N+소스들, P+바디, 및 N+소스들과 P+바디의 중첩부에 자기-정렬되는 하나의 규화물 접촉부를 제공한다. 접촉부의 수는 3(종래기술)에서 1로 감소된다. 게이트 사이의 하나의 접촉부는 고농도의 장치를 제공하며, 이러한 장치는 작은 소스들이 종래기술 장치의 더 큰 소스들보다 더 작은 누설 및 하부의 P-바디 저항을 가지기 때문에 더 넓고 안정된 개구 영역을 갖는다.

[0034] 반도체 장치를 위한 구조 및 공정을 설명하였다. 예시적인 실시예들이 개시되었으며, 다른 반도체, 절연 및 전도 재료들로 구성된 구조들을 포함하여 본 발명의 다른 실시예들 또한 명백할 것이다. 더욱이, 본 발명이 한 세트의 전도성 타입들에 대해 설명되었지만, 본 발명의 응용예가 또한 반대 전도-타입의 장치들을 위해 추고될 수 있다. 본 발명은 다양한 방식으로 실시될 수 있기 때문에, 본 발명의 범위는 이하의 청구항들에 의해서만 한정될 것이다.

산업상 이용 가능성

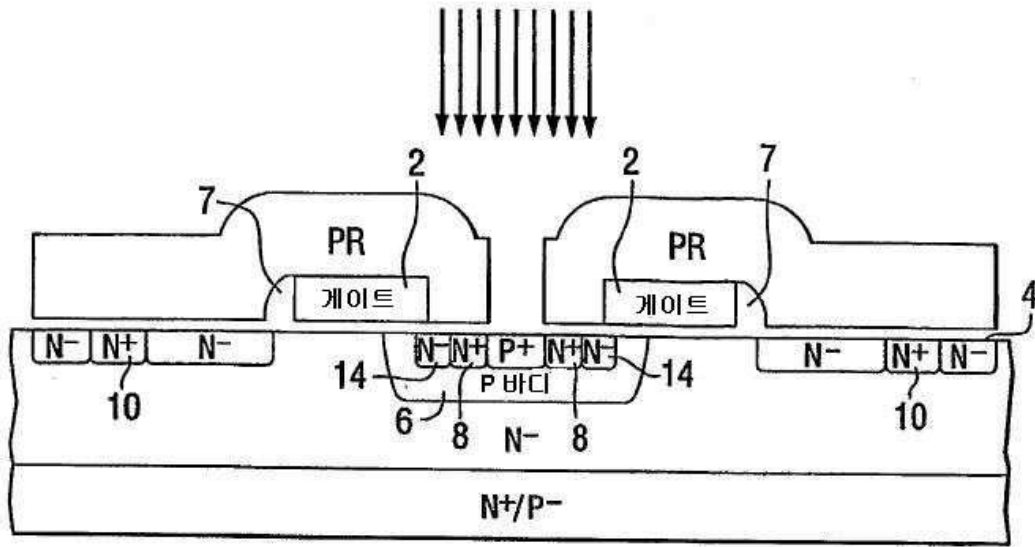
[0035] 본 발명은 전자 산업 분야에서, 특히 반도체 장치를 이용하는 산업 분야에서 개선된 설계의 LDMOS, 이를 이용한 집적 회로 그리고 이와 관련된 방법의 형태로 산업상 유익하게 이용될 수 있다.

도면의 간단한 설명

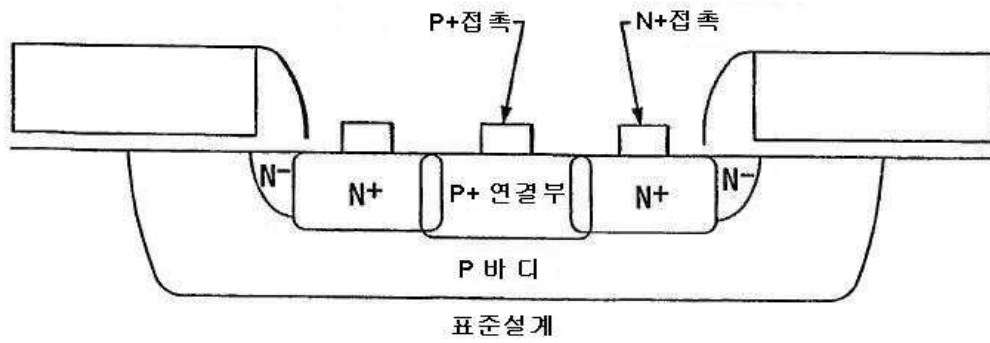
- [0011] 본 발명에 관한 하기의 설명은 첨부된 도면을 참조하면 더욱 완전히 이해될 것이다.
- [0012] 도 1은 종래기술의 반도체 장치의 부분도이다.
- [0013] 도 1A는 종래기술의 장치에 대한 접촉부들에 관한 상세도이다.
- [0014] 도 2A 내지 도 2E는 본 발명에 따른 다양한 제조 단계에 있어서 반도체 장치의 단면으로 나타낸 부분도들이다.
- [0015] 통상의 관례에 따라, 도면들의 다양하게 도시된 특징부들은 일정한 축척으로 그린 것은 아니며, 본 발명과 관계된 특징들을 강조하기 위해 그려진 것이다. 더욱이, 특징부들의 크기 및 층의 두께들은 도시된 축척과 실질적으로 다를 수 있다. 도면 및 명세서 전반에 걸쳐서 참조 부호들은 동일한 구성요소를 나타낸다.

도면

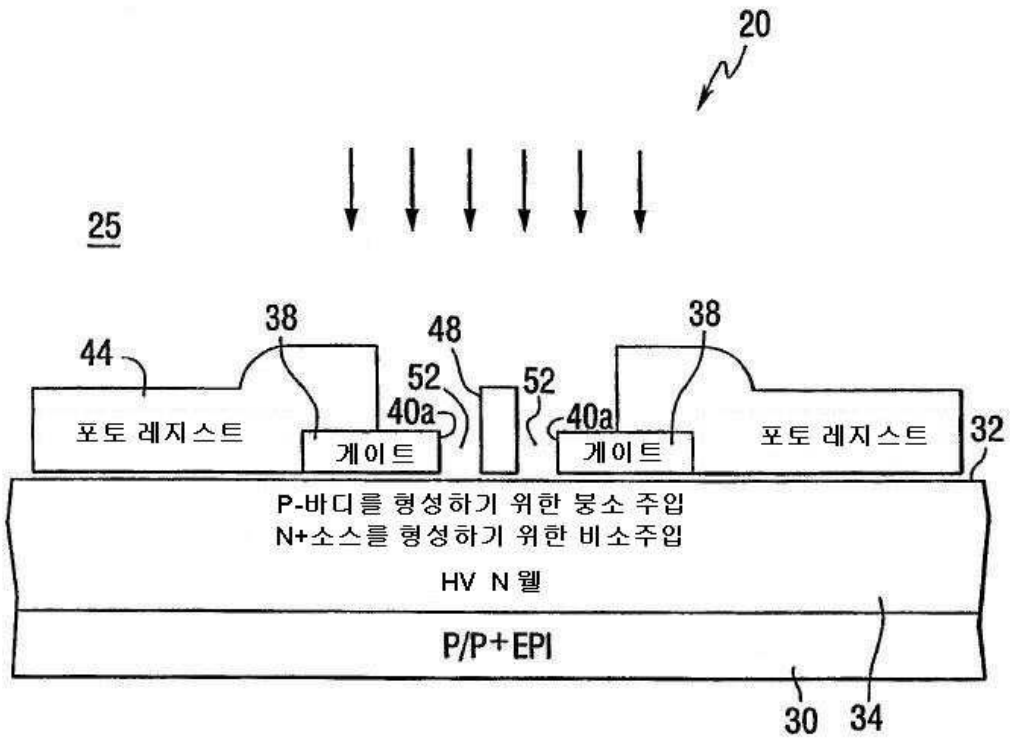
도면1



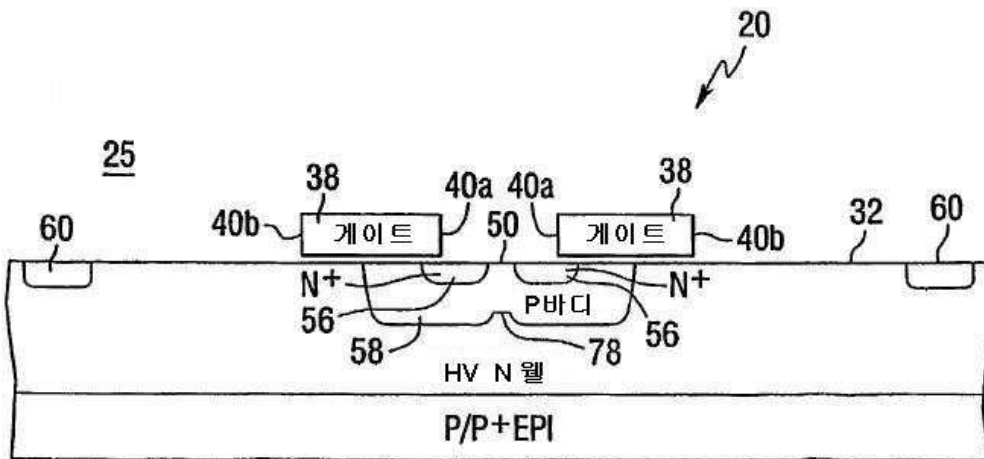
도면1A



도면2A



도면2B



도면2E

