



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년02월25일

(11) 등록번호 10-1366449

(24) 등록일자 2014년02월17일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H05B 33/04 (2006.01)

(21) 출원번호 10-2012-0029220

(22) 출원일자 2012년03월22일

심사청구일자 2012년03월22일

(65) 공개번호 10-2012-0112056

(43) 공개일자 2012년10월11일

(30) 우선권주장

JP-P-2011-081553 2011년04월01일 일본(JP)

(56) 선행기술조사문현

KR1020040010370 A

KR1020070054116 A

(73) 특허권자

가부시키가이샤 히다치 고쿠사이 덴키

일본국 도쿄도 치요다구 소토칸다 4초메 14반 1고  
(우:101-8980)

가부시키가이샤 히다치 하이테크놀로지즈

일본국 도쿄도 미나토구 니시신바시 1쵸메 24-14

(72) 발명자

미네 도시유키

일본 도쿄도 지요다구 마루노우찌 1조메 6-1 가부  
시키가이샤 히다치세이사쿠쇼 지적재산권본부 내  
후지모리 마사아끼일본 도쿄도 지요다구 마루노우찌 1조메 6-1 가부  
시키가이샤 히다치세이사쿠쇼 지적재산권본부 내  
오하시 나오후미일본 도쿄도 고다이라시 미유끼쵸 32 가부시키가  
이샤 히다치 고쿠사이 덴키 내

(74) 대리인

이종희, 장수길

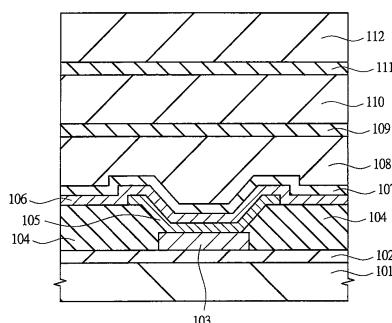
심사관 : 박성웅

전체 청구항 수 : 총 15 항

(54) 발명의 명칭 광 반도체 장치 및 그 제조 방법

**(57) 요 약**

유기 EL 소자를 갖는 디바이스에 있어서, 유기 EL층으로부터의 광 취출 효율을 열화시키지 않고, 수분 배리어성 및 평탄화성이 높은 밀봉막, 및 그 제조 방법을 제공한다. 기판의 주면측으로부터 순서대로 형성된 애노드 전극(103), 유기 EL층(105) 및 케소드 전극(106)과, 상기 발광층을 덮도록 기판 상에 형성된 밀봉막을 갖는 디바이스에 있어서, 밀봉막은 평탄화막인 베퍼막(108, 110, 112)과, 수분 배리어성이 높은 배리어막(109, 111)을 교대로 적층한 적층막을 포함하고, 평탄화막 및 배리어막은 산질화 실리콘막을 포함하는 것으로 한다. 또한, 디바이스의 제조 공정에서는, 진공 자외광을 이용한 광 CVD법에 의해 산질화 실리콘을 포함하는 베퍼막(108)을 형성하고, 이 공정에서는 진공 자외광의 조사 중에 리모트 플라즈마에 의한 래디컬 조사를 행한다.

**대 표 도 - 도1**

103 : 애노드 전극  
105: 유기 EL층  
106: 케소드 전극  
108,110,112: 베퍼막  
109,111: 배리어막

## 특허청구의 범위

### 청구항 1

기판 상에 상기 기판의 주면측으로부터 순서대로 형성된 제1 전극, 유기 발광층 및 제2 전극과, 상기 발광층을 덮도록 상기 기판 상에 형성된 밀봉막을 갖는 광 반도체 장치로서,

상기 밀봉막은 평탄화막과 배리어막을 교대로 적층한 적층막을 포함하고,

상기 평탄화막 및 상기 배리어막은 산질화 실리콘막을 포함하고,

상기 평탄화막은 상기 배리어막보다도 영률이 낮고, 상기 배리어막은 상기 평탄화막보다도 막 밀도가 크고 수분 배리어성이 높은 것을 특징으로 하는 광 반도체 장치.

### 청구항 2

제1항에 있어서,

상기 제1 전극의 상면은 상기 평탄화막과 상기 기판 사이에 형성된 제1 절연막의 개구부로부터 노출되어 있고, 상기 개구부 상에 형성된 최하층의 상기 평탄화막의 저면은 요철을 갖고, 최하층의 상기 평탄화막 상면은 평탄한 것을 특징으로 하는 광 반도체 장치.

### 청구항 3

제1항에 있어서,

상기 평탄화막은 탄소를 함유하는 산질화 실리콘막을 포함하고,

상기 배리어막은 무기의 산질화 실리콘막을 포함하고 있는 것을 특징으로 하는 광 반도체 장치.

### 청구항 4

제1항에 있어서,

상기 평탄화막은, 진공 자외광을 이용한 광 CVD법과 리모트 플라즈마를 이용한 플라즈마 CVD법을 병용하여 형성되어 있는 것을 특징으로 하는 광 반도체 장치.

### 청구항 5

제1항에 있어서,

상기 배리어막은, 진공 자외광을 이용한 광 CVD법과 리모트 플라즈마를 이용한 플라즈마 CVD법을 병용하여 형성되어 있는 것을 특징으로 하는 광 반도체 장치.

### 청구항 6

삭제

### 청구항 7

제1항에 있어서,

상기 유기 발광층 및 상기 밀봉막의 사이에, 진공 자외광을 흡수하는 제2 절연막이 형성되어 있는 것을 특징으로 하는 광 반도체 장치.

### 청구항 8

제7항에 있어서,

상기 제2 절연막은 진공 자외광을 90% 이상 흡수하는 절연막인 것을 특징으로 하는 광 반도체 장치.

### 청구항 9

- (a) 기판 상에 제1 전극을 형성하는 공정과,
- (b) 상기 제1 전극 상에 상기 제1 전극과 전기적으로 접속된 유기 발광층을 형성하는 공정과,
- (c) 상기 유기 발광층 상에 상기 유기 발광층과 전기적으로 접속된 제2 전극을 형성하는 공정과,
- (d) 상기 유기 발광층 상에, 진공 자외광을 이용한 광 CVD법에 의해 산질화 실리콘막을 형성하는 공정을 갖고,

상기 (d) 공정에서는, 상기 진공 자외광의 조사 중에 리모트 플라즈마에 의한 래디컬 조사를 행하는 것을 특징으로 하는 광 반도체 장치의 제조 방법.

#### **청구항 10**

제9항에 있어서,

상기 (d) 공정에서는, 상기 산질화 실리콘막을 복수층 적층하고, 상기 유기 발광층 상에 복수의 상기 산질화 실리콘막 중 하나를 포함하는 평탄화막과, 복수의 상기 산질화 실리콘막 중 하나를 포함하는 배리어막을 상기 유기 발광층측으로부터 순서대로 교대로 적층하는 것을 특징으로 하는 광 반도체 장치의 제조 방법.

#### **청구항 11**

제10항에 있어서,

상기 (d) 공정에서는, 상기 평탄화막은 탄소를 갖는 유기물을 원료로서 형성하고, 상기 배리어막은 무기물만을 원료로서 형성하는 것을 특징으로 하는 광 반도체 장치의 제조 방법.

#### **청구항 12**

제10항에 있어서,

상기 평탄화막은 형성 과정에 있어서 유동성을 나타내는 막이며, 상기 배리어막은 상기 평탄화막보다도 막 밀도가 크고 수분 배리어성이 높은 막인 것을 특징으로 하는 광 반도체 장치의 제조 방법.

#### **청구항 13**

제9항에 있어서,

상기 (a) 공정 후이며 상기 (b) 공정 전에, 상기 기판 상에 제1 절연막을 형성한 후, 상기 제1 절연막을 개구하여 상기 제1 전극의 상면을 노출하는 공정을 더 갖는 것을 특징으로 하는 광 반도체 장치의 제조 방법.

#### **청구항 14**

제9항에 있어서,

상기 (d) 공정에서는, 질소 래디컬 또는 산소 래디컬 중 적어도 한쪽과 유기 실리콘 가스를 상기 산질화 실리콘막을 형성하는 원료 가스로서 이용하는 것을 특징으로 하는 광 반도체 장치의 제조 방법.

#### **청구항 15**

제9항에 있어서,

상기 (d) 공정에서는, 산소 래디컬 또는 산소 가스 중 어느 한쪽과, 고차 실란 가스 및 질소 래디컬을 상기 산질화 실리콘막을 형성하는 원료 가스로서 이용하는 것을 특징으로 하는 광 반도체 장치의 제조 방법.

#### **청구항 16**

제9항에 있어서,

상기 (d) 공정 전에, 상기 유기 발광층 상에 진공 자외광을 90% 이상 흡수하는 제2 절연막을 형성하는 공정을 더 갖는 것을 특징으로 하는 광 반도체 장치의 제조 방법.

## 명세서

### 기술분야

[0001] 본 발명은, 광 반도체 장치 및 그 제조 방법에 관한 것으로, 특히, 유기 EL 소자 전반의 밀봉막 및 그 제조 방법에 관한 것이다.

### 배경기술

[0002] 유기 일렉트로루미네센스(이하 유기 EL) 소자는, 소비 전력이 낮고, 자발광(自發光)하고, 고속 응답이 가능한 것 등 수많은 메리트를 갖고 있고, 플랫 패널 디스플레이(Flat Panel Display : FPD) 또는 조명 기기 등에의 응용을 향한 개발이 진행되고 있다. 또한, 수지 기판(수지 필름을 포함함) 등의 플렉시블 기판을 이용함으로써 디스플레이 장치를 구부리는 것이 가능해져, 가볍고, 균열되지 않는 등의 새로운 부가 가치가 창성되어 있고, 플렉시블 기기에의 응용도 검토되고 있다.

[0003] 유기 EL 소자는 수분 또는 산소에 접하면 발광 효율의 저하 및 수명 열화가 일어나므로, 제조 과정으로부터 수분 및 산소를 배제한 환경 분위기 속에서 밀봉막 형성을 행할 필요가 있다. 한편, 수지 기판 등의 플렉시블 기판에서는, 수분의 흡수에 수반하는 치수 변동을 억제할 필요가 있어, 그로 인해 수지 기판의 표리에 밀봉막을 형성하고 있다.

[0004] 유기 EL 소자의 밀봉막에는, 수분, 산소의 확산 방지는 물론이지만, (1) 저온 성막(유기 EL 열화 방지), (2) 저데미지(유기 EL 열화 방지), (3) 저 응력, 저 영률(박리 방지), (4) 고 투과율(휘도 열화 방지) 등이 요구된다. 밀봉 방식에 의해 주목되고 있는 방식으로서는, 적층 박막 방식이 있다. 적층 박막 방식은, 목적이 다른 복수의 박막을 5층 내지 10층 형성하는 방법이다. 일반적으로는, 밀봉막은 수분 또는 산소 등의 확산을 억제하기 위해, 막 밀도가 큰 박막이 이용된다. 구체적으로는, 질화 실리콘막 및 알루미나막이 그 대표적인 막이다. 이들의 막은, 막이 딱딱하고(영률이 크고), 막 응력도 크기 때문에, 두꺼운 막을 이용하면 막이 박리되거나 크랙이 발생하는 문제가 있다. 이로 인해, 밀봉막의 응력을 완화시키는 박막(벼퍼막)과의 적층 구조의 검토가 진행되고 있다. 벼퍼막에 요구되는 특성은, 기초의 평탄화 성능이 우수한 것, 표면에 부착된 이물의 영향을 억제하기 위한 매립 성능이 우수한 것, 막이 부드러운(영률이 작은) 것, 및 막 응력이 작은 것이다.

[0005] 한편, 밀봉막의 제조 방법으로서는, 플라즈마 CVD(Chemical Vapor Deposition)법, 광 CVD법, 스퍼터법, 또는 증착법 등, 각종 성막 방법이 제안되어 있다. 그 대표예로서는, 동일한 방법을 이용하여 밀봉막과 벼퍼막을 연속해서 형성하는 진공 자외광을 이용한 광 CVD법을 들 수 있다. 특히 문헌 1(일본 특허 출원 공개 제2005-63850호 공보)에는, 광 CVD법을 이용한 밀봉막의 제조 방법이 기재되어 있다.

[0006] 특히 문헌 1에는, 애노드 전극, 유기 EL층, 캐소드 전극을 갖는 기판 상에, 진공 자외광 CVD막을 포함하는 밀봉막을 형성한 장치로서, 기판 상에 형성한 발광층(유기 EL층) 상에 투명 전극을 구비하고, 발광층의 상방에 광을 취출하는 텁 에미션형의 유기 EL 디스플레이 패널이 기재되어 있다. 특히 문헌 1에서는, 상기 진공 자외광 CVD막이 산화 실리콘막, 질화 실리콘막, 또는 그들의 적층막을 포함하는 것을 특징으로 하고 있고, 상기 밀봉막을 캐소드 전극 상에 직접 형성하는 방법이 기재되어 있다.

[0007] 여기서는, 산화 실리콘막을 형성하는 원료 가스로서, 메틸기, 에틸기, 실리콘(Si), 산소(O) 또는 수소(H) 등을 포함하는 것을 이용하고 있고, 예를 들면, TEOS(Tetra ethoxy silane), HMDSO(Hexa methyl disiloxane), TMCTS(Tetra methyl cyclotetrasiloxane) 또는 OMCTS(Octo methyl cyclotetrasiloxane) 등을 이용하고 있다. 또한, 질화 실리콘막을 형성하는 원료 가스로서, 메틸기, 실리콘(Si), 질소(N) 및 수소(H)를 포함하는 것을 이용하고 있고, 예를 들면, BTBAS(Bis(tertiary butyl amino) silane)를 이용하고 있다.

### 선행기술문헌

#### 특허문헌

[0008] (특허문헌 0001) [특허 문헌 1] 일본 특허 출원 공개 제2005-63850호 공보

### 발명의 내용

## 해결하려는 과제

[0009]

특히 문헌 1에 기재된 유기 EL 디스플레이 패널에서는, 밀봉막으로서 산화 실리콘막과 질화 실리콘막의 적층 구조를 이용하고 있지만, 산화 실리콘막과 질화 실리콘막에서는 굴절률 차가 크기 때문에, 이들의 적층막은 적층막을 구성하는 막끼리의 계면에서 일어나는 가시광의 반사가 큰 문제가 있다. 즉, 산화 실리콘막 및 질화 실리콘막으로 이루어지는 밀봉막을 톱 에미션형의 유기 EL 디스플레이 패널에 채용한 경우, 유기 EL층에서 발광한 가시광의 취출 효율이 작으므로, 디스플레이의 휘도(광 취출 효율)가 작다고 하는 과제가 발생한다.

[0010]

여기서, 도 8 및 도 9에, 산화 실리콘막과 질화 실리콘막의 적층 구조의 단면도를 도시하고, 또한, 도 10 및 도 11에, 산화 실리콘막과 질화 실리콘막의 적층 구조의 반사율의 시뮬레이션 결과를 나타낸 그래프를 도시한다. 도 10 및 도 11의 그래프는, 각각 도 8 및 도 9의 적층 구조의 광 반사율의 계산 결과이며, 횡축의 파장의 값에 대한 종축의 반사율의 값을 도시하고 있다.

[0011]

도 8 및 도 9에 도시하는 적층 구조의 최하층은, 각각 유기 EL 소자의 캐소드 전극(301, 401)이며, 여기서는 어느 쪽의 캐소드 전극도 그 굴절률을 1.7로 하고 있다. 또한, 도 8 및 도 9에 도시하는 적층 구조의 최상층은 각각 접착층(수지층)(306, 406)이며, 여기서도 접착층의 굴절률을 1.7로 하고 있다.

[0012]

도 8의 적층 구조는, 캐소드 전극(301) 상에, 순서대로 산화 실리콘막(302a), 질화 실리콘막(302b), 산화 실리콘막(303a), 질화 실리콘막(303b), 산화 실리콘막(304a), 질화 실리콘막(304b), 산화 실리콘막(305a) 및 접착층(306)을 적층한 것이다. 또한, 도 9의 적층 구조는, 캐소드 전극(401) 상에, 순서대로 질화 실리콘막(402b), 산화 실리콘막(402a), 질화 실리콘막(403b), 산화 실리콘막(403a), 질화 실리콘막(404b), 산화 실리콘막(404a), 산화 실리콘(405b) 및 접착층(406)을 적층한 것이다. 도 8에 도시하는 산화 실리콘막(302a 내지 305a) 및 도 9에 도시하는 질화 실리콘막(402a 내지 404a)의 굴절률은 1.45이며, 도 8에 도시하는 산화 실리콘막(302b 내지 304b) 및 도 9에 도시하는 질화 실리콘막(402b 내지 405b)의 굴절률은 2.0이다. 여기서는, 계산을 간소화하기 위해 각 파장에 있어서의 굴절률을 일정하게 하고, 또한 산화 실리콘막 및 질화 실리콘막에 의한 광의 흡수는 없는 것으로서 계산하고 있다.

[0013]

질화 실리콘막(302b 내지 304b) 및 질화 실리콘막(402b 내지 405b)의 막 두께는 모두 100nm이며, 최하층의 산화 실리콘막(302a, 402a)의 막 두께는 1000nm이며, 그 밖의 산화 실리콘막(303a 내지 305a), 산화 실리콘막(403a, 404a)의 막 두께는 500nm이다.

[0014]

도 8에 도시하는 적층 구조에서는, 캐소드 전극(301) 및 접착층(306)에 접하고 있는 막은 각각 산화 실리콘막(302a, 305a)이며, 도 9에 도시하는 적층 구조에서는 캐소드 전극(401) 및 접착층(406)에 접하고 있는 막은 각각 질화 실리콘막(402b, 405b)이다.

[0015]

도 10 및 도 11로부터 명백해지는 바와 같이, 산화 실리콘막과 질화 실리콘막의 삽입 위치를 바꾸어도, 파장이 500nm 내지 700nm의 광 반사율은 50%를 초과하고 있는 것을 알 수 있다. 반사율이 클수록 광 투과성은 낮아지므로, 유기 EL 상에 도 8 및 도 9에 도시하는 바와 같은 산화 실리콘막 및 질화 실리콘막을 포함하는 밀봉막을 형성하는 경우, 밀봉막 내의 반사율이 50%를 초과하게 되어, 상기 유기 EL을 구비한 디스플레이 장치의 휘도는 저하한다. 이 반사율은 도 8 및 도 9에 도시하는 각 적층막의 막 두께, 및 캐소드 전극(301, 401) 또는 접착층(306, 406)의 굴절률의 차이에서 다소의 변동은 있지만, 큰 차이는 없다. 즉, 산화 실리콘막과 질화 실리콘막의 적층 구조에서는, 각 계면에서 발생하는 다중 반사의 영향이 특히 크고, 이 밀봉막 내의 다중 반사에 의해 디스플레이의 휘도가 대폭으로 저하되는 것을 알 수 있다.

[0016]

또한, 수분 배리어성, 즉 수분의 침입을 방지하는 능력의 관점에서는, 일반적으로 막 밀도가 큰 무기막의 쪽이, 수분 배리어성이 크다. 특히 문헌 1에서는, 밀봉막의 형성, 특히 질화 실리콘막의 형성시에 유기 실리콘 소스를 적용하고 있지만, 유기 실리콘 소스를 이용한 광 CVD 성막에서는, 막 내에 탄소(C)가 다량으로 함유된 유기 막이 형성되므로, 성막되는 질화 실리콘막의 막 밀도가 작아진다. 이 때문에, 수분 배리어막(배리어막)을 형성하는 관점에서는, 막 내에 탄소를 포함하지 않는 무기계의 배리어막을 이용하는 쪽이, 막 내에 탄소를 포함하는 배리어막을 이용하는 것보다도 디바이스의 신뢰성의 면에서는 유리해진다.

[0017]

또한, 유기 EL 상에 진공 자외광에 의한 광 CVD법을 이용하여 밀봉막을 형성한 경우의 또 하나의 큰 과제로서, 광자 에너지(photon energy)가 큰 진공 자외광에 의해 유기 EL이 데미지를 받는 것을 예로 들 수 있다. 도 8 및 도 9에는 도시하고 있지 않지만, 톱 에미션형 유기 EL 디스플레이에서는, 캐소드 전극(301, 401)의 바로 아래에 유기 EL이 존재한다. 진공 자외광의 광자 에너지는 약 7eV 이상이나 있어, 캐소드 전극을 약간 투과해도

유기 EL에 큰 데미지를 준다.

[0018] 캐소드 전극에는 가시광(400nm 내지 700nm)에 대하여 80% 이상의 투과율이 요구된다. 톱 에미션형의 OLED(Organic light Emitting Diode) 디스플레이에서는, 매우 얇은 금속 박막, 예를 들면 Al-Li 또는 Ag-Mg 등의 합금이 일반적으로 이용된다. 캐소드 전극을 투과하는 진공 자외광을 억제하기 위해서는, 캐소드 전극의 막 두께를 두껍게 하는 것이 생각되지만, 캐소드 전극을 두껍게 하면 가시광의 투과율이 대폭으로 저하되는 문제가 생긴다.

[0019] 여기서는, 캐소드 전극측으로부터의 광 취출을 행하는 톱 에미션형의 OLED 디스플레이를 일례로서 설명하였지만, 캐소드 전극과 애노드 전극을 반대로 배치하고, ITO(Indium Tin Oxide) 등의 산화 인듐계나 AZO(Aluminium doped Zinc Oxide) 등의 산화 아연계의 애노드 전극으로부터 광 방출을 행하는 구조에 있어서도 마찬가지의 문제가 일어난다. 따라서, 진공 자외광을 이용한 광 CVD막으로 박막 밀봉을 행하기 위해서는, 유기 EL에 광 데미지를 주지 않고, 가시광의 투과율을 크게 하는 기술이 필요해진다.

[0020] 본 발명의 목적은, 광 반도체 장치의 밀봉막의 반사율을 저감하여, 광 취출 효율을 향상시키는 데 있다.

[0021] 또한, 본 발명의 다른 목적은, 광 반도체 장치의 밀봉막을 형성할 때의 광 CVD법에 의한 유기 EL에의 광 데미지를 대폭으로 억제하는 데 있다.

[0022] 본 발명의 상기한 목적과 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

### 과제의 해결 수단

[0023] 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

[0024] 본원의 일 발명에 의한 광 반도체 장치는,

[0025] 기판 상에 상기 기판의 주면측으로부터 순서대로 형성된 제1 전극, 유기 발광층 및 제2 전극과, 상기 발광층을 덮도록 상기 기판 상에 형성된 밀봉막을 갖는 광 반도체 장치로서,

[0026] 상기 밀봉막은 평탄화막과 배리어막을 교대로 적층한 적층막을 포함하고,

[0027] 상기 평탄화막 및 상기 배리어막은 산질화 실리콘막을 포함하는 것이다.

[0028] 또한, 본원의 일 발명에 의해 광 반도체 장치의 제조 방법은,

[0029] (a) 기판 상에 제1 전극을 형성하는 공정과,

[0030] (b) 상기 제1 전극 상에 상기 제1 전극과 전기적으로 접속된 유기 발광층을 형성하는 공정과,

[0031] (c) 상기 유기 발광층 상에 상기 유기 발광층과 전기적으로 접속된 제2 전극을 형성하는 공정과,

[0032] (d) 상기 유기 발광층 상에, 진공 자외광을 이용한 광 CVD법에 의해 산질화 실리콘막을 형성하는 공정

[0033] 을 갖고,

[0034] 상기 (d) 공정에서는, 상기 진공 자외광의 조사 중에 리모트 플라즈마에 의한 래디컬 조사를 행하는 것이다.

### 발명의 효과

[0035] 본원에 있어서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.

[0036] 본 발명에 따르면, 광 반도체 장치의 광 취출 효율을 향상시킬 수 있다.

### 도면의 간단한 설명

[0037] 도 1은 본 발명의 일 실시 형태인 광 반도체 장치의 단면도.

도 2는 본 발명의 일 실시 형태인 광 반도체 장치의 제조 방법을 도시하는 단면도.

도 3은 도 2에 계속되는 광 반도체 장치의 제조 방법을 설명하는 단면도.

도 4는 도 3에 계속되는 광 반도체 장치의 제조 방법을 설명하는 단면도.

도 5는 본 발명의 일 실시 형태인 광 반도체 장치의 제조 공정에서 사용하는 성막 장치의 모식도.

도 6은 본 발명의 일 실시 형태 및 비교예의 각각의 배리어막 및 베퍼막의 구성을 설명하는 표.

도 7은 도 4에 계속되는 광 반도체 장치의 제조 방법을 설명하는 단면도.

도 8은 비교예로서 도시하는 적층 구조의 단면도.

도 9는 비교예로서 도시하는 적층 구조의 단면도.

도 10은 비교예로서 도시하는 적층 구조의 과정에 대한 반사율을 나타낸 그래프.

도 11은 비교예로서 도시하는 적층 구조의 과정에 대한 반사율을 나타낸 그래프.

도 12는 막 구성의 차이에 의한 반사율의 변화를 설명하는 그래프.

도 13은 막 구성의 차이에 의한 반사율의 변화를 설명하는 그래프.

도 14는 막 구성의 차이에 의한 반사율의 변화를 설명하는 그래프.

도 15는 베퍼막 및 배리어막의 굴절률 차이와 최대 반사율의 관계를 나타내는 그래프.

도 16은 비교예로서 도시하는 적층 구조의 단면도.

### 발명을 실시하기 위한 구체적인 내용

[0038] 이하, 본 발명의 실시 형태를 도면에 기초하여 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복된 설명은 생략한다. 또한, 이하의 실시 형태에서는, 특별히 필요할 때를 제외하고, 동일 또는 마찬가지인 부분의 설명을 원칙으로서 반복되지 않는다.

[0039] 이하에, 본 발명의 실시 형태에 대해서 도면을 이용하여 설명한다.

[0040] 도 1에, 본 실시 형태의 유기 EL 소자를 포함하는 광 반도체 장치의 단면도를 도시한다. 본 실시 형태의 유기 EL 소자는, 도 1에 도시하는 바와 같이 글래스 기판(101)을 갖고, 글래스 기판(101) 상에는 절연막(102)을 개재하여 애노드 전극(103) 및 뱅크부(104)가 형성되어 있다. 글래스 기판(101)은 예를 들면 석영을 포함하고, 절연막(102)은 산화 실리콘막으로 이루어진다. 뱅크부(104)는 감광성 폴리이미드로 이루어지는 절연막이며, 절연막(102)의 상면에 접하고 있다. 애노드 전극(103)은 예를 들면, 알루미늄 및 산화 인듐·주석(ITO : Indium-Tin-Oxide)을 순서대로 적층한 적층막으로 이루어지는 도전층이며, 절연막(102)의 상면에 접하고 있다. 뱅크부(104)는 테이퍼각이 있는 개구부를 갖고, 상기 개구부의 저부에는 애노드 전극(103)의 상면이 노출되어 있다. 단, 애노드 전극(103)의 측면은 뱅크부(104)에 의해 덮여져 있다. 또한, 여기서는 글래스 기판(101)의 부재를 예를 들면 석영인 것으로서 설명하였지만, 글래스 기판(101)은 수지 기판이어도 상관없다.

[0041] 여기서 말하는 뱅크부(104)란, 제방 형상으로 형성된 절연막이며, 서로 평행한 저면 및 상면을 갖고, 그들의 저면 및 상면에 대하여 비스듬한 테이퍼각을 갖는 층벽을 구비한 사다리꼴의 막이다.

[0042] 애노드 전극(103) 상 및 뱅크부(104) 상에는, 유기 EL층(105)이 형성되어 있다. 유기 EL층(105)은 상기 개구부의 저부에서 애노드 전극(103)의 상면에 접하고, 상기 개구부로부터 노출되는 애노드 전극(103)의 상면, 상기 개구부의 테이퍼각을 갖는 내벽 및 뱅크부(104)의 상면의 일부를 덮도록 형성되어 있다. 유기 EL층(105)은, 애노드 전극(103)측으로부터 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층으로 이루어지는 적층막에 의해 구성되어 있는 발광층이며, 여기서는 상기 적층막을 일괄적으로 유기 EL층(105)으로서 설명한다.

[0043] 유기 EL층(105) 상 및 뱅크부(104) 상에는, 유기 EL층(105)을 덮도록 캐소드 전극(106) 및 진공 자외광 흡수층(107)이 글래스 기판(101)측으로부터 순서대로 형성되어 있다. 캐소드 전극(106)은 20nm 정도의 막 두께를 갖는 Ag-Mg 합금으로 이루어지는 도전층이다. 진공 자외광 흡수층(107)은 캐소드 전극(106)을 덮도록 형성되어 있고, 또한, 평면에서 보아 유기 EL층(105)과 겹치도록 형성되어 있다. 즉, 진공 자외광 흡수층(107)은 유기 EL층(105)의 바로 위에 형성되어 있다. 또한, 진공 자외광 흡수층(107)은 산질화 실리콘막에 의해 형성되어 있고, 150nm 정도의 막 두께를 갖는다.

[0044] 진공 자외광 흡수층(107) 상에는, 베퍼막(108), 배리어막(109), 베퍼막(110), 배리어막(111), 베퍼막(112)이 글래스 기판(101)측으로부터 순서대로 적층되어 있다. 베퍼막(108, 110, 112), 배리어막(109, 111)은 밀봉막을 구성하고, 배리어막은 주로 수분에 대한 배리어막이다. 도 1에 도시하는 바와 같이, 유기 EL층(105) 상에는 글

래스 기판(101)측으로부터 순서대로 베퍼막 및 배리어막이 교대로 복수층 적층되어 있다. 배리어막(109, 111)은 베퍼막(108, 110, 112)보다도 막 밀도가 크기 때문에, 베퍼막(108, 110, 112)보다도 수분 배리어성이 높다. 여기서는, 베퍼막 및 배리어막을 통합하여 밀봉막으로 정의한다. 또한, 본원에 기재하는 밀봉막이란, 외부로부터 유기 EL층이나 수지 기판에 진입하는 수분이나 산소를 방지하는 막을 가리킨다.

[0045] 베퍼막(108, 110, 112)은 밀봉막을 구성하는 복수의 막의 각각의 상면 및 하면을 평탄화하는 작용을 갖는다. 이것은, 베퍼막(108, 110, 112)이 제조 공정에 있어서 유동성을 나타내기 위함이며, 뱅크부(104)의 개구부에 의해 베퍼막(108)의 기초에 요철이 형성되어 있어도, 베퍼막(108)의 상면은 평탄한 형상으로 된다. 즉, 밀봉막 내의 최하층에 형성된 베퍼막(108)의 저면은 요철을 갖고 있어도, 그 상면은 평탄화된다. 또한, 배리어막(109, 111)보다도 영률이 낮은 베퍼막(108, 110, 112)은, 밀봉막 전체를 저 영률화하고, 밀봉막의 박리의 발생 또는 밀봉막의 크랙의 발생을 방지하는 작용을 갖는 평탄화막이다.

[0046] 도 1에는 도시하고 있지 않지만, 애노드 전극(103) 상 및 캐소드 전극(106) 상에는, 각각 외부와 전기적으로 접속하기 위한 콘택트 플러그 및 배선 패드가 형성되어 있고, 각각 독립적으로 전압을 인가할 수 있는 구조로 되어 있다. 또한, 배리어막(109, 111)은 모두 150nm 정도의 막 두께를 갖고, 베퍼막(108, 110, 112)은 모두 1000nm 정도의 막 두께를 갖는다.

[0047] 또한, 본 실시 형태의 유기 EL 소자를 구성하는 베퍼막(108, 110, 112), 배리어막(109, 111)은 모두 산질화 실리콘막에 의해 형성되어 있지만, 비교를 위해, 도 1에 도시하는 베퍼막(108, 110, 112), 배리어막(109, 111)이 산화 실리콘막 및 질화 실리콘막 등의 부재로 형성되어 있는 경우의 유기 EL 소자에 대해서도 후에 설명한다.

[0048] 본 실시 형태의 광 반도체 장치의 큰 특징은, 베퍼막(108, 110, 112)이, 진공 자외광에 의한 광 CVD법에 의해 형성된 무기의 산질화 실리콘막을 포함하고 있는 데 있다. 이하에, 본 실시 형태의 광 반도체 장치의 효과에 대해서 설명한다.

[0049] 발광층인 유기 EL층의 상부의 캐소드 전극 및 밀봉막을 투과하여 광을 방출하는 틈 에미션형의 유기 EL 소자에서는, 유기 EL층 상에 형성된 상기 밀봉막은 적층 구조를 갖고 있는 것이 생각된다. 밀봉막은 소자의 외부로부터 수분 등이 소자 내에 침입하는 것을 방지하는 배리어성을 갖고 있을 필요가 있고, 또한, 밀봉막의 적층 구조를 구성하는 각각의 막끼리의 계면은, 유기 EL층으로부터 방출되는 광을 효율적으로 취출하기 위해 높은 평탄성을 갖고 있을 필요가 있다. 상부에 유기 EL층을 구비한 애노드 전극과 밀봉막 사이에는, 유기 EL층의 상면을 노출하는 개구부를 갖는 뱅크부가 형성되어 있고, 뱅크부의 상면에는, 상기 개구부에 의해 큰 요철이 형성되어 있고, 또한, 예칭 잔사 등에 의해 뱅크부 상에 요철이 형성되어 있는 것이 있다. 따라서 밀봉막은, 수분의 배리어성을 확보함과 함께, 전술한 요철을 덮도록 매립하였을 때, 밀봉막의 적층 구조를 구성하는 막끼리의 계면의 평탄성을 향상시키는 성질을 갖는 것이 중요해진다.

[0050] 따라서, 상기 밀봉막은, 수분 배리어성이 우수한 질화 실리콘막과, 형성시의 유동성이 우수하고, 형성 후에 그 상면이 평탄하게 형성되기 쉬운 산화 실리콘막을 적층한 구조가 되는 것이 생각된다. 그러나, 이와 같이 질화 실리콘막과 산화 실리콘막을 적층하여 형성한 밀봉막을 갖는 광 반도체 장치에서는, 밀봉막 내에서의 다중 반사에 의해, 유기 EL 소자의 휘도가 저하되는 과제가 있다.

[0051] 유기 EL층으로부터 발광되는 가시광의 다중 반사를 억제하기 위해서는, 입사측의 층(캐소드 전극)의 재료와 그에 접하는 밀봉막과의 굴절률 차이, 출사측의 층(접착층)의 재료와 그에 접하는 밀봉막과의 굴절률 차이, 및 적층 밀봉막 사이의 굴절률 차이를 극력 작게 하면 된다. 또한, 여기서 말하는 입사측, 및 출사측이란, 캐소드 전극의 하부의 유기 EL층으로부터 상방을 향하여 방출된 광이, 캐소드 전극측(입사측)으로부터 입사하고, 접착 층측(출사측)에 출사되는 것을 의미한다.

[0052] 여기서 도 12 내지 도 14에, 적층 구조의 반사율 시뮬레이션 결과인 그래프를 나타낸다. 이들의 그래프는 도 8에 도시하는 적층 구조의 반사율의 계산 결과이며, 각각의 그래프의 획축은 300nm 내지 900nm의 파장 대역을 나타내고, 종축은 상기 적층 구조의 내부를 하층으로부터 상층을 향하여 광이 투과하였을 때의 반사율을 나타내고 있다. 도 8은 비교예인 적층 구조의 단면도이며, 이 적층 구조는, 캐소드 전극(301) 상에, 순서대로 산화 실리콘막(302a), 질화 실리콘막(302b), 산화 실리콘막(303a), 질화 실리콘막(303b), 산화 실리콘막(304a), 질화 실리콘막(304b), 산화 실리콘막(305a) 및 접착층(306)을 적층한 것이다. 도 8에 도시하는 적층 구조의 최하층의 캐소드 전극(301) 및 최상층의 접착층(수지층)(306)의 각각의 굴절률은 모두 1.7이다. 질화 실리콘막(302b, 303b, 304b)은 수분 등의 침입을 방지하는 배리어막이며, 산화 실리콘막(302a, 303a, 304a, 305a)은 밀봉막 전체의 평탄성을 향상시키고, 또한 영률을 저하시키는 작용을 갖는 베퍼막(평탄화막)이다.

- [0053] 즉, 베퍼막은 배리어막보다도 영률이 낮고, 제조 공정 중에 있어서는 유동성을 갖기 때문에, 베퍼막을 형성하는 영역의 기초에 요철이 형성되어 있었던 것으로 해도, 베퍼막은 그 요철을 매립하여 형성되고, 또한 형성된 베퍼막의 상면은 평坦해진다.
- [0054] 도 12 내지 도 14의 그래프는, 도 8에 도시하는 질화 실리콘막(302b, 303b, 304b)의 굴절률을 1.7로서 계산한 시뮬레이션 결과이며, 횡축은 과장을 나타내고, 종축은 반사율을 나타내고 있다. 또한, 산화 실리콘막(302a, 303a, 304a, 305a)의 굴절률은, 도 12에서는 1.5, 도 13에서는 1.55, 도 14에서는 1.6으로서 계산한 결과를 나타내고 있다. 즉, 도 12, 도 13 및 도 14에 나타내는 그래프에서는, 순서대로 밀봉막을 구성하는 산화 실리콘막의 굴절률을 질화 실리콘막, 캐소드 전극 및 접착층의 굴절률에 근접함으로써 굴절률 차이를 작게 하였던 경우의 적층 구조의 반사율의 변화를 알 수 있다. 즉, 도 12에서 계산한 경우의 적층 구조를 구성하는 산화 실리콘막의 굴절률보다도, 도 14에서 계산한 적층 구조를 구성하는 산화 실리콘막의 굴절률의 쪽이, 전술한 질화 실리콘막, 캐소드 전극 및 접착층의 굴절률인 1.7에 가까운 값으로 되어 있다. 또한, 여기서는 계산을 간소화하기 위해 각 과장에 있어서의 굴절률을 일정하게 하고, 막막에 의한 광 흡수는 없는 것으로서 계산하고 있다. 도 12 내지 도 14의 그래프로부터, 적층막의 굴절률 차이가 작아지면 반사율이 작아지는 것을 알 수 있다.
- [0055] 또한, 도 15에, 밀봉에 이용하는 적층막의 굴절률 차이와 상기 적층막의 최대 반사율의 관계를 나타낸다. 도 15는, 횡축에 나타내는 적층막을 구성하는 베퍼막 및 배리어막의 굴절률 차이에 대한 종축의 최대 반사율의 관계를 나타내는 그래프이다. 도 15로부터 알 수 있는 바와 같이, 굴절률 차이가 커지면 최대 반사율은 커진다. 이 반사율의 수치는, 광 입사측 재료, 및 방출측 재료의 굴절률에 의한 변동에 의한 영향보다도, 적층막의 굴절률의 차이에 의해 발생하는 다중 반사의 영향이 특히 크고, 이들의 굴절률 차이를 작게 함으로써 반사율을 억제할 수 있다.
- [0056] 예를 들면, 밀봉막을 구성하는 산화 실리콘막의 굴절률을 1.7 정도로 하는 수단으로서는, 산화 실리콘막에 질소를 함유시켜 산질화 실리콘막(SiON막)으로 하는 방법이 일반적이다. 단, 탄소를 다량으로 포함하는 유기 소스를 원료 가스로 한 광 CVD법에서는, 막 밀도가 큰 박막, 즉 수분에 대하여 배리어성이 큰 수분 배리어막(배리어막)을 얻는 것이 곤란하다. 따라서, 적층 밀봉막의 수분 배리어막에는, 신뢰성의 면으로부터 무기막을 이용하는 것이 바람직하다.
- [0057] 또한, 진공 자외광을 이용하는 광 CVD법에 의해 산질화 실리콘막을 형성하는 경우, 유기 실리콘계의 가스와 산화원이나 질화원으로 되는 가스를 반응시키는 방법이 있지만, 질소 원자(N)의 원료 가스로 되는, 암모니아 가스( $\text{NH}_3$ ) 또는 질소 가스( $\text{N}_2$ ) 등은, 소광 단면적이 작기 때문에, 광 어시스트에 의한 분해 효율이 작고, 원하는 조성의 산질화 실리콘막을 얻는 것이 매우 곤란하다. 즉, 진공 자외광을 이용하는 광 CVD법에 의해 산질화 실리콘막을 형성하는 경우, 형성한 산질화 실리콘막 내에는 원하는 양의 질소가 도입되지 않고, 굴절률을 1.7에 근접하는 것은 곤란하다고 하는 문제가 있다. 따라서, 본 실시 형태에서는, 열 CVD막 또는 플라즈마 CVD막 등보다도 저 응력이며 저 영률의 광 CVD막의 이점을 살리면서, 우수한 수분 배리어성을 얻기 위해, 리모트 플라즈마 어시스트에 의한 산질화 실리콘막(베퍼막 및 배리어막)의 성막을 행하고 있다. 또한, 플라즈마 어시스트란, 플라즈마로 원료를 전분해하여 래디컬의 상태에서 원료를 공급함으로써 막 퇴적을 행하는 성막 방법이며, 본 실시 형태에서는 원료 가스를 이용한 광 CVD법과 플라즈마 어시스트를 병용하여 상기 산질화 실리콘막을 형성하고 있다. 또한, 래디컬을 분리하여 이용하기 위해, 피처리 표면(기관)을 플라즈마 영역(플라즈마 존)으로부터 떨어진 위치에 배치하는 것을, 여기서는 리모트 플라즈마라고 부른다. 또한, 플라즈마로 원료를 전분해하여 래디컬의 상태에서 원료를 공급하는 것을, 여기서는 래디컬 조사라고 부른다.
- [0058] 구체적으로는, 베퍼막의 성막은 광 CVD의 원료 가스에 탄소를 포함하는 유기 실리콘 소스를 이용하여, 질화원으로서 리모트 플라즈마로 형성한 질소 래디컬, 혹은 질소 래디컬과 산소 래디컬을 도입한다. 이에 의해 광 CVD 막의 이점을 살린 SiON(산질화 실리콘)막을 형성할 수 있다. 한편, 배리어성이 큰 SiON막의 형성에는, 광 CVD의 원료 가스에 고차 실란 등의 탄소를 포함하지 않는 무기 실리콘 소스를 이용하여, 질화원으로서 리모트 플라즈마로 형성한 질소 래디컬, 혹은 질소 래디컬과 산소 래디컬을 도입한다. 이에 의해, 수분 배리어성이 큰 무기 SiON막을 형성할 수 있다. 즉, 도 1에 도시하는 베퍼막(108, 110, 112)은 탄소를 포함하는 유기의 산질화 실리콘막이며, 배리어막(109, 111)은 탄소를 포함하지 않는 무기의 산질화 실리콘막이다. 탄소를 포함하지 않는 무기의 산질화 실리콘막으로 배리어막(109, 111)을 구성함으로써, 막 밀도가 높고, 수분 배리어성이 높은 배리어막(109, 111)을 형성할 수 있다.
- [0059] 베퍼막(108, 110, 112), 배리어막(109, 111)은 진공 자외광을 이용한 광 CVD법과 리모트 플라즈마를 이용한 플라즈마 CVD법을 병용하여 형성된 산질화 실리콘막에 의해 구성되어 있다. 리모트 플라즈마 어시스트를 이용한

광 CVD법에 의한 산질화 실리콘막의 형성 방법에 대해서는, 후에 상세하게 기술한다. 또한, 소광 단면적이란 물질의 광이 흡수되기 쉬운 것을 나타내는 척도이며, 소광 단면적이 큰 물질일수록 광을 흡수하기 쉽고, 광 CVD 법에 있어서는 분해하기 쉬워진다.

[0060] 본 실시 형태의 광 반도체 장치에서는, 막 응력 및 영률이 작고 매립성이 우수한 베퍼막과, 수분 배리어성이 큰 배리어막을 포함하는 적층 밀봉막을 형성할 때에, 베퍼막과 배리어막의 양자의 굴절률 차이를 극력 작게 하여, 적층 밀봉막 내에서의 다중 반사를 억제할 수 있다. 또한, 적층 밀봉막을 구성하는 막끼리의 굴절률 차이를 작게 함으로써, 광 반도체 장치의 광 투과율이 대폭으로 향상시킬 수 있다.

[0061] 단, 유기 EL층 상에 캐소드 전극을 통하여 광 CVD법에 의해 밀봉막을 형성하는 경우, 밀봉막을 형성할 때에 조사하는 진공 자외광이 캐소드 전극을 투과하여 유기 EL층에 도달하고, 유기 EL층이 데미지를 받음으로써 유기 EL층이 거의 발광하지 않게 되는 문제가 있다. 광 CVD법의 성막 공정에 있어서 사용되는 진공 자외광의 광자 에너지는 약 7eV 이상 있고, 캐소드 전극을 약간 투과해도 유기 EL에 큰 데미지를 준다.

[0062] 캐소드 전극에는 가시광(400nm 내지 700nm)에 대하여 80% 이상의 투과율이 요구된다. 톱 에미션형의 OLED 디스플레이에서는, 매우 얇은 금속 박막, 예를 들면 Al-Li 합금이나 Ag-Mg 합금 등이 이용되는 것이 생각된다. 캐소드 전극을 투과하는 진공 자외광을 억제하는 방법으로서는, 캐소드 전극의 막 두께를 두껍게 하는 방법이 생각되지만, 캐소드 전극을 두껍게 하면 가시광의 투과율이 대폭으로 저하되므로, 완성된 유기 EL 소자의 휘도가 저하된다.

[0063] 따라서, 본 실시 형태의 광 반도체 장치에서는, 도 1에 도시하는 바와 같이, 캐소드 전극(106) 상에 진공 자외광 흡수층(107)을 형성함으로써, 캐소드 전극(106) 상에 광 CVD법을 이용하여 밀봉막을 형성하였을 때에, 광 CVD법에 의한 성막 공정에서 이용하는 진공 자외광을 진공 자외광 흡수층(107)에 의해 흡수하고, 유기 EL층(105)이 진공 자외광에 의해 데미지를 받는 것을 방지하고 있다. 유기 EL층(105)에의 진공 자외광의 투과율이 10% 이상으로 되면 유기 EL층(105)의 광 열화가 현저하게 되기 때문에, 본 실시 형태에서는 진공 자외광 흡수층(107)의 부재에 산질화 실리콘막을 이용함으로써, 유기 EL층(105)에 통과하는 진공 자외광의 투과율을 약 10% 미만으로 억제하고 있다. 즉, 진공 자외광 흡수층(107)은, 진공 자외광을 90% 이상 흡수하는 절연막에 의해 구성되어 있다. 이에 의해, 캐소드 전극(106)의 막 두께를 두껍게 하지 않고 유기 EL층(105)의 광 열화를 방지하는 것을 가능하게 하고 있다.

[0064] 이와 같이, 본 실시 형태에서는 광 CVD막의 성막 공정에 있어서의 유기 EL층에의 광 데미지를 억제하기 위해, 광 CVD 성막을 행하기 전에, 진공 자외광의 흡수층을 유기 EL층 상에 플라즈마 CVD법을 이용하여 형성하고 있다. 상기 광 흡수층을 형성함으로써, 적층 밀봉막을 형성할 때의 진공 자외광에 의한 유기 EL층에 광 데미지를 대폭으로 억제하는 것이 가능하게 하고 있다.

[0065] 이하에, 도 1 내지 도 7을 이용하여 본 실시 형태의 상세를 설명한다. 우선, 도 2에 도시하는 바와 같이, 준비한 글래스 기판(101) 상에, 절연막(102)을 형성한다. 절연막(102)은, TEOS 및 O<sub>2</sub>(산소)를 원료 가스로 하는 플라즈마 CVD법에 의해 형성하고, 예를 들면 200nm의 막 두께로 한다. 계속해서, 알루미늄과 산화 인듐·주석(ITO : Indium Tin Oxide)의 적층막을 형성한 후, 포토리소그래피 기술을 이용한 드라이 에칭법에 의해 상기 적층막을 소정의 형상으로 가공함으로써 애노드 전극(103)을 형성한다.

[0066] 다음으로, 도 3에 도시하는 바와 같이, 감광성의 폴리이미드막을 애노드 전극(103) 상 및 절연막(102) 상에 형성한 후, 애노드 전극(103)의 상면의 일부가 노출되는 개구부를 광 가공에 의해 형성함으로써, 상기 폴리이미드 막으로 이루어지는 뱅크부(104)를 형성한다. 상기 개구부는, 테이퍼각을 갖고 있고, 개구부의 저부의 폭은, 개구부의 최상부의 폭보다도 좁다. 이와 같이, 노출되어 있는 애노드 전극(103)의 상면으로부터 상방을 향하여 넓어지도록 개구부를 형성하는 것은, 이 후의 공정에 있어서 애노드 전극(103) 상 및 뱅크부(104)의 개구부 상에 형성하는 유기 EL층(105)을 문제점 없이 형성하기 위함이다. 즉, 예를 들면 개구부가 글래스 기판(101)의 주면에 대해 수직인 내벽을 갖는 경우, 유기 EL층(105)은 개구부의 내벽을 따라서 형성되고, 또한 개구부의 저부 및 상부에 있어서 직각으로 구부리도록 형성되므로, 균일한 정밀도로 발광층인 유기 EL층(105)을 형성하는 것이 곤란해진다. 따라서, 뱅크부(104)의 개구부는 테이퍼각을 갖고, 개구부의 상부에 완만한 각도로 유기 EL층(105)을 형성하는 것을 가능하게 하고 있다.

[0067] 그 후, 마스크 증착법을 이용하여, 뱅크부(104)의 상기 개구부의 저부에, 애노드 전극(103)과 전기적으로 접속된 유기 EL층(105)을 형성한다. 유기 EL층(105)은, 애노드 전극(103)측으로부터 순서대로 형성된 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층으로 구성되어 있지만, 여기서는 그들의 적층막을 일괄적으로

유기 EL층(105)으로서 설명한다. 본 실시 형태에서는 유기 EL층(105)에 형광 발광의 저 분자 재료를 이용하고 있지만, 본 발명은 유기 EL층에 관한 발명이 아니므로, 여기서는 유기 EL층(105)의 재료에 관한 상세한 설명은 생략한다.

[0068] 다음으로, 도 4에 도시하는 바와 같이, 뱅크부(104) 상 및 유기 EL층(105) 상에 마스크 중착법을 이용하여 두께 20nm의 Ag-Mg 합금막으로 이루어지는 캐소드 전극(106)을 형성한 후, 캐소드 전극(106) 상에 플라즈마 CVD법에 의해 산질화 실리콘막으로 이루어지는 진공 자외광 흡수층(107)을 형성한다. 본 실시 형태에서는, 진공 자외광 흡수층(107)의 형성에, 모노실란(SiH<sub>4</sub>), 질소, 산소를 원료 가스로 하는 유도 결합형의 ICP-CVD(Inductively Coupled Plasma-CVD)법을 이용하였지만, 유기 EL층(105)에 열 데미지(약 100°C 이하) 또는 플라즈마 데미지 등을 주지 않으면, 그 밖의 방법으로서, 예를 들면 용량 결합형의 CCP-CVD(Capacitively Coupled Plasma-CVD)법, 혹은 스퍼터법 또는 중착법 등으로 형성해도 문제없다. 본 실시 형태에서는, 진공 자외광 흡수층(107)으로 되는 산질화 실리콘막의, 파장이 632.8nm의 광에 대한 굴절률을 1.7로 하고, 그 막 두께를 150nm로 하고 있다. 또한, 파장 632.8nm의 광은 He-Ne의 가스 레이저 장치를 이용하여 발생시킨 가시광이다.

[0069] 다음으로, 도 5에 도시하는 성막 장치를 이용하여 진공 자외광 흡수층(107) 상에 적층 구조를 갖는 밀봉막을 형성함으로써, 도 7에 도시하는 구조를 형성한다. 여기서는, 유기 EL층(105) 상에 캐소드 전극(106) 및 진공 자외광 흡수층(107)을 개재하여 베퍼막 및 배리어막을 유기 EL층(105)측으로부터 순서대로 교대로 복수층으로 적층한다. 즉, 도 7에 도시하는 바와 같이, 진공 자외광 흡수층(107) 상에 막 두께 1000nm의 베퍼막(108), 막 두께 150nm의 배리어막(109), 막 두께 1000nm의 베퍼막(110), 막 두께 150nm의 배리어막(111) 및 막 두께 1000nm의 베퍼막(112)을 순서대로 형성함으로써, 이들의 베퍼막(108, 110, 112), 배리어막(109, 111)으로 이루어지는 상기 밀봉막이 형성된다.

[0070] 베퍼막(108)이 형성되는 기초에는 진공 자외광 흡수층(107)이 형성되어 있지만, 상기 기초의 표면은 뱅크부(104)가 갖는 개구부에 의해 요철 형상을 갖고 있다. 상기 밀봉막은 유기 EL 소자가 발하는 광의 경로로 되므로, 상기 밀봉막 내에서의 광의 확산 및 반사를 억제할 필요가 있어, 글래스 기판(101)의 주면에 대해 평행하고 평탄한 상면을 갖는 것이 바람직하다. 여기서는, 성막시에 유동성을 나타내는 베퍼막(108)을 형성함으로써, 상기 기초의 요철 형상을 매립하였을 때, 베퍼막(108)의 상면은 평탄한 형상으로 할 수 있기 때문에, 그 상부에 형성하는 베퍼막 및 배리어막의 상면 및 저면을 글래스 기판(101)의 주면에 평행하고 평탄한 형상으로 할 수 있다.

[0071] 또한, 상기 개구부에 의한 요철 형상 외에, 베퍼막(108)의 형성 전에 글래스 기판(101) 상에 형성된 예칭 잔사 또는 먼지 등의 이물도 베퍼막(108)에 의해 매립할 수 있기 때문에, 베퍼막(108)의 기초에 형성된 요철이 밀봉막을 구성하는 막끼리의 계면을 왜곡함으로써 유기 EL 소자의 휘도가 저하되는 것을 방지할 수 있다.

[0072] 또한, 이와 같은 이물이 존재하고 있는 기초에 베퍼막보다도 매립성이 낮은 배리어막을 직접 형성한 경우, 상기 이물의 바로 아래의 기초 표면 및 상기 이물의 측면 등에는 배리어막이 형성되지 않는 간극이 발생하는 것이 생각된다. 배리어막은 수분의 침입을 방지하기 위한 수분 배리어막이므로, 배리어막이 부분적으로 형성되어 있지 않은 간극이 발생한 경우, 유기 EL 소자의 수분에 대한 내성이 열화되어, 광 반도체 장치의 신뢰성이 저하된다. 이에 대해, 상술한 바와 같이 배리어막(109)을 형성하기 전에 유동성을 갖는 베퍼막(108)을 형성함으로써, 기초 표면에 이물이 형성되어 있는 경우라도 상기 이물을 감싸도록 베퍼막(108)을 형성할 수 있으므로, 베퍼막(108) 상에 형성하는 배리어막(109)에 간극이 생겨 유기 EL 소자의 수분 배리어성이 저하되는 것을 방지할 수 있다.

[0073] 여기서, 본 실시 형태의 상기 밀봉막의 형성에 이용한 성막 장치의 모식도를 도 5에 도시한다. 도 5에 도시하는 성막 장치는, 진공 배기 기구(508)와 압력 제어 기구를 갖는 반응실(501), 합성 석영창(503), 진공 자외광 램프 유닛(504), 리모트 플라즈마 도입구(505a, 505b), 가스 도입구(506a, 506b) 및 온도 제어 서셉터(507)에 의해 구성되어 있다. 리모트 플라즈마 도입구(505a, 505b)로부터는 장치 외부에서 발생시킨 각종 래디컬, 예를 들면, 질소 래디컬(N\*), 산소 래디컬(O\*), 아르곤 래디컬(Ar\*) 등이 도입된다. 본 실시 형태에서는, 진공 자외광 램프 유닛(504)에 Xe<sub>2</sub> 엑시머 램프(파장=172nm)를 이용하여 성막을 행한다. 또한, 도 5에 도시하는 바와 같이, 성막 공정에 있어서 성막을 행하는 대상인 기판(글래스 기판)(502)은 온도 제어 서셉터(507)의 상부에 배치된다. 또한, 도 5에 도시하는 성막 장치의 각 구성은, 컨트롤러(509)에 의해 제어된다. 즉, 컨트롤러(509)는, 상기 각종 래디컬의 유량(유입량), 진공 자외광 램프 유닛(504)에의 전압의 인가 및 온도 제어 서셉터(507)의 온도 등을 제어하는 역할을 갖는 장치이다.

[0074] 또한, 도 6에 본 실시 형태에서 검토한 밀봉막의 막 구성을 설명하는 표를 나타낸다. 도면 중의 괄호 내에는,

성막에 이용한 원료 가스를 나타내고 있다. 여기서는, 유기 실리콘 소스로서 OMCTS(Octo methyl cyclotetrasiloxane) 및 BTBAS(Bis(tertiary butyl amino) silane)를 예시하고, 무기 실리콘 소스로서 Si<sub>2</sub>H<sub>6</sub>(디실란)을 예시하고 있지만, 이들은 바람직한 예의 하나이며, 밀봉막의 성막에 이용하는 원료 가스는 이들의 원료 가스에 한정하는 것은 아니다. OMCTS와 마찬가지의 효과를 얻는 가스로서는, 예를 들면 TEOS(Tetra ethoxy silane), HMDSO(Hexa methyl disiloxane) 등이 있고, BTBAS와 동등한 효과를 얻는 가스로서는, HMDS(Hexa methyl disilazane), HMCTSN(Hexa methyl cyclotrisilazane) 등을 이용하는 것도 가능하다.

[0075] 여기서는, 밀봉막을 구성하는 베퍼막의 막 구성의 조합으로서, 도 6의 표의 막 구성 A 내지 D의 각각의 조합을 일례로서 나타낸다.

[0076] 도 6에 도시하는 막 구성 A는, 베퍼막에 산화 실리콘막, 배리어막에 질화 실리콘막을 각각 이용한 구성이며, 마찬가지의 막 구성을 형성하는 것이 특허 문헌 1에도 기재되어 있다. 막 구성 A에 있어서 베퍼막을 구성하는 산화 실리콘막은, OMCTS를 이용한 광 CVD법에 의해 형성되고, 배리어막을 구성하는 질화 실리콘막은, BTBAS를 이용한 광 CVD법에 의해 형성되는 것이다.

[0077] 또한, 도 6에 도시하는 막 구성 B는, 베퍼막에 산화 실리콘막, 배리어막에 산질화 실리콘막을 이용한 구성이다. 막 구성 B에 있어서 베퍼막을 구성하는 산화 실리콘막은 OMCTS를 이용한 광 CVD법에 의해 형성되고, 배리어막을 구성하는 산질화 실리콘막은 Si<sub>2</sub>H<sub>6</sub>, O\* 및 N\*를 이용한 플라즈마 어시스트 광 CVD법에 의해 형성되는 것이다. 또한, 앞서 O\* 및 N\*는, 각각 산소의 래디컬 및 질소의 래디컬을 나타내고 있다.

[0078] 또한, 도 6에 도시하는 막 구성 C 및 막 구성 D는, 모두 베퍼막 및 배리어막에 산질화 실리콘막을 이용하고 있다. 배리어막은, 막 구성 C도 막 구성 D도 함께 Si<sub>2</sub>H<sub>6</sub>, O\* 및 N\*를 이용한 플라즈마 어시스트 광 CVD법을 이용하고 있는 점은 마찬가지이지만, 베퍼막의 형성 가스가 다르다. 막 구성 C에서는, OMCTS 및 N\*를 이용하고, 막 구성 D에서는 BTBAS 및 O\*를 이용하여 산질화 실리콘막을 형성하고 있다. 막 구성 C 및 D에 있어서 베퍼막의 형성에 이용되는 원료인 OMCTS 및 BTBAS는 각각 메틸기 및 부틸기를 갖고 있고, 모두 탄소를 포함하는 유기 재료인 것에 반해, 배리어막의 형성에 이용되는 원료인 Si<sub>2</sub>H<sub>6</sub>(고차 실란) 가스는 탄소(C)를 포함하지 않는 무기 재료이다.

[0079] 이하에, 도 6에 도시한 A 내지 D의 4조의 막 구성을 도 1의 베퍼막 및 배리어막에 적용한 경우의 제조 방법을 설명하고, 각각의 막 구성으로 형성한 밀봉막의 반사율 및 광 축출 효율(회도)을 비교한 결과를 나타낸다.

[0080] 도 4를 이용하여 설명한 공정에 의해 진공 자외광 흡수층(107)을 형성한 각 시료(기판(502))는 도 5에 도시하는 바와 같이, 진공으로 유지된 반응실(501) 내의 온도 제어 서셉터(507) 상에 반송되고, 소정의 시퀀스에 의해 성막이 행해진다. 이때, 온도 제어 서셉터(507)에 의해 기판(502)은 원하는 온도로 제어된다. 유기 EL층은 100 °C 정도의 열로 열화되어, 발광하지 않게 되는 성질을 갖고 있으므로, 기판(502)은 온도 제어 서셉터(507)에 의해 50°C 정도로 유지된다. 성막 공정에 있어서 리모트 플라즈마에 의한 플라즈마 어시스트가 없는 경우는, 가스 도입구(506a, 506b)로부터 원료 가스를 반응실(501)에 도입하여 압력 조정을 행한 후에, 진공 자외광 램프 유닛(504)으로부터 진공 자외광을 조사하여 성막을 개시한다. 한편, 플라즈마 어시스트를 이용하는 방법에서는, 가스 도입구(506a, 506b)로부터 원료 가스를 반응실(501)에 도입하여 압력 조정을 행한 후에, 진공 자외광 램프 유닛(504)으로부터 기판(502)에 진공 자외광의 조사를 행하는 동시에 플라즈마 어시스트를 행함으로써 성막이 개시된다. 즉, 진공 자외광의 조사 중에, 리모트 플라즈마를 이용한 플라즈마 조사를 행한다.

[0081] 막 구성 A에서는, 가스 도입구(506a)로부터 OMCTS를 도입하고, 진공 자외광 램프 유닛(504)으로부터 Xe<sub>2</sub> 램프를 조사하여 산화 실리콘막으로 이루어지는 베퍼막(108)을 기판(502) 상에 형성한다. 계속해서, 가스 도입구(506b)로부터 BTBAS를 도입하고, 진공 자외광 램프 유닛(504)으로부터 Xe<sub>2</sub> 램프를 조사하여 질화 실리콘막으로 이루어지는 배리어막(109)을 기판(502) 상에 형성한다. 마찬가지의 방법에 의해, 베퍼막(산화 실리콘막)(110), 배리어막(질화 실리콘막)(111) 및 베퍼막(산화 실리콘막)(112)을 순서대로 기판(502) 상에 형성한다.

[0082] 막 구성 B에서는, 가스 도입구(506a)로부터 OMCTS를 도입하고, 진공 자외광 램프 유닛(504)으로부터 Xe<sub>2</sub> 램프를 조사하여 산화 실리콘막으로 이루어지는 베퍼막(108)을 기판(502) 상에 형성한다. 계속해서, 가스 도입구(506b)로부터 Si<sub>2</sub>H<sub>6</sub>을, 리모트 플라즈마 도입구(505a)로부터 N\*를, 리모트 플라즈마 도입구(505b)로부터 O\*를 도입하고, 진공 자외광 램프 유닛(504)으로부터 Xe<sub>2</sub> 램프를 조사하여 산질화 실리콘막으로 이루어지는 배리어막(109)을 기판(502) 상에 형성한다. 마찬가지의 방법에 의해, 베퍼막(산화 실리콘막)(110), 배리어막(산질화 실

리콘막)(111) 및 베퍼막(산화 실리콘막)(112)을 순서대로 기판(502) 상에 형성한다.

[0083] 막 구성 C에서는, 가스 도입구(506a)로부터 OMCTS를, 리모트 플라즈마 도입구(505a)로부터 N\*를 도입하고, 진공 자외광 램프 유닛(504)으로부터 Xe<sub>2</sub> 램프를 조사하여 산질화 실리콘막으로 이루어지는 베퍼막(108)을 기판(502) 상에 형성한다. 계속해서, 가스 도입구(506b)로부터 Si<sub>2</sub>H<sub>6</sub>을, 리모트 플라즈마 도입구(505a)로부터 N\*를, 리모트 플라즈마 도입구(505b)로부터 O\*를 도입하고, 진공 자외광 램프 유닛(504)으로부터 Xe<sub>2</sub> 램프를 조사하여 산질화 실리콘막으로 이루어지는 배리어막(109)을 기판(502) 상에 형성한다. 마찬가지의 방법에 의해, 베퍼막(산질화 실리콘막)(110), 배리어막(산질화 실리콘막)(111) 및 베퍼막(산질화 실리콘막)(112)을 순서대로 기판(502) 상에 형성한다. 또한, 베퍼막(108, 110, 112)을 형성할 때에는 리모트 플라즈마 도입구(505a)로부터 N\*를 도입함과 함께, 리모트 플라즈마 도입구(505b)로부터 O\*를 도입해도 된다.

[0084] 막 구성 D에서는, 가스 도입구(506a)로부터 BTBAS를, 리모트 플라즈마 도입구(505b)로부터 O\*를 도입하고, 진공 자외광 램프 유닛(504)으로부터 Xe<sub>2</sub> 램프를 조사하여 산질화 실리콘막으로 이루어지는 베퍼막(108)을 기판(502) 상에 형성한다. 계속해서, 가스 도입구(506b)로부터 Si<sub>2</sub>H<sub>6</sub>을, 리모트 플라즈마 도입구(505a)로부터 N\*를, 리모트 플라즈마 도입구(505b)로부터 O\*를 도입하고, 진공 자외광 램프 유닛(504)으로부터 Xe<sub>2</sub> 램프를 조사하여 산질화 실리콘막으로 이루어지는 배리어막(109)을 기판(502) 상에 형성한다. 마찬가지의 방법에 의해, 베퍼막(산질화 실리콘막)(110), 배리어막(산질화 실리콘막)(111) 및 베퍼막(산질화 실리콘막)(112)을 순서대로 기판(502) 상에 형성한다. 또한, 베퍼막(108, 110, 112)을 형성할 때에는 리모트 플라즈마 도입구(505a)로부터 N\*를 도입함과 함께, 리모트 플라즈마 도입구(505b)로부터 O\*를 도입해도 된다.

[0085] 상기 방법에 의해 형성하는 각 층의, 파장 632.8nm의 광에 대한 굴절률은 하기와 같다. 막 구성 A, B의 베퍼막(산화 실리콘막)의 굴절률은 1.44이며, 막 구성 A의 배리어막(질화 실리콘막)의 굴절률은 1.92이다. 한편, 막 구성 C, D의 베퍼막(산질화 실리콘막)의 굴절률은 1.65이며, 막 구성 B, C 및 D의 배리어막(산질화 실리콘막)의 굴절률은 1.7이다.

[0086] 상기의 결과로부터, 본 실시 형태의 광 반도체 장치에서는, 도 1에 도시하는 베퍼막과 배리어막의 구성에, 도 6에 도시하는 막 구성 A, B가 아니라, 막 구성 C 또는 D의 구성을 채용하고 있다. 즉, 도 6에 도시하는 막 구성 C 및 D가 본 실시 형태에서 이용되고 있는 막 구성이며, 막 구성 A 및 B는 비교예의 막 구성이다. 따라서, 본 실시 형태의 유기 EL 소자에서는, 도 1에 도시하는 베퍼막(108, 110, 112), 배리어막(109, 111)은 모두 플라즈마 어시스트를 이용한 광 CVD법에 의해 형성된 산질화 실리콘막에 의해 형성되어 있다.

[0087] 본 실시 형태에 있어서의 산질화 실리콘막의 조성 및 굴절률(흡수 계수)은, 실리콘계 원료 가스와 산소 래디컬(O\*) 및 질소 래디컬(N\*)의 유량비로 조정할 수 있다. 또한, 본 실시 형태에서는 산화원을 산소 래디컬로서 공급한 예를 나타냈지만, 산소는 진공 자외광에 대한 분해 효율이 높기 때문에(소광 단면적이 큼), 산소 래디컬이 아니라 산소 가스로 공급해도 산질화 실리콘막의 형성은 가능하다. 즉, 상기 각 가스 유량비의 조정을 행함으로써, 원하는 조성이나 굴절률(흡수 계수)을 갖는 산질화 실리콘막을 형성할 수 있다. 이와 같이 산소 래디컬이 아니라 산소 가스를 이용하는 방법은, 예를 들면 도 6의 막 구성 C, D의 배리어막의 형성시, 및 막 구성 D의 베퍼막의 형성시에 적용할 수 있다.

[0088] 이 후, 주지의 기술에 의해, 도 7에 도시하는 애노드 전극(103) 및 캐소드 전극(106)에 접속하는 배선(도시 생략)을 각각 형성함으로써, 본 실시 형태의 유기 EL 소자의 주요부가 완성된다.

[0089] 이상으로 설명한 방법에 의해, 도 6에 도시하는 막 구성 A 내지 D의 각각의 구성의 베퍼막 및 배리어막을 갖는 4종류의 유기 EL 소자에, 동일한 조건에서 전류를 주입한 경우의 휘도를 비교한 결과를 이하에 설명한다. 우선, 도 1에 도시하는 바와 같이 진공 자외광 흡수층(107)을 형성하는 시료 구조로 비교한 경우, 가장 높은 휘도를 나타낸 시료는, 막 구성 C와 막 구성 D의 시료이며, 모두 거의 동등한 휘도를 나타냈다. 이에 대해, 비교예인 막 구성 B는 막 구성 C의 20% 내지 30%, 비교예인 막 구성 A는 막 구성 C의 8% 내지 15%의 휘도밖에 얻어지지 않았다.

[0090] 또한, 상기 시료를 상대 습도 90%, 80°C의 환경에 일정 시간 방치하고, 초기의 휘도에 대한 휘도의 변동량을 비교하였다. 그 결과, 막 구성 C, D의 휘도는 거의 변화하지 않은 것에 반해, 막 구성 B는 90% 내지 95%, 막 구성 A는 70% 내지 80%의 휘도로 감소하였다. 이상에 도시하는 바와 같이, 막 구성 C 또는 D의 밀봉막을 갖는 본 실시 형태의 광 반도체 장치에 따르면, 유기 EL 소자의 광 축출 효율(휘도)을 향상시킬 수 있고, 또한, 수분에 대한 신뢰성을 향상시키는 것이 가능하게 된다.

- [0091] 본 실시 형태에서는, 리모트 플라즈마 어시스트에 의한 광 CVD법에 의해 수분 배리어막(배리어막)을 형성하는 일례를 나타냈지만, 광 취출 효율(굴절률 제어) 또는 수분 배리어성(막 밀도)의 관점에서는, 다른 성막 방법을 이용해도 마찬가지의 효과가 얻어진다. 예를 들면, 도 1에 도시하는 유동성이 큰 베퍼막(108)의 형성에 의해 기초, 즉 베퍼막(108)의 상면이 평탄화되어 있으면, 단차 피복성으로 광 CVD법보다도 뒤떨어지는 플라즈마 CVD 법에 의해 배리어막(109, 111)을 이용해도 된다. 단, 본 실시 형태에서 나타낸 바와 같이, 밀봉막을 구성하는 베퍼막 및 배리어막을 동일한 장치로 연속해서 성막하면, 스루풋을 대폭으로 향상시킬 수 있다.
- [0092] 또한, 본 실시 형태에서는, 리모트 플라즈마 어시스트에 의한 광 CVD법에 의해 형성하는 베퍼막(108, 110, 112)의 굴절률을 1.65로 하였지만, 그 밖의 특성을 고려한 막 조성의 설정이 불가결하게 된다. 구체적으로는, 유기 실리콘 소스를 이용한 광 CVD법에 의한 성막에서는, 막 내의 질소의 함유량을 증가시키면 굴절률은 증가되지만, 막의 유동성은 열화되어, 막 응력 및 영률이 증가되는 경향을 나타낸다. 즉, 베퍼막에는, 양호한 평탄성, 크랙의 발생 및 막 박리를 방지하기 위한 저 응력, 저 영률과 동시에, 적층 밀봉막 내의 다중 반사의 억제 등의, 상반되는 성질이 요구된다. 본 발명자들은 상기 항목을 고려하여 검토하고, 파장 632.8nm의 광에 대한 배리어막과 베퍼막과의 굴절률 차이가 0.25 이하의 범위이면, 막의 크랙 또는 박리를 발생시키지 않고, 양호한 광 취출 효율(휘도)이 얻어지는 것을 확인하였다.
- [0093] 다음으로, 도 1에 도시하는 바와 같은 진공 자외광 흡수층(107)을 형성한 시료와, 도 16에 도시하는 바와 같은, 진공 자외광 흡수층을 형성하지 않는 시료의 비교를 행하였다. 도 16은 비교예로서 도시하는 광 반도체 장치의 단면도이며, 양자는 모두 밀봉막의 막 구성은 동일하게 도 6의 막 구성 A의 구성을 갖고 있지만, 도 16에 도시하는 비교예의 유기 EL 소자에는 캐소드 전극(206)의 상부에 자외광 흡수층이 형성되어 있지 않은 점에서 본 실시 형태의 유기 EL 장치와 다르다. 즉, 자외광 흡수층이 형성되어 있지 않은 점 이외에는, 도 16에 도시하는 유기 EL 소자는 도 1에 도시하는 유기 EL 소자와 동일한 구조를 갖고 있다.
- [0094] 도 1에 도시하는 진공 자외광 흡수층(107)을 형성한 시료는 밀봉막이 도 6에 도시하는 막 구성 A이므로, 막 구성 C, D에 비하면 휘도는 작지만 발광하는 것에 반해, 진공 자외광 흡수층(107)을 형성하지 않았던 도 16에 도시하는 시료는, 거의 발광하지 않았다. 이것은, 밀봉막 형성 공정의 최초의 공정인 베퍼막(208)의 형성 과정에서, 광 CVD법에 의해 이용하는 진공 자외광이 캐소드 전극(206)을 통과하여 유기 EL층(205)에 광 테미지를 주기 때문이다. 이에 대해, 본 실시 형태에서는, 도 1에 도시하는 바와 같이 유기 EL층(105)의 바로 위에 진공 자외광 흡수층(107)을 형성함으로써, 유기 EL층에 광 테미지를 주지 않고 광 CVD법에 의해 밀봉막을 형성하는 것을 가능하게 하고 있다.
- [0095] 본 실시 형태에서는 진공 자외광 흡수층(107)의 부재에 산질화 실리콘막을 이용한 예를 나타냈지만, 진공 자외광 흡수층(107)의 부재는 산질화 실리콘막일 필요성은 없고, 다른 부재에 의해 구성되어 있어도 된다. 본 발명자들의 검토에 따르면, 유기 EL층(105)에 통과하는 진공 자외광의 투과율이 약 10% 미만이면, 유기 EL층의 광 열화는 거의 보이지 않았다. 또한, 엄밀하게는 유기 EL층 상의 캐소드 전극이 진공 자외광의 5%를 흡수하기 때문에, 유기 EL층에 통과하는 진공 자외광의 5% 이상으로 되면, 유기 EL층이 광 테미지를 받아, 광 열화를 일으킨다.
- [0096] 따라서, 진공 자외광을 90% 이상 흡수하여 유기 EL층(105)에 광 테미지를 주지 않는 절연막이면, 산질화 실리콘막 이외의 막 종류를 이용하는 것도 가능하다. 예를 들면, 산화 알루미늄, 질화 알루미늄 또는 산질화 알루미늄 등을 이용해도 마찬가지의 효과가 얻어졌다. 단, 이용하는 막 종류의 각각의 광 흡수 계수를 고려하여, 필요한 막 두께를 설정할 필요가 있다.
- [0097] 또한, 본 실시 형태에서는, 진공 자외광 흡수층(107)의 성막을 다른 플라즈마 CVD 장치로 형성하였지만, 도 5에 도시한 장치로 형성하는 것도 가능하다. 예를 들면, 가스 도입구(506a)로부터  $\text{Si}_2\text{H}_6$  가스를, 리모트 플라즈마 도입구(505a)로부터 N\*를, 리모트 플라즈마 도입구(505b)로부터 0\*를 도입하고, 진공 자외광 램프 유닛(504)에 의한 램프 조사를 행하지 않고 산질화 실리콘막을 형성하는 방법이다. 광 조사를 행하지 않으므로 성막 속도는 저하되지만,  $\text{Si}_2\text{H}_6$  가스는 리모트 플라즈마로부터 도입되는 래디컬과 반응하기 때문에, 가스 유량비를 조정함으로써 산질화 실리콘막을 형성할 수 있다. 이 경우, 밀봉막과 동일한 장치로 일괄적으로 형성할 수 있으므로, 프로세스 전체의 스루풋의 향상 및 장치 투자 코스트의 삭감 등의 효과가 있다.
- [0098] 이상으로 설명한 바와 같이, 본 실시 형태의 유기 EL 소자에서는, 도 1에 도시하는 베퍼막(108, 110, 112), 배리어막(109, 111)을 도 6에 도시하는 막 구성 C 또는 D의 구성으로 형성함으로써, 베퍼막과 배리어막, 베퍼막과 캐소드 전극, 및 베퍼막과 접착층의 각각의 굴절률 차이를 작게 함으로써 밀봉막 내에서의 광 다중 반사를 억제

하여, 유기 EL 소자의 광 취출 효율(회도)을 향상시키는 것을 가능하게 하고 있다.

[0099] 상술한 바와 같이, 베퍼막 및 배리어막은, 리모트 플라즈마 어시스트를 수반하는 광 CVD법에 의해 형성한 산질화 실리콘막에 의해 구성하는 것이 가능하며, 이에 의해, 베퍼막 및 배리어막의 굴절률 차이를 작게 할 수 있다. 리모트 플라즈마 어시스트를 이용하지 않는 통상적인 광 CVD법에서는, 암모니아 가스 또는 질소 가스와 같은 소광 단면적이 작은 원료 가스를 분해하여 질소를 취출하고, 그 질소를 성막하는 막에 도입하는 것은 곤란 하지만, 도 5에 도시하는 바와 같은 성막 장치를 이용하고, 리모트 플라즈마 어시스트를 이용하여 질소 래디컬 등을 공급함으로써 원하는 산질화 실리콘막을 형성할 수 있다.

[0100] 이상, 본 발명자들에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

[0101] 예를 들면, 상기 실시 형태에서는 광 CVD법을 이용하여 밀봉막을 형성하기 위해, 광 CVD법에 이용하는 진공 자외광에 의해 유기 EL층이 데미지를 받는 것을 방지할 필요가 있다. 상기 실시 형태에서는, 도 1에 도시하는 바와 같이 진공 자외광 흡수층(107)을 형성함으로써, 베퍼막(108, 110, 112), 배리어막(109, 111)을 형성할 때에 조사되는 진공 자외광에 의해 유기 EL층(105)이 열화되어, 발광하지 않게 되는 것을 방지할 수 있다.

[0102] 또한, 상기 실시 형태에서는 유기 EL 소자 및 그 밀봉막을 형성한 광 반도체 장치를 일례로서 나타냈지만, 상기 밀봉막을 박막 트랜지스터를 구비한 유기 EL 디스플레이에 적용하는 것도 당연 가능하다. 예를 들면, 도 1에 도시한 클래스 기판(101)과 절연막(102) 사이에 박막 트랜지스터로 이루어지는 스위칭 소자를 구비하고, 상기 스위칭 소자와 유기 EL 소자와 접속함으로써, 유기 EL 디스플레이를 형성할 수 있다.

[0103] 또한, 수지 필름이나 수지 기판의 표면에 본 발명의 밀봉막을 형성함으로써, 수지 필름 또는 수지 기판 등의 흡습에 의한 치수 변동을 억제할 수 있는 것 외에, 상기 발명에 의한 밀봉막을 형성한 상기 수지 필름 또는 수지 기판 등과 유기 EL 디스플레이를 조합하여, 플렉시블 유기 EL 디스플레이를 형성할 수도 있다. 이 경우, 도 1에 도시하는 구조를 형성한 후, 클래스 기판(101)을 제거하고, 계속해서 도 1에 도시하는 베퍼막 및 배리어막과 마찬가지의 구조를 갖는 밀봉막에 의해 표면이 덮여진 수지 기판을 애노드 전극(102)의 하부에 접착한다. 또한, 마찬가지로, 상기 실시 형태의 밀봉막을 유기 EL 조명에 적용하는 것도 당연히 가능하다. 특히, 본 실시 형태와 같이, 밀봉막을 가시광이 통과하는 디바이스 구조로는 효과가 커진다.

[0104] 또한, 상기 실시 형태에서는 유기 EL층의 상부에 캐소드 전극을 배치하고, 유기 EL층의 하부에 애노드 전극을 배치하였지만, 반대로, 유기 EL층의 상부에 애노드 전극을 배치하고, 유기 EL층의 하부에 캐소드 전극을 배치해도 상관없다.

### 산업상 이용가능성

[0105] 본 발명의 광 반도체 장치의 제조 방법은, 가시광이 통과하는 밀봉막을 갖는 광 반도체 장치에 폭 넓게 이용되는 것이다.

### 부호의 설명

[0106] 101, 201 : 클래스 기판

102, 202 : 절연막

103, 203 : 애노드 전극

104, 204 : 뱅크부

105, 205 : 유기 EL층

106, 206 : 캐소드 전극

107 : 진공 자외광 흡수층

108, 110, 112, 208, 210, 212 : 베퍼막

109, 111, 209, 211 : 배리어막

301, 401 : 캐소드 전극

302a 내지 305a, 402b 내지 404a : 산화 실리콘막

302b 내지 304a, 402a 내지 405a : 질화 실리콘막

306, 406 : 접착층

501 : 반응실

502 : 기판

503 : 합성 석영창

504 : 진공 차외광 램프 유닛

505a, 505b : 리모트 플라즈마 도입구

506a, 506b : 가스 도입구

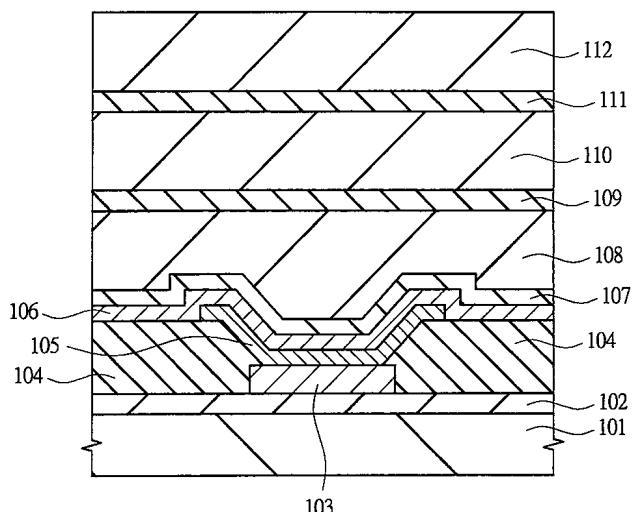
507 : 온도 제어 서셉터

508 : 진공 배기 기구

509 : 컨트롤러

## 도면

### 도면1



103 : 애노드 전극

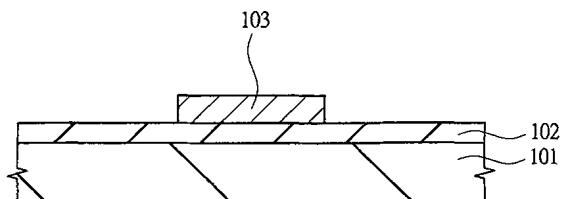
105 : 유기 EL층

106 : 캐소드 전극

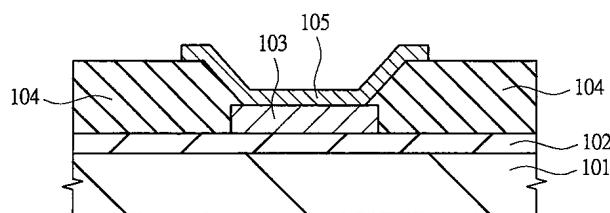
108,110,112 : 베티온막

109,111 : 배리어막

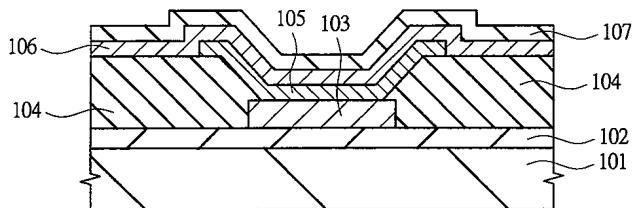
### 도면2



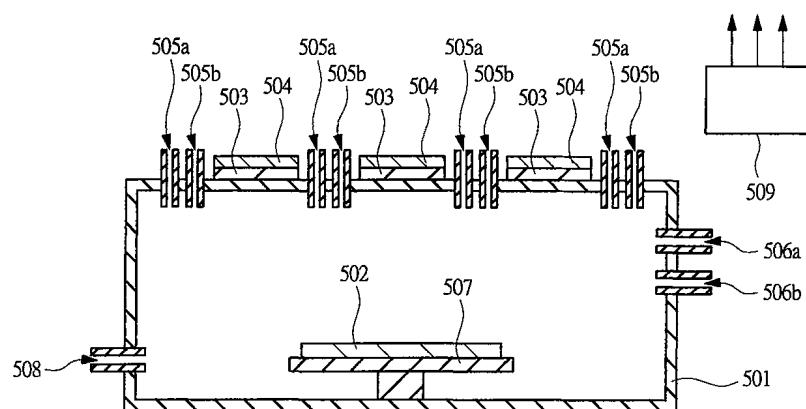
도면3



도면4



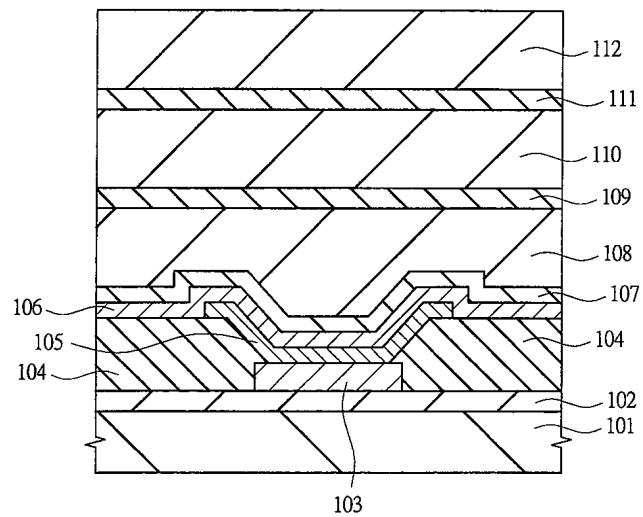
도면5



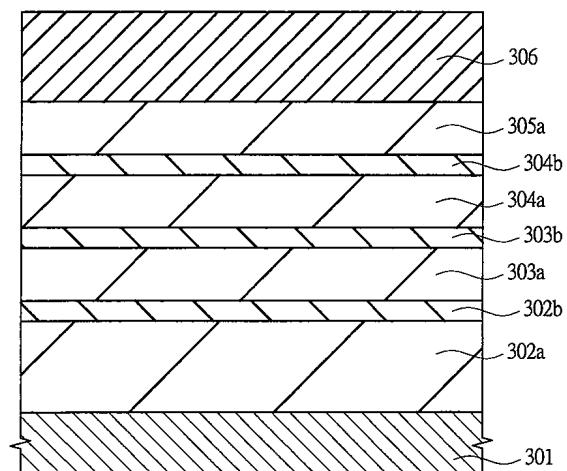
도면6

막 구성	비페막	가스 배리어막
A	산화 실리콘막 (OMCTS)	질화 실리콘막 (BTBAS)
B	산화 실리콘막 (OMCTS)	산질화 실리콘막 ( $\text{Si}_2\text{H}_6 + \text{O}^* + \text{N}^*$ )
C	산질화 실리콘막 (OMCTS + N*)	산질화 실리콘막 ( $\text{Si}_2\text{H}_6 + \text{O}^* + \text{N}^*$ )
D	산질화 실리콘막 (BTBAS + O*)	산질화 실리콘막 ( $\text{Si}_2\text{H}_6 + \text{O}^* + \text{N}^*$ )

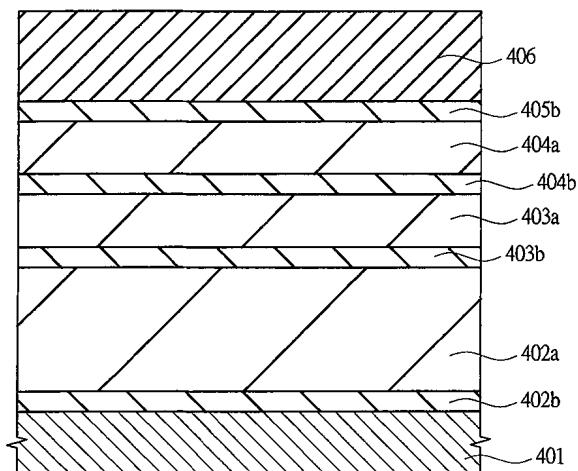
도면7



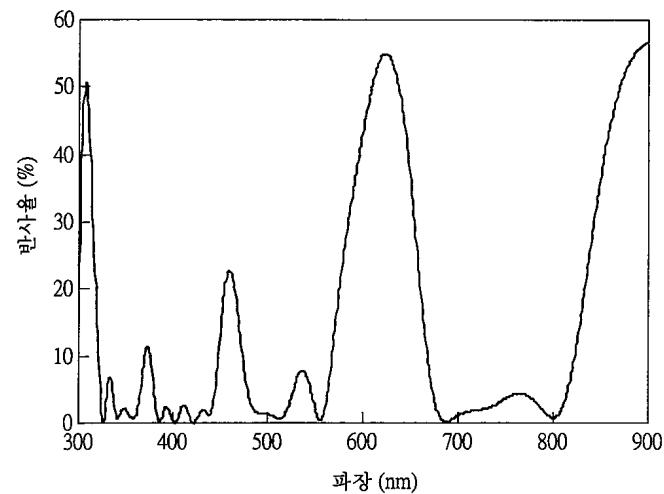
도면8



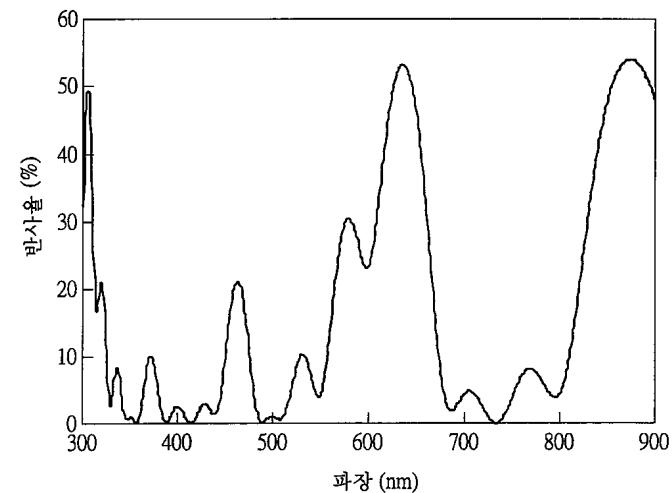
도면9



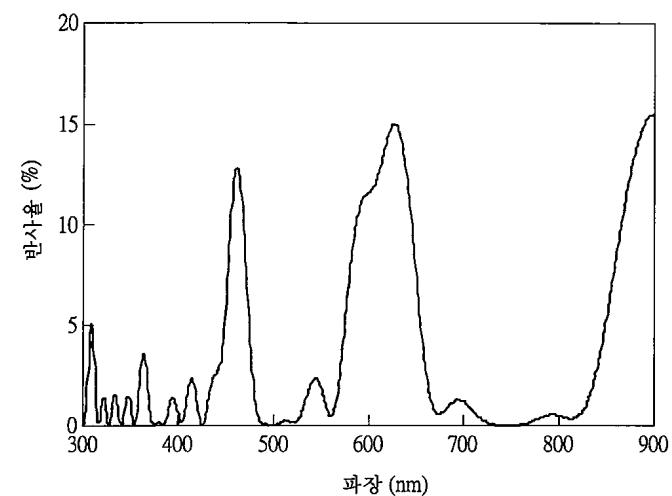
도면10



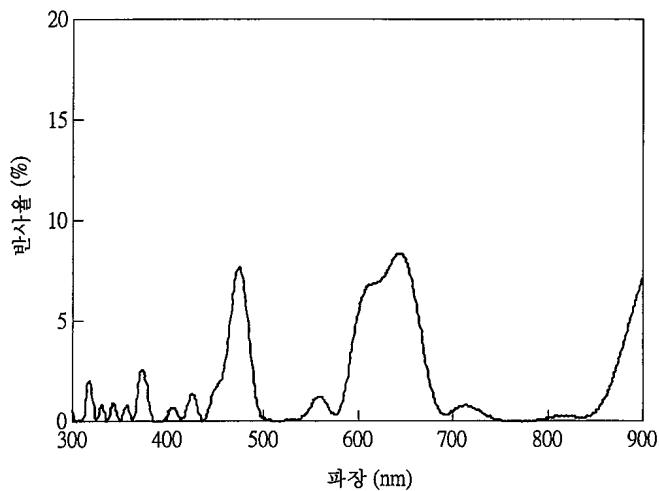
도면11



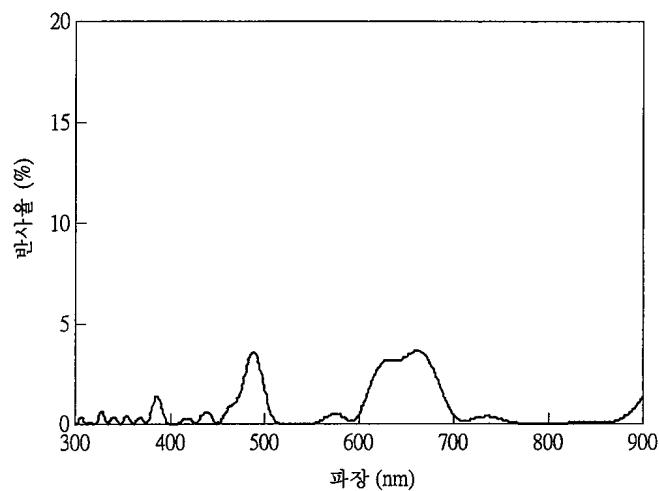
도면12



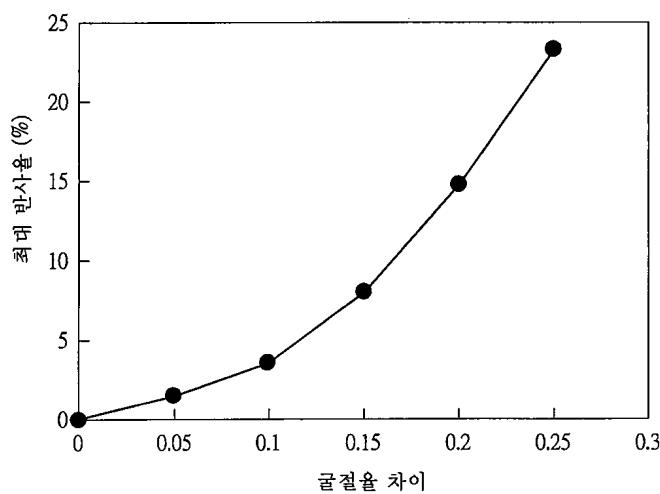
도면13



도면14



도면15



도면16

