



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201222768 A1

(43)公開日：中華民國 101 (2012) 年 06 月 01 日

(21)申請案號：100134206

(22)申請日：中華民國 100 (2011) 年 09 月 22 日

(51)Int. Cl. : *H01L23/64 (2006.01)*

H01L23/498 (2006.01)

H01L21/48 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2010/09/23 美國

61/385,913

2011/09/16 美國

13/235,158

(71)申請人：高通微機電系統科技公司 (美國) QUALCOMM MEMS TECHNOLOGIES, INC.

(US)

美國

(72)發明人：布萊克 賈斯汀 菲爾普斯 BLACK, JUSTIN PHELPS (US)；宣諾伊 瑞文德拉 V SHENOY, RAVINDRA V. (US)；古賽夫 艾吉尼 佩卓維齊 GOUSEV, EVGENI PETROVICH (RU)；哈傑克里斯托斯 亞瑞斯托泰 HADJICHRISTOS, ARISTOTELE (US)；邁爾斯 湯瑪斯 安德魯 MYERS, THOMAS ANDREW (US)；金龍海 KIM, JONGHAE (US)；費立茲 馬立歐 法蘭西斯可 VELEZ, MARIO FRANCISCO (US)；藍恩 傑雄 傑佛瑞 LAN, JE-HSIUNG JEFFREY (US)；羅齊順 LO, CHI SHUN (GB)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：49 項 圖式數：15 共 103 頁

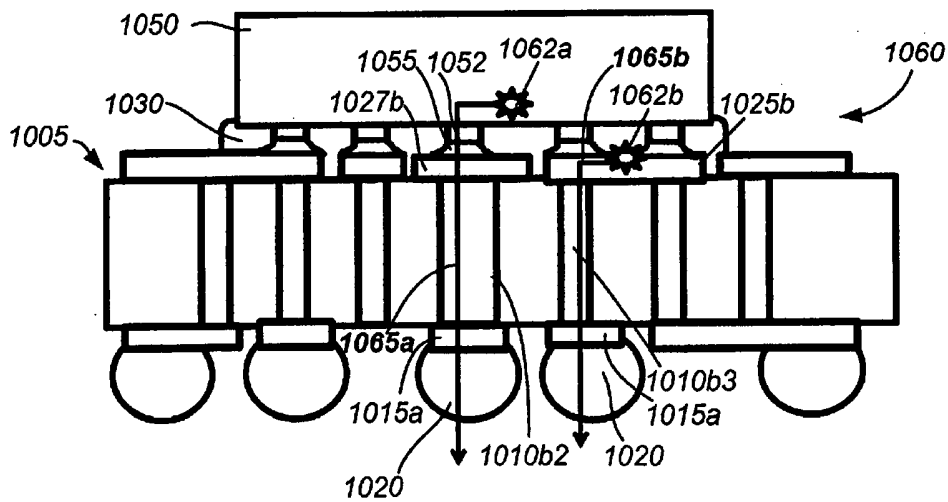
(54)名稱

整合被動及功率放大器

INTEGRATED PASSIVES AND POWER AMPLIFIER

(57)摘要

本發明提供用於組合沈積於一第一基板上之裝置與形成於諸如一半導體基板或一玻璃基板之一第二基板上之積體電路之系統、方法及設備。該第一基板可係一玻璃基板。該第一基板可包括若干導電通孔。可在該第一基板之一第一側上沈積一功率組合器電路。該功率組合器電路可包括沈積於該第一基板之至少該第一側上之若干被動裝置。該積體電路可包括一功率放大器電路，該功率放大器電路安置於該功率組合器電路上且組態成用於與該功率組合器電路電連接以形成一功率放大系統。該等導電通孔可包括組態成用於自該功率放大系統傳導熱量之若干熱通孔及/或組態成用於在該功率放大系統與該第一基板之一第二側上之一導體電連接之若干互連通孔。



- 1005：玻璃晶粒
- 1010b2：熱通孔
- 1010b3：熱通孔
- 1015a：接合墊
- 1020：焊料球
- 1025b：被動裝置
- 1027b：導電墊
- 1030：電絕緣黏合劑材料
- 1050：功率放大器晶片
- 1052：導電晶片墊
- 1055：焊料凸塊
- 1060：功率放大系統
- 1062a：熱點
- 1062b：熱點
- 1065a：導熱通路
- 1065b：導熱通路



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201222768 A1

(43)公開日：中華民國 101 (2012) 年 06 月 01 日

(21)申請案號：100134206

(22)申請日：中華民國 100 (2011) 年 09 月 22 日

(51)Int. Cl. : *H01L23/64 (2006.01)*

H01L23/498 (2006.01)

H01L21/48 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2010/09/23 美國

61/385,913

2011/09/16 美國

13/235,158

(71)申請人：高通微機電系統科技公司 (美國) QUALCOMM MEMS TECHNOLOGIES, INC.

(US)

美國

(72)發明人：布萊克 賈斯汀 菲爾普斯 BLACK, JUSTIN PHELPS (US)；宣諾伊 瑞文德拉 V SHENOY, RAVINDRA V. (US)；古賽夫 艾吉尼 佩卓維齊 GOUSEV, EVGENI PETROVICH (RU)；哈傑克里斯托斯 亞瑞斯托泰 HADJICHRISTOS, ARISTOTELE (US)；邁爾斯 湯瑪斯 安德魯 MYERS, THOMAS ANDREW (US)；金龍海 KIM, JONGHAE (US)；費立茲 馬立歐 法蘭西斯可 VELEZ, MARIO FRANCISCO (US)；藍恩 傑雄 傑佛瑞 LAN, JE-HSIUNG JEFFREY (US)；羅齊順 LO, CHI SHUN (GB)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：49 項 圖式數：15 共 103 頁

(54)名稱

整合被動及功率放大器

INTEGRATED PASSIVES AND POWER AMPLIFIER

(57)摘要

本發明提供用於組合沈積於一第一基板上之裝置與形成於諸如一半導體基板或一玻璃基板之一第二基板上之積體電路之系統、方法及設備。該第一基板可係一玻璃基板。該第一基板可包括若干導電通孔。可在該第一基板之一第一側上沈積一功率組合器電路。該功率組合器電路可包括沈積於該第一基板之至少該第一側上之若干被動裝置。該積體電路可包括一功率放大器電路，該功率放大器電路安置於該功率組合器電路上且組態成用於與該功率組合器電路電連接以形成一功率放大系統。該等導電通孔可包括組態成用於自該功率放大系統傳導熱量之若干熱通孔及/或組態成用於在該功率放大系統與該第一基板之一第二側上之一導體電連接之若干互連通孔。

六、發明說明：

【發明所屬之技術領域】

本發明係關於機電系統及微電子系統。

本申請案主張基於以下申請案之優先權：題為「INTEGRATED MEMS-BASED PASSIVES AND POWER AMPLIFIER」且於2010年9月23日提出申請之第61/385,913號美國臨時專利申請案(代理檔案號QUALP043P/102795P1)、及題為「INTEGRATED PASSIVES AND POWER AMPLIFIER」且於2011年9月____日提出申請之第____號美國申請案(代理檔案號QUALP043/102795)，這兩個申請案據此以引用方式且出於各種目的併入。

【先前技術】

機電系統(EMS)包括具有電元件及機械元件、致動器、轉換器、感測器、光學組件(包括鏡)及電子器件之裝置。機電系統可按各種各樣的尺度製造，包括但不限於微米尺度及奈米尺度。舉例而言，微機電系統(MEMS)裝置可包括具有介於自約一微米至數百微米或更大之範圍之大小之結構。奈米機電系統(NEMS)裝置可包括具有小於一微米之大小(包括(舉例而言)小於幾百奈米之大小)之結構。機電元件可係使用沈積、蝕刻、微影及/或蝕刻掉基板及/或所沈積材料層之若干部分或添加若干層以形成電裝置及機電裝置之其他微機械加工過程形成。

一種類型之EMS裝置稱作干涉式調變器(IMOD)。如本文中所用，術語干涉式調變器或干涉式光調變器係指使用

光學干涉原理選擇性地吸收及/或反射光之一裝置。在一些實施方案中，一干涉式調變器可包括一對導電板，該對導電板中之一者或兩者可係完全或部分透明的及/或反射的，且能夠在施加一適當電信號後相對運動。在一實施方案中，一個板可包括沈積於一基板上之一靜止層且另一板可包括由一空氣間隙與該靜止層分離開之一反射薄膜。一個板相對於另一個板之位置可改變入射於該干涉式調變器上之光之光學干涉。干涉式調變器裝置具有一廣範圍之應用，且預期用於改良現有產品及形成新產品，尤其具有顯示功能之產品。

近年來，對製造小規模功率放大器之興趣已增大。舉例而言，一些功率放大器已製作於絕緣體上矽(SOI)型互補金屬氧化物半導體(CMOS)上。儘管此類功率放大器通常令人滿意，但提供具有更小大小、更少外部封裝組件及更高效能之改良型小規模功率放大器將係合意的。

【發明內容】

本發明之系統、方法及裝置各自具有若干新穎態樣，該等態樣中之任一單項態樣皆不單獨地決定本文中所揭示之合意屬性。

本文中所闡述之一些實施方案提供一種包括具有形成於其上之至少一個被動組件之一基板之裝置。該基板可係一玻璃基板。一積體電路晶粒可附著至該基板之一第一表面。複數個通孔可在該基板之該第一表面與該基板之一第二表面之間延伸穿過該基板。該等通孔可係導電的及/或

導熱的。該積體電路晶粒可電連接至至少一個被動組件且電連接至至少一個通孔。該積體電路晶粒可係包括一功率放大器電路之一功率放大器晶片。在一些實施方案中，該等被動裝置中之至少一些裝置可形成一功率組合器電路。該功率放大器晶片與該功率組合器電路可形成一功率放大系統。

本文中所闡述之一些實施方案涉及一種包括具有一第一表面及實質上平行於該第一表面之一第二表面之一玻璃基板之整合裝置。該整合裝置可具有由安置於該玻璃基板之該第一表面上之至少一個經圖案化層與附著至該玻璃基板之該第一表面之一積體電路晶粒形成之至少一個被動組件。該整體裝置可具有延伸於該玻璃基板之該第一表面與該基板之該第二表面之間的複數個穿玻璃通孔。該積體電路晶粒可電連接至該至少一個被動組件及至少一個穿玻璃通孔。

至少一個被動組件可係一電阻器、一電容器、一可變電容器、一變容二極體、一電感器、一濾波器、一變壓器、一耦合器、一定向耦合器、一功率分離器、一傳輸線、一波導及/或一天線。在一些實施方案中，複數個該等被動組件可形成一功率組合器。該積體電路晶粒可包括一功率放大器電路。該至少一個被動組件及該積體電路晶粒可形成一功率放大系統。該整合裝置可包括延伸於該玻璃基板之該第一表面與該玻璃基板之該第二表面之間的一熱通孔。該熱通孔可與該積體電路晶粒熱接觸。

一種替代設備可包括具有若干導電通孔及所沈積之一功率組合器電路之一第一基板。在一些實施方案中，該第一基板可係一玻璃基板。該功率組合器電路可包括沈積於該第一基板之至少一第一側上之複數個被動裝置。該複數個被動裝置可包括一電阻器、一電容器、一可變電容器、一變容二極體、一電感器、一濾波器、一變壓器、一耦合器、一定向耦合器、一功率分離器、一傳輸線、一波導及/或一天線中之至少一者。該設備亦可包括沈積於該第一基板之該第一側上之至少一個主動組件。

該設備可包括具有形成於一第二基板上之一功率放大器電路之一功率放大器晶片。該第二基板可係一玻璃基板、一矽基板、一分層矽-絕緣體-矽基板、一砷化鎵基板或一藍寶石上矽基板。該功率放大器晶片可安置於該功率組合器電路上且組態成用於與該功率組合器電路電連接。該功率放大器電路及該功率組合器電路可形成一功率放大系統。

該等導電通孔可包括組態成用於在該功率放大系統與該第一基板之一第二側上之一導體之間電連接之一或多個互連通孔。該設備可包括該第一基板之該第二側上之若干經金屬化墊。該等互連通孔可組態成用於在該功率放大系統與該等經金屬化墊之間電連接。

該等導電通孔可包括組態成用於自該功率放大系統傳導熱量之至少一個熱通孔。至少一個熱通孔可寬於至少一個互連通孔。在一些實施方案中，一熱通孔具有為一互連通

孔之寬度的至少兩倍之一寬度。在一些此類實施方案中，該熱通孔具有介於該互連通孔之寬度的兩倍與五倍之間的一寬度。該等熱通孔中之至少一者可組態成用於在該功率放大系統與該第一基板之該第二側之間傳導電。然而，在一些實施方案中，至少一個熱通孔可不組態成用於在該功率放大系統與該第一基板之該第二側之間傳導電。

該功率放大器晶片可組態成用於經由焊料凸塊與該功率組合器電路電連接。該功率放大器晶片可覆蓋該等被動裝置之至少一部分。該設備可包括沈積於該第一基板之一第二側上且組態成用於與該功率放大系統電連接之至少一個被動裝置或主動裝置。

該設備亦可包括一顯示器及經組態以與該顯示器通信之一處理器。該處理器可經組態以處理影像資料。該設備亦可包括經組態以與該處理器通信之一記憶體裝置。該設備亦可包括經組態以發送至少一個信號至該顯示器之一驅動器電路及經組態以發送該影像資料之至少一部分至該驅動器電路之一控制器。該設備亦可包括經組態以接收輸入資料並將該輸入資料傳遞至該處理器之一輸入裝置。該設備亦可包括一接收器、一收發器及/或一傳輸器。

該設備可包括形成於該功率放大系統周圍之一包殼。在一些實施方案中，該包殼可包括一模製件，諸如一環氧樹脂模製件。在一些實施方案中，該包殼可包括一金屬籠。該包殼可包括具有一內部導電塗層之介電蓋，諸如一玻璃蓋。該導電塗層可係一金屬塗層。該內部導電塗層可電接

地。

一封裝電子裝置可包括該設備。該封裝電子裝置可包括至少一個額外積體電路。

本文中所闡述之一些方法涉及在一玻璃基板中形成複數個通孔、用導電材料來至少部分地填充該等通孔、在該玻璃基板之至少一第一側上沈積若干被動裝置以形成一功率組合器電路及組態一功率放大器晶片以用於與該功率組合器電路電連接從而形成一功率放大系統。該功率放大器晶片可包括形成於另一基板(諸如一半導體基板)上之一功率放大器電路。

形成該複數個通孔可涉及藉由雷射鑽孔、噴砂或蝕刻來形成該等通孔。該形成過程可涉及形成經組態以自該功率放大系統傳導熱量之至少一個熱通孔及形成組態成用於在該功率放大系統與該玻璃基板之一第二側上之一導體之間電連接之若干互連通孔。填充該等通孔可涉及用導電材料來填充至少該等互連通孔。填充該等通孔可涉及用導熱材料來填充至少該等熱通孔。

該等熱通孔中之至少一者可經形成具有較該等互連通孔中之至少一者為大之一寬度。在一些實施方案中，該等熱通孔中之至少一者可經形成具有為該等互連通孔中之至少一者之寬度的至少兩倍之一寬度。在一些實施方案中，該等熱通孔中之至少一者可經形成具有介於該等互連通孔中之至少一者之寬度的兩倍與五倍之間的一寬度。

該組態過程可涉及經由一覆晶焊料結合過程、一銅柱覆

晶結合過程或一各向異性導電膜過程將該功率放大器晶片附著至該功率組合器電路。該組態過程可涉及將該功率放大器晶片附著至該功率組合器電路及用一電絕緣黏合劑來底部填充該功率放大器晶片。該組態過程可涉及藉由用一導熱材料來底部填充該功率放大器晶片以自該功率放大器系統耗散熱量從而將該功率放大器晶片附著至該功率組合器電路。在一些實施方案中，該功率放大器晶片可覆蓋該等被動裝置之至少一部分。該方法可涉及在該玻璃基板之一第二側上沈積一被動裝置。

在附圖及下文說明中列舉本說明書中所闡述之標的物之一或多項實施方案之細節。儘管本發明中所提供之實例主要就基於機電系統(EMS)及微機電系統(MEMS)之顯示器而闡述，但本文中所提供之概念可適用於其他類型之顯示器，諸如液晶顯示器、有機發光二極體(「OLED」)顯示器及場傳輸顯示器。根據下文說明、圖式及申請專利範圍將明瞭其他特徵、態樣及優點。應注意，以下各圖之相對尺寸可能未按比例繪製。

【實施方式】

以下說明係針對用於闡述本發明之新穎態樣之目的之某些實施方案。然而，熟習此項技術者應易於看出，可以許多不同方式來應用本文中之教示。所述實施方案可實施於可經組態以顯示一影像(無論是運動影像(例如，視訊)還是靜止(stationary)影像(例如，靜止(still)影像)，且無論是文字影像、圖形影像還是圖片影像)之任一裝置或系統中。

更特定而言，本發明涵蓋所述實施方案可包括於各種各樣的電子裝置中或與各種各樣的電子裝置相關聯，諸如但不限於行動電話、具有多媒體網際網路功能之蜂巢式電話、行動電視接收器、無線裝置、智慧電話、藍芽裝置、個人資料助理(PDA)、無線電子郵件接收器、手持式或可攜式電腦、小筆電、筆記型電腦、智慧筆電、平板電腦、印表機、影印機、掃描機、傳真裝置、GPS接收器/導航儀、攝影機、MP3播放器、攝錄影機、遊戲控制台、手錶、鐘錶、計算器、電視監視器、平板顯示器、電子讀取裝置(亦即，電子讀取器)、電腦監視器、汽車顯示器(包括里程表及速度表顯示器等等)、駕駛艙控制件及/或顯示器、攝影機景物顯示器(諸如一車輛中之一後視攝影機之顯示器)、電子照片、電子告示牌或標牌、投影機、建築結構、微波爐、冰箱、立體音響系統、盒式錄音機或播放器、DVD播放器、CD播放器、VCR、無線電、可攜式記憶體晶片、洗滌機、乾燥機、洗滌機/乾燥機、停車計時器、封裝(諸如在機電系統(EMS)、微機電系統(MEMS)及非MEMS應用中)、美學結構(例如，一件珠寶上之影像之顯示)及各種各樣的EMS裝置。本文中之教示亦可用於非顯示應用中，諸如但不限於電子切換裝置、射頻濾波器、感測器、加速計、回轉儀、運動感測裝置、磁力計、消費性電子器件之慣性組件、消費性電子器件產品之零件、變容二極體、液晶裝置、電泳裝置、驅動方案、製造過程及電子測試裝備。因此，該等教示並非意欲限於僅繪示於該等圖中之實施方

案，而是具有熟習此項技術者應易於明瞭之寬廣適用性。

本發明提供用於組合沈積於可係一玻璃基板之一第一基板上之裝置與形成於諸如一基於矽的基板之一第二基板上之至少一個積體電路之系統、方法及設備。沈積於第一基板上之裝置中之至少一些裝置可係被動裝置。儘管本發明主要涉及以此一方式形成一功率放大系統，但本發明不僅限於此等實施方案。而是，本文中所闡述之許多態樣通常適用於組合一整體電路晶粒與形成於玻璃上之被動裝置。舉例而言，類似於本文中所闡述之過程之過程可用於形成一接收/傳輸無線電(RTR)、一低雜訊放大器、一混頻器、一主動濾波器、一數位信號處理器、一控制器、一線驅動器、一光學收發器、一無線感測器、一電源偏壓產生或調節電路、一相控陣列電路、一類比數位或數位類比轉換器、一記憶體、其組合及/或其他裝置。

在一項態樣中，該(該等)被動裝置可包括一或多個電阻器、電容器、可變電容器、變容二極體、電感器、濾波器、變壓器、耦合器、定向耦合器、功率分離器、傳輸線、波導或天線。該設備亦可包括沈積於第一基板之第一側上之至少一個主動組件。該設備亦可包括沈積於第一基板之一第二側上之至少一個被動裝置或主動裝置。

一積體電路晶粒可附著至第一基板之一第一表面。複數個通孔可在第一基板之第一表面與第一基板之一第二表面之間延伸穿過第一基板。該等通孔可係導電的及/或導熱的。該積體電路晶粒可電連接至至少一個被動組件且電連

接至至少一個通孔。

在一些實施方案中，第一基板可由具有類似於玻璃之性質之性質之材料(諸如塑膠)形成。該積體電路晶粒可形成於亦習知為一「絕緣體上矽」(SOI)基板之一分層矽-絕緣體-矽基板上。在一些其他實施方案中，該整體電路晶粒可形成於一玻璃基板、一矽基板、一砷化鎵基板或一藍寶石上矽基板上。

一功率組合器電路可包括沈積於第一基板之至少第一側上之被動裝置中之至少一些裝置。該積體電路晶粒可包括一功率放大器電路，該功率放大器電路安置於該功率組合器電路上，且組態成用於與該功率組合器電路電連接，從而形成一功率放大系統。該等導熱通孔可組態成用於將熱量自該功率放大系統傳導至該基板之一第二側上之一散熱器。根據特定實施方案，該等導熱通孔既可係亦可不係導電的。該等導熱通孔中的一些通孔可寬於導電互連通孔，例如，二至五倍寬。

本發明中所闡述之標的物之特定實施方案可經實施以實現以下潛在優點中之一者或多者。舉例而言，功率組合器之被動組件先前已與主動功率放大電路共同製作於SOI晶圓上。在一些例項中，此一積體電路之佔用面積因該製作過程之成本或對一小形式因子之期望而受到限制。根據本文中所提供之一些實施方案，該等被動裝置可遍佈較該積體電路之佔用面積為大之一面積。此可係有利的，因為在玻璃上製作該等被動裝置可係相對不太昂貴的。

此外，根據本文中所提供之一些實施方案，堆疊該SOI基板及該玻璃基板導致與在該等被動與該SOI基板整合在一起之情況下相比較該功率放大系統所佔用之總面積之減少。此等解決方案亦可免除單獨封裝及裝配要求且減少單獨組件之總數。在一些穿玻璃通孔實施方案中，被動裝置可製作於該玻璃基板之頂側及底側上。在其他穿玻璃通孔實施方案中，一些被動裝置可跨越該玻璃基板之頂側及底側兩者。此等實施方案可提供效能之更進一步改良及或總佔用面積之進一步減少。

在一些堆疊實施方案中，在一玻璃基板上形成被動與在該功率放大晶片上或在一印刷電路板上形成被動相比可具有以下優點：更高Q、更大準確度、穩定性及容限、更低寄生效應、更高可靠性以及更低成本。在一些堆疊實施方案中，該等焊料球、被動組件、主動元件及穿玻璃通孔可經組態以減少損耗且使該功率放大系統之電端子之間的非合意耦合最小化，從而提供更高電隔離。在一些堆疊實施方案中，焊料球、被動組件、主動元件及穿玻璃通孔經組態以精確控制該功率放大系統之電互連之阻抗位準及跡線長度。使電線長度最小化可減輕雜訊耦合且減少回波及插入損耗。減少損耗可進一步減少系統中所產生之熱量，此又會提高可靠性及該功率放大系統之整體效能。在一些實施方案中，將該等被動裝置與由該功率放大器晶片所產生之熱量隔離可提高可靠性或組件穩定性。

此外，在一些實施方案中，堆疊亦可減少該功率放大系

統之總面積或佔用面積。在一些實施方案中，堆疊使該等功率組合器被動及主動電路升高至一印刷電路板(PCB)之上，此可減輕來自該PCB或其他周邊電路元件之寄生效應之耦合雜訊或損耗。

因該功率放大器電路消耗典型電子裝置中之功率之一很大部分，故使原本降低效率之傳輸鏈中之任何損耗最小化很重要。自SOI基板或CMOS基板轉移被動給予用以設計被動相對於該功率放大系統之其他元件(諸如主動電路或焊料球)之位置之額外自由度。此靈活性可有助於減少插入及回波損耗、部分地藉由使跡線長度及阻抗間斷最小化來改良電隔離及匹配並提高可靠性。

所述實施方案可適用於其之一合適EM或MEMS裝置之一實例係一反射顯示裝置。反射顯示裝置可併入用以使用光學干涉原理選擇性地吸收及/或反射入射於其上之光之干涉式調變器(IMOD)。IMOD可包括一吸收器、可相對於該吸收器移動之一反射器及界定於該吸收器與該反射器之間的一光學諧振腔。該反射器可移動至兩個或更多個不同位置，此可改變該光學諧振腔之大小且藉此影響該干涉式調變器之反射比。IMOD之反射光譜可形成可跨越可見波長移位以產生不同色彩之相當寬的光譜帶。可藉由改變該光學諧振腔之厚度來調整光譜帶之位置。改變該光學諧振腔之一種方式係藉由改變該反射器之位置。

圖1展示繪示一干涉式調變器(IMOD)顯示裝置之一系列像素中之兩個毗鄰像素之一等軸視圖之一實例。該IMOD

顯示裝置包括一或多個干涉式MEMS顯示元件。在此等裝置中，MEMS顯示元件之像素可處於一亮狀態或暗狀態下。在亮(「鬆弛」或「打開」或「接通」)狀態下，該顯示元件將入射可見光之一大部分反射(例如)至一使用者。相反地，在暗(「致動」、「關閉」或「關斷」)狀態下，該顯示元件幾乎不反射入射可見光。在一些實施方案中，可顛倒接通狀態與關斷狀態之光反射性質。MEMS像素可經組態以主要以特定波長反射，從而實現除黑色及白色之外的一色彩顯示。

IMOD顯示裝置可包括一系列/行IMOD陣列。每一IMOD可包括一對反射層，亦即，彼此隔開一可變及可控距離定位以形成一空氣間隙(亦稱作一光學間隙或腔)之一可移動反射層及一固定部分反射層。該可移動反射層可在至少兩個位置之間移動。在一第一位置(亦即，一鬆弛位置)中，該可移動反射層可與該固定部分反射層隔開一相對大的距離定位。在一第二位置(亦即，一致動位置)中，該可移動反射層可更接近於該部分反射層定位。相依於可移動反射層之位置，自該兩個層反射之入射光可相長地或相消地干涉，從而產生每一像素之一整體反射或非反射狀態。在一些實施方案中，該IMOD可在不被致動時處於一反射狀態下，從而反射在可見光譜內之光，且可在不被致動時處於一暗狀態下，從而吸收及/或相消地干涉在可見範圍內之光。然而，在一些其他實施方案中，一IMOD可在不被致動時處於一暗狀態下，且在被致動時處於一反射狀態下。

在一些實施方案中，一所施加電壓之引入可驅動像素改變狀態。在一些其他實施方案中，一所施加電荷可驅動像素改變狀態。

圖1中之像素陣列之繪示部分包括兩個干涉式調變器12(亦即，IMOD像素)。在左側之IMOD 12(如所圖解說明)中，一可移動反射層14圖解說明為處於與包括一部分反射層之一光學堆疊16隔開一距離(其可基於設計參數預定)之一鬆馳位置中。跨越左側之IMOD 12施加之電壓 V_0 不足以致使可移動反射層14之致動。在右側之IMOD 12中，可移動反射層14圖解說明為處於接近、毗鄰或接觸光學堆疊16之一致動位置中。跨越右側之IMOD 12施加之電壓 V_{bias} 足以移動且可使可移動反射層14維持在該致動位置中。

在圖1中，藉助指示入射於像素12上之光及自左側之像素12反射之光15之箭頭13大體圖解說明像素12之反射性質。熟習此項技術者應易於看出，入射於像素12上之光13之大部分可朝向光學堆疊16透射過透明基板20。入射於光學堆疊16上之光之一部分可透射過光學堆疊16之部分反射層，且一部分將透過透明基板20向回反射。光13之透射過光學堆疊16之部分可向回朝向(且透過)透明基板20反射於移動反射層14處。自光學堆疊16之部分反射層反射之光與自可移動反射層14反射之光之間的干涉(相長性的或相消性的)將確定自像素12反射之光15之該(該等)波長。

光學堆疊16可包括一單個層或幾個層。該(等)層可包括一電極層、一部分反射與部分透射層及一透明介電層中之

一者或多者。在一些實施方案中，光學堆疊16係導電的，部分透明及部分反射的，且可係(舉例而言)藉由將上述層中之一者或多者沈積至一透明基板20上而製成。該電極層可由各種各樣之材料形成，諸如各種金屬(舉例而言，氧化銦錫(ITO))。該部分反射層可由係部分反射之各種各樣之材料形成，諸如各種金屬，例如鉻(Cr)、半導體及電介質。該部分反射層可由一或多個材料層形成，且該等層中之每一者可由一單個材料或一材料組合形成。在一些實施方案中，光學堆疊16可包括一單個半透明厚度之金屬或半導體，其充當一光學吸收器及導體兩者，而不同、更多導電層或部分(例如，光學堆疊16之或IMOD之其他結構之)可用來在IMOD像素之間運送(bus)信號。光學堆疊16亦可包括一或多個絕緣或介電層，其涵蓋一或多個導電層或一導電/吸光層。

在一些實施方案中，光學堆疊16之該(該等)層可圖案化成若干平行條帶，且可如下文進一步闡述形成一顯示裝置中之列電極。如熟習此項技術者應理解，術語「圖案化」在本文中用於指代遮蔽以及蝕刻過程。在一些實施方案中，可將一高度導電及反射材料(諸如鋁(Al))用於可移動反射層14，且此等條帶可形成一顯示裝置中之行電極。可移動反射層14可形成為一(或多個)所沈積金屬層之一系列平行條帶(正交於光學堆疊16之列電極)以形成沈積於柱18之頂上之行及沈積於柱18之間的一介入犧牲材料。當蝕刻掉該犧牲材料時，可在可移動反射層14與光學堆疊16之間

形成一經界定間隙19或光學腔。在一些實施方案中，柱18之間的間距可係大約1至1000微米，而間隙19可小於10,000埃(Å)。

在一些實施方案中，IMOD之每一像素(無論處於致動狀態還是鬆弛狀態下)實質上係由固定反射層及移動反射層形成之一電容器。當不施加電壓時，可移動反射層14保持在一機械鬆弛狀態下，如圖1中左側之像素12所圖解說明，其中在可移動反射層14與光學堆疊16之間存在間隙19。然而，當將一電位差(例如，電壓)施加至一選定列及行中之至少一者時，在對應像素處形成於列電極與行電極之相交處之電容器變為帶電荷的，且靜電力聚攏該等電極。若所施加之電壓超過一臨限值，則可移動反射層14可變形且移動接近或抵靠光學堆疊16。光學堆疊16內之一介電層(未展示)可防止短路且控制層14與層16之間的分離距離，如圖1中右側之致動像素12所圖解說明。不管所施加電位差之極性如何，行為皆相同。儘管可在一些例項中將一陣列中之一系列像素稱作「列」或「行」，但熟習此項技術者應易於理解，將一個方向稱作一「列」且將另一方向稱作一「行」係任意的。重申，在一些定向中，可將列視為行，且將行視為列。此外，該等顯示元件可均勻地配置成正交之列與行(一「陣列」)，或配置成非線性組態，舉例而言，相對於彼此具有一定位置偏移(一「鑲嵌圖案」)。術語「陣列」及「鑲嵌圖案」可指代這兩個組態中之任一組態。因此，儘管將顯示器稱作包括一「陣列」

或「鑲嵌圖案」，但在任一例項中，元件本身無需配置成彼此正交或安置成一均勻分佈，而是可包括具有不對稱形狀及不均勻分佈之元件之配置。

圖2展示圖解說明併入一3x3干涉式調變器顯示器之一電子裝置之一系統方塊圖之一實例。該電子裝置包括可經組態以執行一或多個軟體模組之一處理器21。除執行一作業系統之外，處理器21可經組態以執行一或多個軟體應用程式，包括一網頁瀏覽器、一電話應用程式、一電子郵件程式或任一其他軟體應用程式。

處理器21可經組態以與一陣列驅動器22通信。陣列驅動器22可包括向例如一顯示器陣列或面板30提供信號之一列驅動器電路24及一行驅動器電路26。圖2中之線1-1展示圖1中所圖解說明之IMOD顯示裝置之剖面。儘管出於清晰起見，圖2圖解說明一3x3 IMOD陣列，但顯示陣列30可含有極大數目個IMOD，且可在列中具有與在行中不同之數目個IMOD，且反之亦然。

圖3展示圖解說明圖1之干涉式調變器之可移動反射層位置與所施加電壓之關係之一圖之一實例。對於MEMS干涉式調變器，列/行(亦即，共同/分段)寫入程序可利用圖3中所圖解說明之此等裝置之一滯後性質。一干涉式調變器可能需要(舉例而言)約10伏電位差來致使可移動反射層(或鏡)自鬆弛狀態改變為致動狀態。當電壓自彼值減小時，可移動反射層在電壓降回至(例如)10伏以下時維持其狀態，然而，可移動反射層在電壓降至2伏之下之前不完全

鬆弛。因此，如圖3中所展示，存在大約3至7伏之一電壓範圍，在該電壓範圍內存在一施加電壓窗，在該窗內該裝置穩定在鬆弛狀態或致動狀態下。此窗在本文中稱作「滯後窗」或「穩定窗」。對於具有圖3之滯後特性之一顯示器陣列30，列/行寫入程序可經設計以一次定址一或多個列，以使得在對一給定列之定址期間，使所定址列中欲被致動之像素經受約10伏之一電壓差，且使欲被鬆弛之像素經受接近0伏之一電壓差。在定址之後，使該等像素經受一穩定狀態或約5伏之偏壓電壓差，以使得其保持在先前選通狀態下。在此實例中，在被定址之後，每一像素皆經受在約3至7伏之「穩定窗」內之一電位差。此滯後性質特徵使得(例如)圖1中所圖解說明之像素設計能夠在相同施加電壓條件下保持穩定在一致動或鬆弛預先存在狀態下。因每一IMOD像素(無論是處於致動狀態還是鬆弛狀態下)實質上係由固定反射層及移動反射層形成之一電容器，故可在不實質上消耗或損耗功率之情況下使此穩定狀態保持在該滯後窗內之一穩定電壓下。此外，實質上，若所施加電壓電位保持實質上固定，則幾乎沒有電流流動至IMOD像素中。

在一些實施方案中，可藉由根據一給定列中之像素之狀態之所期望變化(若有)，沿著該組行電極以「分段」電壓之形式施加資料信號來形成一影像之一圖框。可依次定址該陣列之每一列，以使得一次一列地寫入該圖框。為將所期望資料寫入至一第一列中之像素，可在行電極上施加對

應於第一列中像素之所期望狀態之分段電壓，且可對第一列電極施加呈一特定「共同」電壓或信號之形式之一第一列脈衝。然後，可改變該組分段電壓以對應於第二列中像素之狀態之所期望變化(若有)，且可對第二列電極施加一第二共同電壓。在一些實施方案中，第一列中之像素不受沿著行電極施加之分段電壓之變化影響，且在第一共同電壓列脈衝期間保持在其已被設定至之狀態。可按一順序方式對整個列系列或另一選擇係對整個行系列重複此過程以產生該影像圖框。可藉由以某一所期望數目個圖框每秒之速度連續重複此過程來用新影像資料刷新及/或更新該等圖框。

跨越每一像素(亦即，跨越每一像素之電位差)施加之分段信號與共同信號之組合確定每一像素之所得狀態。圖4展示圖解說明當施加各種共同電壓及分段電壓時一干涉式調變器之各種狀態之一表格之一實例。如熟習此項技術者應易於理解，可對行電極或列電極施加「分段」電壓，且可對行電極或列電極中之另一者施加「共同」電壓。

如在圖4中(以及在圖5B中所展示之時序圖中)所圖解說明，當沿著一共同線施加一釋放電壓 $V_{C_{REL}}$ 時，沿著該共同線之所有干涉式調變器元件將被置於一鬆弛狀態(或者稱作一釋放狀態或不致動狀態)下，而不管沿著分段線所施加之電壓(亦即，高分段電壓 V_{S_H} 及低分段電壓 V_{S_L})如何。特定而言，當沿著一共同線施加釋放電壓 $V_{C_{REL}}$ 時，在沿著彼像素之對應分段線施加高分段電壓 V_{S_H} 及低分段

電壓 VS_L 之兩種情況下，跨越該調變器之電位電壓(或者稱作一像素電壓)皆在鬆弛窗(參見圖3，亦稱作一釋放窗)內。

當對一共同線施加一保持電壓(諸如一高保持電壓 VC_{HOLD_H} 或一低保持電壓 VC_{HOLD_L})時，干涉式調變器之狀態將保持恆定。舉例而言，一鬆弛IMOD將保持在一鬆弛位置中，且一致動IMOD將保持在一一致動位置中。該等保持電壓可經選擇以使得在沿著對應分段線施加高分段電壓 VS_H 及低分段電壓 VS_L 之兩種情況下，該像素電壓將保持在一穩定窗內。因此，分段電壓擺動(亦即，高 VS_H 與低分段電壓 VS_L 之間的差)小於正穩定窗或負穩定窗中之任一者之寬度。

當在一共同線上施加一定址電壓或致動電壓(諸如一高定址電壓 VC_{ADD_H} 或一低定址電壓 VC_{ADD_L})時，可藉由沿著各別分段線施加分段電壓選擇性地將資料寫入至沿著彼線之調變器。該等分段電壓可經選擇以使得該致動相依於所施加之分段電壓。當沿著一共同線施加一定址電壓時，施加一個分段電壓將導致在一穩定窗內之一像素電壓，從而致使該像素保持不致動。與此相反，施加另一個分段電壓將導致超出該穩定窗之一像素電壓，從而導致該像素致動。致使致動之特定分段電壓可相依於使用了哪一個定址電壓而變化。在一些實施方案中，當沿著共同線施加高定址電壓 VC_{ADD_H} 時，施加高分段電壓 VS_H 可致使一調變器保持在其當前位置中，而施加低分段電壓 VS_L 可致使該調

變器致動。作為一推論，當施加一低定址電壓 VC_{ADD_L} 時，分段電壓之效應可係相反的，其中，高分段電壓 VS_H 致使該調變器致動，且低分段電壓 VS_L 對該調變器之狀態無影響(亦即，保持穩定)。

在一些實施方案中，可使用跨越該等調變器產生相同極性電位差之保持電壓、位址電壓及分段電壓。在一些其他實施方案中，可使用更改調變器之電位差之極性之信號。更改跨越調變器之極性(亦即，更改寫入程序之極性)可減小或抑制在一單個極性之重複寫入操作之後可能發生之電荷累積。

圖5A展示圖解說明在圖2之3x3干涉式調變器顯示器中之一顯示資料圖框之一圖示之一實例。圖5B展示可用於寫入圖5A中所圖解說明之顯示資料圖框之共同信號及分段信號之一時序圖之一實例。可將該等信號施加至(例如)圖2之3x3陣列，此將最終導致圖5A中所圖解說明之線時間60e顯示配置。圖5A中之致動調變器處於一暗狀態下，亦即，其中所反射光之大部分超出可見光譜範圍，從而導致呈現給(例如)一觀看者之一暗外觀。在寫入圖5A中所圖解說明之圖框之前，該等像素可處於任一狀態下，但圖5B之時序圖中所圖解說明之寫入程序假定，在第一線時間60a之前，每一調變器皆被釋放且駐存於一不致動狀態下。

在第一線時間60a期間：在共同線1上施加一釋放電壓70施；施加於共同線2上之電壓從一高保持電壓72開始且移動至一釋放電壓70；且沿著共同線3施加一低保持電壓

76。因此，沿著共同線1之調變器(共同1，分段1)(1,2)及(1,3)保持在一鬆弛或不致動狀態下達第一線時間60a之持續時間，沿著共同線2之調變器(2,1)(2,2)及(2,3)將移動至一鬆弛狀態，且沿著共同線3之調變器(3,1)、(3,2)及(3,3)將保持在其先前狀態下。參考圖4，沿著分段線1、2及3施加之分段電壓將對干涉式調變器之狀態無影響，因為在線時間60a期間，共同線1、2或3皆不經受致使致動之電壓位準(亦即， $V_{C_{REL}}$ -鬆弛與 $V_{C_{HOLD_L}}$ -穩定)。

在第二線時間60b期間，共同線1上之電壓移動至一高保持電壓72，且因未在共同線1上施加定址電壓或致動電壓，故不管所施加之分段電壓如何，沿著共同線1之所有調變器皆保持在一鬆弛狀態下。沿著共同線2之調變器因施加釋放電壓70而保持在一鬆弛狀態下，且當沿著共同線3之電壓移動至一釋放電壓70時，沿著共同線3之調變器(3,1)、(3,2)及(3,3)將鬆弛。

在第三線時間60c期間，藉由在共同線1上施加一高定址電壓74來定址共同線1。因在施加此位址電壓期間沿著分段線1及2施加一低分段電壓64，故跨越調變器(1,1)及(1,2)之像素電壓大於調變器之正穩定窗之高端(亦即，電壓差超過一預界定臨限值)，且調變器(1,1)及(1,2)被致動。相反地，因沿著分段線3施加一高分段電壓62，故跨越調變器(1,3)之像素電壓小於調變器(1,1)及(1,2)之像素電壓，且保持在該調變器之正穩定窗內；調變器(1,3)因此保持鬆弛。亦在線時間60c期間，沿著共同線2之電壓減小至一低

保持電壓76，且沿著共同線3之電壓保持在一釋放電壓70下，從而使沿著共同線2及3之調變器處於一鬆弛位置中。

在第四線時間60d期間，共同線1上之電壓返回至一高保持電壓72，從而使沿著共同線1上之調變器處於其各別經定址狀態下。將共同線2上之電壓減小至一低定址電壓78。因沿著分段線2施加一高分段電壓62，故跨越調變器(2,2)之像素電壓低於該調變器之負穩定窗之低端，從而致使調變器(2,2)致動。相反地，因沿著分段線1及3施加一低分段電壓64，故調變器(2,1)及(2,3)保持在一鬆弛位置中。共同線3上之電壓增加至一高保持電壓72，從而使沿著共同線3之調變器處於一鬆弛狀態下。

最後，在第五線時間60e期間，共同線1上之電壓保持在一高保持電壓72下，且共同線2上之電壓保持在一低保持電壓76下，從而使沿著共同線1及2之調變器處於其各別經定址狀態下。共同線3上之電壓增加至一高定址電壓74以定址沿著共同線3之調變器。因在分段線2及3上施加一低分段電壓64，故調變器(3,2)及(3,3)致動，而沿著分段線1施加之高分段電壓62致使調變器(3,1)保持在一鬆弛位置中。因此，在第五線時間60e結束時，3x3像素陣列處於圖5A中所展示之狀態下，且將保持在彼狀態下，只要沿著該等共同線施加保持電壓，而不管在定址沿著其他共同線(未展示)之調變器時可發生之分段電壓之變化如何。

在圖5B之時序圖中，一給定寫入程序(亦即，線時間60a至60e)可包括對高保持與定址電壓或低保持與定址電壓中

之任一者之使用。一旦針對一給定共同線之寫入程序已完成(且將該共同電壓設定至具有與致動電壓相同之極性之保持電壓)，該像素電壓便保持在一給定穩定窗內，且不穿過該鬆弛窗，直至在彼共同線上施加一釋放電壓為止。此外，因在定址調變器之前作為該寫入程序之一部分釋放每一調變器，故一調變器之致動時間，而不是釋放時間，可確定必要線時間。特定而言，在其中一調變器之釋放時間大於致動時間之實施方案中，可施加釋放電壓達長於一單個線時間之時間，如在圖5B中所繪示。在一些其他實施方案中，沿著共同線或分段線施加之電壓可變化以計及不同調變器(諸如不同色彩之調變器)之致動電壓及釋放電壓之變化。

根據上文所列舉之原理操作之干涉式調變器之結構之細節可能相差很大。舉例而言，圖6A至圖6E展示包括可移動反射層14及其支撐結構之干涉式調變器之不同實施方案之剖面圖之實例。圖6A展示圖1之干涉式調變器顯示器之一局部剖面圖之一實例，其中一金屬材料條帶(亦即，可移動反射層14)沈積於自基板20正交延伸之支撐件18上。在圖6B中，每一IMOD之可移動反射層14在形狀上係大體呈方形或矩形且藉由繫鏈32於拐角處或接近拐角處附著至支撐件。在圖6C中，可移動反射層14之形狀大體呈方形或矩形且自一可變形層34懸掛，可變形層34可包括一撓性金屬。可變形層34可在可移動反射層14之周邊周圍直接或間接連接至基板20。此等連接在本文中稱作支撐柱。圖6C中

所展示之實施方案具有源自將可移動反射層14之光學功能與其機械功能(由可變形層34實施)解耦之額外益處。此解耦允許用於可移動反射層14之結構設計及材料與用於可變形層34之結構設計及材料彼此獨立地最佳化。

圖6D展示其中可移動反射層14包括一反射子層14a之一IMOD之另一實例。可移動反射層14倚靠在一支撐結構(諸如支撐柱18)上。支撐柱18提供可移動反射層14與下部靜止電極(亦即，所圖解說明IMOD中之光學堆疊16之一部分)之分離，以使得(舉例而言)當可移動反射層14處於一鬆弛位置中時，在可移動反射層14與光學堆疊16之間形成一間隙19。可移動反射層14亦可包括可經組態以充當一電極之一導電層14c及一支撐層14b。在此實例中，導電層14c安置於支撐層14b之遠離基板20之一個側上且反射子層14a安置於支撐層14b之接近於基板20之另一側上。在一些實施方案中，反射子層14a可係導電的且可安置於支撐層14b與光學堆疊16之間。支撐層14b可包括一介電材料(舉例而言，氧氮化矽(SiON)或二氧化矽(SiO_2))之一或多個層。在一些實施方案中，支撐層14b可係一層堆疊，諸如(舉例而言)一 $\text{SiO}_2/\text{SiON}/\text{SiO}_2$ 三層堆疊。反射子層14a及導電層14c中之任一者或兩者可包括(例如)具有約0.5%銅(Cu)之一鋁(Al)合金或另一反射金屬材料。在介電支撐層14b上面及下面採用導電層14a、14c可平衡應力且提供增強之傳導。在一些實施方案中，出於各種各樣之設計目的，諸如達成可移動反射層14內之特定應力分佈，可由不同材料形成反射

子層 14a 及導電層 14c。

如圖 6D 中所圖解說明，一些實施方案亦可包括一黑色遮罩結構 23。黑色遮罩結構 23 可形成於光學上不活躍區(例如，在像素之間或在柱 18 下方)中以吸收環境光或雜散光。黑色遮罩結構 23 亦可藉由抑制光自一顯示器之不作用部分反射或透射穿過一顯示器之不活躍部分來改良該顯示裝置之光學性質，藉此增加反差比。另外，黑色遮罩結構 23 可係導電的且經組態以充當一電運送層。在一些實施方案中，可將列電極連接至黑色遮罩結構 23 以減小經連接列電極之電阻。可使用各種各樣之方法來形成黑色遮罩結構 23，包括沈積及圖案化技術。黑色遮罩結構 23 可包括一或多個層。舉例而言，在一些實施方案中，黑色遮罩結構 23 包括充當一光學吸收器之一鉬-鉻(MoCr)層、一 SiO_2 層及充當一反射器及一運送層之一鋁合金，其具有分別介於約 30 至 80 Å、500 至 1000 Å 及 500 至 6000 Å 之範圍之一厚度。可使用各種各樣之技術來圖案化該一或多個層，包括光微影及乾式蝕刻，包括(舉例而言)用於 MoCr 及 SiO_2 層之四氟化碳(CF_4)及/或氧(O_2)，及用於鋁合金層之氯(Cl_2)及/或三氯化硼(BCl_3)。在一些實施方案中，黑色遮罩 23 可係一標準具或干涉堆疊結構。在此干涉堆疊黑色遮罩結構 23 中，導電吸收器可用於在每一列或行之光學堆疊 16 中之下部靜止電極之間傳輸或運送信號。在一些實施方案中，一間隔層 35 可用將吸收器層 16a 與黑色遮罩 23 中之導電層大體電隔離。

圖 6E 展示其中可移動反射層 14 係自支撐之一 IMOD 之另一實例。與圖 6D 相反，圖 6E 之實施方案不包括支撐柱 18。而是，可移動反射層 14 在多個位置處接觸下伏光學堆疊 16，且可移動反射層 14 之曲率提供足夠之支撐以使得可移動反射層 14 在跨越該干涉式調變器之電壓不足以致使致動時返回至圖 6E 之不致動位置。出於清晰起見，此處展示包括一光學吸收器 16a 及一電介質 16b 之光學堆疊 16，其可含有複數個若干不同層。在一些實施方案中，光學吸收器 16a 可既充當一固定電極亦充當一部分反射層。

在諸如圖 6A 至 6E 中所展示之實施方案之實施方案中，IMOD 充當直視式裝置，其中自透明基板 20 之前側(亦即，與上面配置有調變器之側相反之側)觀看影像。在此等實施方案中，可組態該裝置之背部部分(亦即，該顯示裝置之在可移動反射層 14 後面之任一部分，包括(舉例而言)圖 6C 中所圖解說明之可變形層 34)進行組態及操作而不對顯示裝置之影像品質造成衝擊或負面影響，此乃因反射層 14 光學屏蔽該裝置之彼等部分。舉例而言，在一些實施方案中，可在可移動反射層 14 後面包括一匯流排結構(未圖解說明)，此提供將調變器之光學性質與調變器之機電性質(諸如，電壓定址與由此定址所引起之移動)分離之能力。另外，圖 6A 至 6E 之實施方案可簡化處理，諸如圖案化。

圖 7 展示圖解說明一干涉式調變器之一製造過程 80 之一流程圖之一實例，且圖 8A 至 8E 展示此一製造過程 80 之對應階段之剖面示意性圖解之實例。在一些實施方案中，除

圖7中未展示之其他方塊之外，製造過程80可經實施以製造(例如)圖1及6中所圖解說明之一般類型之干涉式調變器。參考圖1、6及7，過程80在方塊82處開始以在基板20上方形成光學堆疊16。圖8A圖解說明在基板20上方形成之此一光學堆疊16。基板20可係一透明基板(諸如玻璃或塑膠)，其可係撓性的或相對剛性且不易彎曲的，且可已經歷先前製備過程(例如，清潔)以促進光學堆疊16之有效形成。如上文所論述，光學堆疊16可係導電的，部分透明且部分反射的且可係(舉例而言)藉由將具有所期望性質之一或多個層沈積至透明基板20上而製成。在圖8A中，光學堆疊16包括具有子層16a及16b之一多層結構，但在一些其他實施方案中可包括更多或更少之子層。在一些實施方案中，子層16a、16b中之一者可經組態而具有光學吸收及導電性質兩者，諸如組合式導體/吸收器子層16a。另外，可將子層16a、16b中之一者或多者圖案化成若干平行條帶，且可形成一顯示裝置中之列電極。可藉由一遮蔽及蝕刻過程或此項技術中已知之另一合適過程來執行此圖案化。在一些實施方案中，子層16a、16b中之一者可係一絕緣或介電層，諸如沈積於一或多個金屬層(例如，一或多個反射及/或導電層)上方之子層16b。另外，可將光學堆疊16圖案化形成顯示器之列之個別及平行條帶。

過程80在方塊84處繼續以在光學堆疊16上方形成一犧牲層25。稍後移除犧牲層25(例如，在方塊90處)以形成腔19且因此在圖1中所圖解說明之所得干涉式調變器12中未展

示犧牲層 25。圖 8B 圖解說明包括形成於光學堆疊 16 上方之一犧牲層 25 之一部分製作裝置。在光學堆疊 16 上方形成犧牲層 25 可包括以選定之一厚度沈積二氟化氙 (XeF_2) 可蝕刻材料 (諸如, 鉬 (Mo) 或非晶矽 (a-Si)) 以在隨後移除之後提供具有一所期望設計大小之一間隙或腔 19 (亦參見圖 1 及 8E)。可使用諸如物理氣相沈積 (PVD, 例如, 濺鍍)、電漿增強型化學氣相沈積 (PECVD)、熱化學氣相沈積 (熱 CVD) 或旋塗等沈積技術來實施犧牲材料之沈積。

過程 80 在方塊 86 處繼續以形成一支撐結構 (例如, 圖 1、6 及 8C 中所圖解說明之一柱 18)。形成支撐柱 18 可包括以下步驟: 圖案化犧牲層 25 以形成一支撐結構孔口, 然後使用諸如 PVD、PECVD、熱 CVD 或旋塗之一沈積方法將一材料 (例如, 一聚合物或一無機材料, 例如, 氧化矽) 沈積至該孔口中以形成柱 18。在一些實施方案中, 形成於犧牲層中之支撐結構孔口可延伸穿過犧牲層 25 及光學堆疊 16 兩者到達下伏基板 20, 以使得柱 18 之下端接觸基板 20, 如圖 6A 中所圖解說明。另一選擇係, 如圖 8C 中所繪示, 形成於犧牲層 25 中之孔口可延伸穿過犧牲層 25, 但不穿過光學堆疊 16。舉例而言, 圖 8E 圖解說明支撐柱 18 之下端與光學堆疊 16 之上表面接觸。可藉由將一支撐結構材料層沈積於犧牲層 25 上方且圖案化該支撐結構材料之位於遠離犧牲層 25 中之孔口處之部分來形成柱 18 或其他支撐結構。該等支撐結構可位於該等孔口內 (如圖 8C 中所圖解說明), 但亦可至少部分地延伸於犧牲層 25 之一部分上方。如上文所提及, 對

犧牲層 25 及 / 或支撐柱 18 之圖案化可藉由一圖案化及蝕刻過程來執行，但亦可藉由替代蝕刻方法來執行。

過程 80 在方塊 88 處繼續以形成一可移動反射層或薄膜，諸如圖 1、6 及 8D 中所圖解說明之可移動反射層 14。可藉由採用一或多個沈積步驟(例如，反射層(例如，鋁、鋁合金)沈積)連同一或多個圖案化、遮蔽及 / 或蝕刻步驟來形成可移動反射層 14。可移動反射層 14 可係導電的且稱作一導電層。在一些實施方案中，可移動反射層 14 可包括如圖 8D 中所展示之複數個子層 14a、14b、14c。在一些實施方案中，該等子層中之一者或多者(諸如，子層 14a、14c)可包括針對其光學性質選擇之高反射子層，且另一子層 14b 可包括針對其機械性質選擇之一機械子層。由於犧牲層 25 仍存在於在方塊 88 處所形成之部分製作干涉式調變器中，因此可移動反射層 14 在此階段處通常係不可移動的。含有一犧牲層 25 之一部分製作 IMOD 在本文中亦可稱作一「未經釋放」IMOD。如上文結合圖 1 所闡述，可將可移動反射層 14 圖案化形成顯示器之行之個別及平行條帶。

過程 80 在方塊 90 處繼續以形成一腔(例如，圖 1、6 及 8E 中所圖解說明之腔 19)。可藉由將犧牲材料 25(在方塊 84 處所沈積之)曝露於一蝕刻劑來形成腔 19。舉例而言，可藉由乾式化學蝕刻，例如，藉由將犧牲層 25 曝露於一氣態或氣相蝕刻劑(諸如自固態 XeF_2 得到之蒸氣)達有效地移除所期望之材料量之一時間週期來移除一可蝕刻犧牲材料(諸如鉬(Mo)或非晶矽(Si)，通常係相對於環繞腔 19 之結構選

擇性地移除。亦可使用其他蝕刻方法，例如，濕式蝕刻及/或電漿蝕刻。因在方塊90期間移除犧牲層25，故在此階段之後可移動反射層14通常係可移動的。在移除犧牲層25之後，所得完全製作或部分製作IMOD在本文中可稱作一「經釋放」IMOD。

圖9展示圖解說明形成包括與形成於一玻璃基板上之被動裝置組合之一積體電路之一設備之一過程之一流程圖之一實例。如同本文中所闡述之其他過程一樣，過程900之操作可涉及較圖解說明或明確闡述為多或為少之操作。此外，該等操作未必按所指示之次序執行。

該積體電路可(舉例而言)已形成於一基於矽之基板(諸如一SOI基板)上。在一些實施方案中，該積體電路可能已根據一互補金屬氧化物半導體(CMOS)過程形成於一基於矽之晶圓上且隨後單粒化成一個別「晶片」。儘管在過程900中該整體電路係一功率放大器晶片，但此僅係無論如何不應視為限制之一實例。舉例而言，可使用類似過程來製作一低雜訊放大器、一混頻器、一主動濾波器、一數位信號處理器、一控制器、一線驅動器、一光學收發器、一無線感測器、一電源偏壓產生或調節電路、一相控陣列電路、一類比數位或數位類比轉換器、一記憶體、其組合及/或其他裝置。

在此實例中，在添加該整體電路或其他特徵之前處理該玻璃基板。在方塊905中，在該玻璃基板中形成若干通孔。此等通孔可(舉例而言)藉由雷射鑽孔、藉由噴砂、藉

由蝕刻或藉由一過程組合形成。在一些實施方案中，該等通孔可在直徑上介於100微米與500微米之間。在一些其他實施方案中，該等通孔可製成其他形狀或大小。此外，在替代實施方案中，通孔可在過程900之一不同階段(諸如在方塊912或方塊915之後)製作。

在一些實施方案中，方塊905可涉及形成可組態成用於建立透過該玻璃基板之一電連接之若干互連通孔。可在方塊910中用導電材料來填充此等互連通孔。可在方塊912中於該等互連通孔之至少一端上形成導電接合墊或將其電連接至該等互連通孔之至少一端。可在過程900之此階段或在一稍後階段將焊料球附加至該等接合墊。

圖10A至10G展示可根據圖9之過程形成之組件之實例。在圖10A中所繪示之實例中，互連通孔1010a組態成用於建立透過玻璃基板1007之一電連接。因此，形成於玻璃基板1007之一側上之被動裝置1025a、1025b及1025c可組態成用於與形成於玻璃基板1007之另一側上之接合墊1015及焊料球1020電連接。然而，在一些實施方案中，通孔1010中之至少一些通孔可不組態成用於建立透過玻璃基板1007之一電連接。在一些實施方案中，玻璃基板1007可在厚度上介於300微米與700微米之間。在一些其他實施方案中，玻璃基板1007可更厚或更薄。

功率放大器具有高電流要求且可產生大量熱量。因此，形成具有熱通孔1010b之一玻璃基板可針對包括功率放大器及/或產生大量熱量之其他裝置之實施方案提供有效散

熱功能性。儘管具有熱通孔之一玻璃基板提供一實質性散熱路徑，但在一些實施方案中，可用一電絕緣底部填充材料來填充該積體電路及該玻璃之間的間隙及/或該玻璃與一印刷電路板之間的間隙以進一步提高導熱率及可靠性。

因此，方塊905亦可涉及形成可組態成用於將熱量自該玻璃基板之一側傳導至該玻璃基板之另一側之熱通孔。在一些實施方案中，該等熱通孔可不用於將電力自該玻璃基板之一側傳導至另一側。舉例而言，在圖10A至10G中，熱通孔1010b中的一些通孔可不組態成建立透過玻璃基板1007之一電連接。在一些此類實施方案中，接合墊1015及焊料球1020可不形成於玻璃基板1007於熱通孔1010b中的一些通孔之末端處之一側上。一個此類實例係圖10A至10C之墊通孔1010b1。

在圖10A至10G中，熱通孔1010b中的一些通孔(諸如熱通孔1010b1)似乎具有與互連通孔1010a之直徑大致相同之直徑。然而，相依於實施方案，該等通孔無需製成大致相同之形狀或大小。舉例而言，在一些實施方案中，方塊905可涉及形成具有大於互連通孔1010a之直徑之直徑之熱通孔1010b。

一些此類實例係繪示於圖10A至10G中之熱通孔1010b2。根據一些此類實施方案，一或多個熱通孔1010b2可經形成具有為互連通孔1010a之直徑的至少兩倍之寬度或直徑。在一些實施方案中，熱通孔1010b2可經形成具有介於達互連通孔1010a之寬度或直徑的兩倍與五倍之間的

寬度或直徑。在一些此類實例中，互連通孔1010a可具有大約100微米之直徑且熱通孔1010b可具有介於大約200微米至大約500微米範圍內之寬度或直徑。

通孔1010在截面上未必呈圓形。在一些實施方案中，通孔1010中之至少一些通孔可在截面上呈多邊形。舉例而言，在一些實施方案中，通孔1010可在截面上呈六邊形。毗鄰於彼此安置之六邊形通孔1010可實現如同一蜂窩之一高堆積密度。因此，六邊形熱通孔1010b可增強熱耗散。

在一些實施方案中，一或多個通孔1010可用來同時傳導電信號並提供熱傳導。在一些實施方案中，可使用一或多個通孔1010來熱隔離玻璃基板1007之部分或藉由接地來電隔離玻璃基板1007之部分。方塊910可涉及用導熱材料(其既可係亦可不係用於填充該等互連通孔之相同材料)來填充該等熱通孔。既可用亦可不用導熱材料來填充熱通孔1010b。舉例而言，可使用一真空沈積過程來在熱通孔1010b中沈積一導熱膜，諸如一類金剛石碳膜。可將此等膜製成導熱的而不是導電的。然而，使用相同材料來填充互連通孔1010a及熱通孔1010b更簡單。可用於填充該等通孔之其他材料包括(舉例而言)銅、焊料(其可呈膏形式)及/或環氧樹脂。舉例而言，在一些實施方案中，可用包括環氧樹脂與焊料之一組合之一膏或用包括環氧樹脂、焊料及銅顆粒之一組合來填充該等通孔中之至少一些通孔。然而，可使用其他導電材料(諸如金(Au)、銀(Ag)、鋁等等)來替代銅(或補充銅)。若用導電材料來填充熱通孔1010b，

則可將此等熱通孔1010b製成電接地或浮動的。

在一些實施方案中，方塊910可涉及藉由濺鍍、化學氣相沈積(CVD)、無電極電鍍或另一此類過程使穿玻璃通孔之側壁金屬化。然後可經由電鍍用一導電金屬(諸如銅)來填充該等通孔。在一些實施方案中，可用鎳(Ni)及/或金電鍍通孔壁。可用聚合物、具有導電及不導電填料之膏、焊料或其某一組合來填充該等通孔之芯。可用電鍍銅來填充且用鎳及金來加蓋該等通孔。在一些實施方案中，該填充過程可不完全填充該等通孔。舉例而言，一些實施方案可涉及在該等通孔上形成導電壁而不是用導電材料來完全填充該等通孔。一些此類實施方案可涉及在該等通孔中形成環形導電環。可(舉例而言)藉由蝕刻及/或化學機械拋光/平坦化(CMP)來移除該玻璃基板上之過量金屬。在一些實施方案中，可藉由選擇性地移除此過量金屬來在該等互連通孔之至少一端上形成導電接合墊(諸如圖10A至10G中所繪示之接合墊1015)(參見方塊912)。

在一些替代實施方案中，可在使該等側壁金屬化之後藉由其他過程來填充該等通孔。該填充過程可涉及藉由施加一焊料膏、藉由施加環氧樹脂與焊料之一組合或藉由施加環氧樹脂、銅與焊料之一組合來填充該等通孔。舉例而言，可藉由絲網印刷一或多種膏來填充該等通孔，該一或多種膏可選自上文所闡述之膏。在用膏來填充該等通孔之後，過程900可包括一回流釐鐸過程以熔化該焊料及形成傳導及填充穿玻璃通孔而不使其他組件過熱且損壞其他組

件。

在一些其他替代實施方案中，過程900可藉由接收具有預形成通孔、預填充通孔及/或接合墊之一玻璃基板而開始。在此等實施方案中，可省略方塊905至912中之一者或多者。在一些實施方案中，可如本文中所述形成此等預形成通孔。另一選擇係，或另外，此等預形成通孔可包括鎢(W)導線、摻雜矽及/或電鍍金屬。

在方塊915中，於玻璃基板1007之至少一側上沈積被動組件，諸如電阻器、電容器、可變電容器、變容二極體、電感器、濾波器、變壓器、耦合器、定向耦合器、功率分離器、傳輸線、波導及/或天線。在一玻璃基板上形成主動及被動組件之一些實例參照圖13及圖14A以及下列等等闡述於下文中。

在一些實施方案中，可使用沈積於一玻璃基板上之被動組件來形成一功率組合器電路1029，該功率組合器電路之實例繪示於圖11A至11C中且闡述於下文中。此處，功率組合器電路1029組態成用於與互連通孔1010a電連通。然而，在一些其他實施方案中，方塊915(圖9)可涉及在該玻璃基板上形成其他被動組件及/或主動組件。舉例而言，方塊915可涉及形成電阻器、電感器、電容器、二極體、電晶體等等。此等組件可用於形成各種各樣之裝置，諸如一接收/傳輸無線電。將該等被動轉移至該玻璃允許相對於該等被動之位置之額外自由度。

在一可選方塊920中，可將單晶粒或多晶粒(其可自一或

多種類型之基板單粒化，包括但不限於半導體基板及玻璃基板)附著至具有被動及/或主動組件以及穿玻璃通孔互連之玻璃基板。

在方塊 925 中，將一積體電路附著至該等被動組件中之至少一些組件。該積體電路亦可組態成用於與該等被動組件電連通。在一些實施方案中，該積體電路及該等被動裝置可經組合以形成一低雜訊放大器、一混頻器、一主動濾波器、一數位信號處理器、一控制器、一線驅動器、一光學收發器、一無線感測器、一電源偏壓產生或調節電路、一相控陣列電路、一類比數位或數位類比轉換器、一記憶體、其組合及/或其他裝置。

然而，在此實例中，一功率放大器晶片組態成用於與一功率組合器電路電連接從而形成一功率放大系統。在一些此類實施方案中，方塊 925 可涉及將該功率放大器晶片堆疊在該功率組合器電路上。堆疊實施方案可因其提供用以設計焊料球、穿玻璃通孔、被動組件及主動元件以使該功率放大系統之整體效能最佳化之一額外自由度而係有利的。

舉例而言，在一些堆疊實施方案中，與該功率放大晶片上或一印刷電路板上之被動相比較，玻璃上之被動可具有以下優點：更高 Q、更大準確度、穩定性及容限、更低寄生效應、更高可靠性以及更低成本。在一些堆疊實施方案中，該等焊料球、被動組件、主動元件及穿玻璃通孔可經組態以減少損耗且使該功率放大系統之電端子之間的非合

意耦合最小化，從而提供更高電隔離。在一些堆疊實施方案中，該等焊料球、被動組件、主動元件及穿玻璃通孔經組態以精確控制該功率放大系統之電互連之阻抗位準及跡線長度。使電線長度最小化可減輕雜訊耦合且減少回波及插入損耗。減少損耗可進一步減少該系統中所產生之熱量，而此又會提高可靠性及該功率放大系統之整體效能。在一些實施方案中，將該等被動裝置與由該功率放大器晶片所產生之熱量隔離可提高可靠性或組件穩定性。

此外，在一些實施方案中，堆疊亦可減少該功率放大系統之總面積或佔用面積。在一些實施方案中，堆疊使該等功率組合器被動及主動電路升高至一印刷電路板(PCB)之上，此可減輕來自該PCB或其他周邊電路元件之寄生效應之耦合雜訊或損耗。

一些此類實例展示於圖10A至10G中。在此等實例中的一些實例中，該積體電路晶粒係一功率放大器晶片1050，然而熟習此項技術者應易於看出，該積體電路晶粒可在一些其他實施方案中包括一或多個其他電子組件。功率放大器晶片1050可係已組態成用於覆晶結合之一CMOS晶片。在圖10A中所示之實例中，功率放大器晶片1050具有已沈積至功率放大器晶片1050之導電晶片墊1052上之焊料凸塊1055。舉例而言，焊料凸塊1055可能已在一晶圓處理步驟期間沈積於該晶圓之頂側上之晶片墊1052上。

為了將功率放大器晶片1050安裝至功率組合器電路1029，可把功率放大器晶片1050掀過來以使其頂側面朝

下。焊料凸塊 1055 可與功率組合器電路 1029 之頂部上之導電墊對準且接觸。

參照圖 10B，可以看到焊料凸塊 1055 中的一些凸塊與被動裝置 1025a 及 1025b 接觸。被動裝置 1025a 及 1025b 經由互連通孔 1010a 分別電連接至接合墊 1015a 及 1015b。因此，在焊料凸塊 1055 之焊料已流動而形成功率放大器晶片 1050 與功率組合器電路 1029 之間的一電及實體連接之後，所得功率放大系統 1060 組態成用於與焊料球 1020 電連接。

在此實例中，其他焊料凸塊 1055 與導電墊 1027a 及 1027b 連接。墊 1027a 及 1027b 以及熱通孔 1010b 係由相依於實施方案既可係亦可不係導電之導熱材料製成。如圖 10C 中所示，導熱通路 1065a 及 1065b 可分別提供自熱點 1062a 及 1062b 至一附著 PCB 或其他裝置之有效熱耗散。導熱通路 1065a 包括導電晶片墊 1052、焊料凸塊 1055、墊 1027b、熱通孔 1010b2、接合墊 1015a 中之一者及焊料球 1020 中之一者。導熱通路 1065b 包括被動裝置 1025b、熱通孔 1010b3、接合墊 1015a 中之一者及焊料球 1020 中之一者。焊料球 1020 可安裝於一散熱器(例如一 PCB 之一對應部分)上。可藉由填充功率放大器晶片 1050 與功率組合器電路 1029 之間的間隙(例如，藉由用一電絕緣黏合劑材料 1030 來底部填充)來使積體晶粒與基板 1007 之間的連接變強。

圖 10D 展示一替代實施方案。在此實例中，互連通孔 1010a 形成被動裝置 1025d 及 1025e、導電墊 1015 與焊料球 1020 之間的一電連接。熱通孔 1010b1 及 1010b2 經組態以形

成通至對應焊料球1020之導熱通道，該等導熱通道可附著至一散熱器，諸如一PCB。熱通孔1010b3形成被動裝置1025f與導電墊1015之間的一導熱通路，該導熱通路在此實例中不具有附著焊料球1020。互連通孔1010a中之一者形成自被動裝置1025f透過玻璃基板1007之一電連接。在此實例中，互連通孔1010a中之另一者形成自被動裝置1025g透過玻璃基板1007之一電連接及一導熱通路。

方塊930可根據特定實施方案涉及各種類型之最後處理、封裝等等。方塊930可(舉例而言)涉及包封功率放大器晶片1050及/或玻璃晶粒1005。在一些實施方案中，如圖10E中所示，該包殼可由一模製件1070組成。模製件1070可(舉例而言)係一環氧樹脂模製件或另一此類模製件。

另一選擇係，方塊930可涉及在功率放大系統1060周圍形成一金屬籠，如圖10F中所示。在此實例中，一金屬電磁籠1075包封且屏蔽功率放大系統1060。在此實例中，電磁籠1075由接地連接1080電接地。一密封環1085將電磁籠1075附著至玻璃晶粒1005。一或多個開口1095可形成於電磁籠1075中以允許空氣進出以達成額外熱耗散及/或減輕電寄生效應。在一些實施方案中，電磁籠1075可實體接觸及/或電接觸功率放大器晶片1050之頂表面1051。

在圖10G中所示之實例中，具有一凹入腔之一玻璃蓋1087覆蓋功率放大系統1060。在一些實施方案中，玻璃蓋1087可具有一內部金屬塗層1090。在此實例中，內部金屬塗層1090由接地連接1080電接地。密封環1085將玻璃蓋

1087附著至玻璃晶粒1005。在一些實施方案中，密封環1085包括環氧樹脂、玻璃或金屬中之至少一者。密封環1085之實例性寬度可介於自約20微米至500微米之範圍。密封環1085之實例性厚度可介於自約0.1微米至100微米之範圍。密封環1085可提供覆蓋玻璃與玻璃基板之間的一氣密或非氣密密封。

在一些實施方案中，可在方塊905至930之過程之後組合並隨後單粒化功率放大器晶片1050及玻璃晶粒1005。在此階段，功率放大器晶片1050與功率組合器電路1029形成一功率放大系統1060。

圖11A展示包括一功率放大器晶片1050及一功率組合器電路1029之一功率放大系統之一實例。在功率放大系統1060之此實例中，功率放大器晶片1050包括功率放大器電路PA1及PA2。功率放大器電路PA1經組態以向功率組合器電路1029之輸入端子1105提供功率，而功率放大器電路PA2經組態以向輸出端子1110提供功率。功率經由輸出端子1115自功率組合器電路1029輸出。

圖11B展示可用於一功率組合器電路中之被動裝置之實例。在此實例中，功率組合器電路1029包括電感器1120a、1120b、1120c及1120d以及電容器1125a、1125b及1125c。電容器1125可(舉例而言)係射頻金屬-絕緣體-金屬(RF MIM)電容器。在一些實施方案中，電容器1125a及1125b可具有大致相等之電容，而電容器1125c可具有電容器1125a及1125b之電容的大致兩倍。在一些實施方案中，

電感器 1120a 及 1120b 可具有大致相等之電感。在此實例中，電感器 1120c 具有較電感器 1120a 及 1120b 之電感為高之一電感，而電感器 1120d 具有較電感器 1120a 及 1120b 之電感為低之一電感。施加至輸入端子 1105 之電流流過電感器 1120a 且施加至輸入端子 1110 之電流流過電感器 1120b。組合信號在經由輸出端子 1115 輸出之前橫過電感器 1120c。

圖 11C 展示一功率放大系統之另一實例。在此實例中，功率放大系統 1060 包括作為功率放大器晶片 1050 之一 SOI CMOS 晶粒及一替代功率組合器電路 1029。功率放大器晶片 1050 包括功率放大器電路 PA1、PA2 及 PA3。來自功率放大器晶片 1050 上之 PA1、PA2 及 PA3 之功率由功率組合器電路 1029 之變壓器 1150、1155 及 1160 組合。變壓器 1150、1155 及 1160 可(舉例而言)由堆疊或橫向耦合線圈形成。儘管展示三個功率放大器電路及變壓器，但在一些實施方案中，可使用更大或更小數目個功率放大器電路及變壓器。功率放大器晶片 1050 可包括除功率放大器電路 PA1、PA2 及 PA3 以外之其他主動及被動電路。

PA1 經組態以向變壓器 1150 之初級線圈端子 1150a 及 1150b 提供功率，PA2 經組態以向變壓器 1155 之主線圈端子 1155a 及 1155b 提供功率，且 PA3 經組態以向變壓器 1160 之主線圈端子 1160a 及 1160b 提供功率。端子 1150c 及 1150d 連接至變壓器 1150 之副線圈，端子 1155c 及 1155d 連接至變壓器 1155 之副線圈，且端子 1160c 及 1160d 連接至變壓器 1160 之副

線圈。該等副線圈串聯連接在一起且驅動輸出端子1115a及1115b。來自PA1、PA2及PA3之輸出信號可係差動的。

在一項實施方案中，PA1、PA2及PA3之電壓輸出信號係同相的且因變壓器1150、1155及1160之副線圈之串聯連接而添加在一起。在此一實施方案中，PA1、PA2及PA3之功率可經組合以驅動連接至輸出端子1115a及1115b之一負載。此方法之一優點在於可橫跨端子1115a及1115b達成較橫跨一個別電路PA1、PA2或PA3將達成為大之一電壓擺動。PA1、PA2或PA3之輸出電壓擺動可部分地受限於電路或半導體材料之帶隙中之二極體接面之崩潰電壓。

在一些實施方案中，變壓器1150、1155及1160可具有1、小於1或大於1之一匝比。在一些實施方案中，變壓器1150、1155及1160之匝比係相同的，而在其他實施方案中，該等匝比係不同的。在一些實施方案中，變壓器1150、1155及1160亦用來提供阻抗變換。

在此實例中，到方塊925之過程完成時，功率放大系統1060可安裝於玻璃晶粒1005上且可組態成用於透過玻璃晶粒1005電連接至接合墊1015及焊料球1020。在一些實施方案中，方塊930可涉及將玻璃晶粒1005安裝於一印刷電路板上或安裝於另一裝置上。

一個此類實例繪示於圖12中。圖12係展示堆疊在安裝於一印刷電路板1205上之一玻璃晶粒1005上之一積體電路晶粒1050之一實施之一透視圖。在此實例中，該積體電路晶粒係包括形成於一矽基板上之一功率放大器電路之一功率

放大器晶片1050。該積體電路晶粒可包括其他電路。在替代實施方案中，該積體電路晶粒可具有一不同功能及/或可形成於一不同基板(諸如一玻璃基板)上。舉例而言，該積體電路晶粒可包括一低雜訊放大器、一混頻器、一主動濾波器、一數位信號處理器、一控制器、一線驅動器、一光學收發器、一無線感測器、一電源偏壓產生或調節電路、一相控陣列電路、一類比數位或數位類比轉換器、一記憶體、其組合及/或其他裝置之至少一部分。在此實例中，功率放大器晶片1050已安裝於沈積於玻璃晶粒1005上之一功率組合器電路1029上，且組態成用於與該功率組合器電路電連接從而形成功率放大系統1060。

此處，功率放大器電路1029包括沈積於玻璃晶粒1005上之若干個被動裝置。在此實施方案中，一電感器1120e係功率組合器電路1029之組件其中之一者。然而，功率組合器電路1029之其他組件(包括被動裝置)由功率放大器晶片1050覆蓋且因此在圖12中不可見。設備1200亦包括已形成於玻璃晶粒1005上之一MEMS裝置1210，諸如一MEMS變容二極體。MEMS裝置1210與功率放大系統1060電連接。

在此實例中，互連通孔1010a及熱通孔1010b已形成於玻璃晶粒1005中。額外互連通孔1010a及熱通孔1010b位於功率放大系統1060下面且在圖12中不可見。玻璃晶粒1005之接近拐角繪示呈一「剖面」圖，從而可看到對互連通孔1010a中之一者及焊料球1020中之一者之導電填充。此處，焊料球1020與電路板1205之一導電墊1215接觸。以此

方式，功率放大系統1060及玻璃晶粒1005上之其他裝置可組態成用於與電路板1205電連接。在一些實施方案中，導電墊1215亦用於至電路板1205中之熱傳導。在一些實施方案中，導電墊1215亦可用於信號之電傳導及至電路板1205中之熱傳導。其他電互連通孔1010a及熱通孔1010b(未展示)可位於功率放大器晶片1050之正下方。

現在要參照圖13及14A至14L來闡述形成被動裝置之一些實例。圖13展示圖解說明在一玻璃基板上形成被動裝置之一過程之一流程圖之一實例。圖14A至14L展示在根據圖13之一被動裝置製作過程中之各階段期間局部裝置剖面圖之實例。

在圖13之方塊1301中，在一玻璃基板上沈積一或多個氧化層。實例提供於圖14A及圖14B中，其中一氧化層1401沈積於玻璃基板1007上且一第二氧化層1403沈積於氧化層1401上。在此實例中，氧化層1401係由350埃之二氧化矽形成且第二氧化層1403係由1微米之二氧化矽製成。然而，在一些其他實施方案中，氧化層1401可由其他合適介電質(諸如氧化鋁、氧化鋯、氧化鋁、氧化鋯、氧氮化矽、苯環丁烯(BCB)、聚醯亞胺及/或氧化矽)形成。在一些實施方案中，至少一些此類層可使用一原子層沈積過程來沈積。在一些其他實施方案中，氧化層1401及1403可形成為介於50埃至1微米之範圍內之層。

在圖13之方塊1305中，沈積並圖案化一第一金屬層。一項實例展示於圖14B中，其中一金屬層1405已沈積且隨後

圖案化成由間隙1407分隔開之金屬部分1405a、1405b及1405c。在此實例中，金屬層1405為大約1微米厚且包括形成於氧化層1403上之一AlSi層及形成於該AlSi層上之一Mo層。在一些其他實施方案中，金屬層1405可在厚度上介於0.1至3微米之範圍內且可由其他合適導電材料(諸如Al、AlCu、Mo、鎳(Ni)、鈦(Ti)、鈦(Ru)、銅、金、銀及/或鎢)形成。

在方塊1310中，沈積一介電層。一項實施展示於繪示已沈積於金屬部分1405a、1405b及1405c上且沈積於氧化層1403之先前曝露部分上之一介電層1409之圖14C中。在此實例中，介電層1409係為350埃厚之一SiO₂層。在一些其他實施方案中，介電層1409可在厚度上介於50至10,000埃之範圍內且可由其他合適介電材料(例如鉛、鋁或鋅之一氧化物、氮化鋁、多個此類層之一組合)形成。

在此實例中，方塊1315涉及沈積並圖案化一第二金屬層。在圖14D中所示之實例中，已沈積並圖案化一金屬層1411，從而只留下金屬層1411之覆蓋金屬部分1405a之一部分。在此實例中，金屬層1411為大約0.1微米厚且包括形成於介電層1409上之一AlSi層及形成於該AlSi層上之一Mo層。在一些其他實施方案中，金屬層1411可在厚度上介於0.1至2微米之範圍內且可由其他合適導電材料(例如AlCu、鎳、鈦、鈦、銅、金、銀及/或鎢)形成。

在方塊1320中，沈積並圖案化一氧化層。一項實例展示於繪示一氧化層1413之圖14E中。通孔1415a、1415b及

1415c已蝕透氧化層1413及介電層1409以曝露金屬部分1405a、1405b及1405c之區。通孔1417已蝕透氧化層1413至金屬層1411。在此實例中，氧化層1413係為1微米厚之一氮化矽層。在一些其他實施方案中，氧化層1413可在厚度上介於0.5至3微米之範圍內且可由其他合適介電材料(諸如二氧化矽、氮化矽、氮化矽、苯環丁烯(BCB)、聚醯亞胺或碳化矽)形成。

在此實例中，在方塊1325中形成一穿玻璃通孔。現在參照圖14F，一互連通孔1010a已形成穿玻璃基板1007且穿過層1401、1403、1409及1413。在此實例中，一晶種層1419已沈積於互連通孔1010a中。在一些其他實施方案中，晶種層1419可形成於頂表面1418上及/或形成於下表面1420上。在此實例中，晶種層1419係由300埃之鈦後跟2000埃之Cu形成。在一些其他實施方案中，晶種層1419可由其他導電材料(諸如Cr與Au或Cr與Cu)形成。

在方塊1330中，經由電鍍或雙面濺鍍來沈積並隨後圖案化一導電層。該結果之一項實例展示於繪示已在頂表面1418上、在底表面1420上且在互連通孔1010a之壁上形成之一銅層1421之圖14G中。間隙1423已圖案化於銅層1421中以便形成並分離各種導電或導熱通路。舉例而言，一間隙1423已形成於銅層1421之已在通孔1415a中形成之一第一部分與銅層1421之已在通孔1417中形成之一第二部分之間。銅層1421之此等部分分別提供與形成電容器1425之下部板及上部板之金屬部分1405a及金屬層1411之電連接

性。一或多個其他被動裝置可由金屬部分 1405b 及 1405c(諸如單匝或多匝電壓器)形成。

方塊 1335 涉及填充該等穿玻璃通孔。在圖 14H 中所示之實例中，已用導電材料 1427 來填充互連通孔 1010a。用於填充互連通孔 1010a 之材料可包括(舉例而言)銅、焊料(其可呈膏形成)及/或金屬填充環氧樹脂。舉例而言，在一些實施方案中，可用包括環氧樹脂與焊料之一組合之一膏或用包括環氧樹脂、焊料及銅顆粒之一組合來填充該等通孔中之至少一些通孔。然而，亦可使用其他導電材料(諸如金、銀、鋁等等)來替代或補充銅。此外，在一些實施方案中，可使用一電鍍過程來填充互連通孔 1010a。方塊 1335 既可涉及亦可不涉及用導電材料來填充熱通孔 1010b(參見，例如，圖 10A)。而是，如上文所提到，方塊 1335 可涉及用不導電之導熱材料來填充熱通孔 1010b。然而，使用相同導電材料來填充互連通孔 1010a 及熱通孔 1010b 也許更簡單。

在此實例中，在方塊 1340 中形成一鈍化層。參照圖 14I，一鈍化層 1430 已形成於頂表面 1418 上及底表面 1420 上。鈍化層 1430 可(舉例而言)由聚醯亞胺、BCB 或其他合適絕緣材料形成。鈍化層 1430 可在厚度上為幾十微米，例如介於 10 至 50 微米厚之範圍內。在圖 14J 中所繪示之階段，通孔 1435a 及 1435b 已形成穿過鈍化層 1430 以曝露銅層 1421 之部分(參見圖 13 之方塊 1345)。

在方塊 1350 中，形成導電墊。如圖 14K 中所示，可在鈍

化層 1430 上且在通孔 1435a 及 1435b 中形成一金屬層 1440。然後可圖案化金屬層 1440 以形成頂表面 1418 上之接合墊 1015c 及底表面 1420 上之接合墊 1015d。在此實例中，金屬層 1440 係藉由電鍍銅、然後鎳 (Ni)、然後金 (Au) 而形成。在一些此類實施方案中，該銅層可具有介於 5 微米至 25 微米之範圍之一厚度，該鎳層可具有介於 1 微米至 5 微米之範圍之一厚度且該金層可具有介於 0.03 微米至 0.1 微米之範圍之一厚度，然而熟習此項技術者應易於看出，厚度可因特定實施方案而異。在一些其他實施方案中，可使用其他導電金屬來形成金屬層 1440。

在方塊 1355 中，可組態該等導電墊中之一者或多者以形成與另一裝置之一電連接。在圖 14L 中所示之實例中，焊料球 1020 已形成於導電墊 1015d 上。焊料球 1020 可用於組態導電墊 1015d 以與另一裝置 (例如一印刷電路板) 之一對應部分電連接。舉例而言，焊料球 1020 可用於將導電墊 1015d 與圖 12 中所示之電路板 1205 之一導電墊 1215 電連接。在一些實施方案中，焊料球 1020 亦可用於提供一熱耗散路徑。

在方塊 1360 中，將一積體電路晶粒附著至導電墊 1015c 及上表面 1418 上之其他導電墊 1015 並將其組態用於與導電墊 1015c 及上表面 1418 上之其他導電墊 1015 電連接。在一些實施方案中，該積體電路晶粒可係一 CMOS SOI 晶片。可藉由一覆晶過程將該積體電路晶粒附著至導電墊 1015。可添加一底部填充層以進一步確保該積體電路晶粒與上表

面1418之間的連接。在一些實施方案中，所得裝置可類似於圖10C或圖10D中所示之裝置。

圖15A及圖15B展示圖解說明包括複數個干涉式調變器之一顯示裝置40之系統方塊圖之實例。顯示裝置40可係(舉例而言)智慧型電話、蜂巢式電話或行動電話。然而，顯示裝置40之相同組件或其細小變化形式亦圖解說明各種類型之顯示裝置，諸如電視、平板電腦、電子閱讀器、手持式裝置及可攜式媒體播放器。

顯示裝置40包括一外殼41、一顯示器30、一天線43、一揚聲器45、一輸入裝置48及一麥克風46。外殼41可由各種各樣之製造過程(包括注入模製及真空形成)中之任一者形成。另外，外殼41可由各種各樣之材料中之任一者製成，包括但不限於：塑膠、金屬、玻璃、橡膠及陶瓷或其一組合。外殼41可包括可與具有不同色彩或含有不同標誌、圖片或符號之其他可移動部分互換之可移動部分(未展示)。

顯示器30可係各種各樣之顯示器中之任一者，包括一雙穩態顯示器或類比顯示器，如本文中所闡述。顯示器30亦可經組態以包括一平板顯示器(諸如，電漿、EL、OLED、STN LCD或TFT LCD)或一非平板顯示器(諸如，一CRT或其他電子管裝置)。另外，顯示器30可包括一干涉式調變器顯示器，如本文中所闡述。

顯示裝置40之組件示意性地圖解說明於圖15B中。顯示裝置40包括一外殼41且可包括至少部分地包封於其中之額外組件。舉例而言，顯示裝置40包括一網路介面27，該網

路介面包括耦合至一收發器47之一天線43。收發器47連接至一處理器21，該處理器連接至調節硬體52。調節硬體52可經組態以調節一信號(例如，過濾一信號)。調節硬體52連接至一揚聲器45及一麥克風46。處理器21亦連接至一輸入裝置48及一驅動器控制器29。驅動器控制器29耦合至一圖框緩衝器28且耦合至一陣列驅動器22，該陣列驅動器又耦合至一顯示器陣列30。在一些實施方案中，一電力系統50可向特定顯示裝置40設計中之實質上所有組件提供功率。

網路介面27包括天線43及收發器47以使得顯示裝置40可經由一網路與一或多個裝置通信。網路介面27亦可具有一些處理功能以減輕(舉例而言)處理器21之資料處理要求。天線43可傳輸及接收信號。在一些實施方案中，天線43傳輸並接收根據IEEE 16.11標準(包括IEEE 16.11(a)、(b)或(g))或IEEE 802.11標準(包括IEEE 802.11a、b、g、n及其進一步實施方案)之RF信號。在一些其他實施方案中，天線43傳輸並接收根據藍芽標準之RF信號。在一蜂巢式電話之情形下，天線43經設計以接收分碼多重存取(CDMA)、分頻多重存取(FDMA)、分時多重存取(TDMA)、全球行動通信系統(GSM)、GSM/通用封包無線電服務(GPRS)、增強型資料GSM環境(EDGE)、地面中繼式無線電(TETRA)、寬頻-CDMA(W-CDMA)、演進資料最佳化(EV-DO)、1xEV-DO、EV-DO修訂版A、EV-DO修訂版B、高速封包存取(HSPA)、高速下行鏈路封包存取(HSDPA)、高速上行鏈路封包存取(HSUPA)、經演進之高速封包存取(HSPA+)、長

期演進(LTE)、AMPS或用以在一無線網路內(諸如,利用3G或4G技術之一系統)通信之其他已知信號。收發器47可預處理自天線43接收之信號,以使得其可由處理器21接收並由其進一步處置。收發器47亦可處理自處理器21接收之信號,以使得其可經由天線43自顯示裝置40傳輸。

在一些實施方案中,收發器47可由一接收器替換。另外,在一些實施方案中,網路介面27可由一影像源替換,該影像源可儲存或產生欲發送至處理器21之影像資料。處理器21可控制顯示裝置40之整體操作。處理器21自網路介面27或一影像源接收資料(諸如壓縮影像資料)且將該資料處理成原始影像資料或處理成容易被處理成原始影像資料之一格式。處理器21可將經處理資料發送至驅動器控制器29或發送至圖框緩衝器28以供儲存。原始資料通常係指在一影像內之每一位置處識別影像特性之資訊。舉例而言,此等影像特性可包括色彩、飽和度及灰度階。

處理器21可包括一微控制器、CPU或用以控制顯示裝置40之操作之邏輯單元。調節硬體52可包括用於將信號傳輸至揚聲器45及用於自麥克風46接收信號之放大器及濾波器。調節硬體52可係顯示裝置40內之離散組件,或可併入於處理器21或其他組件內。

驅動器控制器29可直接自處理器21或自圖框緩衝器28獲取由處理器21產生之原始影像資料,且可適當地重新格式化原始影像資料以用於高速傳輸至陣列驅動器22。在一些實施方案中,驅動器控制器29可將原始影像資料重新格式

化成具有一光柵樣格式之一資料流，以使得其具有適合於跨越顯示器陣列30進行掃描之一時間次序。然後，驅動器控制器29將經格式化資訊發送至陣列驅動器22。儘管一驅動器控制器29(諸如，一LCD控制器)通常作為一獨立式積體電路(IC)與系統處理器21相關聯，但此等控制器可實施成諸多形式。舉例而言，控制器可作為硬體嵌入於處理器21中、作為軟體嵌入於處理器21中或以硬體形式與陣列驅動器22完全整合在一起。

陣列驅動器22可自驅動器控制器29接收經格式化資訊且可將視訊資料重新格式化成一組平行波形，該組平行波形每秒多次地施加至來自顯示器之x-y像素矩陣之數百條且有時數千條(或更多)引線。

在一些實施方案中，驅動器控制器29、陣列驅動器22及顯示器陣列30適用於本文中所闡述之顯示器類型中之任一者。舉例而言，驅動器控制器29可係一習用顯示器控制器或一雙穩態顯示器控制器(諸如一IMOD控制器)。另外，陣列驅動器22可係一習用驅動器或一雙穩態顯示器驅動器(諸如一IMOD顯示器驅動器)。此外，顯示器陣列30可係一習用顯示器陣列或一雙穩態顯示器陣列(諸如包括一IMOD陣列之一顯示器)。在一些實施方案中，驅動器控制器29可與陣列驅動器22整合在一起。此一實施方案可適用於高度整合系統，舉例而言，行動電話、可攜式電子裝置、手錶及其他小面積顯示器。

在一些實施方案中，輸入裝置48可經組態以允許(舉例

而言)一使用者控制顯示裝置40之操作。輸入裝置48可包括一小鍵盤(諸如一QWERTY鍵盤或一電話小鍵盤)、一按鈕、一開關、一搖杆、一觸敏螢幕、與顯示器陣列30整合在一起之一觸敏螢幕、或一壓敏膜或熱敏薄膜。麥克風46可組態為顯示裝置40之一輸入裝置。在一些實施方案中，可使用透過麥克風46之語音命令來控制顯示裝置40之操作。

電力系統50可包括各種各樣之能量儲存裝置。舉例而言，電力系統50可包括一可再充電式電池，諸如一鎳鎘電池或一鋰離子電池。在使用一可再充電式電池之實施方案中，該可再充電式電池可使用來自(舉例而言)一光伏打裝置或陣列之一壁式插座之功率充電。另一選擇係，該可再充電電池可無線充電。電力系統50亦可包括一可再生能源、一電容器或一太陽能電池，包括一塑膠太陽能電池及太陽能電池塗料。電力系統50亦可經組態以自一壁式插座接收功率。電力系統50可包括本文中所闡述之一功率放大系統。

在一些實施方案中，控制可程式化性駐存於驅動器控制器29中，該驅動器控制器可位於電子顯示器系統中之幾個位置中。在一些其他實施方案中，控制可程式化性駐存於陣列驅動器22中。上述最佳化可實施成任意數目個硬體及/或軟體組件及各種組態。可將結合本文中所揭示之實施方案闡述之各種說明性邏輯、邏輯區塊、模組、電路及演算法步驟實施為電子硬體、電腦軟體或兩者之組合。已就功

能性大體闡述了硬體與軟體之可互換性且在上文所闡述之各種說明性組件、區塊、模組、電路及步驟中圖解說明瞭硬體與軟體之可互換性。此功能性實施成硬體還是軟體相依於特定應用及強加於整個系統之設計約束。

可藉助一通用單晶片或多晶片處理器、一數位信號處理器(DSP)、一專用積體電路(ASIC)、一現場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或經設計以執行本文中所闡述功能之其任一組合來實施或執行用於實施結合本文中所揭示之態樣闡述之各種說明性邏輯、邏輯區塊、模組及電路之硬體及資料處理設備。一通用處理器可係一微處理器或任一習用處理器、控制器、微控制器或狀態機。一處理器亦可實施為計算裝置之一組合，諸如一DSP與一微處理器、複數個微處理器、結合一DSP核心之一或多個微處理器或任一其他此類組態之一組合。在一些實施方案中，特定步驟及方法可由特定於一給定功能之電路執行。

在一或多項態樣中，所闡述之功能可實施成硬體、數位電子電路、電腦軟體、韌體(包括本說明書中所揭示之結構及其結構等效物)或其任一組合。本說明書中所闡述之標的物之實施方案亦可實施為一或多個電腦程式，亦即，編碼於一電腦儲存媒體上以供資料處理設備執行或用以控制資料處理設備之操作之一或多個電腦程式指令模組。

若實施成軟體，則該等功能可作為一或多個指令或碼儲存於一電腦可讀媒體上或經由一電腦可讀媒體傳輸。本文

中所揭示之一方法或演算法之步驟可實施於可駐存於一電腦可讀媒體上之一處理器可執行軟體模組中。電腦可讀媒體包括電腦儲存媒體及包括可經啟用以將一電腦程式自一個位置傳送至另一位置之任一媒體之通信媒體兩者。一儲存媒體可係可由一電腦存取之任何可用媒體。為舉例說明，而非限制，此等電腦可讀媒體可包括RAM、ROM、EEPROM、CD-ROM或者其他光碟儲存裝置、磁碟儲存裝置或者其他磁性儲存裝置或者可用於將所期望程式碼儲存成指令或資料結構之形式且可由一電腦存取之任一其他媒體。此外，任一連接皆可適當地稱作一電腦可讀媒體。如本中所用，磁碟(disk)及光碟(disc)包括光碟(CD)、雷射光碟、光碟、數位多功能光碟(DVD)、軟碟及藍光光碟，其中磁碟通常以磁性方式再現資料，而光碟藉助雷射以光學方式再現資料。上述內容之組合亦可包括於電腦可讀媒體之範疇內。另外，一方法或演算法之操作可作為一個或任一組合或一組碼及指令駐存於可併入至一電腦程式產品中之一機器可讀媒體及電腦可讀媒體上。

熟習此項技術者可易於明瞭對本發明中所闡述之實施方案之各種修改，且本文中所界定之一般原理可適用於其他實施方案而不背離本發明之精神或範疇。因此，本發明並非意欲限於本文中所展示之實施方案，而是被賦予與本文中所揭示之申請專利範圍、原理及新穎特徵相一致之最寬廣範疇。措辭「例示性」在本文中專門用於意指「充當一實例、例項或例示」。在本文中闡述為「例示性」之任一

實施方案未必視為比其他實施方案更佳或更有利。另外，熟習此項技術者應易於明瞭，術語「上部」及「下部」有時係用於便於闡述該等圖，且指示對應於該圖在一適當定向之頁面上之定向之相對位置，且可不反映如所實施之一IMOD之適當定向。

依據單獨實施方案闡述於本說明書中之某些特徵亦可以組合形式實施於一單項實施方案中。相反地，依據一單項實施方案闡述之各種特徵亦可單獨地或以任一合適子組合形式實施於多項實施方案中。此外，儘管上文可將特徵闡述為以某些組合形式作用且甚至最初係如此主張的，但在一些情形下，可自一所主張之組合去除來自該組合之一或多個特徵，且所主張之組合可係關於一子組合或一子組合之變化形式。

類似地，儘管在該等圖式中以一特定次序繪示操作，但熟習此項技術者應易於看出，無需以所展示之特定次序或以順序性次序來執行此等操作，或執行所有所圖解說明之操作以達成合意之結果。此外，該等圖式可以一流程圖之形式示意性地繪示一或多項實例性過程。然而，可將未繪示之其他操作併入於示意性地圖解說明之實例性過程中。舉例而言，可在所圖解說明操作中之任一者之前、之後、同時或之間執行一或多個額外操作。在某些情況下，多任務及平行處理可係有利的。此外，上文所闡述之實施方案中之各種系統組件之分離不應被理解為需要在所有實施方案中進行此分離，而應理解為所闡述之程式組件及系統通

常可共同整合於一單個軟體產品中或封裝至多個軟體產品中。另外，其他實施方案亦屬於以下申請專利範圍之範疇內。在一些情形下，申請專利範圍中所陳述之動作可以一不同次序執行且仍達成合意之結果。

【圖式簡單說明】

圖1展示繪示一干涉式調變器(IMOD)顯示裝置之一系列像素中之兩個毗鄰像素之一等軸視圖之一實例。

圖2展示圖解說明併入一3x3干涉式調變器顯示器之一電子裝置之一系統方塊圖之一實例。

圖3展示圖解說明圖1之干涉式調變器之可移動反射層位置與所施加電壓之關係之一圖示之一實例。

圖4展示圖解說明當施加各種共同電壓及分段電壓時一干涉式調變器之各種狀態之一表格之一實例。

圖5A展示圖解說明在圖2之3x3干涉式調變器顯示器中之一顯示資料圖框之一圖示之一實例。

圖5B展示可用於寫入圖5A中所圖解說明之顯示資料圖框之共同信號及分段信號之一時序圖之一實例。

圖6A展示圖1之干涉式調變器顯示器之一部分剖面圖之一實例。

圖6B至6E展示干涉式調變器之不同實施方案之剖面圖之實例。

圖7展示圖解說明一干涉式調變器之一製造過程之一流程圖之一實例。

圖8A至8E展示製造一干涉式調變器之一方法中之各個

階段之剖面示意性圖解之實例。

圖9展示圖解說明形成包括與形成於一玻璃基板上之被動裝置組合之一積體電路之一設備之一過程之一流程圖之一實例。

圖10A至10G展示可根據圖9之過程形成之組件之實例。

圖11A展示包括一功率放大器晶片及一功率組合器電路之一功率放大系統之一實例。

圖11B展示可用於一功率組合器電路中之被動裝置之實例。

圖11C展示一功率放大系統之另一實例。

圖12展示堆疊在安裝於一印刷電路板上之一玻璃晶粒上之一積體電路之一透視圖之一實例。

圖13展示圖解說明在一玻璃基板上形成被動裝置之一過程之一流程圖之一實例。

圖14A至14L展示在根據圖13之一被動裝置製作過程中之各階段期間局部裝置剖面圖之實例。

圖15A及圖15B展示圖解說明包括複數個干涉式調變器之一顯示裝置之系統方塊圖之實例。

在各個圖式中，相同參考編號及名稱指示相同元件。

【主要元件符號說明】

12	干涉式調變器
13	光
14	可移動反射層
14a	反射子層

14b	支撐層
14c	導電層
15	光
16	光學堆疊
16a	吸收器層
16b	電介質
18	柱
19	間隙
20	透明基板
21	處理器
22	陣列驅動器
23	黑色遮罩
24	列驅動器電路
25	犧牲層
26	行驅動器電路
27	網路介面
28	圖框緩衝器
29	驅動器控制器
30	顯示器陣列
32	繫鏈
34	可變形層
35	間隔層
40	顯示裝置
41	外殼

43	天 線
45	揚 聲 器
46	麥 克 風
47	收 發 器
48	輸 入 裝 置
50	電 力 系 統
52	調 節 硬 體
1005	玻 璃 晶 粒
1007	玻 璃 基 板
1010a	互 連 通 孔
1010b	熱 通 孔
1010b1	熱 通 孔
1010b2	熱 通 孔
1010b3	熱 通 孔
1015	接 合 墊
1015a	接 合 墊
1015b	接 合 墊
1015c	導 電 墊
1015d	導 電 墊
1020	焊 料 球
1025a	被 動 裝 置
1025b	被 動 裝 置
1025c	被 動 裝 置
1025d	被 動 裝 置

1025e	被動裝置
1025f	被動裝置
1025g	被動裝置
1027a	導電墊
1027b	導電墊
1029	功率組合器電路
1030	電絕緣黏合劑材料
1050	功率放大器晶片
1051	頂表面
1052	導電晶片墊
1055	焊料凸塊
1060	功率放大系統
1062a	熱點
1062b	熱點
1065a	導熱通路
1065b	導熱通路
1070	模製件
1075	金屬電磁籠
1080	接地連接
1085	密封環
1087	玻璃蓋
1090	內部金屬塗層
1095	開口
1105	輸入端子

1110	輸入端子
1115	輸出端子
1115a	輸出端子
1115a	輸出端子
1115b	輸出端子
1120a	電感器
1120b	電感器
1120c	電感器
1120d	電感器
1120e	電感器
1125a	電容器
1125b	電容器
1125c	電容器
1150	變壓器
1150a	初級線圈端子
1150b	初級線圈端子
1150c	端子
1150d	端子
1155	變壓器
1155a	主線圈端子
1155b	主線圈端子
1155c	端子
1155d	端子
1160	變壓器

1160a	主線圈端子
1160b	主線圈端子
1160c	端子
1160d	端子
1200	設備
1205	電路板
1210	微機電系統裝置
1215	導電墊
1401	氧化層
1403	第二氧化層
1405a	金屬部分
1405b	金屬部分
1405c	金屬部分
1407	間隙
1409	介電層
1411	金屬層
1413	氧化層
1415a	通孔
1415b	通孔
1415c	通孔
1417	通孔
1418	頂表面
1419	晶種層
1420	下表面

1421	銅層
1423	間隙
1425	電容器
1427	導電材料
1430	鈍化層
1435a	通孔
1435b	通孔
1440	金屬層
PA1	功率放大器電路
PA2	功率放大器電路
PA3	功率放大器電路

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100134206

H01L 23/64 (2006.01)

※ 申請日：100.9.22

※IPC 分類：H01L 23/498 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/48 (2006.01)

整合被動及功率放大器

H01L 21/60 (2006.01)

INTEGRATED PASSIVES AND POWER AMPLIFIER

二、中文發明摘要：

本發明提供用於組合沈積於一第一基板上之裝置與形成於諸如一半導體基板或一玻璃基板之一第二基板上之積體電路之系統、方法及設備。該第一基板可係一玻璃基板。該第一基板可包括若干導電通孔。可在該第一基板之一第一側上沈積一功率組合器電路。該功率組合器電路可包括沈積於該第一基板之至少該第一側上之若干被動裝置。該積體電路可包括一功率放大器電路，該功率放大器電路安置於該功率組合器電路上且組態成用於與該功率組合器電路電連接以形成一功率放大系統。該等導電通孔可包括組態成用於自該功率放大系統傳導熱量之若干熱通孔及/或組態成用於在該功率放大系統與該第一基板之一第二側上之一導體電連接之若干互連通孔。

三、英文發明摘要：

This disclosure provides systems, methods and apparatus for combining devices deposited on a first substrate, with integrated circuits formed on a second substrate such as a semiconducting substrate or a glass substrate. The first substrate may be a glass substrate. The first substrate may include conductive vias. A power combiner circuit may be deposited on a first side of the first substrate. The power combiner circuit may include passive devices deposited on at least the first side of the first substrate. The integrated circuit may include a power amplifier circuit disposed on and configured for electrical connection with the power combiner circuit, to form a power amplification system. The conductive vias may include thermal vias configured for conducting heat from the power amplification system and/or interconnect vias configured for electrical connection between the power amplification system and a conductor on a second side of the first substrate.

七、申請專利範圍：

1. 一種整合裝置，其包含：

一玻璃基板，其具有一第一表面及實質上平行於該第一表面之一第二表面；

至少一個被動組件，其由安置於該第一表面上之至少一個經圖案化層形成；

一積體電路晶粒，其附著至該玻璃基板之該第一表面；及

複數個穿玻璃通孔，其延伸於該玻璃基板之該第一表面與該第二表面之間，其中該積體電路晶粒電連接至該至少一個被動組件及至少一個穿玻璃通孔。

2. 如請求項1之整合裝置，其中該至少一個被動組件係一電容器或一電感器。

3. 如請求項1之整合裝置，其中該至少一個被動組件包括一功率組合器。

4. 如請求項1之整合裝置，其中該積體電路晶粒包括一功率放大器電路。

5. 如請求項1之整合裝置，其中該至少一個被動組件及該積體電路晶粒形成一功率放大系統。

6. 如請求項1之整合裝置，其進一步包含：

一熱通孔，其延伸於該玻璃基板之該第一表面與該第二表面之間，該熱通孔與該積體電路晶粒熱接觸。

7. 一種設備，其包含：

一第一基板，其包括若干導電通孔；

一功率組合器電路，其沈積於該第一基板之一第一側上，該功率組合器電路包括沈積於該第一基板之至少該第一側上之複數個被動裝置；及

一功率放大器晶片，其包括形成於一第二基板上之一功率放大器電路，該功率放大器晶片安置於該功率組合器電路上且組態成用於與該功率組合器電路電連接，

其中該功率放大器電路及該功率組合器電路形成一功率放大系統，且其中該等導電通孔包括組態成用於自該功率放大系統傳導熱量之至少一個熱通孔及組態成用於在該功率放大系統與該第一基板之一第二側上之一導體之間電連接之一或多個互連通孔。

8. 如請求項7之設備，其中該第二基板係一玻璃基板、一矽基板、一分層矽-絕緣體-矽基板、一砷化鎵基板或一藍寶石上矽基板。
9. 如請求項7之設備，其進一步包括該第一基板之該第二側上之經金屬化墊，其中該等互連通孔組態成用於在該功率放大系統與該等經金屬化墊之間電連接。
10. 如請求項7之設備，其中該功率放大器晶片組態成用於經由焊料凸塊與該功率組合器電路電連接。
11. 如請求項7之設備，其中該功率放大器晶片覆蓋該等被動裝置之至少一部分。
12. 如請求項7之設備，其進一步包括沈積於該第一基板之一第二側上且組態成用於與該功率放大系統電連接之至少一個被動裝置或主動裝置。

13. 如請求項7之設備，其進一步包括：

一顯示器；

一處理器，其經組態以與該顯示器通信，該處理器經組態以處理影像資料；及

一記憶體裝置，其經組態以與該處理器通信。

14. 如請求項13之設備，其進一步包括：

一驅動器電路，其經組態以發送至少一個信號至該顯示器；及

一控制器，其經組態以發送該影像資料之至少一部分至該驅動器電路。

15. 如請求項13之設備，其進一步包括：

一輸入裝置，其經組態以接收輸入資料並將該輸入資料傳遞至該處理器。

16. 如請求項13之設備，其進一步包括一接收器、一收發器及一傳輸器中之至少一者。

17. 如請求項7之設備，其中至少一個熱通孔寬於至少一個互連通孔。

18. 如請求項7之設備，其進一步包括沈積於該第一基板之該第一側上之至少一個主動組件。

19. 如請求項7之設備，其中該複數個被動裝置包括一電阻器、一電容器、一可變電容器、一變容二極體、一電感器、一濾波器、一變壓器、一耦合器、一定向耦合器、一功率分離器、一傳輸線、一波導或一天線中之至少一者。

20. 如請求項7之設備，其中該第一基板係一玻璃基板。
21. 如請求項7之設備，其中該等熱通孔中之至少一者組態成用於在該功率放大系統與該第一基板之該第二側之間傳導電。
22. 如請求項7之設備，其中至少一個熱通孔不組態成用於在該功率放大系統與該第一基板之該第二側之間傳導電。
23. 如請求項7之設備，其中該熱通孔具有為該等互連通孔之寬度的至少兩倍之一寬度。
24. 如請求項7之設備，其中該熱通孔具有介於該等互連通孔之寬度的兩倍與五倍之間的一寬度。
25. 如請求項7之設備，其進一步包括形成於該功率放大系統周圍之一包殼。
26. 如請求項25之設備，其中該包殼係一模製件。
27. 如請求項25之設備，其中該包殼係一金屬籠。
28. 如請求項25之設備，其中該包殼係具有一內部金屬塗層之一玻璃蓋。
29. 如請求項28之設備，其中該內部金屬塗層電接地。
30. 一種包括如請求項7之設備之封裝電子裝置。
31. 如請求項17之設備，其中該封裝電子裝置包括至少一個額外積體電路。
32. 一種方法，其包含：
 在一玻璃基板中形成複數個通孔；
 用導電材料來填充該等通孔；

在該玻璃基板之至少一第一側上沈積若干被動裝置以形成一功率組合器電路；及

組態一功率放大器晶片用於與該功率組合器電路電連接以形成一功率放大系統，該功率放大器晶片包括形成於一半導體基板上之一功率放大器電路，其中該形成涉及形成組態成用於自該功率放大系統傳導熱量之至少一個熱通孔並形成組態成用於在該功率放大系統與該玻璃基板之一第二側上之一導體之間電連接之若干互連通孔。

33. 如請求項32之方法，其中填充該等通孔包括：用導電材料來填充至少該等互連通孔。

34. 如請求項32之方法，其中填充該等通孔包括：用導電材料來填充至少該等熱通孔。

35. 如請求項32之方法，其中該等熱通孔中之至少一者經形成具有較該等互連通孔中之至少一者為大之一寬度。

36. 如請求項35之方法，其中該等熱通孔中之至少一者經形成具有為該等互連通孔中之至少一者之寬度的至少兩倍之一寬度。

37. 如請求項35之方法，其中該等熱通孔中之至少一者經形成具有介於該等互連通孔中之至少一者之寬度的兩倍與五倍之間的一寬度。

38. 如請求項32之方法，其中形成該複數個通孔包括：藉由雷射鑽孔、噴砂或蝕刻來形成該等通孔。

39. 如請求項32之方法，其中該組態包括：經由一覆晶焊料

結合過程、一銅柱覆晶結合過程或一各向異性導電膜過程將該功率放大器晶片附著至該功率組合器電路。

40. 如請求項32之方法，其中該組態：包括將該功率放大器晶片附著至該功率組合器電路並用一電絕緣黏合劑來底部填充該功率放大器晶片。

41. 如請求項32之方法，其中組態該功率放大系統包括：藉由用一導熱材料來底部填充該功率放大器晶片將該功率放大器晶片附著至該功率組合器電路，該導熱材料用於自該功率放大器系統耗散熱量。

42. 如請求項32之方法，其中該功率放大器晶片覆蓋該等被動裝置之至少一部分。

43. 如請求項32之方法，其進一步包括在該玻璃基板之一第二側上沈積一被動裝置。

44. 一種設備，其包含：

第一基板構件，其包括導電構件，其中該導電構件包括組態成用於自該第一基板構件之一第一側上之一功率放大系統傳導熱量之至少一個熱通孔及組態成用於在該功率放大系統與該第一基板構件之一第二側上之一導體之間電連接之若干互連通孔；

功率組合器構件，其沈積於該第一基板構件之該第一側上；及

功率放大器構件，其沈積於一第二基板上且組態成用於與該功率組合器構件電連接，

其中該功率放大器構件及該功率組合器構件形成該功

率放大系統。

45. 如請求項44之設備，其中該功率組合器構件包括沈積於該第一基板構件之至少該第一側上之複數個被動裝置。
46. 如請求項44之設備，其中該功率放大器構件包括形成於一半導體基板或一玻璃基板上之一積體電路。
47. 如請求項44之設備，其中該第一基板構件係一玻璃基板。
48. 如請求項44之設備，其中該至少一個熱通孔具有為該等互連通孔之寬度的至少兩倍之一寬度。
49. 如請求項44之設備，其中該功率放大系統包括一功率放大器電路及一變壓器。

八、圖式：

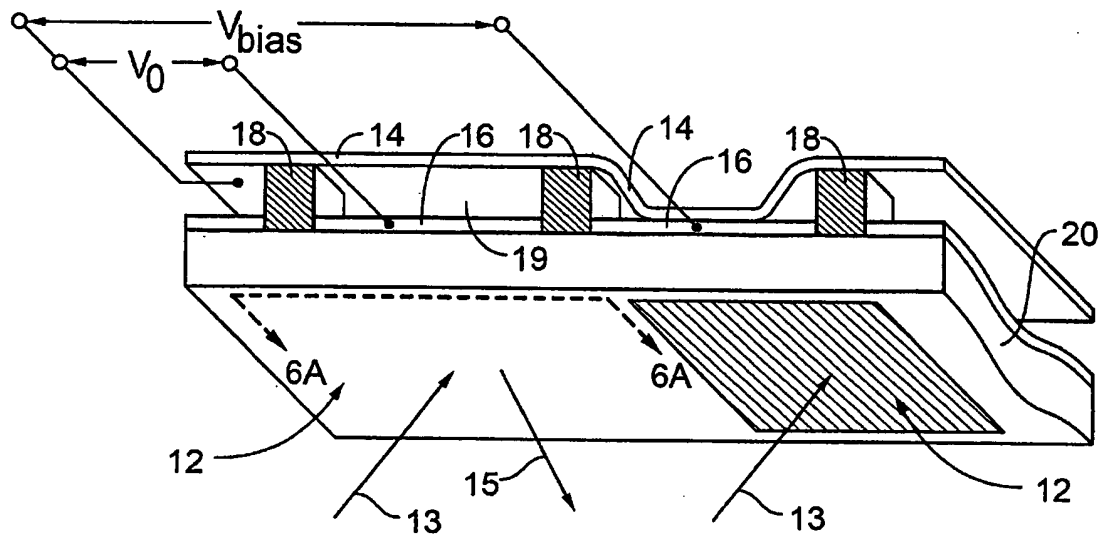


圖 1

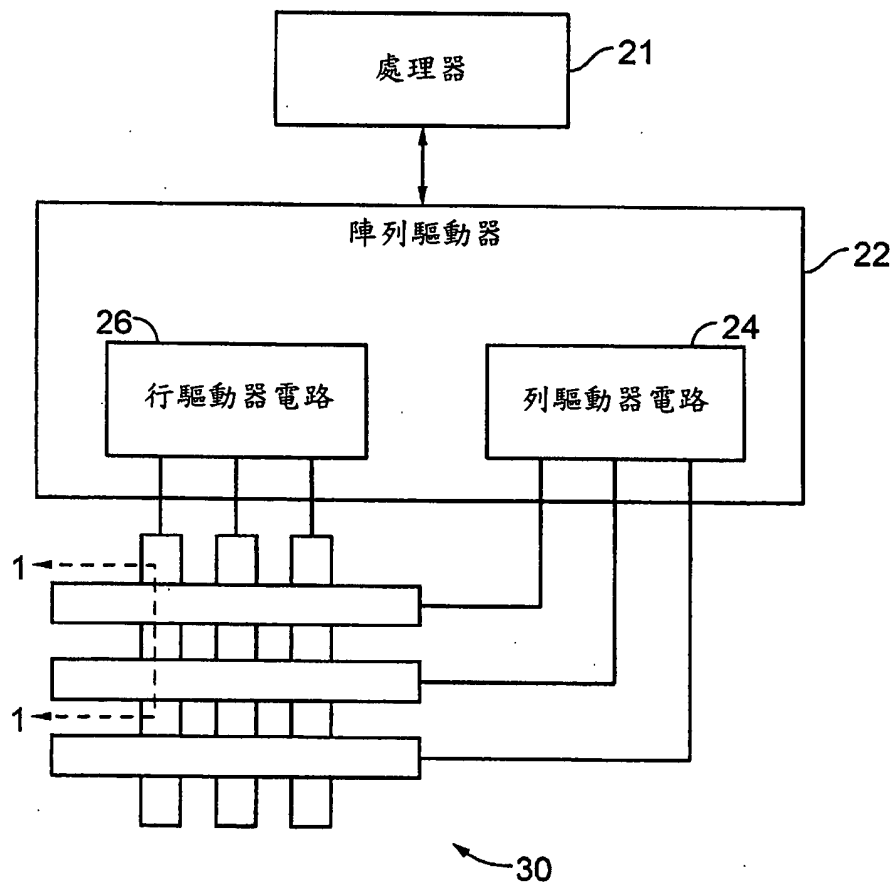


圖 2

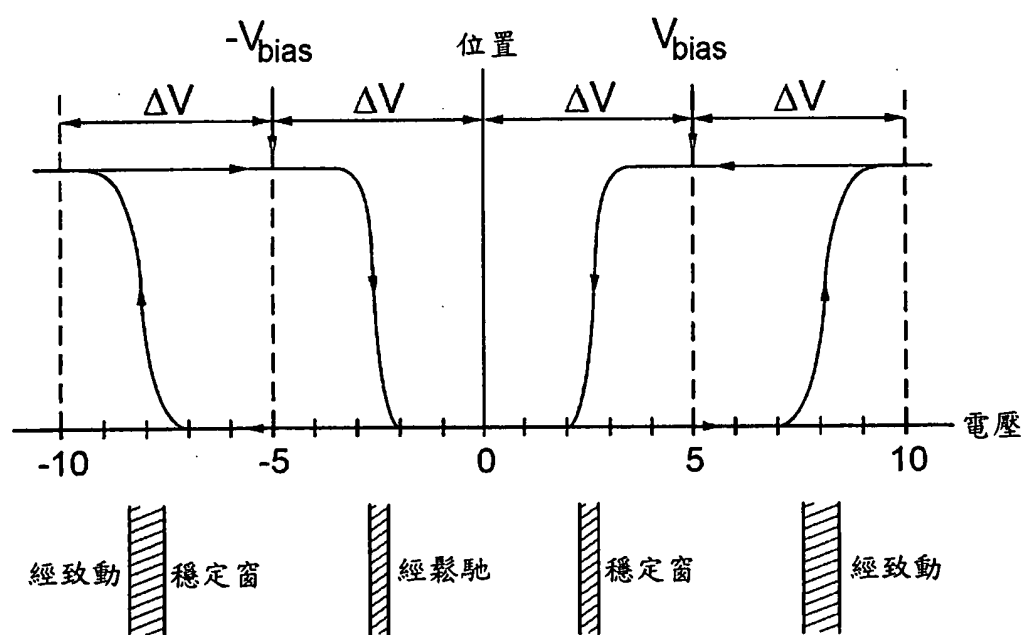


圖 3

共同電壓						
		$V_{C_ADD_H}$	$V_{C_HOLD_H}$	V_{C_REL}	$V_{C_HOLD_L}$	$V_{C_ADD_L}$
分段電壓	V_{S_H}	穩定	穩定	鬆馳	穩定	致動
	V_{S_L}	致動	穩定	鬆馳	穩定	穩定

圖 4

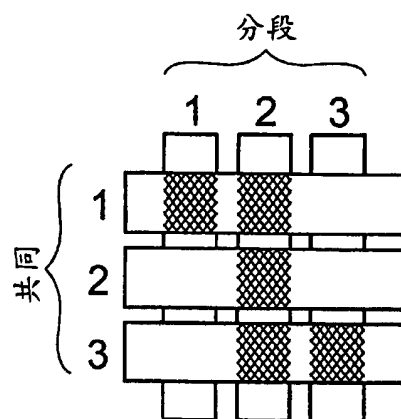


圖 5A

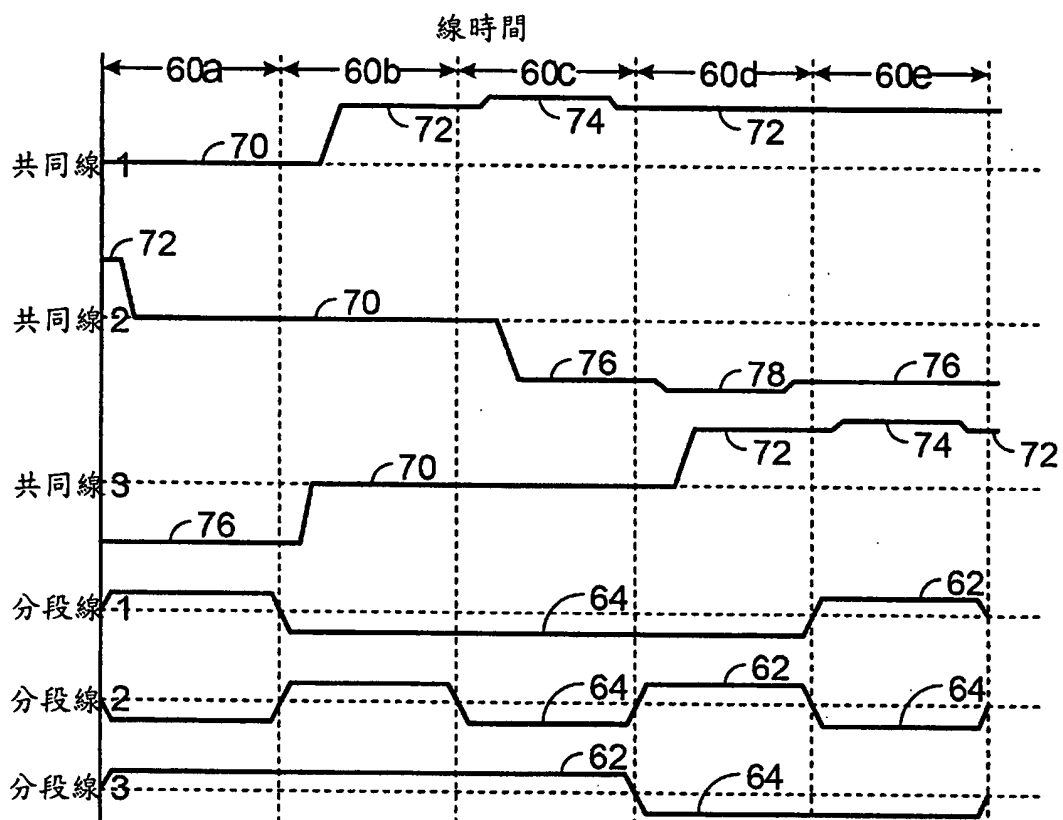
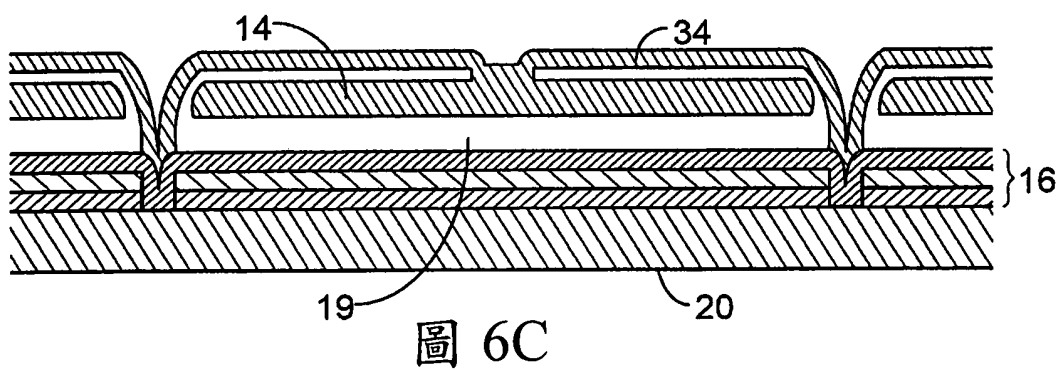
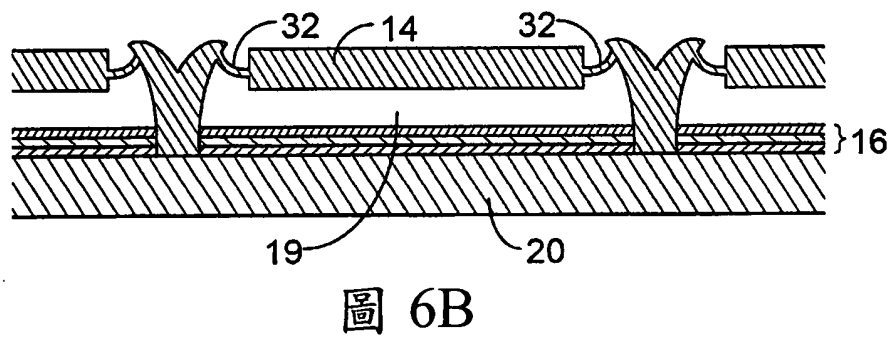
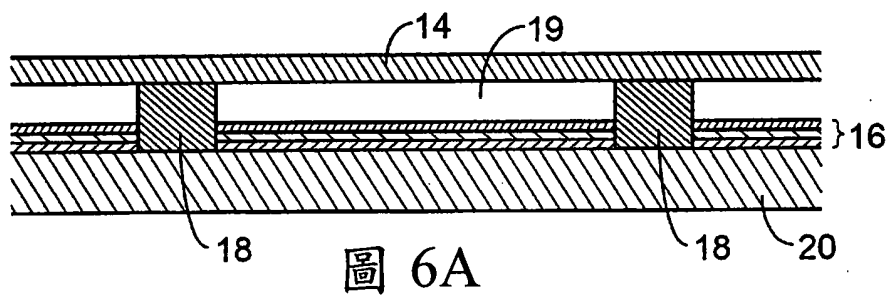


圖 5B



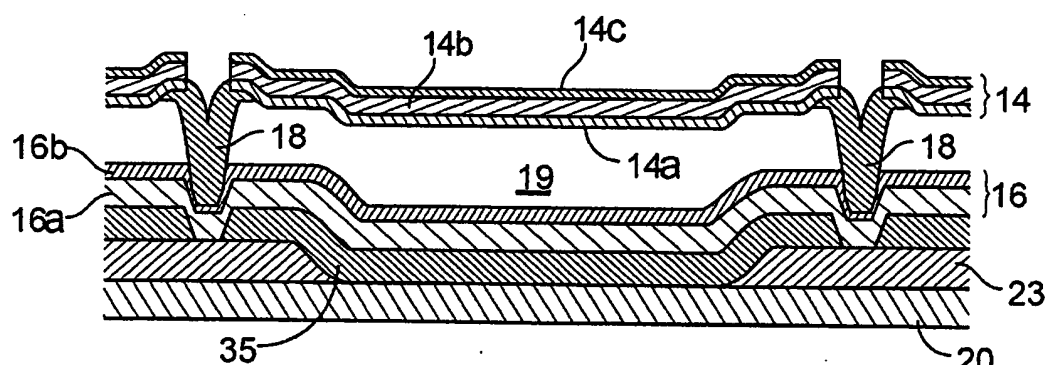


圖 6D

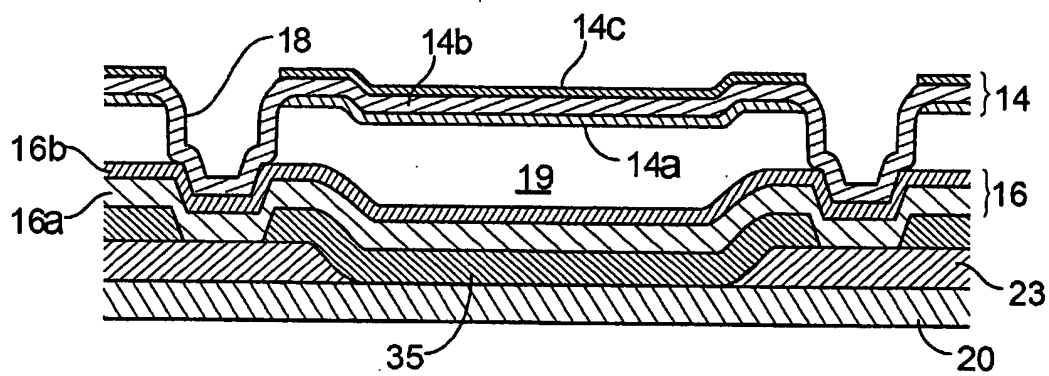


圖 6E

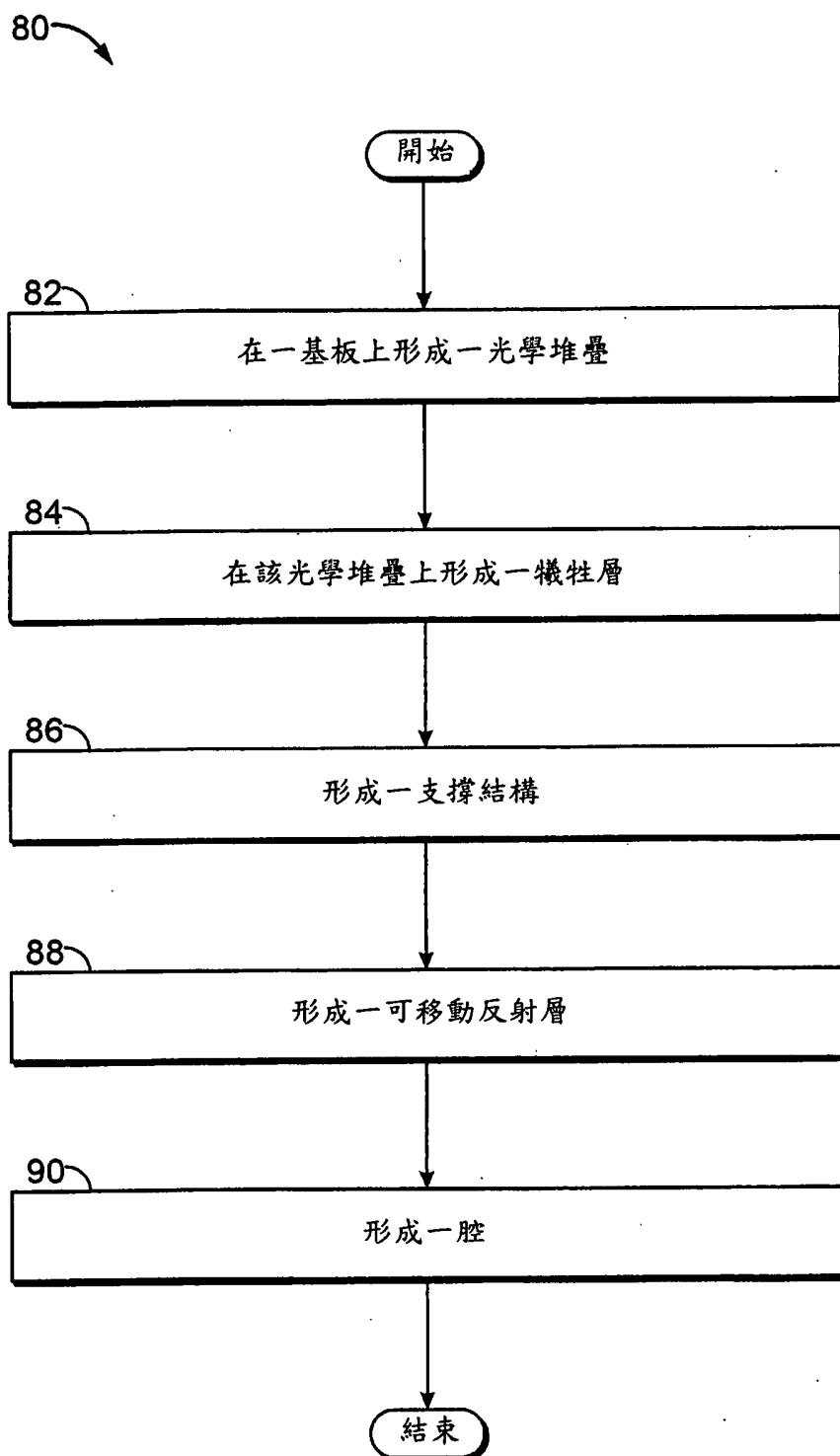


圖 7

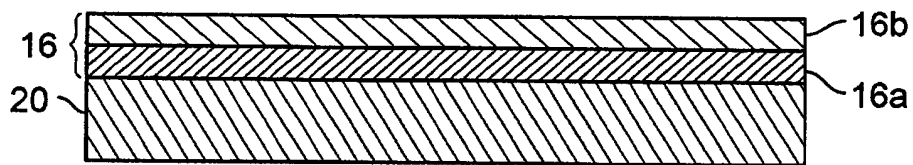


圖 8A

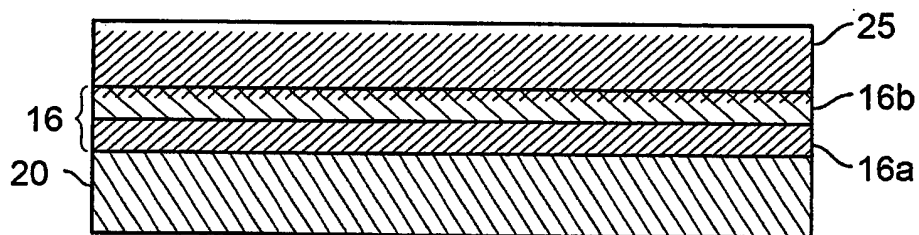


圖 8B

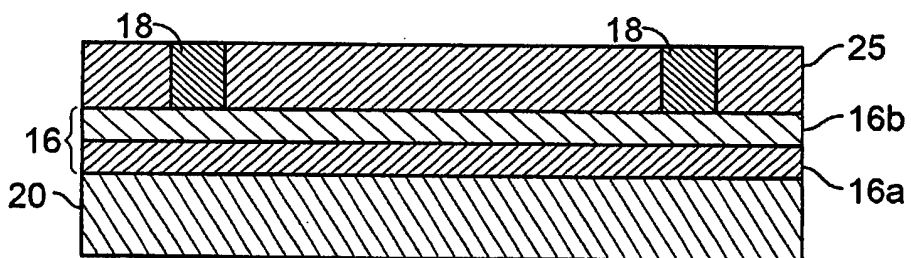


圖 8C

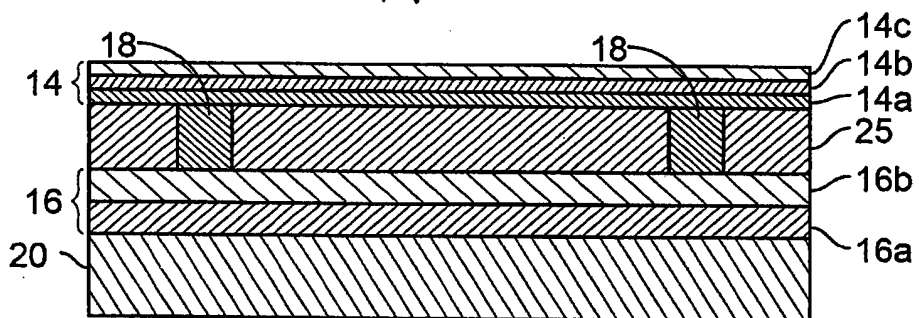


圖 8D

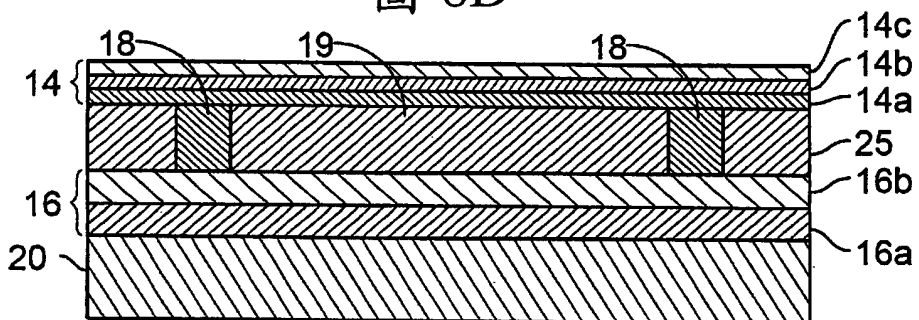


圖 8E

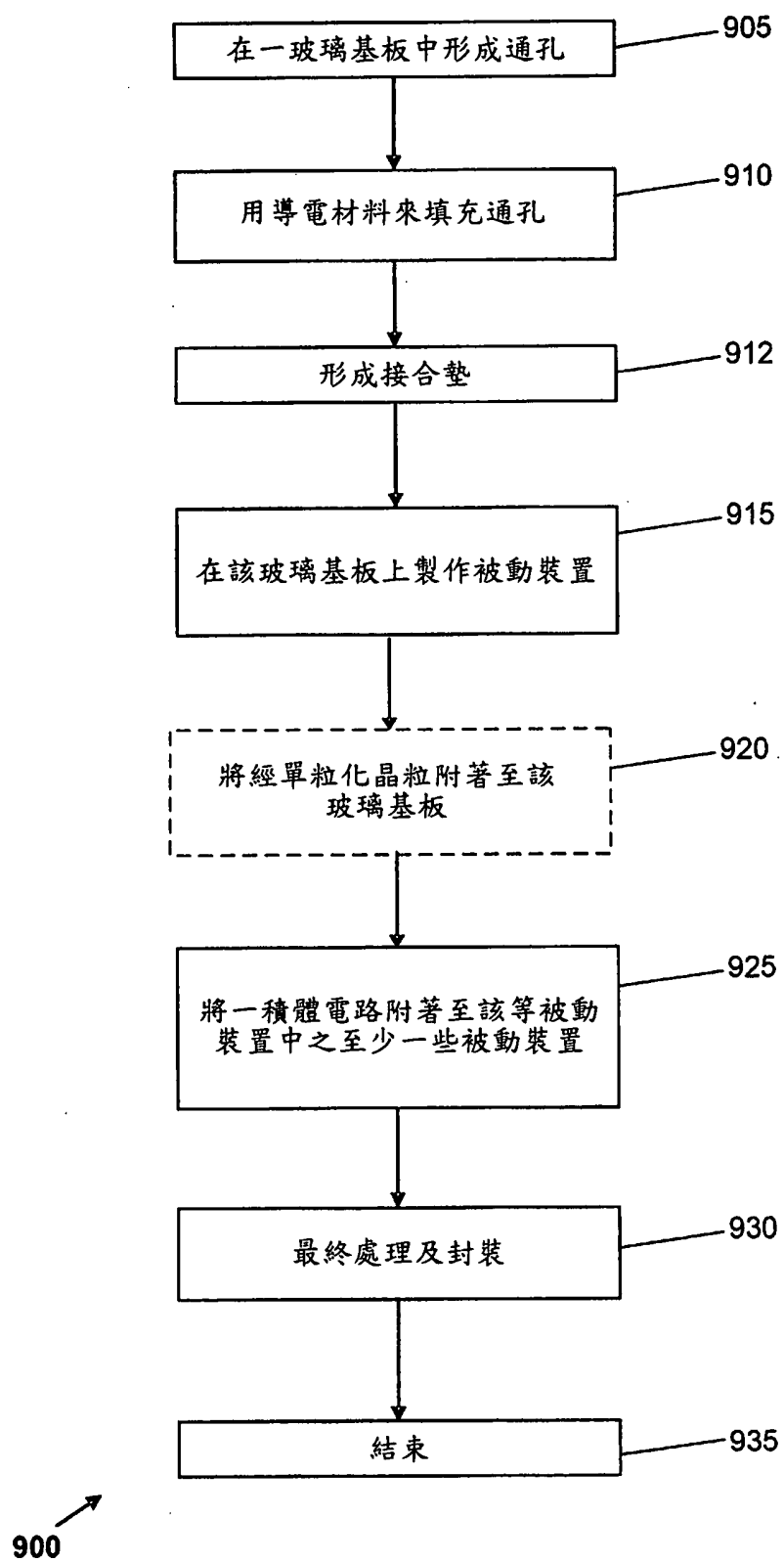


圖 9

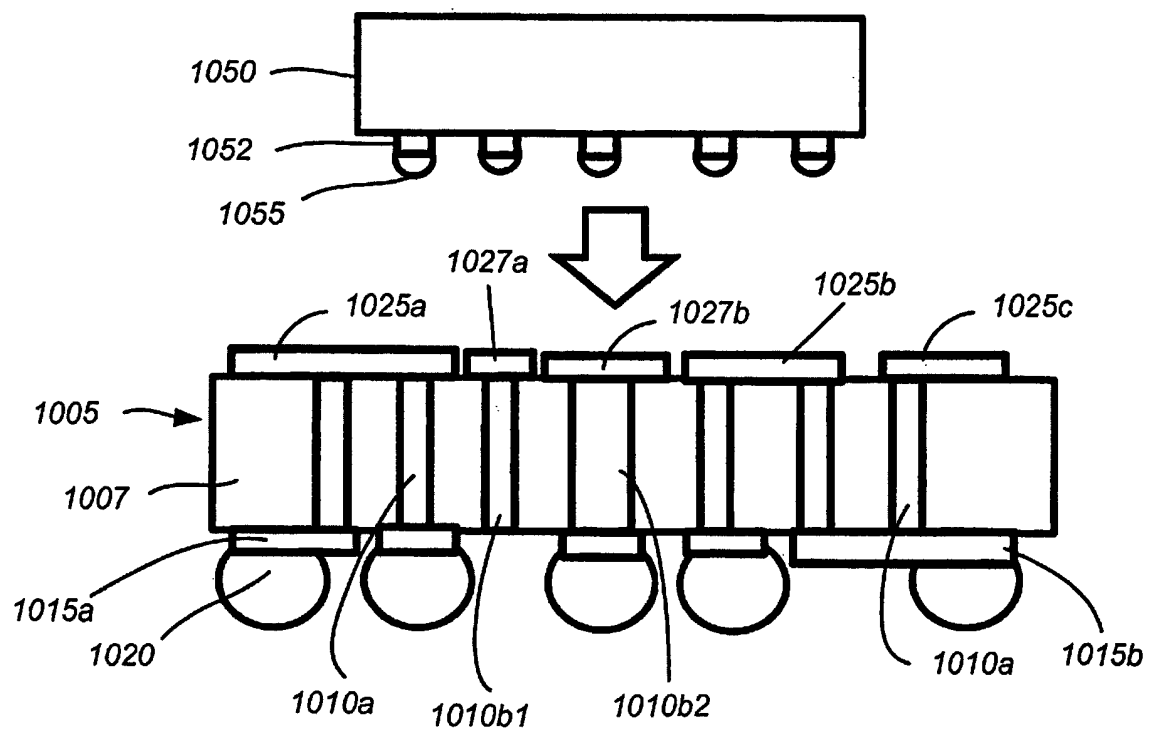


圖 10A

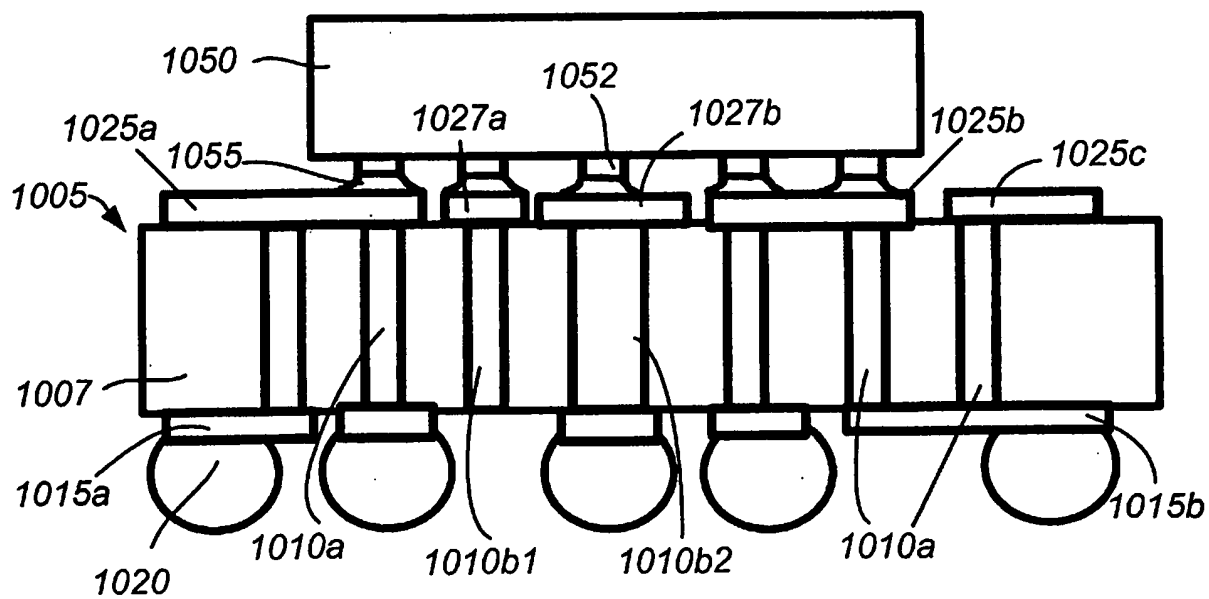


圖 10B

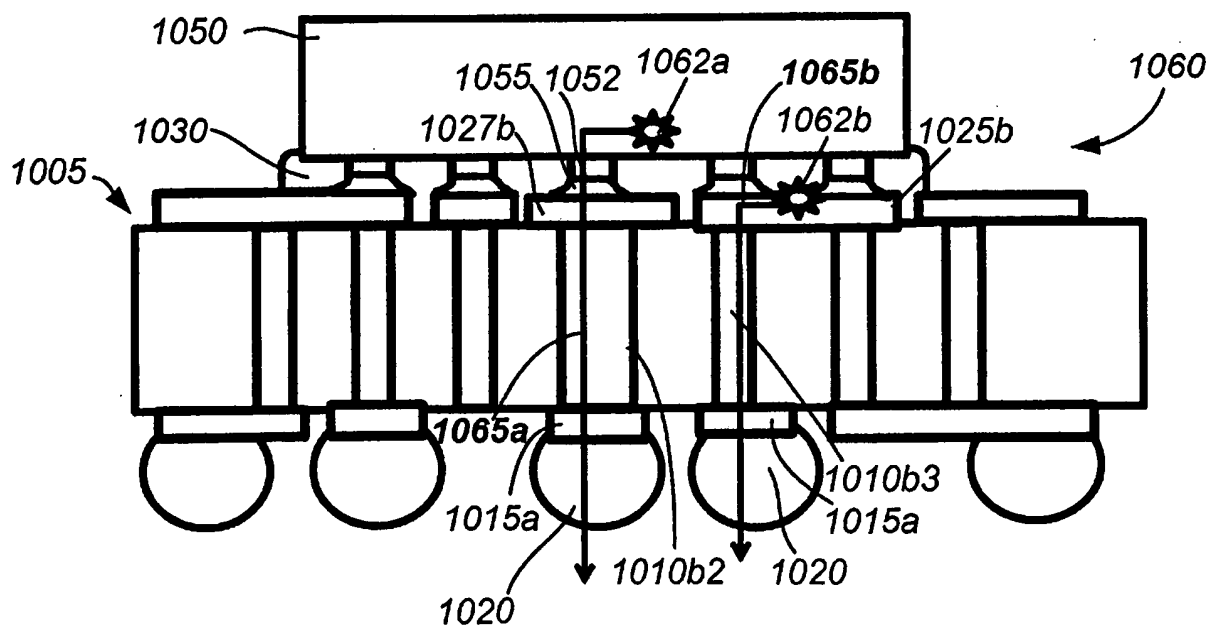


圖 10C

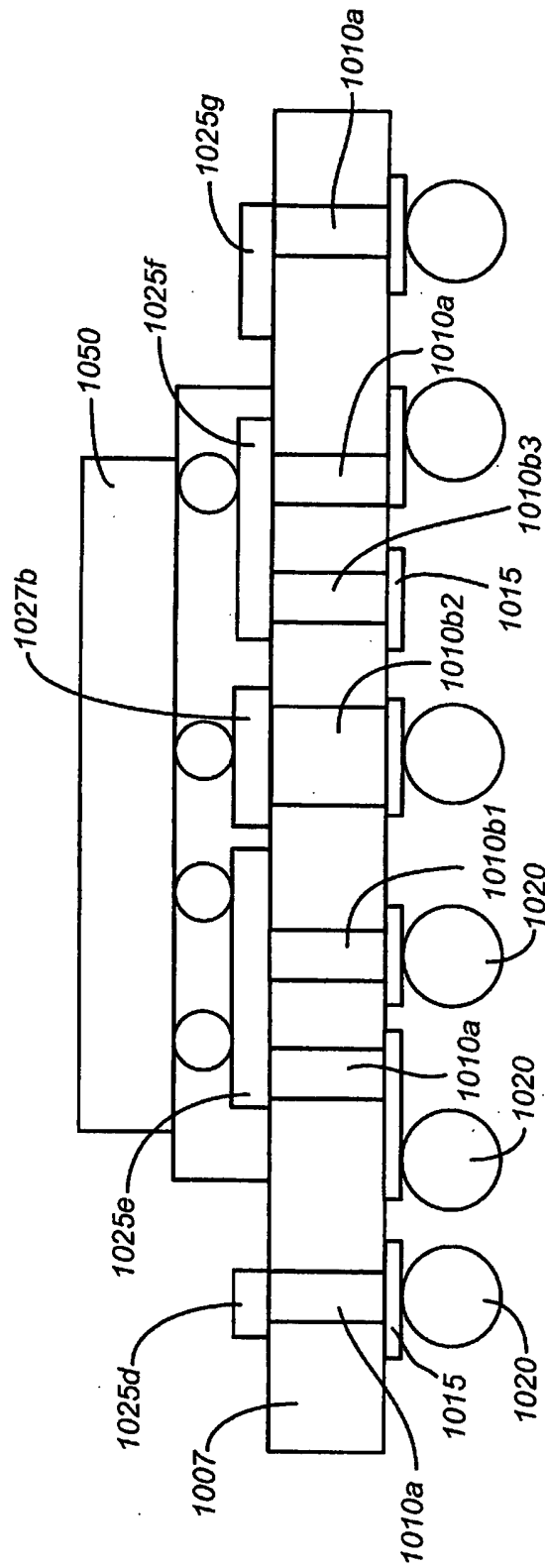


圖 10D

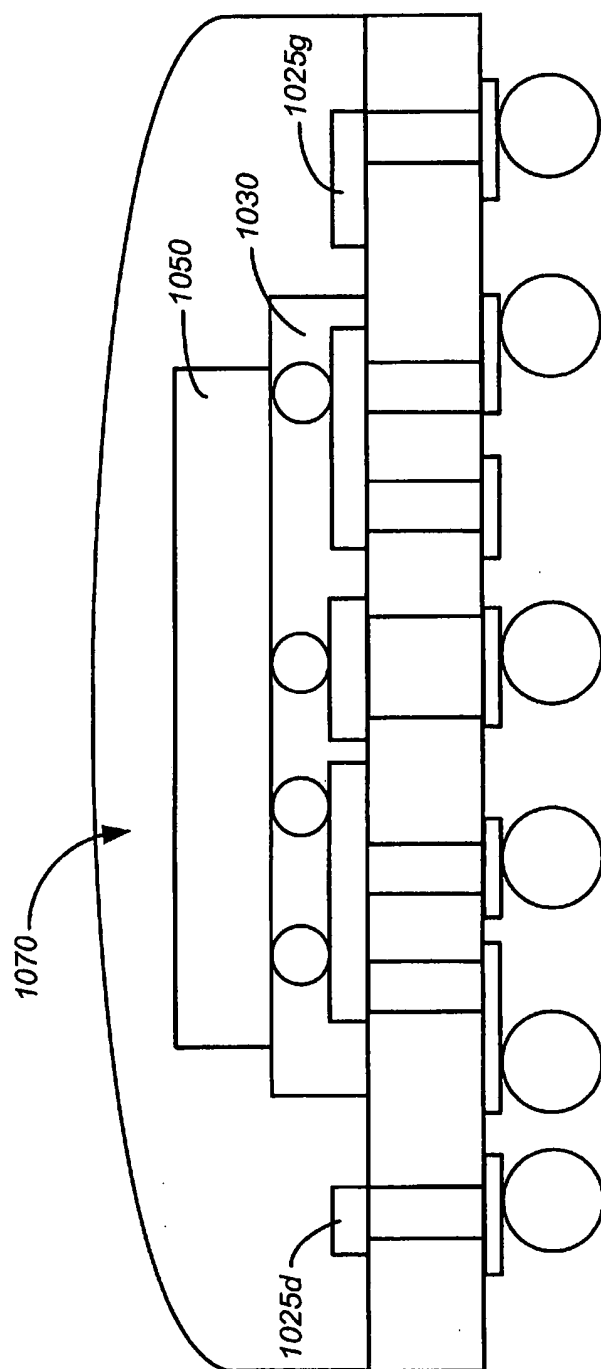


圖 10E

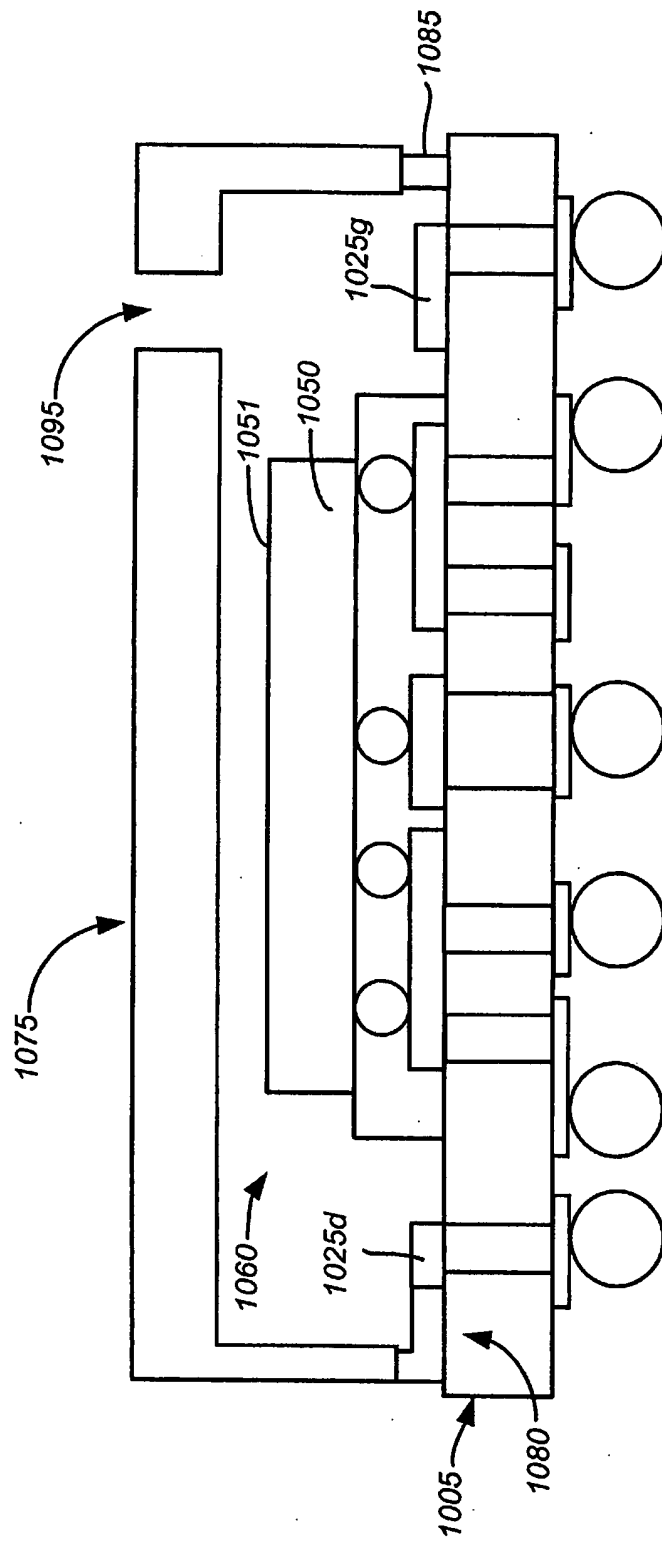


圖 10F

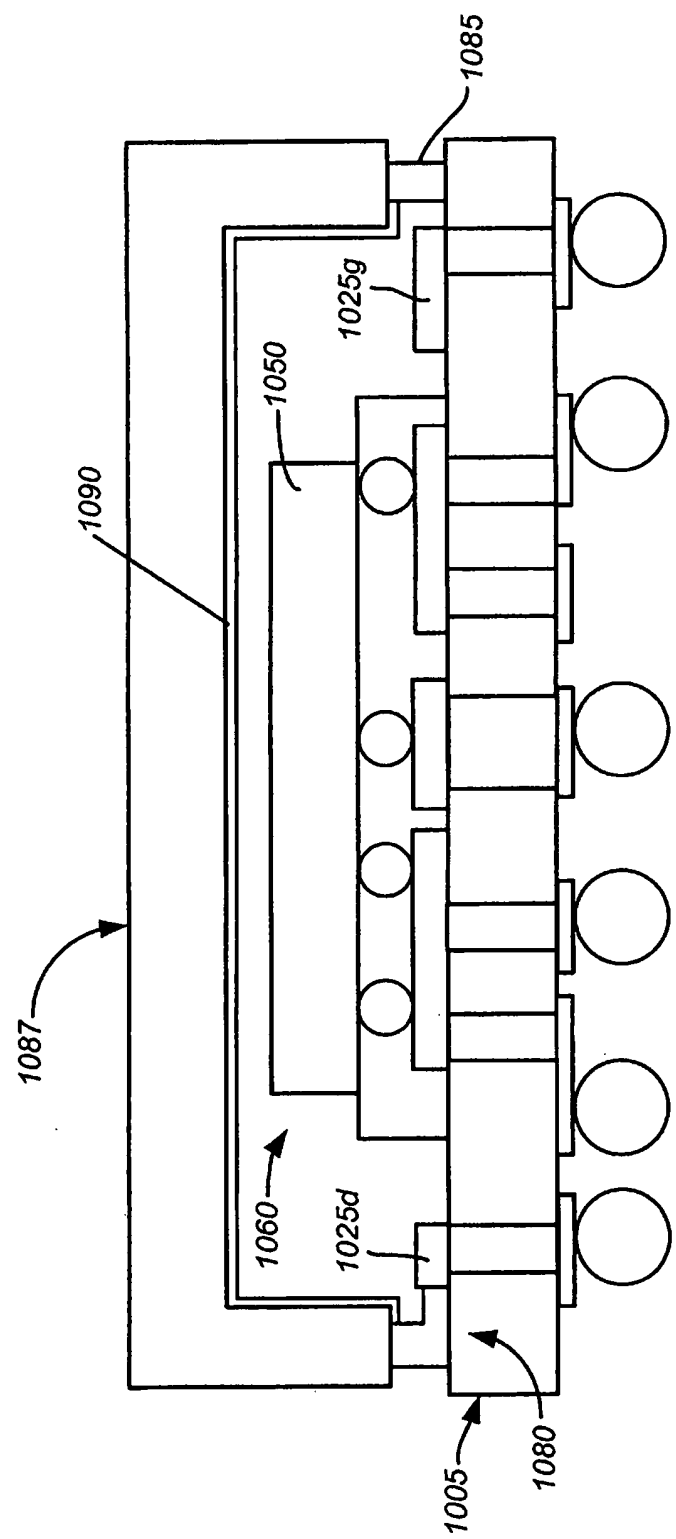


圖 10G

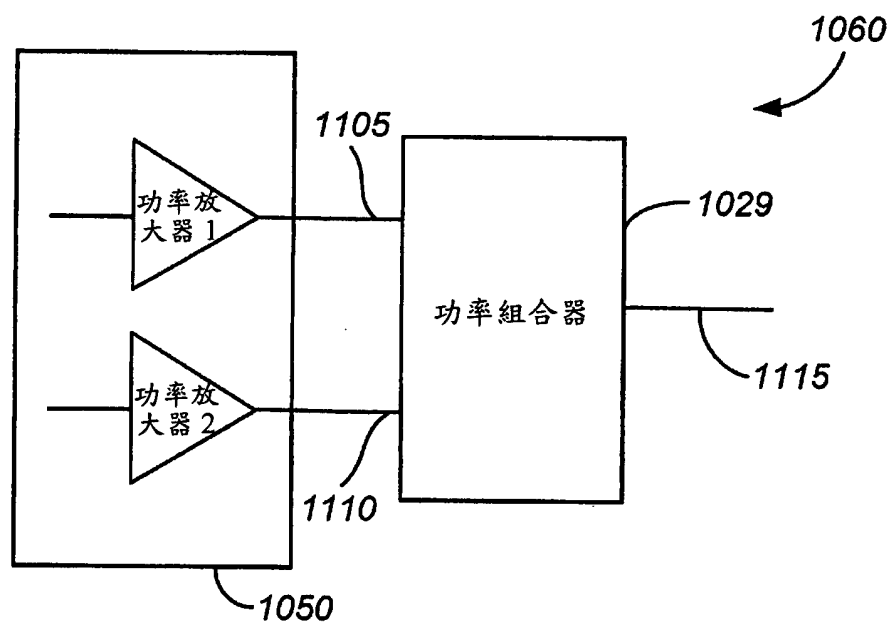


圖 11A

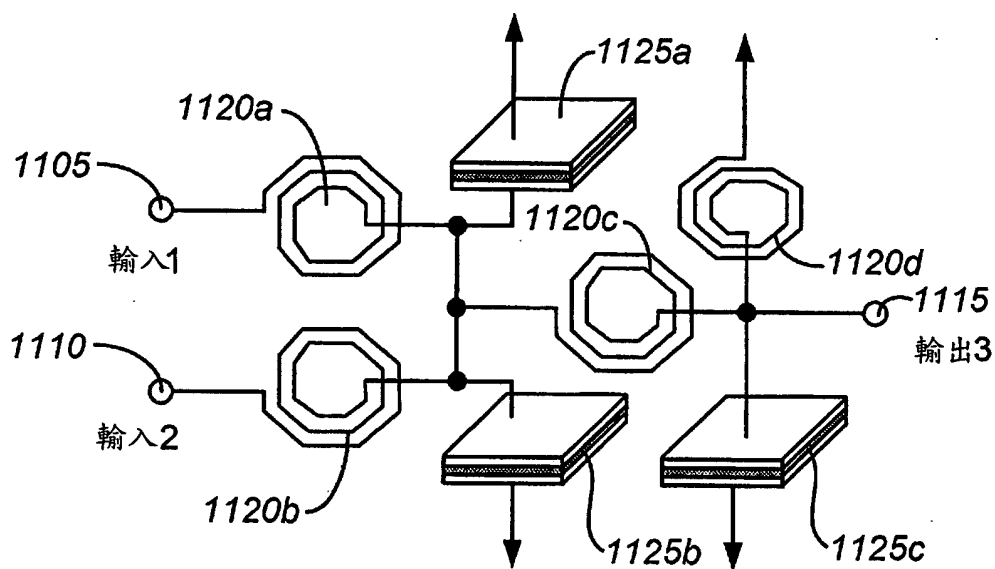


圖 11B

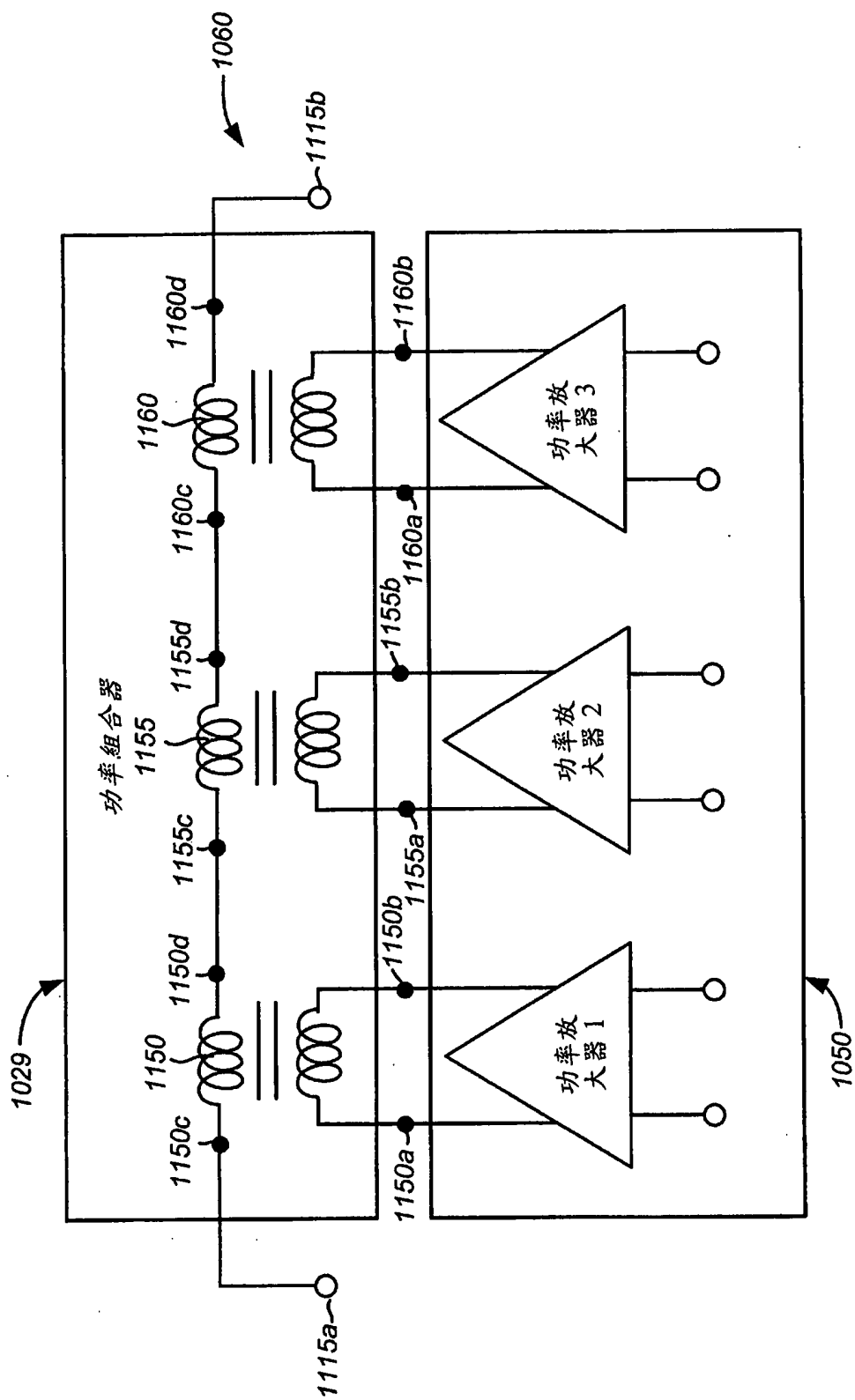


圖 11C

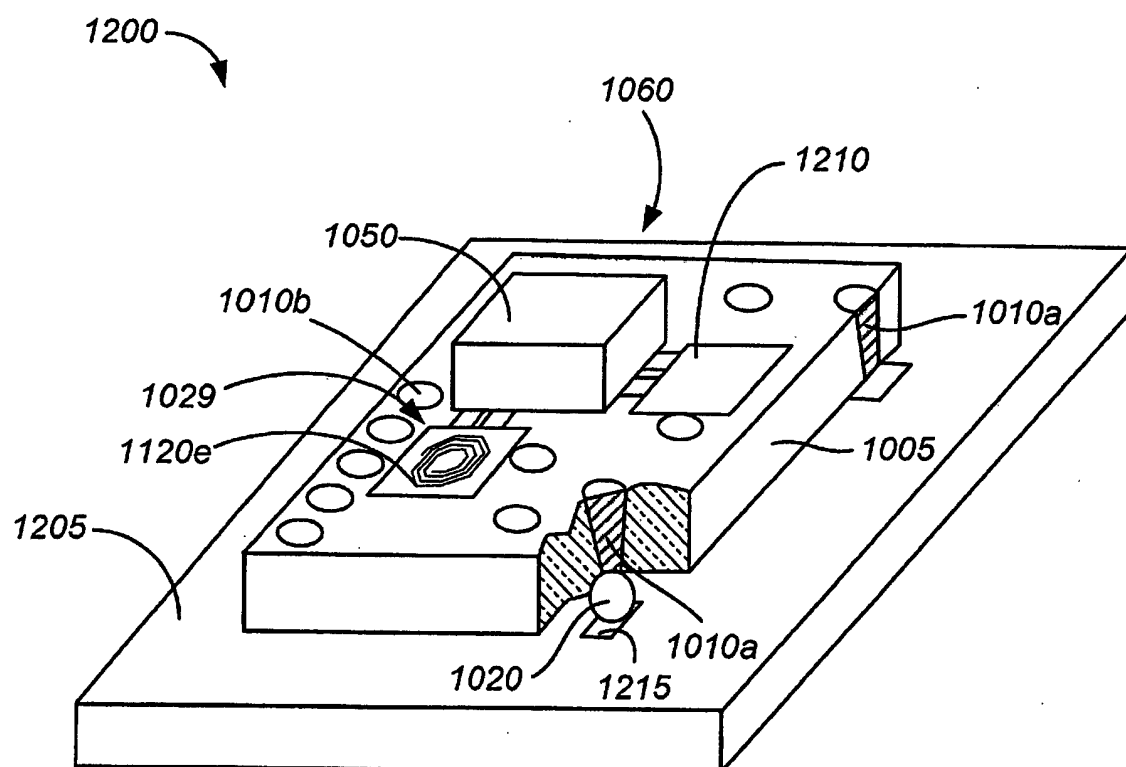


圖 12

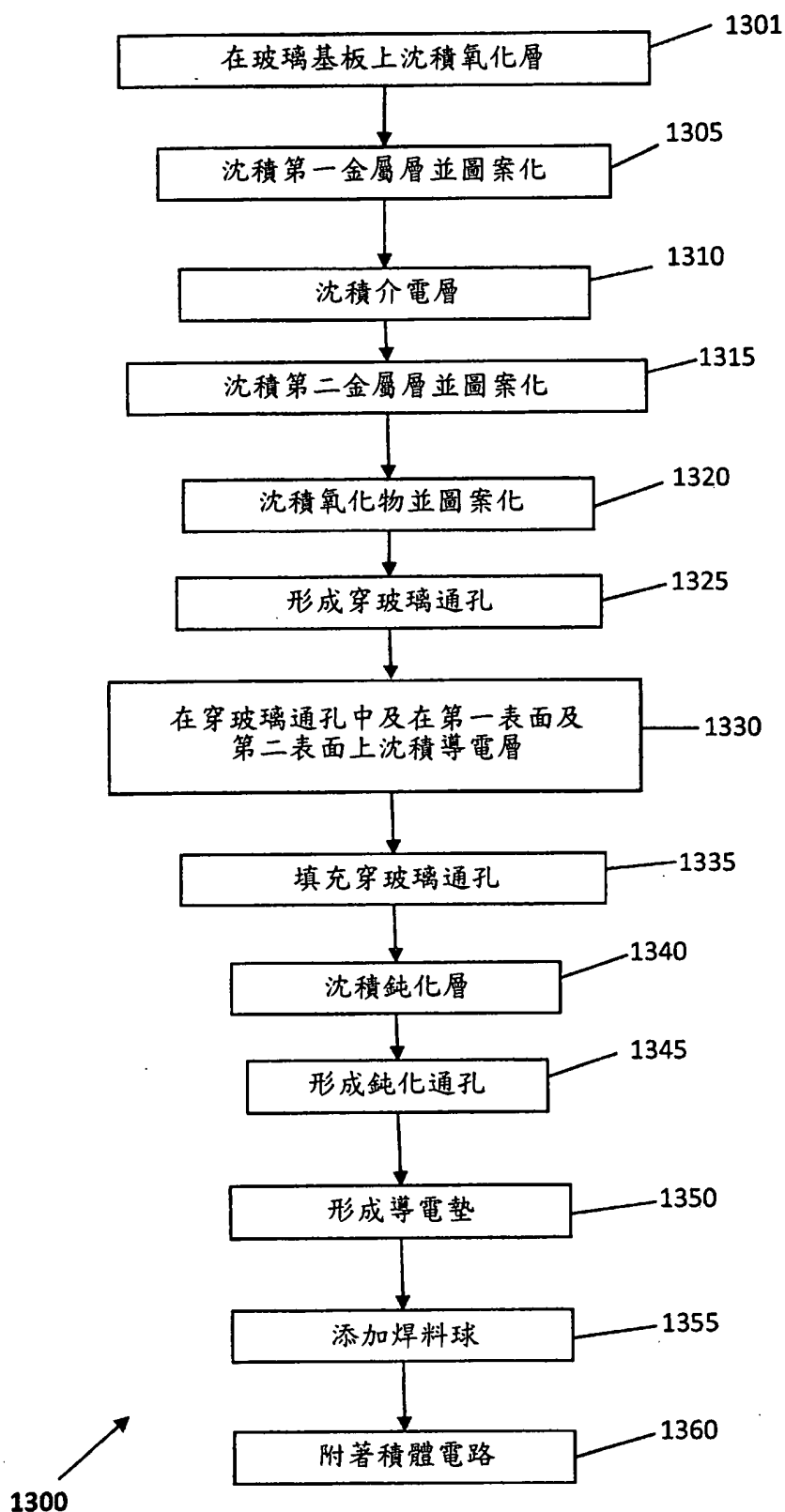


圖 13

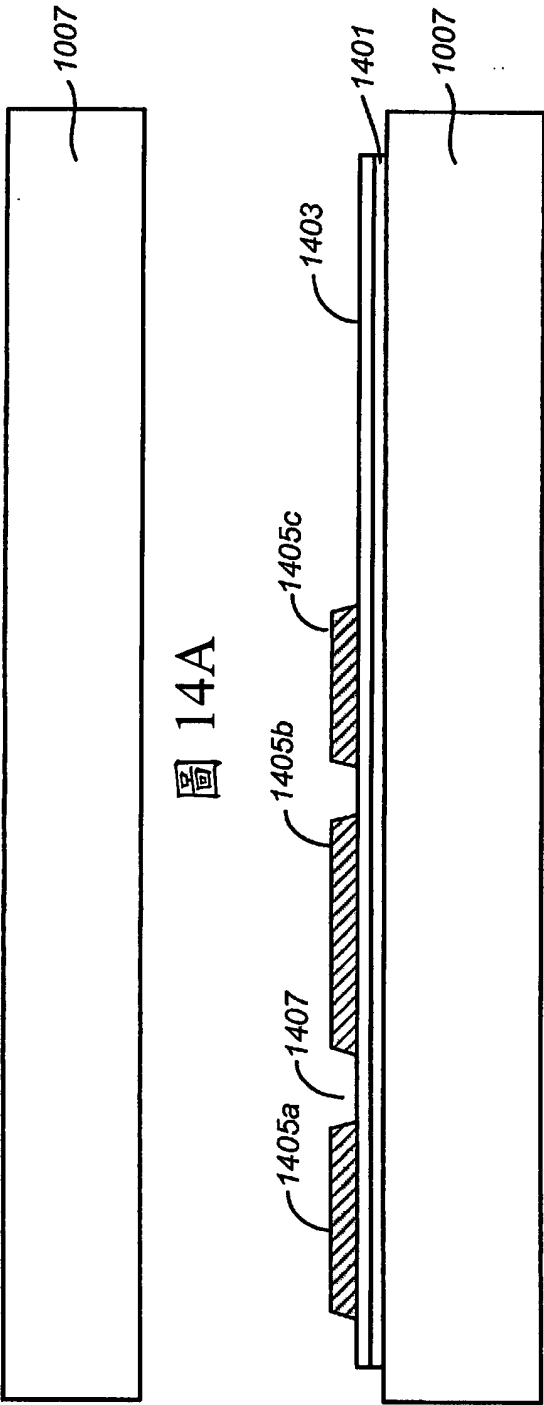


圖 14A

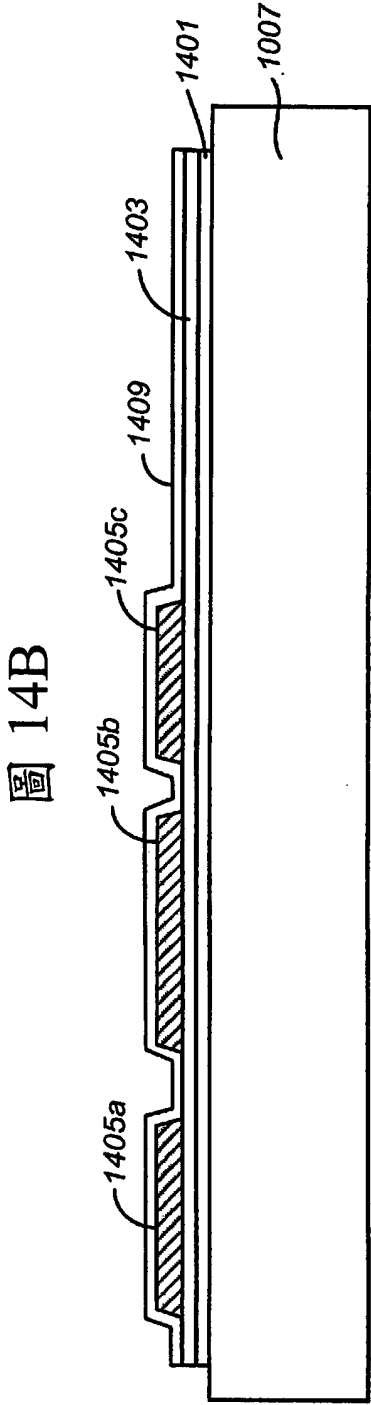


圖 14B

圖 14C

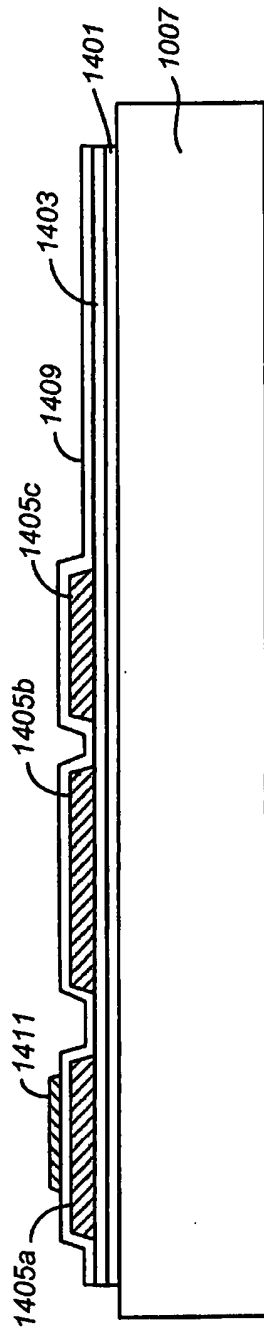


圖 14D

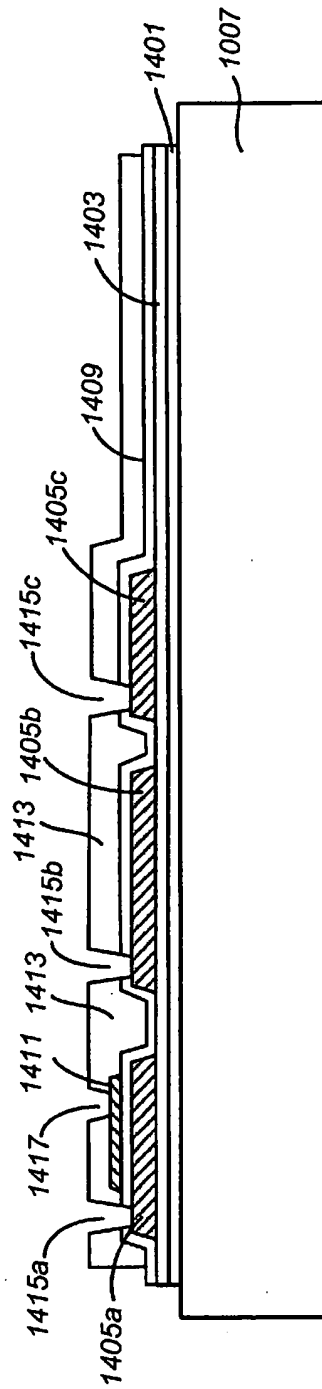


圖 14E

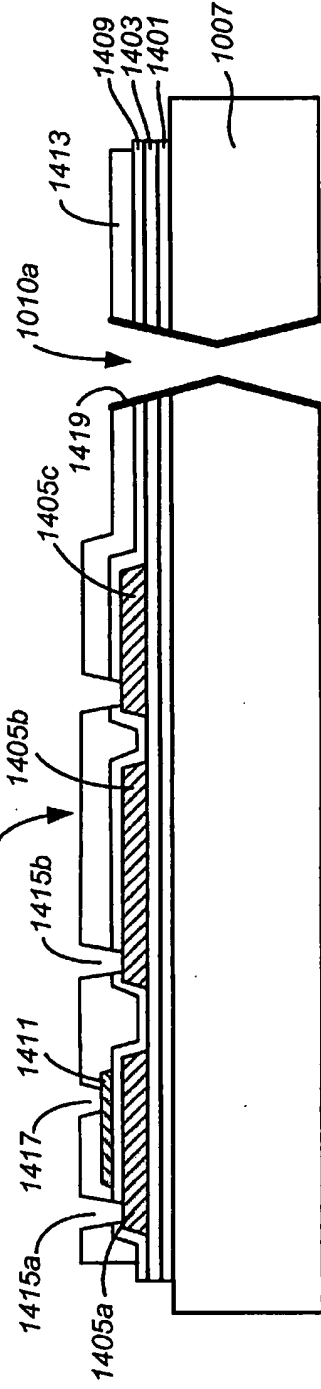
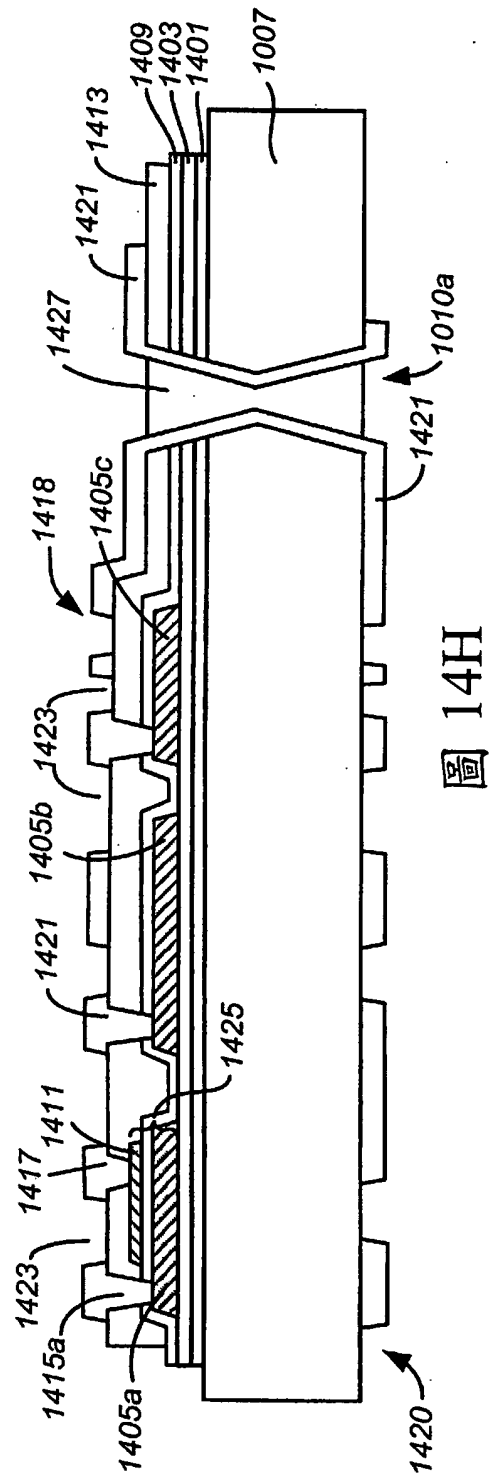
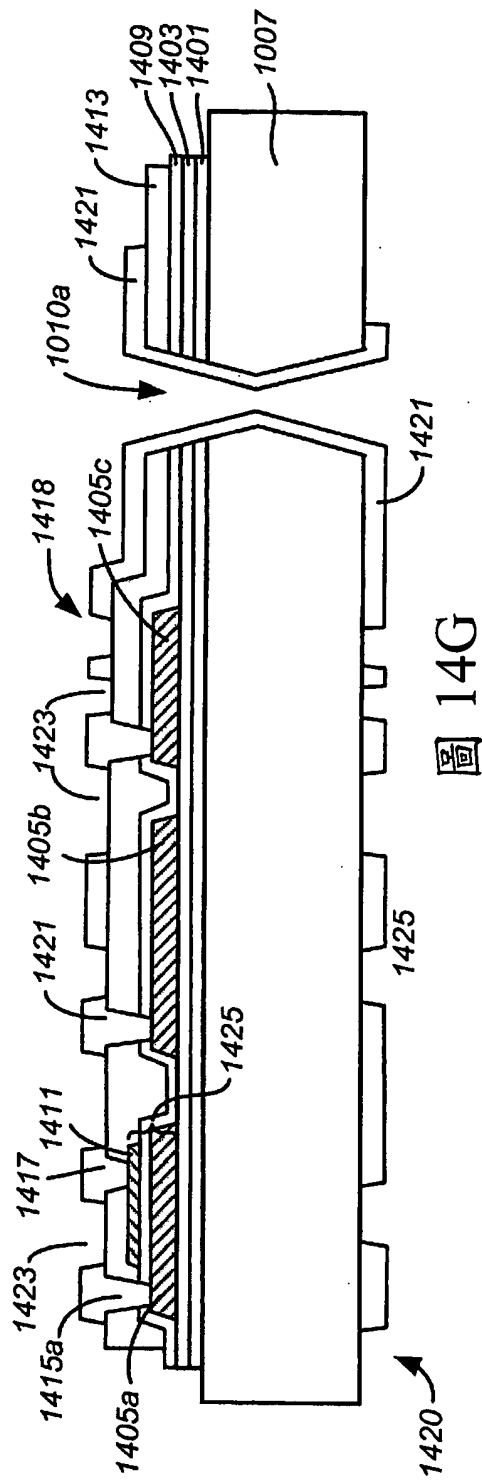


圖 14F



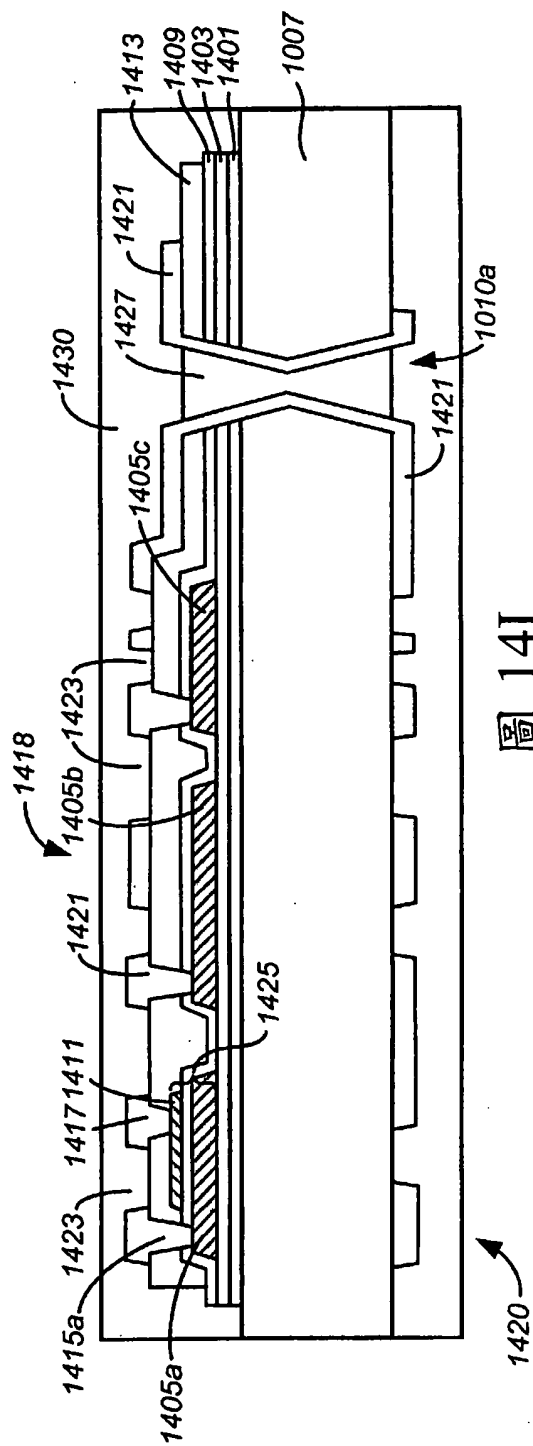


圖 14I

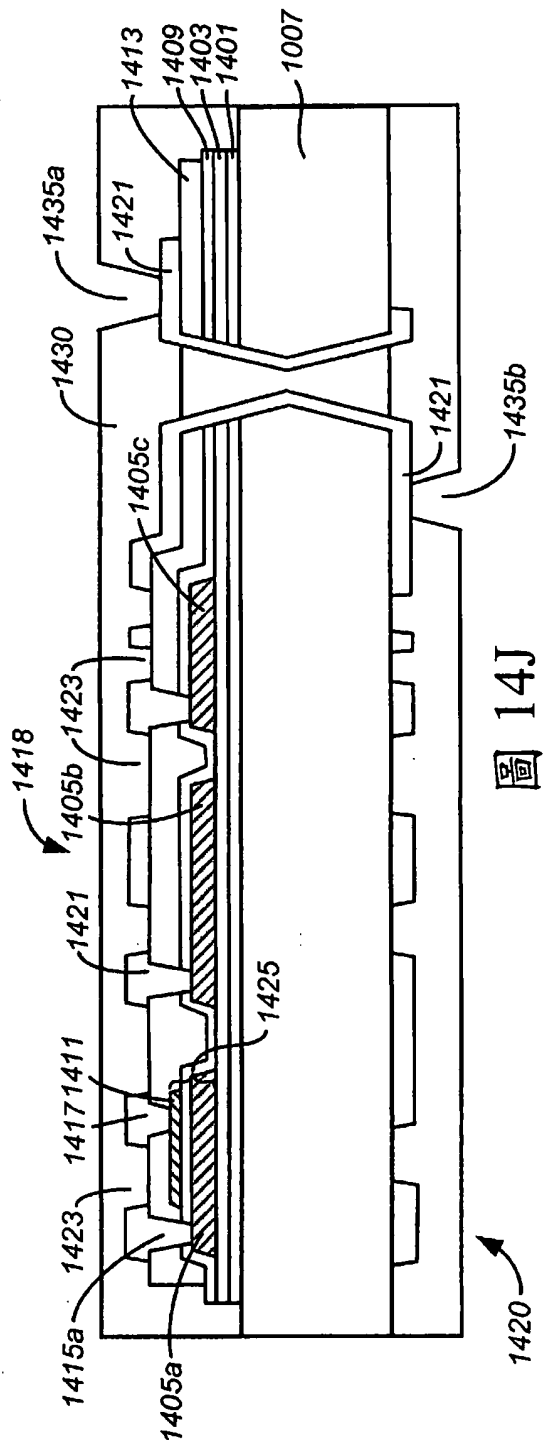


圖 14J

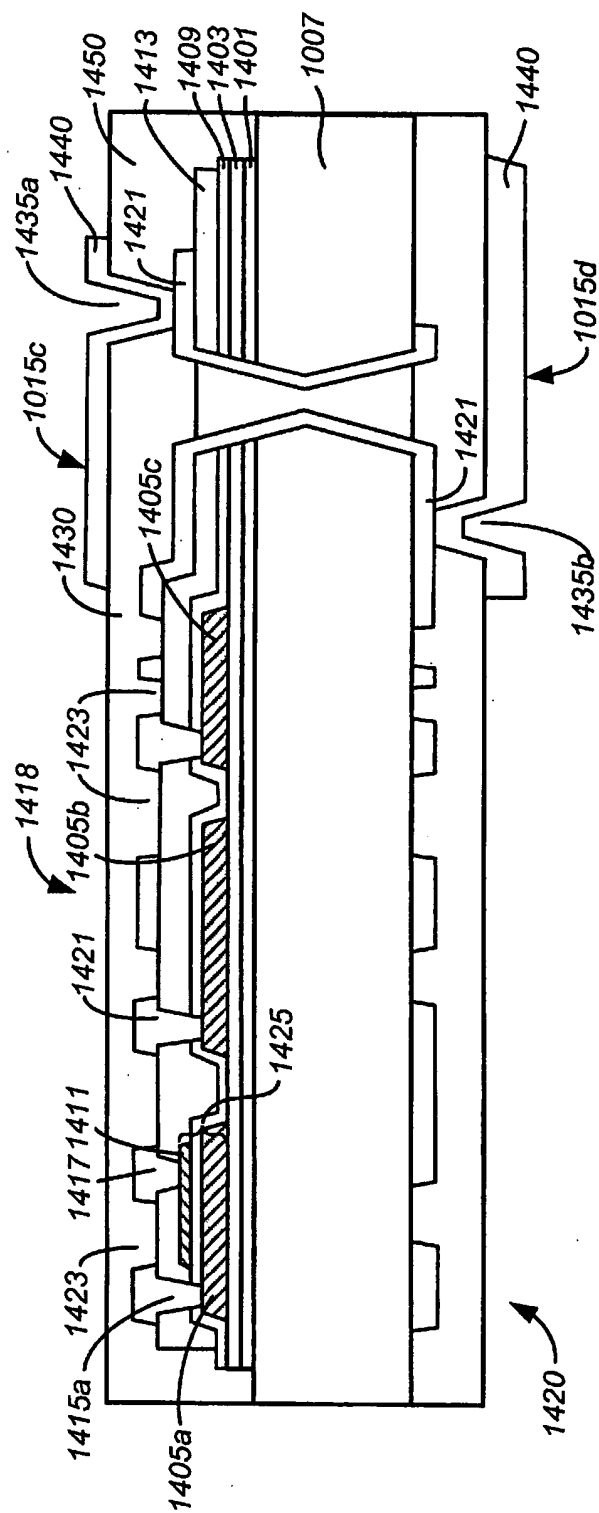


圖 14K

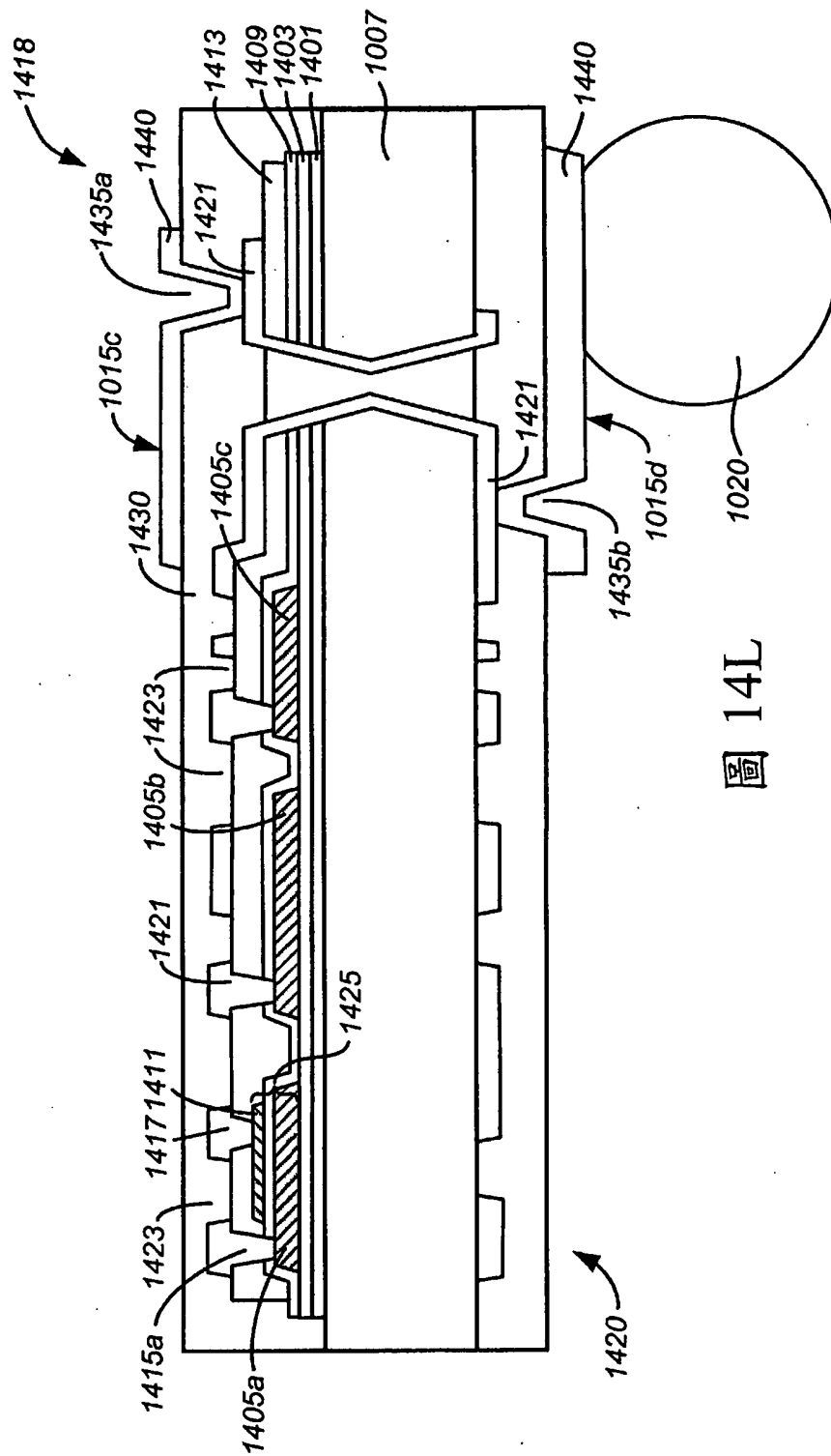


圖 14L

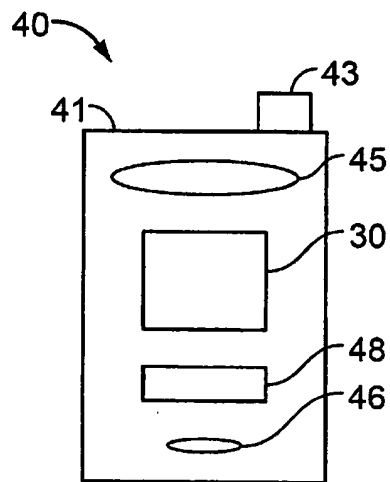


圖 15A

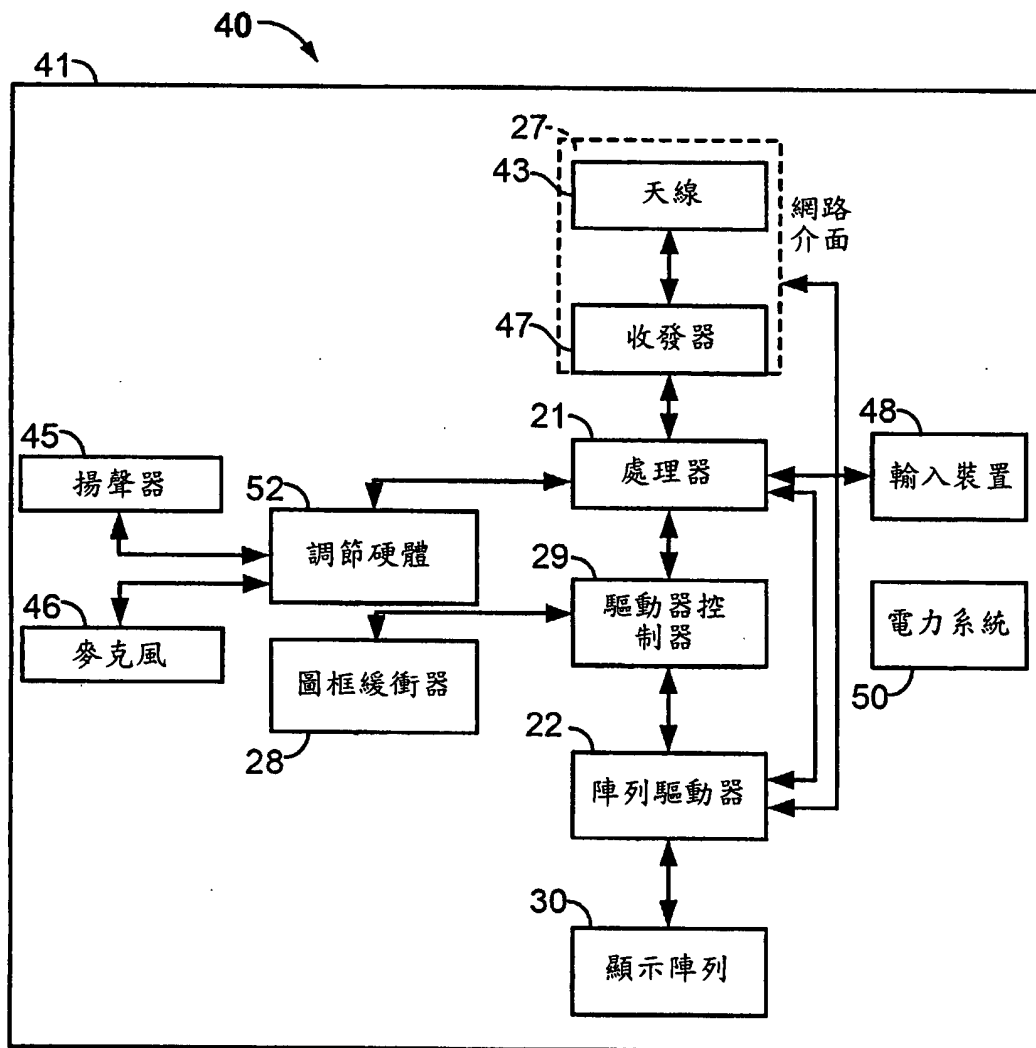


圖 15B

四、指定代表圖：

(一)本案指定代表圖為：第 (10C) 圖。

(二)本代表圖之元件符號簡單說明：

1005	玻璃晶粒
1010b2	熱通孔
1010b3	熱通孔
1015a	接合墊
1020	焊料球
1025b	被動裝置
1027b	導電墊
1030	電絕緣黏合劑材料
1050	功率放大器晶片
1052	導電晶片墊
1055	焊料凸塊
1060	功率放大系統
1062a	熱點
1062b	熱點
1065a	導熱通路
1065b	導熱通路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)