

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-161587

(P2020-161587A)

(43) 公開日 令和2年10月1日(2020.10.1)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/338 (2006.01)	H O 1 L 29/80 M	5 F 1 0 2
H O 1 L 29/812 (2006.01)	H O 1 L 29/28 1 0 0 A	
H O 1 L 51/05 (2006.01)	H O 1 L 29/28 2 5 0 E	
H O 1 L 51/30 (2006.01)		

審査請求 未請求 請求項の数 16 O L (全 23 頁)

(21) 出願番号	特願2019-57963 (P2019-57963)	(71) 出願人	301023238
(22) 出願日	平成31年3月26日 (2019. 3. 26)		国立研究開発法人物質・材料研究機構
(出願人による申告) 平成30年度、文部科学省、エネルギー対策特別会計委託事業、産業技術力強化法第19条の適用を受ける特許出願		(72) 発明者	リャオ メイヨン
			茨城県つくば市千現一丁目2番地1 国立研究開発法人物質・材料研究機構内
		(72) 発明者	サン リウエン
			茨城県つくば市千現一丁目2番地1 国立研究開発法人物質・材料研究機構内
		(72) 発明者	小泉 聡
			茨城県つくば市千現一丁目2番地1 国立研究開発法人物質・材料研究機構内
		(72) 発明者	小出 康夫
			茨城県つくば市千現一丁目2番地1 国立研究開発法人物質・材料研究機構内

最終頁に続く

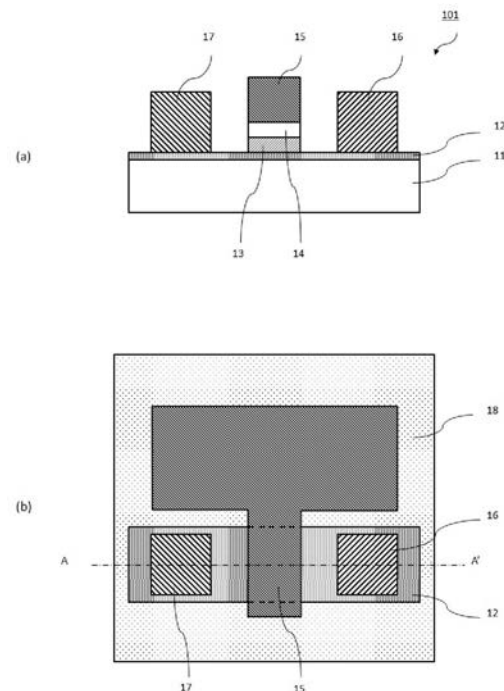
(54) 【発明の名称】 半導体装置、パワーデバイスおよび制御用電子装置

(57) 【要約】 (修正有)

【課題】 キャリア移動度が高く、急峻なオン／オフ特性などスイッチング特性が優れ、かつゲートリーク電流が少ない半導体装置およびそれらの諸特性に加えてノーマリーオフ動作に好適な半導体装置を提供する。

【解決手段】 半導体装置 (MIMS-FET) 101において、第1の主表面にチャネルが形成されている半導体層11、その主表面に接して半導体層11とショットキー接合をなすショットキー金属層13およびインピーダンスを有する緩衝膜14を介してショットキー金属層13と少なくとも一部に対向して配置されるゲート電極15を有する。ショットキー金属層13は電氣的に浮遊している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の主表面にチャネルが形成されている半導体層、前記第 1 の主表面に接して前記半導体層とショットキー接合をなすショットキー金属層、およびインピーダンスを有する緩衝膜を介して前記ショットキー金属層と少なくとも一部に対向して配置されるゲート電極を有し、
前記ショットキー金属層が電氣的に浮遊している、半導体装置。

【請求項 2】

前記緩衝膜は絶縁体膜である、請求項 1 記載の半導体装置。

【請求項 3】

前記緩衝膜は、 Al_2O_3 、 SiO_2 、 HfO_2 、 AlN 、 BN 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 TiO_2 、 WO_3 、 LaF_3 、 CaF_2 および MgF_2 からなる群より選ばれる 1 以上からなる、請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記半導体層は炭素を含む、請求項 1 から 3 の何れか 1 記載の半導体装置。

【請求項 5】

前記半導体層はダイヤモンドからなる、請求項 1 から 4 の何れか 1 記載の半導体装置。

【請求項 6】

前記ダイヤモンドは水素終端されている、請求項 5 記載の半導体装置。

【請求項 7】

前記チャネルは二次元ホールガス層を有する、請求項 1 から 6 の何れか 1 記載の半導体装置。

【請求項 8】

前記半導体層は酸化グラフェンからなる、請求項 1 から 4 の何れか 1 記載の半導体装置。

【請求項 9】

前記半導体層はカーボンナノチューブからなる、請求項 1 から 4 の何れか 1 記載の半導体装置。

【請求項 10】

前記半導体層は MoS_2 からなる、請求項 1 から 3 の何れか 1 記載の半導体装置。

【請求項 11】

前記チャネルの表面は平滑な面である、請求項 1 から 10 の何れか 1 記載の半導体装置。

【請求項 12】

前記ショットキー金属層は、 Al 、 Ti または Co からなる、請求項 1 から 11 の何れか 1 記載の半導体装置。

【請求項 13】

前記ゲート電極は金属元素、合金、金属化合物およびドーパドポリシリコンからなる群より選ばれる 1 以上からなる、請求項 1 から 12 の何れか 1 記載の半導体装置。

【請求項 14】

ソース電極とドレイン電極を有する、請求項 1 から 13 の何れか 1 記載の半導体装置。

【請求項 15】

請求項 1 から 14 の何れか 1 記載の半導体装置を有する、パワーデバイス。

【請求項 16】

請求項 1 から 14 の何れか 1 記載の半導体装置を備える、制御用電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、パワーデバイスおよび制御用電子装置に係り、特にゲートリー

10

20

30

40

50

ク電流が少なく、ノーマリーオフ動作用途に好適な半導体装置、パワーデバイスおよび制御用電子装置に関する。

【背景技術】

【0002】

半導体装置は、民生用途にも産業用途にも広く使われ、現代社会を支える主要デバイスの1つになっており、その影響の大きさから、半導体装置の低消費電力化、スイッチング特性の向上が強く望まれている。すなわち、半導体装置の低消費電力化が進むと社会全体として低消費電力化がなされ、その分より多くの利益を生活、産業に与えることが可能になって、社会全体が豊かなものになる。また、スイッチング特性等半導体装置の電気特性が向上すると、人々は、例えば5G（第5世代移動通信システム）のような、より高度で

10

【0003】

金属ショットキー電界効果トランジスタ（MESFET）は、高いキャリア移動度（モビリティ）を得やすい構造のトランジスタである。そのため、MESFETは、急峻なオン／オフ特性などの高いスイッチング特性を得るのに好適な半導体装置で、高機能用途に広く用いられている。

そして、MESFETの性能をより高めるために、MESFETの半導体層をシリコン系やGaAs系から、例えば特許文献1に開示があるように、窒化ガリウム、酸化ガリウムなどのバンドギャップの広い材料系とした研究が鋭意進められている。

【0004】

20

キャリア移動度等の材料基礎特性が際立っている半導体としては、ダイヤモンドが知られている。

半導体ダイヤモンドは、広いバンドギャップエネルギー（5.47eV）、低い比誘電率（5.7）、高い絶縁破壊電界強度（10MV/cm）、高いキャリア飽和速度（電子および正孔についてそれぞれ $1.5 \sim 2.7 \times 10^7$ cm/sおよび $0.85 \sim 1.2 \times 10^7$ cm/s）、高い熱伝導率（22W/cm・K）および高いキャリア移動度（電子および正孔についてそれぞれ 4500 cm²/V・sおよび 3800 cm²/V・s）といったいくつかの際立った物理的特性を有している。ここで、上記の特性値は室温での値である。

このため、半導体としてダイヤモンドを用いた電子デバイスは、大電力動作、高速・高周波動作、高い熱限界を示すとして期待されている。

30

【0005】

ダイヤモンド半導体は、現在のパワーデバイス用材料の主流として用いられているシリコン（Si）やシリコンカーバイド（SiC）に比べてキャリアの移動度が高い。この高移動度のため、ダイヤモンドを半導体として用いたMISFET（Metal Insulator Semiconductor Field Effect Transistor）は、オン抵抗が低くなって損失が抑えられ、またスイッチング時間が短くなって素子を高速に動作させるポテンシャルをもつ。

【0006】

省電力、低消費電力に目を向けると、ゲートに電圧を印加しないときに電流をシャットアウトするノーマリーオフ型の半導体装置が好適であり、盛んに開発が進められている。この例としては、半導体層をダイヤモンドとしたノーマリーオフ型のMOSFET（Metal Oxide Semiconductor Field Effect Transistor）があり、特許文献2に開示されている。

40

【先行技術文献】

【特許文献】

【0007】

【特許文献1】国際公開WO2004/066393

【特許文献2】特開2018-6572号公報

【特許文献3】特開2008-53312号公報

50

【特許文献4】特開2012-49169号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

上記のように、MESFETは、高いキャリア移動度をもち、窒化ガリウム、酸化ガリウムおよびダイヤモンドなどのワイドバンドギャップ半導体は、電子デバイスの半導体として優れた物性を有し、ノーマリーオフ型の半導体装置は、省電力、低消費電力に適する。

【0009】

しかしながら、それらを組み合わせてより性能を高めた半導体装置を得ることは難しいという問題があった。

10

例えば、ノーマリーオフ型のMESFETは、ゲートに電圧を印加してソースとドレイン間に電流を流した際、ソースとゲート間にもリーク電流が流れて低消費電力化の阻害になる。また、ヘテロ接合による2次電子ガス層を用いた窒化ガリウム半導体層を用いたMESFETは、ヘテロ構造の製造ばらつき、およびドーピング制御の難しさにより、所望の性能を得にくい、という問題があった。

【0010】

本発明が解決しようとする課題は、キャリア移動度が高く、急峻なオン／オフ特性などスイッチング特性が優れ、かつゲートリーク電流が少ない半導体装置、およびそれらの諸特性に加えてノーマリーオフ動作に好適な半導体装置を提供することである。

20

また、キャリア移動度が高く、急峻なオン／オフ特性などスイッチング特性が優れ、ゲートリーク電流が少なく、ノーマリーオフ動作に好適なパワーデバイスおよび制御用電子装置を提供することである。

【課題を解決するための手段】

【0011】

本発明の構成を下記に示す。

(構成1)

第1の主表面にチャネルが形成されている半導体層、前記第1の主表面に接して前記半導体層とショットキー接合をなすショットキー金属層、およびインピーダンスを有する緩衝膜を介して前記ショットキー金属層と少なくとも一部に対向して配置されるゲート電極を有し、前記ショットキー金属層が電氣的に浮遊している、半導体装置。

30

(構成2)

前記緩衝膜は絶縁体膜である、構成1記載の半導体装置。

(構成3)

前記緩衝膜は、 Al_2O_3 、 SiO_2 、 HfO_2 、 AlN 、 BN 、 Si_3N_4 、 $SiON$ 、 Ta_2O_5 、 TiO_2 、 WO_3 、 LaF_3 、 CaF_2 および MgF_2 からなる群より選ばれる1以上からなる、構成1または2記載の半導体装置。

(構成4)

前記半導体層は炭素を含む、構成1から3の何れか1記載の半導体装置。

40

(構成5)

前記半導体層はダイヤモンドからなる、構成1から4の何れか1記載の半導体装置。

(構成6)

前記ダイヤモンドは水素終端されている、構成5記載の半導体装置。

(構成7)

前記チャネルは二次元ホールガス層を有する、構成1から6の何れか1記載の半導体装置。

(構成8)

前記半導体層は酸化グラフェンからなる、構成1から4の何れか1記載の半導体装置。

(構成9)

50

前記半導体層はカーボンナノチューブからなる、構成 1 から 4 の何れか 1 記載の半導体装置。

(構成 1 0)

前記半導体層は MoS_2 からなる、構成 1 から 3 の何れか 1 記載の半導体装置。

(構成 1 1)

前記チャンネルの表面は平滑な面である、構成 1 から 1 0 の何れか 1 記載の半導体装置。

(構成 1 2)

前記ショットキー金属層は、Al、Ti または Co からなる、構成 1 から 1 1 の何れか 1 記載の半導体装置。

(構成 1 3)

前記ゲート電極は金属元素、合金、金属化合物およびドーパドポリシリコンからなる群より選ばれる 1 以上からなる、構成 1 から 1 2 の何れか 1 記載の半導体装置。

(構成 1 4)

ソース電極とドレイン電極を有する、構成 1 から 1 3 の何れか 1 記載の半導体装置。

(構成 1 5)

構成 1 から 1 4 の何れか 1 記載の半導体装置を有する、パワーデバイス。

(構成 1 6)

構成 1 から 1 4 の何れか 1 記載の半導体装置を備える、制御用電子装置。

【発明の効果】

【0 0 1 2】

本発明によれば、キャリア移動度が高く、急峻なオン／オフ特性などスイッチング特性が優れ、かつゲートリーク電流が少ない半導体装置、またそれらの諸特性に加えてノーマリーオフ動作に好適な半導体装置を提供することが可能になる。

また、キャリア移動度が高く、急峻なオン／オフ特性などスイッチング特性が優れ、ゲートリーク電流が少なく、ノーマリーオフ動作に好適なパワーデバイスおよび制御用電子装置を提供することが可能になる。

【図面の簡単な説明】

【0 0 1 3】

【図 1】本発明の半導体装置の構造を示す概要図で、(a) は断面図、(b) は平面視図。

【図 2】本発明の半導体装置のエネルギー状態を説明する状態図。

【図 3】本発明の半導体装置の製造工程を断面図にて示した製造工程図。

【図 4】本発明の第 2 の実施の形態の半導体装置の構造を示す断面図。

【図 5】本発明の第 2 の実施の形態の半導体装置の製造工程を断面図にて示した製造工程図。

【図 6】本発明の第 3 の実施の形態の半導体装置の構造を示す鳥瞰図。

【図 7】本発明の第 4 の実施の形態の半導体装置の構造を示す鳥瞰図。

【図 8】実施例 1 の半導体装置の製造工程を断面図にて示した製造工程図。

【図 9】実施例 1 で作製した半導体装置の電気特性を示す特性図。

【図 1 0】実施例 1 で作製した半導体装置の電気特性を示す特性図。

【図 1 1】実施例 1 で作製した半導体装置の電気特性を示す特性図。

【図 1 2】実施例 1 で作製した半導体装置の電気特性を示す特性図。

【図 1 3】実施例 1 で作製した半導体装置の電気特性を示す特性図。

【図 1 4】実施例 1 で作製した半導体装置の電気特性を示す特性図。

【図 1 5】本発明の半導体装置で、ショットキー金属層を Ti としたときの電気特性を示す特性図。

【図 1 6】本発明の半導体装置で、ショットキー金属層を Co としたときの電気特性を示す特性図。

【発明を実施するための形態】

【0 0 1 4】

以下本発明を実施するための形態について図面を参照しながら説明する。

【0015】

(第1の実施の形態)

<素子の構造>

本発明の半導体装置101は、図1に示すように、半導体の第1主表面がチャンネル(チャンネル層12)になっている半導体層11、チャンネル層12に接して形成されたショットキー金属層13、ショットキー金属層13上に形成された緩衝膜14、緩衝膜14上に形成されたゲート電極15、チャンネル層12に接して形成されてチャンネル層12とオーミックコンタクトするソース電極16およびドレイン電極17を有する。ここで、アクティブ領域以外の半導体層11の第1主表面は酸化膜や酸化物層などの絶縁体層18で覆われていることが好ましい。なお、図1は、断面図(a)と平面視図(b)からなる。断面図(a)は、図1(b)のAとA'を結ぶ線で切断したときの断面を示す。ここで、図1(a)では、両端に形成されている絶縁体層18は省略されて描かれている。

10

【0016】

半導体層11は、第1主表面にチャンネル層12を形成できる半導体であれば特に限定はない。例えば、半導体層11として、ダイヤモンド、 MoS_2 、 ZnO 、 Ga_2O_3 、グラフェン酸化物およびカーボンナノチューブを挙げることができる。

【0017】

この中でも、単結晶ダイヤモンドが特に好ましい。単結晶ダイヤモンドは、ワイドバンドギャップで絶縁耐圧が高く、耐熱性や熱伝導性に優れる。

20

ダイヤモンドは、ワイドバンドギャップ(5.47 eV)であるから、高温動作に向いている。ダイヤモンドは高い熱伝導率(室温で22 W/cm·K)をもつことから、チャンネル部分からの優れた放熱性を有する。さらに、ダイヤモンドの比誘電率は5.7と低く、高速・高周波動作に好ましい特性も有するという特徴がある。

【0018】

また、単結晶ダイヤモンドは、その表面を水素終端処理することにより、その表層部に極めて薄くかつ極めて高いキャリア移動層(2次元ホールガス層)を形成することができて、この層を後述のチャンネル層12として好適に使用できるという特徴を有する。

【0019】

ダイヤモンドは各炭素原子が周りの4つの原子と共有結合で結び付いた結晶からなる。ダイヤモンドの表面では、結合手が余る。この未結合手は不安定で、表面準位として振る舞う。未結合手は水素と結合させ安定化することができる。この状態を水素終端と呼ぶ。例えば、化学気相合成したダイヤモンドの表面は、合成中に水素プラズマに晒されるため水素終端となる。このような水素終端ダイヤモンド表面は、キャリアの散乱やトラップの源となる表面準位密度が低く、キャリア移動度の高いチャンネルとして好適である。

30

また、水素終端のダイヤモンドを用いた場合は、シリコンなどを用いた場合とは異なり、チャンネルとなる水素終端表面がたとえ大気中であっても酸化されずに非常に安定であるため、安定した特性の半導体装置101を供給する上で大きな長所となる。

【0020】

半導体層11の形状形態は特に限定はなく、平面状(板状)でも球状でも円柱状でも構わず、ナノワイヤーやナノベルトでも構わない。

40

半導体層11の第1主表面、すなわちチャンネル層12の表面は、表面粗さの少ない平滑な面であることが好ましい。表面が粗い凹凸のある面であるとキャリアが散乱され、キャリア移動度が低下する。

平滑な面は表面粗さRaによって定量化されるが、半導体層11の第1主表面の表面粗さRaは、10 μm四方内において、0 nm以上3 nm以下が好ましく、0 nm以上1 nm以下が特に好ましい。なお、表面粗さRaは、AFM(Atomic Force Microscope)によって測定できる。

【0021】

チャンネル層12は、ホールや電子などのキャリアの移動が行われる半導体からなる層で

50

、外部から電界が印加されていない状態で、チャンネル層 12 に接して形成されるショットキー金属層 13 のポテンシャルにより空乏層が形成され、電界の印加によりキャリアのパスが形成される層である。

したがって、半導体装置 101 をノーマリーオフ動作させる場合は、ショットキー金属層 13 のポテンシャルが及ぶ範囲で、チャンネル層 12 は空乏層となる厚さである必要がある。

チャンネル層 12 の厚さは、1 原子層以上 500 nm 以下が許容されるが、半導体装置 101 をノーマリーオフ動作させる場合は、チャンネル層 12 の厚さは、1 原子層以上 20 nm 以下が好ましく、1 原子層以上 5 nm 以下がより好ましい。

チャンネル層 12 としては、具体的には、表層が水素終端された単結晶ダイヤモンドの水素終端層、数原子層の厚さからなるグラフェン酸化物層、表層が活性に δ ドーピングされた半導体の δ ドーピング部、数原子層の厚さからなる MoS_2 、 ZnO および Ga_2O_3 を挙げることができる。

この中でも、特に単結晶ダイヤモンドの水素終端層は、上述のように、化学的にも安定していて、かつ厚さも一定であるため、安定した特性の半導体装置 101 を提供する上で好ましい。

【0022】

なお、上記説明では、半導体層 11 とチャンネル層 12 の 2 つの層に分けて述べているが、例えば半導体層 11 が 1 原子層以上 10 原子層以下の厚さの場合には、半導体層 11 がチャンネル層 12 を兼ねるケースも含まれる。すなわち、半導体層 11 のショットキー金属層 13 と接する面にチャンネルが形成されていることが本質で、半導体層 11 の厚さによって半導体層 11 上にチャンネル層 12 が形成される場合と、半導体層 11 自体がチャンネル層 12 を兼ねる 2 つの形態がある。

【0023】

ショットキー金属層 13 は、チャンネル層 12 とショットキーコンタクトする金属、例えばアルミニウム (Al)、チタン (Ti)、コバルト (Co)、それらの金属を含む合金、またはそれらの金属を含む化合物からなり、電氣的に浮遊した金属層である。

ここで、電氣的に浮遊するとは、ゲート電極 15 とは、静的な観点、すなわち直流の観点で電氣的に直接接触することではなく、またこの半導体装置 101 を含む電気回路を通してゲート電極 15 とは電氣的に繋がっていないことを意味する。但し、緩衝膜 14 が完全な絶縁体膜ではなく電気抵抗の高い高抵抗体膜の場合、ゲート電極 15 とショットキー金属層 13 は高抵抗な緩衝膜 14 を介して厳密な意味では電氣的に繋がっているが、流れる電流が極めて少ないために、ここでは「電氣的浮遊」として扱うこととする。

【0024】

ショットキー金属層 13 の厚さは特に限定はないが、2 nm 以上 100 nm 以下が好ましい。ショットキー金属層 13 の厚さが薄すぎるとピンホールなどの欠陥が発生しやすく、厚すぎるとショットキー金属層 13 の加工精度が低下しやすくなり、またショットキー金属層 13 を加工した後のトポグラフィが大きくなって、その後のリソグラフィやエッチングが難しくなるという問題が発生する。上述の厚さの範囲は、このような問題を起こしにくく、好ましい。

【0025】

緩衝膜 14 は、インピーダンスの高い膜であり、具体的には、絶縁体膜および高抵抗体膜を挙げることができる。ここで、インピーダンスの高い膜とは、 $10^6 \Omega \cdot \text{cm}$ 以上 $10^{20} \Omega \cdot \text{cm}$ 以下のインピーダンスをもつ膜のことをいう。

絶縁体膜は電氣的絶縁性の膜である。

絶縁体膜は、具体的には、 Al_2O_3 、 SiO_2 、 HfO_2 、 AlN 、 BN 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 TiO_2 、 WO_3 、 LaF_3 、 CaF_2 および MgF_2 からなる群より選ばれる 1 以上、すなわち、これらの材料のいずれかからなる単層膜、またはこれらの材料の膜が複数積層された積層膜を挙げることができる。

また、空間（空気層、真空層、エアギャップ）も絶縁体膜の 1 つとみなす。したがって

10

20

30

40

50

、ショットキー金属層 13 とゲート電極 15 が緩衝膜 14 とみなされる空間を介して対向していてもよい。

高抵抗体膜は、 $10^6 \Omega \cdot \text{cm}$ 以上 $10^{10} \Omega \cdot \text{cm}$ 以下の電気抵抗をもつ膜をいい、具体的にはノンドープのポリシリコン、酸素欠損を僅かに有する WO_x 、 TiO_x および TaO_x 等の金属酸化物を挙げることができる。

【0026】

ここで、絶縁体膜は、半導体装置 101 をオン状態で待機する時間が長い場合、ゲート電極 15 とソース電極 16 間に流れるリーク電流が大幅に少ないという特徴がある。

また、絶縁体膜は、半導体装置 101 を高周波数でスイッチング動作させるときの応答性に優れるという特徴がある。

また、高抵抗体膜は、半導体装置 101 を高周波数でスイッチング動作させるときの位相遅れが絶縁体膜を用いたときと異なり、その位相の違いを利用することが可能となる特徴を有する。

なお、緩衝膜 14 の膜厚は、8 nm 以上 200 nm 以下を好んで使用することができるが、この膜厚範囲に限定されるものではない。

【0027】

ゲート電極 15 は、金属、あるいはドーパントが添加されたポリシリコンなどの導電膜からなる。金属としては、金 (Au)、銀 (Ag)、銅 (Cu)、白金 (Pt)、パラジウム (Pd)、タングステン (W)、チタン (Ti)、アルミニウム (Al)、クロム (Cr) およびタンタル (Ta) などを挙げることができる。また、AlCu、CuNiFe、NiCr などの合金、WSi、TiSi などのシリサイドおよびポリサイド、WN、TiN、CrN および TaN などの金属化合物も用いることができる。ゲート電極 15 は、このような材料の中から導電率、加工性などを適宜勘案して適当な材料を選択すればよい。なお、集積回路として本発明の半導体装置を用いる場合は、インテグレーションとしての各種熱処理が加わることから、それらの熱処理も勘案した材料の拡散を考慮の上、材料を選択する。

【0028】

ソース電極 16 およびドレイン電極 17 は、金属あるいはドーパントが添加されたポリシリコンなどの導電膜からなる。金属としては、Au、Ag、Cu、Pt、Pd、W、Ti、Al、Cr および Ta などを挙げることができる。また、AlCu、CuNiFe、NiCr などの合金、W や Ti などを用いたポリサイド、WN、TiN、CrN および TaN などの金属化合物も用いることができる。

これらの導電膜は、チャンネル層 12 と接する部分でオーミックコンタクトが取れるように、少なくともチャンネル層 12 と直接接触する部分は Pd や Ti などのオーミックコンタクトがとれて接着力にも優れる材料を用いるのが好ましい。なお、Ti は酸化されやすいので、Ti を用いる場合は、チャンネル層 12 側から Ti、その上に Pt、Au や W といった材料が積層された導電膜構造とすることが好ましい。

【0029】

なお、緩衝膜が絶縁体膜からできている場合を代表として、金属—絶縁体膜—(ショットキー) 金属—半導体のゲート構造をもつ本発明の半導体装置を、MIMS-FET (Metal-Insulator-Metal-Semiconductor-FET) とも呼ぶこととする。

【0030】

<素子の動作>

ここでは、ポテンシャル状態を模式的に示した図 2 を参照しながら、半導体装置 101 の素子動作を説明する。なお、同図の V_g はゲート電極 15 に印加する電圧 (ソース電極 16 に対してゲート電極 15 に印加する電圧)、 E_c はコンダクションバンド、 E_F はフェルミレベルおよび E_v はバレンスバンドを示す。また、同図は、緩衝膜 14 として絶縁体膜を用い、キャリアをホールとした場合を例示している。

【0031】

10

20

30

40

50

ゲート電極 15 に電圧が印加されていない状態 ($V_g = 0$) の場合、図 2 (a) に示すように、チャンネル層 12 (半導体) 上に接して形成されたショットキー金属層 13 によるポテンシャルが働いてチャンネル層 12 に空乏層が形成される。空乏層がチャンネル層 12 全体に及ぶように、ショットキー金属層 13 の材料選択によるショットキーポテンシャルの調整、およびチャンネル層 12 の厚さ設定が行われていると、半導体装置 101 はノーマリーオフの状態になる。 $V_g = 0$ でノーマリーオフ動作の場合は、当然のことながらゲート電極 15 とソース電極 16 の間にはリーク電流は流れない省電力状態になっている。

【0032】

ゲート電極 15 に負の電圧が印加された状態 ($V_g < 0$) の場合、図 2 (b) に示すように、緩衝膜 14 による高インピーダンス接合によりショットキー金属層 13 の電位が $V_g = 0$ の場合から変化する。すなわち、緩衝膜 14 が絶縁体膜の場合は、静電容量カップリングによりショットキー金属層 13 の電位が $V_g = 0$ の場合から変化する。緩衝膜 14 が高抵抗体膜の場合は、高抵抗体接合によりショットキー金属層 13 の電位が $V_g = 0$ の場合から変化する。

その結果、チャンネル層 12 に形成された空乏層は薄くなり、電圧によっては空乏層が消失する。この状態ではソース電極 16 とドレイン電極 17 はチャンネル 12 を通じて導通状態になる。すなわち、半導体装置 101 はオン状態になる。

この状態で、ゲート電極 15 とソース電極 16 の間を流れる電流であるリーク電流は、緩衝膜 14 により少ないものとなって、省電力が達成される。

【0033】

緩衝膜 14 が絶縁体膜の場合は、直流が遮断される。このため、半導体装置 101 がオン状態で維持されているときなど静的な状態にあるときは、半導体装置 101 のリーク電流は極めて少ないものとなる。スイッチング時などゲート電極 15 に印加される電圧が変動しているときは、ゲート電極 15 とソース電極 16 の間に電流が流れるが、インピーダンスの高い緩衝膜 14 を介して流れるため、その電流は小さく、省電力になる。

【0034】

緩衝膜 14 が高抵抗体膜の場合は、ゲート電極 15 に印加される電圧が静的な状態でも動的な状態でもゲート電極 15 とソース電極 16 の間に電流が流れるが、インピーダンスの高い緩衝膜 14 を介して流れるため、その電流は小さく、省電力になる。

【0035】

ゲート電極 15 に正の電圧が印加された状態 ($V_g > 0$) の場合、図 2 (c) に示すように、緩衝膜 14 による高インピーダンス接合によりショットキー金属層 13 の電位が $V_g = 0$ の場合から変化する。この場合、チャンネル 12 (半導体) の空乏層が維持され、半導体装置 101 はオフ状態を示す。

この状態で、ゲート電極 15 とソース電極 16 の間を流れる電流であるリーク電流は、 $V_g < 0$ の場合と同様に、緩衝膜 14 により少ないものとなって、省電力が達成される。

【0036】

半導体層上に浮遊ショットキー電極、絶縁体膜およびゲート電極が順次形成された半導体装置は、特許文献 3 および 4 に開示がある。

本発明と、特許文献 3 および 4 に開示された発明 (公知例) との、根本かつ本質的な違いはチャンネル層の位置である。すなわち、本発明では、上述のように、チャンネル層 12 は半導体層 11 の第 1 主表面上に、ショットキー金属層 13 と接して形成される。一方、特許文献 3 および 4 では、ヘテロ接合の半導体を用いてそのヘテロ接合面に形成される 2 次元電子ガス層をチャンネル層として用いている。したがって、チャンネル層はショットキー金属層から離れた位置に形成されている。

このため、これらの公知例には、半導体層の厚さなど製造上のばらつきにより、ショットキー電極によるショットキーポテンシャルの影響がばらつき、空乏層の程度に影響を与えて、電気特性が不安定になるという問題がある。また、チャンネル層がショットキー金属層から離散しているため、このチャンネル層に対するショットキーポテンシャルの影響が小さくなって十分な余裕をもってノーマリーオフ動作を行うことが難しいという問題がある

10

20

30

40

50

。

そこで、特許文献3では、ノーマリーオフ動作とする場合は、半導体層中に凹部を形成したり、凸部を形成したりしてチャネル層をショットキー金属層に近づける構造としている。しかし、この方法では、凹部や凸部の形成精度により電気特性がばらつき、また凹部や凸部の形成に伴い欠陥や準位等による半導体の品質低下が起こりやすいという問題が生じる。なお、特許文献4は、ノーマリーオフ動作を目的としているが、同特許文献の図3に示すように、ゲート電圧が0Vでもドレイン電流は流れており、完全なノーマリーオフ動作ではない。また、この方式は、ヘテロ構造半導体層の膜厚ばらつきなどで特性が変化しやすく、安定したノーマリーオフ動作を行うのが難しいという問題がある。

【0037】

本発明では、チャネル層12がショットキー金属層13と接しているため、チャネル層12にショットキー金属層13によるショットキーポテンシャルが直に影響し、かつ特性バラツキ要因が少ない。このため、精度よく、かつ余裕をもってノーマリーオフ動作を行うことが可能になる。また、製造ばらつきの影響を受けにくく、安定した電気特性の半導体装置101を提供することが可能になる。

【0038】

本発明では、チャネル層12にショットキー金属層13を直付けしている。この場合、ショットキー金属層13の金属がチャネル層12に拡散して、電気特性が劣化する懸念がある。半導体装置はインテグレーションする際に各種の熱処理が欠かせない。熱処理は拡散を助長する。しかも、一般に、金属はチャネルに準位を作り、キャリアの散乱源になりやすい。

【0039】

このような背景がある中で、発明者が詳細な検討を行った結果、チャネル層12にショットキー金属層13を直付けしても、安定して十分な電気特性が得られる半導体装置が供給できることを見出した。

このことは、半導体からなるチャネル層一般、例えばMOS₂半導体からなるチャネル層一般にいえることであった。

特に、水素終端層をチャネルとしたダイヤモンド半導体は、ショットキーポテンシャルが約-0.64Vと大きい拡散もしやすいアルミニウム(Al)をショットキー金属層13としても、厚さが原子層レベルの水素終端ダイヤモンドによるチャネル層12に悪影響を与えずに、安定して十分な電気特性が得られる半導体装置が供給できることを見出した。しかも、この半導体装置101は、実施例のところで述べるように、350℃(623K)というような高温の環境下でも安定して十分な電気特性を示していた。

なお、高温下でも常温下と同様に安定した電気特性が得られるということは、経時変化特性にも優れるということを意味する。

【0040】**<素子の製造方法>**

次に、半導体装置101の製造方法を、図3を用いて説明する。

まず、図3(a)に示すように、チャネル層12が第1主表面に形成された半導体層11(半導体基板)、例えば水素化終端処理したダイヤモンド基板を準備する。

水素化終端処理したダイヤモンド基板を用いる場合は、例えば、IbタイプあるいはIaタイプで、結晶面が100あるいは111のダイヤモンドを基板として好んで用いることができる。ここで、ダイヤモンドの第1主表面は、高いキャリア移動度を確保するために、平坦で原子レベルの平滑な面であることが好ましい。その後、水素終端とした薄膜ダイヤモンド半導体層11を、例えば、CH₄ガスとH₂ガスを用いたマイクロ波プラズマCVD(Chemical Vapor Deposition)により成膜する。この場合は、水素終端層がチャネル層12になる。

【0041】

その後、図3(b)に示すように、チャネル層12の上に直付けでショットキー金属層13aを被着する。ここで、ショットキー金属層13aの成膜法は特に限定されるもので

はないが、例えば、スパッタリング法、蒸着法などの物理堆積法、CVD、MOCVD (Metal Organic Chemical Vapor Deposition) などの化学堆積法、および貼り合わせ法を挙げることができる。

ここで、ショットキー金属層13aは、水、炭化水素やレジスト残渣などの異物を挟まないようにして形成する。このような異物を挟むと、界面準位が発生しやすいためである。

【0042】

次に、図3(c)に示すように、ショットキー金属層13aの上に緩衝膜14aを被着する。緩衝膜14aの成膜法は特に限定されるものではないが、例えば、スパッタリング法、蒸着法などの物理堆積法、CVD、MOCVDなどの化学堆積法、および貼り合わせ法を挙げることができる。

10

【0043】

その後、ゲート電極膜15を形成する。

このゲート電極膜15の形成法は、リフトオフ法でも、金属膜の成膜、リソグラフィおよびエッチングによるエッチング法でもよい。ゲート電極を構成する金属膜の成膜法としては、スパッタリング法、蒸着法などの物理堆積法、CVD、MOCVDなどの化学堆積法、および貼り合わせ法などを挙げることができる。

ここで、スパッタリング法としては、DCスパッタリング法、RFスパッタリング法などを挙げることができるが、スループットの観点からはRFスパッタリング法がより好ましい。蒸着法としては、加熱蒸着法や電子線蒸着法などを挙げることができる。ゲート電極15の材料としてポリシリコンを用いるときは、ポリシリコンの成膜法としてCVD法を好んで用いることができる。この際、リン(P)などのドーパントを添加して、低抵抗化しておくことが好ましい。

20

【0044】

しかる後、緩衝膜14aおよびショットキー金属層13aを加工して、それぞれ緩衝膜14およびショットキー金属層13とする(図3(d))。

なお、上記方法に代えて、チャンネル層12の上に、リフトオフ法で、ショットキー金属層13、緩衝膜14およびゲート電極15を順次形成してもよい。

【0045】

その後、図3(e)に示すように、ソース電極16およびドレイン電極17を形成する。

30

ソース電極16およびドレイン電極17の形成法は、リフトオフ法でも、金属膜の成膜、リソグラフィおよびエッチングによるエッチング法でもよい。ゲート電極を構成する金属膜の成膜法としては、スパッタリング法、蒸着法などの物理堆積法、CVD、MOCVDなどの化学堆積法、および貼り合わせ法などを挙げることができる。

以上の工程により、半導体装置101は製造される。

なお、上記では、ゲート電極15をソース電極16およびドレイン電極17より先に形成する方法を説明したが、ソース電極16およびドレイン電極17を形成してからゲート電極15を形成してもよい。

【0046】

40

本発明の半導体装置101は、半導体の表層部に形成されて散乱や準位の少ない2次元キャリアガス層などのチャンネル層12のキャリアを直付けのショットキー金属層13と緩衝膜14を介してゲート電極15により制御されるため、急峻なオン／オフ特性などスイッチング特性が得られる。その上で、ゲートリーク電流が少なく、ノーマリーオフ動作に好適な半導体装置となる。

特に、水素終端されたダイヤモンドを用い、半導体層11をダイヤモンド、チャンネル層12を水素終端されたダイヤモンドの表層部とすると、キャリア移動度は特段に高くなり、急峻なオン／オフ特性などスイッチング特性が得られる。加えて、ダイヤモンド半導体層11は、高い熱伝導率と耐熱性を有し、絶縁破壊電界強度も高く、半導体装置101は、それらの良好な特性を備えたものとなる。

50

【0047】

また、半導体装置101を有したパワーデバイスは、キャリア移動度が高く、急峻なオン／オフ特性などスイッチング特性が優れ、かつ、ゲートリーク電流が少なく、ノーマリーオフ動作に好適な省電力型のパワーデバイスになる。

また、半導体装置101を有した制御用電子装置は、急峻なオン／オフ特性などスイッチング特性が優れ、リーク電流が少なく、ノーマリーオフ動作に好適な省電力型の制御用電子装置になる。

【0048】

(第2の実施の形態)

<素子の構造と特徴>

実施の形態1では、ショットキー金属層13とゲート電極15のゲート長が等しくオンザライン状に形成された場合を示したが、ショットキー金属層13とゲート電極15の大きさの関係は等しい場合に限らない。

実施の形態2では、図4に示すように、ゲート電極25の大きさ(ゲート長)がショットキー金属層23のそれより大きく、ゲート電極25がショットキー金属層23を覆いかぶさる構造(オーバーハング構造)の半導体装置201について説明する。

【0049】

半導体装置201は、半導体の第1主表面がチャネル層22になっている半導体層21、チャネル層22に接して形成されたショットキー金属層23、ショットキー金属層23上にオーバーハングして形成された緩衝膜24、緩衝膜24上に形成されたゲート電極25、チャネル層22に接して形成されてチャネル層22とオーミックコンタクトするソース電極26およびドレイン電極27を有する。ここで、各パーツ、すなわち、半導体層21、チャネル層22、ショットキー金属層23、緩衝膜24、ゲート電極25、ソース電極26およびドレイン電極27は実施の形態1と同様のものである。

【0050】

ゲート電極25は、絶縁膜29によりソース電極26およびドレイン電極27とは電氣的に絶縁されている。

絶縁膜29は、製造方法のところで述べるように、絶縁体膜のコンフォーマル形成と異方性エッチングを組み合わせた側壁形成法による絶縁膜であることが好ましい。この方法によると、ゲート電極25ーソース電極26間およびゲート電極25ードレイン電極27間を自己整合的かつ極めて高い精度で形成することが可能になり、距離dも極めて小さくすることができる。例えば、距離dを2nmとすることも可能である。距離dが小さくなると、キャリアは高速に移動し、半導体装置201のスイッチング速度(オン／オフ速度)を高めることができる。また、距離dの精度が高まると、スイッチング速度のばらつきも少ないものとなるという効果が得られる。

【0051】

半導体装置201では、ゲート電極25がショットキー金属層23に対してオーバーハングし、かつオーバーハング領域Rにおいてゲート電極25がチャネル層22に対してショットキー金属層23を介さずに直接対向するため、チャネル層22に形成される空乏層やキャリアに対してゲート長方向に分布をもたせることが可能になる。この分布の調整により、半導体装置201のスイッチング速度を高めることが可能になる。

【0052】

<素子の製造方法>

次に、半導体装置201の製造方法を、図5を用いて説明する。

まず、図5(a)に示すように、チャネル層22が第1主表面に形成された半導体層21(半導体基板)、例えば水素化終端処理したダイヤモンド基板を準備する。

水素化終端処理したダイヤモンド基板を用いる場合は、例えば、IbタイプあるいはIaタイプで、結晶面が100あるいは111のダイヤモンドを基板として好んで用いることができる。ここで、ダイヤモンドの第1主表面は、高いキャリア移動度を確保するために、平坦で原子レベルの平滑な面であることが好ましい。その後、水素終端とした薄膜

10

20

30

40

50

ダイヤモンド半導体層 21 を、例えば、 CH_4 ガスと H_2 ガスを用いたマイクロ波プラズマ CVD により成膜する。この場合は、水素終端層がチャンネル層 22 になる。

【0053】

その後、図 5 (b) に示すように、リフトオフ法、または成膜とエッチングによりチャンネル層 22 の上に直付けでショットキー金属層 23 を形成する。

【0054】

次に、図 5 (c) に示すように、ショットキー金属層 23 の上に緩衝膜 24 a を被着する。緩衝膜 24 a の成膜法は特に限定されるものではないが、例えば、スパッタリング法、蒸着法などの物理堆積法、および CVD、MOCVD などの化学堆積法を挙げることができる。

【0055】

その後、ショットキー金属層 23 よりサイズの大きなゲート電極膜 25 を形成する。

このゲート電極膜 25 の形成法は、リフトオフ法でも、金属膜の成膜、リソグラフィおよびエッチングによるエッチング法でもよい。この際、緩衝膜 24 a も加工して、緩衝膜 24 とする (図 5 (d))。

【0056】

しかる後、絶縁膜をコンフォーマルに形成し、異方性エッチングを行って、少なくともゲート電極 25 の側壁に絶縁膜 29 を形成する (図 5 (e))。ここで、絶縁膜としては、例えば、 SiO_x 、 SiON 、 SiN_x 、 Al_2O_3 および HfO_x などを用いることができる。

【0057】

その後、図 5 (f) に示すように、ソース電極 26 およびドレイン電極 27 を形成する。

ソース電極 26 およびドレイン電極 27 の形成法は、リフトオフ法でも、金属膜の成膜、リソグラフィおよびエッチングによるエッチング法でもよい。ゲート電極を構成する金属膜の成膜法としては、スパッタリング法、蒸着法などの物理堆積法、および CVD、MOCVD などの化学堆積法などを挙げることができる。

以上の工程により、半導体装置 201 は製造される。

【0058】

半導体装置 201 は、半導体の表層部に形成されて散乱や準位の少ないチャンネル層 22 のキャリアを直付けのショットキー金属 23 と緩衝膜 24 を介してゲート電極 25 により制御され、かつゲート電極 25—ソース電極 26 間およびゲート電極 25—ドレイン電極 27 間の距離 d を自己整合的かつ極めて高い精度で形成することが可能になり、距離 d も極めて小さくすることができる。さらに、チャンネル層 22 に形成される空乏層やキャリアに対してゲート長方向に分布をもたせることが可能になる。

このため、半導体装置 201 は、急峻なオン／オフ特性などスイッチング特性が得られ、かつゲートリーク電流が少なく、ノーマリーオフ動作に好適な半導体装置となる。

【0059】

(第 3 の実施の形態)

第 3 の実施の形態は、カーボンナノチューブを半導体層とし、カーボンナノチューブの表面層をチャンネル層 32 とした場合であり、その半導体装置 301 の構成を図 6 に示す。

半導体装置 301 は、チャンネル層 32 に接して形成されたショットキー金属層 33、ショットキー金属層 33 上に形成された緩衝膜 34、緩衝膜 34 上に形成されたゲート電極 35、チャンネル層 32 に接して形成されてチャンネル層 32 とオーミックコンタクトするソース電極 36 およびドレイン電極 37 を有する。ここで、ショットキー金属層 33、緩衝膜 34、ゲート電極 35、ソース電極 36 およびドレイン電極 37 は実施の形態 1 と同様のものである。

半導体装置 301 は、カーボンナノチューブからなる半導体の表層部に形成されて散乱や準位の少ないチャンネル層 32 のキャリアを、チャンネル層 32 に直付けのショットキー金属 33 と緩衝膜 34 を介してゲート電極 35 により制御される。このため、半導体装置 3

10

20

30

40

50

01は、急峻なオン／オフ特性なドスイッチング特性が得られ、かつゲートリーク電流が少なく、ノーマリーオフ動作に好適な半導体装置となる。

【0060】

(第4の実施の形態)

第4の実施の形態は、図7に示すように、第3の実施の形態で説明した半導体装置301を多数用いた半導体装置302である。

半導体装置302は、半導体装置301を多数並列に並べ、各半導体装置301のゲート電極35、ソース電極36およびドレイン電極37をそれぞれ電氣的に繋いだゲート集電局45、ソース集電極46およびドレイン集電極47を備える。

半導体装置302は、多数のトランジスタが並列に配置されることにより大電流対応となるため、特にパワー用途に適する半導体装置である。

【実施例】

【0061】

以下では実施例により本発明をさらに詳細に説明するが、この実施例はあくまで本発明の理解を助けるためここに挙げたものであり、本発明をこれに限定するものではない。

【0062】

(実施例1)

実施例1では、ショットキー金属層53として厚さ20nmのアルミニウム(Al)を用いた半導体装置501試料を作製した。ここでは、その試料の作製方法と、電気特性を評価した結果について述べる。

【0063】

<試料の作製>

以下、試料の作製工程を断面図である図8を参照しながら説明する。

最初に、基板としてIb型絶縁性(100)面方位ダイヤモンド基板(高圧高温製)を用い、その上に半導体層51として、マイクロ波プラズマ気相成長(MPCVD)法を用いてダイヤモンドエピタキシャル層を形成した。

【0064】

ダイヤモンドエピタキシャル層の形成条件は以下の通りである。

原料ガス：メタン(CH_4)、流量0.5sccm

キャリア(希釈)ガス：水素(H_2)、流量500sccm

CH_4/H_2 比：0.1%

成長中圧力：80Torr(10.7KPa)

マイクロ波パワー：800-950W

基板温度：800-950℃

成長時間：2-5時間

エピタキシャル層の厚さ：100-250nm

エピタキシャル層成膜後、メタンガスの供給を止め、エピタキシャル層を30分間水素雰囲気下で基板温度に保って、ダイヤモンド層の表面を水素終端して、チャンネル層52aを形成した(図8(a))。そして、試料を3日間大気中で保管した。

【0065】

次に、図8(b)に示すように、レーザー露光機(ナノシステムソリューションズ社製)を用いたリフトオフ法によりオーミックコンタクトのソース電極56およびドレイン電極57を水素終端ダイヤモンド表面であるチャンネル層52a上に直接接触させて形成した。ここで、ソース電極56およびドレイン電極57は、厚さ10nmのパラジウム(Pd)、厚さ10nmのチタン(Ti)および厚さ100nmの金(Au)を順次積層したものとし、電子ビーム蒸発器(アールデック製)を使用して堆積させた。なお、Pdはオーミックコンタクト、Tiは密着層の機能をもつ。

【0066】

その後、図8(c)に示すように、酸素プラズマを使用してメサ構造によってデバイスを分離した。ここで、同図中の59は、酸素プラズマによる電氣的不伝導層(絶縁体層)

10

20

30

40

50

を示し、チャンネル層 52 は絶縁体層 59 により電氣的に隔離される。

【0067】

しかる後、図 8 (d) に示すように、H 終端ダイヤモンドへのショットキー金属層 53 として、厚さ 20 nm の Al 薄膜を電子ビーム蒸発器 (アールデック製) を用いて堆積させた。ここで、電子ビーム蒸発器のベース圧力は 10^{-7} Pa 未満とした。

次に、図 8 (e) に示すように、緩衝膜 (絶縁体膜) 54 として、厚さ 25 nm の Al_2O_3 をショットキー金属層 53 上に原子層堆積 (ALD) によって形成した。ALD 装置としては、SUNALE R-100B (Picosun 社) を用いた。

ここで、形成温度は 393 K とした。また、MIMS-FET の高温電氣的挙動を調べる実験用に、厚さ 25 nm の ALD- Al_2O_3 を 573 K で堆積させた試料も作製した。

10

その後、図 8 (f) に示すように、 Al_2O_3 からなる緩衝膜 54 上に厚さ 10 nm の Ti および厚さ 100 nm の Au を順次堆積させて Ti / Au からなるゲート電極 55 を形成して、特性を評価するための半導体装置 501 を得た。

【0068】

<特性評価>

図 9 は、上記方法によって作製した、ゲート長 (L_g) 5 μm 、ゲート幅 (W_g) 100 μm 、ソースゲート間距離 (L_{sg}) 5 μm 、およびゲートドレイン間距離 (L_{gd}) 5 μm の MIMS-FET のトランジスタ特性の一例を示す。電気特性の評価には、2600B (ケースレー製) を用いた。

20

図 9 (a) は、ゲート電圧 V_g を 0 V から -6 V まで -0.5 V のステップで変化させたときのドレイン電圧に対するドレイン電流依存性を示す。良好なトランジスタ特性が得られている。

図 9 (b) は、ドレイン電圧 (ドレイン-ソース間電圧) -8 V における MIMS-FET の伝達曲線である。この図の中に挿入した図は、図 9 (b) の測定データを基にして縦軸を $|I_{ds}|^{0.5}$ に換えてリプロットしたものであるが、そこからしきい値電圧 V_{th} は -0.64 V と計算され、ノーマリーオフの動作をしていることがわかる。

図 9 (c) は、 $V_g = 0$ V とし、ドレインに最大 -200 V を印加したときのドレイン電圧に対するドレインリーク電流の依存性を示す。ドレインに -200 V まで電圧をかけてもドレインリーク電流は絶対値で 16 nA 以下という低い値に収まっていることがわかる。

30

【0069】

図 10 は、比較例としての MESFET および MOSFET と、本発明の MIMS-FET との電気特性の比較を示す。

ここで、MESFET は緩衝膜 54 を、MOSFET はショットキー金属層 53 を省いた以外、実施例 1 の半導体装置 501 と同様の構造を、同様の方法で作製した試料である。

図 10 (a) から (c) は電気伝達曲線を示し、(a) は MESFET、(b) は MOSFET および (c) は MIMS-FET の場合である。この図から、MIMS-FET は、MESFET と同様に、ノーマリーオフ動作をしていることがわかる。一方、MOSFET はノーマリーオン動作である。

40

図 10 (d) から (f) は、ドレイン電圧 V_d を -8 V に固定したときのゲートリーク電流特性、すなわちゲート電極とソース電極の間に流れる電流 $|I_g|$ を示し、(d) は MESFET、(e) は MOSFET および (f) は MIMS-FET の場合である。MIMS-FET は、MOSFET と同様にゲートリーク電流は極めて少ない。一方、MESFET はゲートリーク $|I_g|$ が大きく、例えばゲート電圧 V_g が -2 V のときには 10^{-5} A に近いリーク電流が流れる。MIMS-FET のリーク電流 $|I_g|$ は、同様の条件で約 5×10^{-12} A である。

この結果から、MIMS-FET のみ、ノーマリーオフ動作と低リーク電流を両立して達成できることが実証された。

50

【0070】

図11および図12は、半導体装置501のMIMS-FET試料の電気伝達曲線の使用環境温度依存性を示す。すなわち、図11(a)は使用環境(測定環境)を300K、図11(b)は423K、図12(a)は523K、そして図12(b)は623Kとしたときの電気伝達曲線を示す。ここで、半導体装置501の緩衝膜54は573Kで成膜したALD-Al₂O₃とした。MIMS-FETの寸法は、 $L_g = 6 \mu m$ 、 $W_g = 50 \mu m$ 、 $L_{sg} = 4 \mu m$ および $L_{gd} = 22 \mu m$ である。

その結果、MIMS-FET試料は、少なくとも623Kまでノーマリーオフ動作を示すことが確認された。

【0071】

図13および14は、半導体装置501のMIMS-FET試料の電気的パラメータの熱安定性を示す。すなわち、図13(a)は $V_g = -3V$ および $-4V$ における最大ドレイン電流、図13(b)はSS値、図14(a)は $V_g = -5V$ におけるドレイン電流と $V_g = 0V$ におけるドレイン電流(オン/オフ)比、そして図14(b)はしきい値電圧の環境温度依存性を示す。ここで、半導体装置501の緩衝膜54は573Kで成膜したALD-Al₂O₃とした。MIMS-FETの寸法は、 $L_g = 6 \mu m$ 、 $W_g = 50 \mu m$ 、 $L_{sg} = 4 \mu m$ および $L_{gd} = 22 \mu m$ である。

【0072】

最大ドレイン電流(I_{dmax})は、図13(a)に示すように、 $V_g = -4V$ 、300Kで13.5mA/mmである。測定温度が上昇すると、最大ドレイン電流 I_{dmax} は、473Kで約11.5mA/mm、623Kで4.7mA/mmに低下するが、623Kでも十分大きな最大ドレイン電流 I_{dmax} が得られることが確認された。

【0073】

SS(Subthreshold Slope)は、下記式(A1)によって与えられ、 C_{dep} を半導体のデプリーション容量、 C_{it} を(欠陥による)界面容量、 C_i を絶縁体容量、 T を温度、 q を電子の電荷および k をボルツマン定数とすると、下記式(A2)によって関連づけられるパラメータである。

【0074】

$$SS = dV_g / d(\log_{10}(I_d)) \quad \dots (A1)$$

$$SS = (kT/q) \cdot \log_{10} [1 + (C_{dep} + C_{it}) / C_i] \quad \dots (A2)$$

【0075】

SS値は、図13(b)に示されるように、300Kでは76mV/decと低い値であった。これは、アルミニウム/水素終端ダイヤモンドの界面密度が低いことを示唆している。本発明のMIS-FETのSS値は、MOSFETのそれ(120mV/dec)よりはるかに低い値である。

【0076】

また、ドレイン電流(オン/オフ)比は、図14(a)に示されるように、高温環境ほど低下する傾向にあるが、623Kでも 10^6 以上という十分大きなオン/オフ比が得られた。

また、図14(b)に示されるように、しきい値電圧も300Kから623Kに亘って $-0.5V \sim -0.2V$ の範囲に収まっており、全ての温度域でノーマリーオフの動作になっていることが確認された。

【0077】

(実施例2)

実施例2は、ショットキー金属層53として厚さ20nmのチタン(Ti)を用いた場合で、ショットキー金属層53の材料以外は実施例1と同様の条件で作製した試料を用いて、その電気特性を評価した。

その結果を図15に示す。ここで、トランジスタの寸法は、 $L_g = 10 \mu m$ 、 $W_g = 100 \mu m$ 、 $L_{sg} = L_{gd} = 5 \mu m$ である。

10

20

30

40

50

図15(a)は、ゲート電圧 V_g を0Vから-5Vまで-0.5Vのステップで変化させたときのドレイン電圧に対するドレイン電流依存性を示す。良好なトランジスタ特性が得られている。

図15(b)は、ドレイン電圧-8VにおけるMIMS-FETの伝達曲線である。

図15(c)は、図15(b)の測定データを基にして縦軸を $|-I_{ds}|^{0.5}$ に換えてリプロットしたものであるが、そこからしきい値電圧 V_{th} は-0.04Vと計算され、ノーマリーオフの動作をすることがわかった。MIMS-FETのしきい値電圧 V_{th} は、ショットキー金属層53の材料の選択によって調整できることが確認された。

【0078】

(実施例3)

実施例3は、ショットキー金属層53として厚さ20nmのコバルト(Co)を用いた場合で、ショットキー金属層53の材料以外は実施例1と同様の条件で作製した試料を用いて、その電気特性を評価した。

その結果を図16に示す。ここで、トランジスタの寸法は、 $L_g = 10\mu m$ 、 $W_g = 100\mu m$ 、 $L_{sg} = L_{gd} = 5\mu m$ である。

図16(a)は、ゲート電圧 V_g を0Vから-4Vまで-0.5Vのステップで変化させたときのドレイン電圧に対するドレイン電流依存性を示す。良好なトランジスタ特性が得られている。

図16(b)は、ドレイン電圧-8VにおけるMIMS-FETの伝達曲線である。

図16(c)は、図16(b)の測定データを基にして縦軸を $|-I_{ds}|^{0.5}$ に換えてリプロットしたものであるが、そこからしきい値電圧 V_{th} は約0Vと計算された。MIMS-FETのしきい値電圧 V_{th} は、ショットキー金属層53の材料の選択によって調整できることが実施例3においても確認された。

【産業上の利用可能性】

【0079】

本発明により、キャリア移動度が高く、急峻なオン／オフ特性などスイッチング特性が優れ、かつゲートリーク電流が少ない半導体装置、またそれらの諸特性に加えてノーマリーオフ動作に好適な半導体装置、パワーデバイスおよび制御用電子装置を提供することが可能になる。

このため、本発明は、低消費電力、省エネルギーでかつ高性能なスイッチング半導体装置の道を切り開くものとなっており、民生用途および産業用途のいずれにも上大いに利用されることが期待される。

また、半導体層としてダイヤモンドを用いた場合には、350℃というような高温でも低リーク電流でスイッチング特性が優れるので、過酷環境を含めた広い応用が期待される。

【符号の説明】

【0080】

11：半導体層

12：チャネル層

13, 13a：ショットキー金属層

14, 14a：緩衝膜（インピーダンス膜、絶縁体膜）

15：ゲート電極

16：ソース電極

17：ドレイン電極

18：絶縁体層

21：半導体層

22：チャネル層

23：ショットキー金属層

24, 24a：緩衝膜（インピーダンス膜、絶縁体膜）

25：ゲート電極

10

20

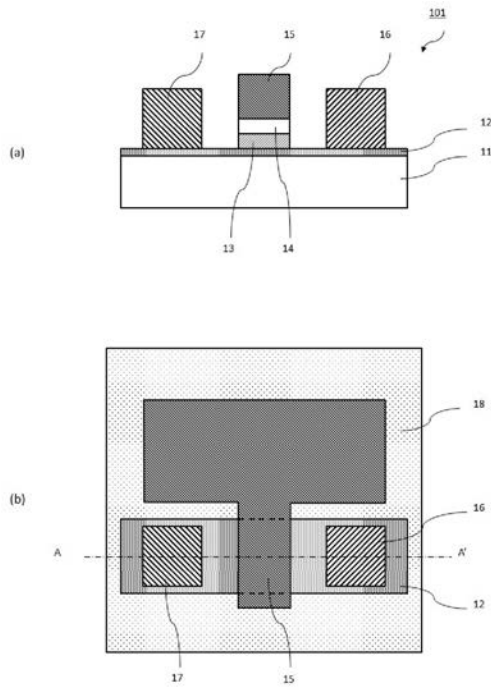
30

40

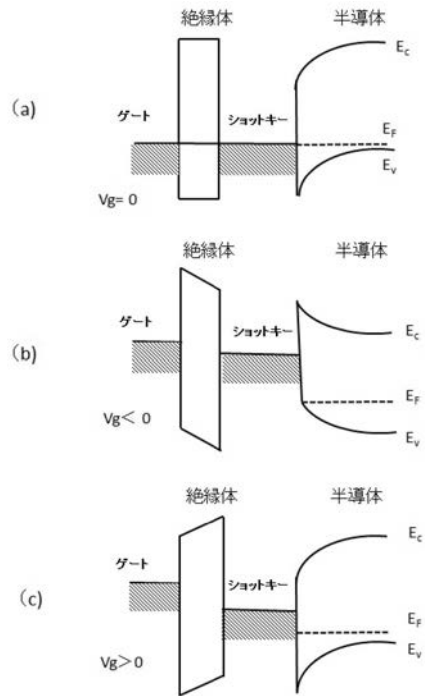
50

26	ソース電極	
27	ドレイン電極	
29	絶縁膜	
32	チャネル層（カーボンナノチューブ）	
33	ショットキー金属層	
34	緩衝膜	
35	ゲート電極	
36	ソース電極	
37	ドレイン電極	
45	ゲート集電極	10
46	ソース集電極	
47	ドレイン集電極	
51	半導体層	
52, 52a	チャネル層	
53	ショットキー金属層	
54	緩衝膜（絶縁体膜）	
55	ゲート電極	
56	ソース電極	
57	ドレイン電極	
59	電気的不導体層（絶縁体層）	20
101	半導体装置（MIMS-FET）	
201	半導体装置	
301	半導体装置	
302	半導体装置	
501	半導体装置（MIMS-FET）	

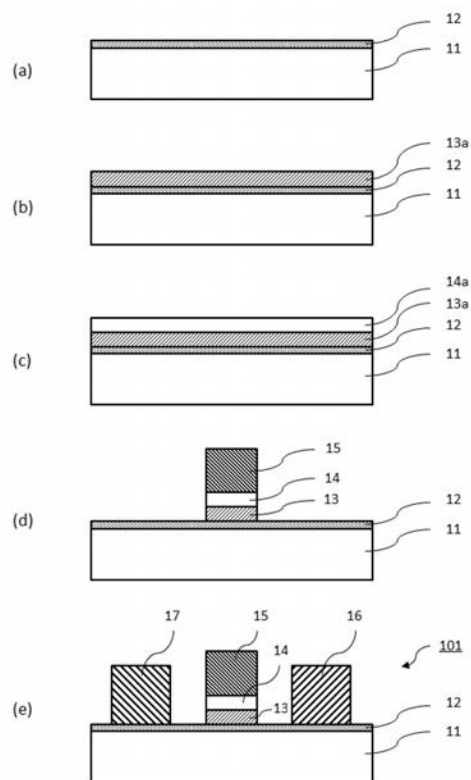
【図 1】



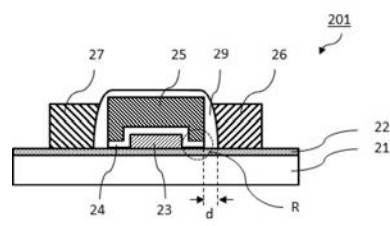
【図 2】



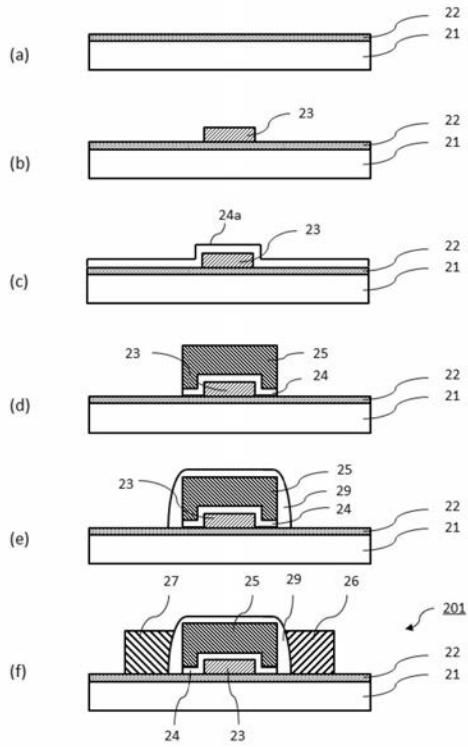
【図 3】



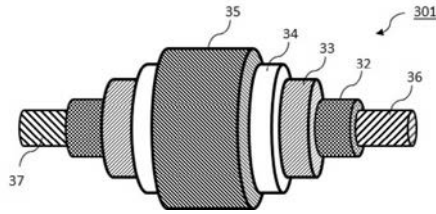
【図 4】



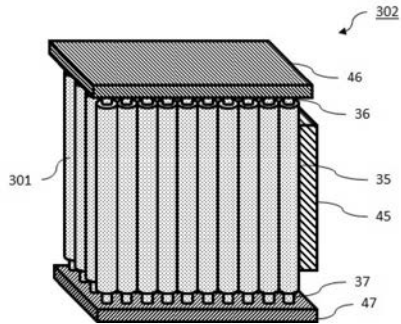
【図 5】



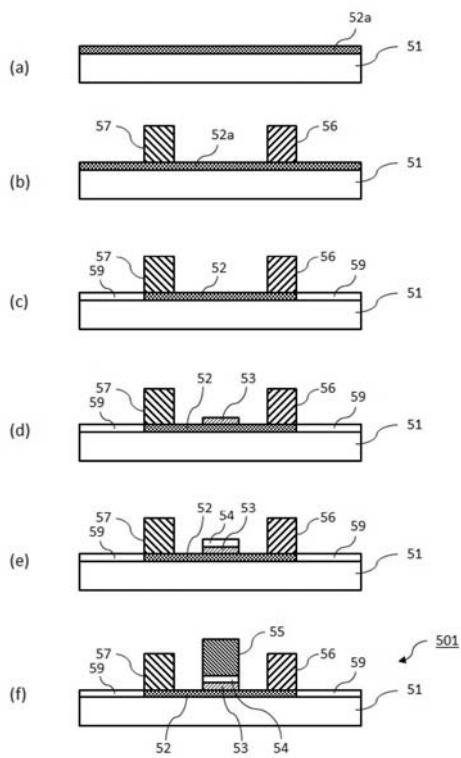
【図 6】



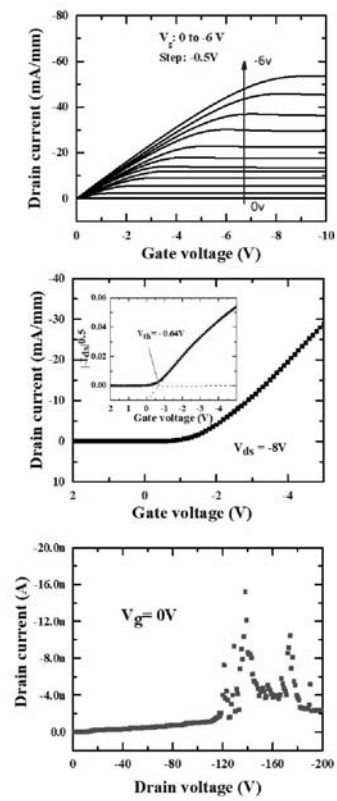
【図 7】



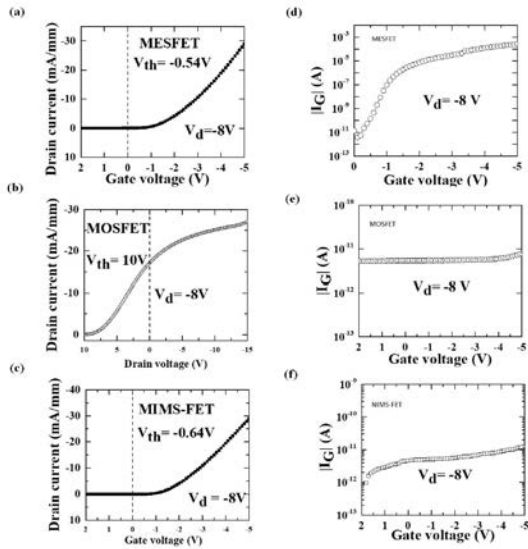
【図 8】



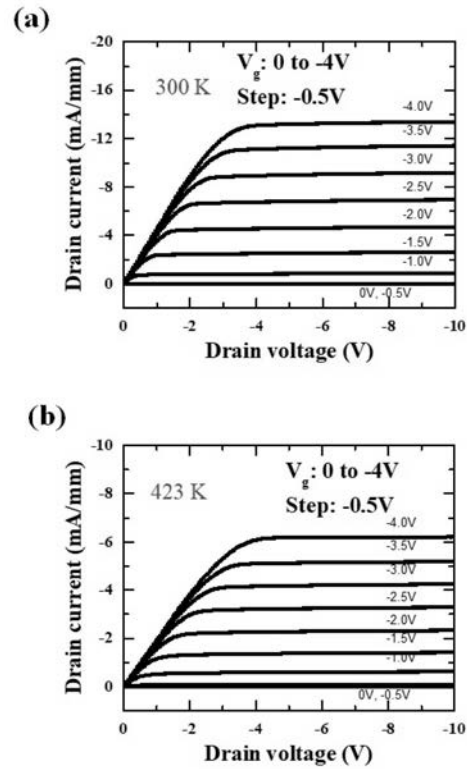
【図 9】



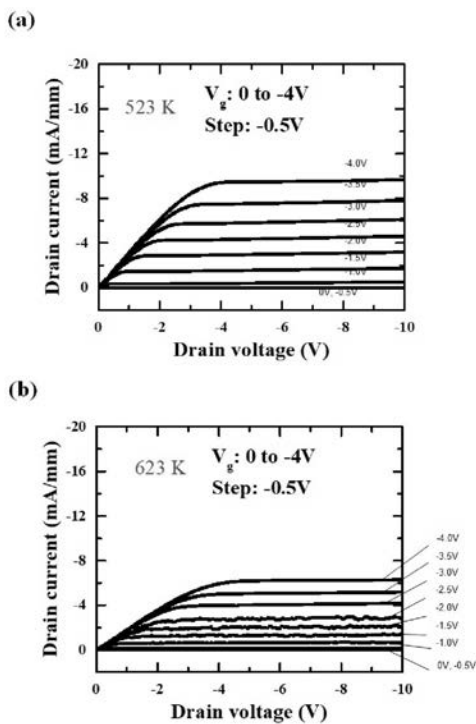
【図 10】



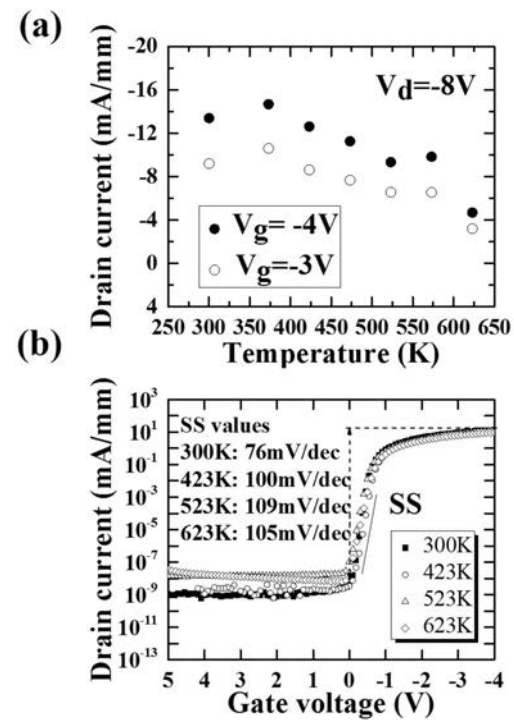
【図 11】



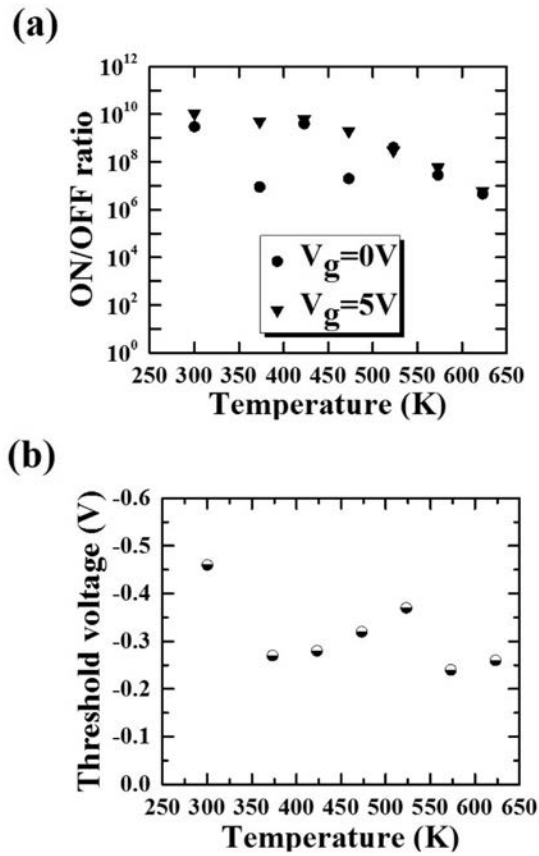
【図 12】



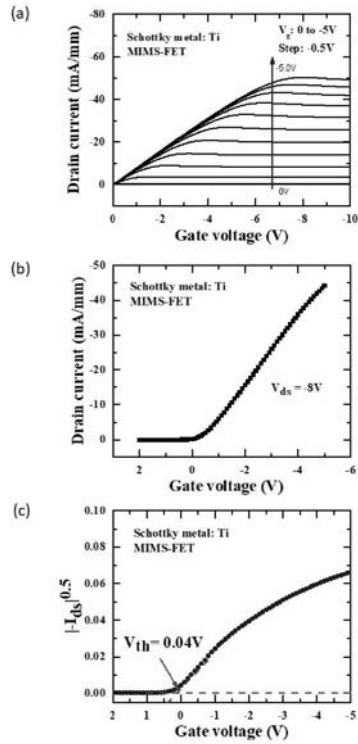
【図 13】



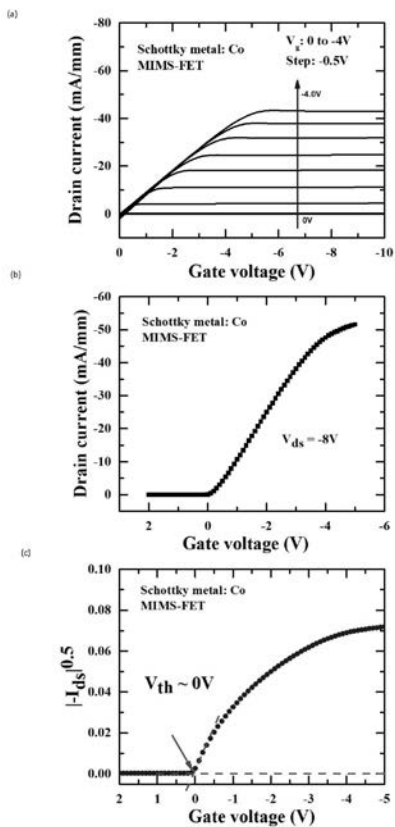
【図 1 4】



【図 1 5】



【図 1 6】



フロントページの続き

Fターム(参考) 5F102 GB01 GC01 GD01 GL01 GL02 GS02 GS03 GS08 GT01 GT02
GT03 HC01