

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4166274号
(P4166274)

(45) 発行日 平成20年10月15日(2008.10.15)

(24) 登録日 平成20年8月8日(2008.8.8)

(51) Int.Cl. F I
G 1 1 C 11/406 (2006.01) G 1 1 C 11/34 3 6 3
G 1 1 C 11/401 (2006.01) G 1 1 C 11/34 3 7 1 K

請求項の数 7 (全 8 頁)

| | |
|--|--|
| <p>(21) 出願番号 特願平9-510686 (86) (22) 出願日 平成8年6月27日(1996.6.27) (65) 公表番号 特表平10-509269 (43) 公表日 平成10年9月8日(1998.9.8) (86) 国際出願番号 PCT/US1996/010855 (87) 国際公開番号 W01997/010602 (87) 国際公開日 平成9年3月20日(1997.3.20) 審査請求日 平成14年4月3日(2002.4.3) (31) 優先権主張番号 08/527,950 (32) 優先日 平成7年9月14日(1995.9.14) (33) 優先権主張国 米国(US)</p> | <p>(73) 特許権者 サムスン エレクトロニクス カンパニー , リミテッド 大韓民国442-370 キュングキ ドー, スウオン - シティ, パルダル - グ, マエタン - ドング, 416 (74) 代理人 弁理士 浅村 皓 (74) 代理人 弁理士 浅村 肇 (74) 代理人 弁理士 林 拓三 (74) 代理人 弁理士 清水 邦明</p> |
|--|--|

最終頁に続く

(54) 【発明の名称】 DRAMリフレッシュ方法

(57) 【特許請求の範囲】

【請求項1】

電圧供給ラインの電圧降下をフィルタするために使用される少なくとも1つの共通のフィルタ・コンデンサを共有する揮発性メモリ・バンクをリフレッシュする方法であって、前記方法は、

少なくとも1つのフィルタ・コンデンサを第2のメモリ・バンクと共有している第1のメモリ・バンクのリフレッシュを起動する段階と、

第1のメモリ・バンクのリフレッシュの起動後に第1および第2のメモリ・バンクで共有している前記少なくとも1つのフィルタ・コンデンサを共有していない第3のメモリ・バンクのリフレッシュを起動する段階と、

第3のメモリ・バンクのリフレッシュの起動後に第2のメモリ・バンクのリフレッシュを起動する段階と、

前記第2のメモリ・バンクのリフレッシュの起動後に、前記少なくとも1つのフィルタ・コンデンサを共有していない第4のメモリ・バンクのリフレッシュを起動する段階と、

を含み、第1および第2のメモリ・バンクは、連続してリフレッシュされないことを特徴とする前記方法。

【請求項2】

請求項1記載の方法であって、前記第1、第2および第3のメモリ・バンクは、CMOSメモリ・バンクである前記方法。

【請求項3】

請求項 1 記載の方法であって、前記第 4 のメモリ・バンクと第 3 のメモリ・バンクは、別のフィルタ・コンデンサを共有している前記方法。

【請求項 4】

請求項 1 記載の方法であって、前記リフレッシュは、それぞれ C A S ビフォー R A S リフレッシュである前記方法。

【請求項 5】

少なくとも 1 つの共通コンデンサを共有する第 1 および第 2 のメモリ・バンクに対してリフレッシュを行う時に発生する供給電圧の降下を低減する方法であって、前記方法は、少なくとも 1 つのコンデンサを第 2 のメモリ・バンクと共有している第 1 のメモリ・バンクに対してリフレッシュを起動する段階と、

10

第 1 および第 2 のメモリ・バンクで共有している前記少なくとも 1 つのコンデンサを共有していない少なくとも 1 つの他のメモリ・バンクに対して十分な回数のリフレッシュ・サイクルが起動された後で第 2 のメモリ・バンクに対するリフレッシュを起動する段階と、第 2 のメモリ・バンクに対するリフレッシュが起動された後に第 1 および第 2 のメモリ・バンクで共有している前記少なくとも 1 つのコンデンサを共有していない他のメモリ・バンクに対するリフレッシュを起動する段階と、

を含み、第 2 のメモリ・バンクに対するリフレッシュは、第 1 および第 2 のメモリ・バンクを連続的にリフレッシュする場合よりも大きな供給電圧降下が第 1 および第 2 のメモリ・バンクに接続された電圧供給線に生じないことを特徴とする前記方法。

【請求項 6】

20

請求項 5 記載の方法であって、前記十分な回数のリフレッシュ・サイクルは、1 回のリフレッシュ・サイクルである方法。

【請求項 7】

請求項 5 記載の方法であって、前記リフレッシュは、それぞれ C A S ビフォー R A S である前記方法。

【発明の詳細な説明】

発明の背景

発明の分野

本発明は、ダイナミックランダムアクセスメモリ (D R A M) 内のメモリセルをリフレッシュする方法に関するものであって、更に詳細には、C M O S を使用した D R A M のドレイン電圧におけるリフレッシュ雑音を低減する方法に関する。

30

関連技術の説明

当業者にはよく知られているように、ダイナミックランダムアクセスメモリは、D R A M 内のメモリセルを定期的なリフレッシュして、各メモリセル内に記憶されているデータが壊れたり、時間の経過とともに減衰したりすることのないようにする必要がある。D R A M 内のメモリの各行を定期的なリフレッシュすることによって、その行の中の容量性メモリセルの各々に対してエネルギーが供給され、そのメモリセル中に記憶されているデータが減衰しないことになる。このように、リフレッシュは、揮発性メモリのためのメモリ記憶の本質的な要素である。

リフレッシュは、C A S (列アドレス選択) ビフォー R A S (行アドレス選択) (C A S b e f o r e R A S) であるか、あるいは R A S オンリー (R A S - o n l y) リフレッシュである。C A S ビフォー R A S リフレッシュは、R A S 信号をアサート (a s s e r t) する前に C A S 信号をアサートして、次のサイクルがリフレッシュサイクルであることを示すことを含む。C A S ビフォー R A S のアサートに回答して、メモリ内の内部アドレスカウンタは、リフレッシュすべき次の行の行アドレスを供給する。R A S オンリーリフレッシュも同様に動作し、メモリの選ばれた行をリフレッシュするが、リフレッシュすべき行のアドレスは、この場合、外部リフレッシュ回路によって供給される。

40

しかし、リフレッシュが実行される度に、リフレッシュされる D R A M 中の電流サージが、D R A M へ供給されている電圧ラインの電圧降下を引き起こす。ライン電圧中の電圧降下によって引き起こされる雑音は、その D R A M あるいは同じ電圧を供給されている他の

50

D R A Mの動作に影響を与えることが考えられる。このことは、特にC M O S技術を採用したD R A Mの場合に言える。それはそのようなD R A Mの内部回路が急激な電圧降下や雑音に特に敏感なためである。

このように、リフレッシュサイクル中の大きな雑音スパイクを防止するために、以前のリフレッシュ法では、隣接するシングル・イン・ラインのメモリモジュール(S I M M)へ互い違いにリフレッシュを与えてリフレッシュが1つ置きに発生し、少なくとも1クロックサイクルは離すようにしている。更に、リフレッシュアクセスによって引き起こされる電圧降下の大きさを減らすために、各メモリバンクに対してフィルタリングコンデンサを設け、大きな電流が引き出される間にライン電圧を保持するようにしている。この方式は、1つのリフレッシュの間に生成される電圧降下を複数のクロックサイクルにわたって均一に分散させるように働くものの、それでも電圧降下の低減化は最適化されていない。これは、しばしば隣接するメモリバンクが1個または複数のフィルタリングコンデンサを共有し、そのため、例えば、第1と第2のメモリバンクが順にリフレッシュされたとすれば、そのフィルタリングコンデンサは、正常なライン電圧にまで再充電されるのに十分な回復時間を持たないことになる。このように、もし同じフィルタリングコンデンサを共有するメモリバンクが、引き続くクロックサイクルでリフレッシュされることになれば、そのアクセスされたメモリバンクへつながる電圧供給ライン上には十分大きな電圧降下が観測され、その結果、雑音はD R A Mの動作に影響を及ぼすことになろう。

10

発明の概要

電圧供給ライン上の電圧降下をフィルタリングするために用いられる共通のフィルタリングコンデンサを共有する揮発性のメモリバンクをリフレッシュするための方法は、第2のメモリバンクと一緒に前記フィルタリングコンデンサを共有する第1のメモリバンクのリフレッシュを起動すること、前記第1のメモリバンクのリフレッシュの起動の後、前記第1および第2のメモリバンクとコンデンサーを共有していない第3のメモリバンクのリフレッシュを起動すること、そして前記第3のメモリバンクのリフレッシュの起動の後、前記第2のメモリバンクをリフレッシュする工程を含む。

20

1つの好適実施例に従えば、前記第1、第2および第3のメモリバンクは、C M O Sメモリバンクである。

別の好適実施例に従えば、本方法は、前記第2のメモリバンクのリフレッシュの起動に続いて、前記第3のメモリバンクと一緒に別のフィルタリングコンデンサを共有する第4のメモリバンクのリフレッシュを起動する工程を含む。

30

別の態様においては、本発明は、共通コンデンサーを共有するメモリバンクに対するリフレッシュ時に発生する供給電圧の降下を減らす方法であって、供給電圧の降下は、リフレッシュが発生する度毎に、そのメモリバンクにおいて観測される。リフレッシュサイクル間の間隔は、前記第1および第2のメモリバンクへの引き続くリフレッシュによって、前記第1および第2のメモリバンクのいずれか一方へ単一のリフレッシュを与える場合よりも大きい供給電圧降下が、前記第1および第2のメモリバンクの場所に生ずるような大きさのものとなっている。本方法は、第2のメモリバンクと一緒にコンデンサーを共用する第1のメモリバンクへのリフレッシュを起動すること、および十分な回数のリフレッシュサイクルの後に、前記第2のメモリバンクへリフレッシュを駆動することによって、前記第2のメモリバンクに対するリフレッシュが、前記第1および第2のメモリバンクのいずれか一方に対する単独のリフレッシュよりも大きな供給電圧降下を前記第1および第2のメモリバンクの場所にもたらさないようにする工程を含む。

40

【図面の簡単な説明】

第1図は、それぞれ1個のフィルタリングコンデンサを共有する二対のメモリバンクを示す模式的ブロック図である。

第2図は、従来技術の方法に従って実行される、メモリバンクの各々に対するリフレッシュアクセスの順番を示すタイミング図である。

第3図は、本発明の方法に従った、第1図のメモリバンクに対するリフレッシュアクセスの順番を示すタイミング図である。

50

第4A図ないし第4C図は、(A)フィルタリングコンデンサを使わずに、隣接するメモリバンクを従来技術の互い違いの方法を用いてアクセスした場合、(B)同じフィルタリングコンデンサを共有する隣接メモリバンクを従来技術の方法を用いてリフレッシュした場合、および(C)フィルタリングコンデンサがメモリバンク間で共有されている状態で、本発明の方法を用いて隣接メモリバンクを間隔を置いてアクセスした場合の各々について、リフレッシュ時に発生する電圧降下を示す信号波形図である。

好適実施例の詳細な説明

第1図は、電圧供給ライン110と関連させて、複数個のダイナミックランダムアクセスメモリ(DRAM)バンク100を示す簡略化した模式的ブロック図である。第1図に示されたように、第1のDRAMバンク120と第2のDRAMバンク130とが1個のフィルタリングコンデンサバンク140を共有している。このような構成は、例えばデュアル・イン・ラインのメモリモジュール(DIMM)が回路基板の両側にDRAMを備えて構築されるような応用では、ごく普通のものである。当業者には明らかであろうが、コンデンサバンク140は、DRAMバンク120、130内部のDRAM素子の各々によって共有される複数個のコンデンサを含むことができる。同様に、これも第1図に示されたように、第3のDRAMバンク150と第4のDRAMバンク160とが1個のコンデンサバンク170を共有している。

動作時には、DRAMバンク120、130、150および160の各々の内部にあるメモリセルのリフレッシュは、予め定められた順番に実行され、そうすることによってライン110を通る瞬間的な電流の流出を減らすようにしている。当業者には知られているように、電圧供給ライン110には幾分かインピーダンスが含まれており、そのため、ライン110に沿ったある地点で急激な電流流出が発生すると、ライン110のその場所で顕著な電圧降下が観測されることが有り得る。このため、電圧供給ライン110に沿った複数の地点にフィルタリングコンデンサ140、170が含まれており、そのような電圧低下の効果を緩和するようになっている。加えて、しばしばライン110上の急激な電流流出の原因となるリフレッシュアクセスは、ライン110に沿った任意の与えられた地点において合計の電流流出を低減化するように互い違いに行われる。

ライン110に沿った任意の与えられた地点において電流流出を低減化する従来のあるものは、各DRAMバンクに対する互い違いのリフレッシュを含んでおり、それによってDRAMバンク120、130、150、160のうちの任意のものに対して同じ時間に行アドレスストロブラインがアサートされないようにしている。第2図に示されたように、リフレッシュ動作を起動するために、列アドレスストロブラインがアサートされた後、各行アドレスストロブライン(すなわち、それぞれDRAMバンク120、130、150、160へのアクセスに対応して)のアサートが引き続き行われるようになっている。しかし、同じフィルタリングコンデンサを共有するDRAMバンクに対して迅速な間隔で行アドレスストロブ信号が続いてアサートされた場合には、フィルタリングコンデンサが前記第1の行アドレスストロブアサートに続く電流流出から回復するのに十分な時間を持たないため、前記第2の行アドレスストロブ信号のアサートに続く付加的な電流流出が、ライン110に沿って、既に正常の電圧レベルを下回っている電圧レベルから更に電圧降下を引き起こす。この場合については、第4A図およびB図に示されている。特に、第4A図は、フィルタリングコンデンサ140が存在しない場合に、もしRAS2信号がRAS1信号の直後にアサートされれば(第2図に示されたように)、DRAMバンク120、130においてライン110に沿って観測されるであろう電圧降下を示している。このように、第4A図は、隣接するメモリバンク120、130が引き続きクロックサイクルにおいてリフレッシュされる時に、これらのメモリバンクの電圧入力において観測される電圧降下に非常に近いものを示すことになる。

このフィルタリングコンデンサ140は、DRAMバンク120、130に隣接したライン110上に存在するので、観測される電圧降下は、第4B図に示したように表される。DRAMバンク120、130への電圧供給入力において観測される電圧降下は、もし第1の電圧降下においてコンデンサ140が存在しなかったら観測されるであろう電圧降

10

20

30

40

50

下ほどには激しいものではないが、DRAMバンク120、130近くのライン110上の電圧が、その元の値にまでまだ回復していない間に第2の電圧降下が発生すると、第2の行アドレスストロブ信号のアサートとともに大きな降下が観測されることになる。このように、ある場合には、従来技術の方法は、もしリフレッシュが短い間隔で引き続いて発生してフィルタリングコンデンサ140が、その元の電圧降下から回復するのに十分な時間がなければ、隣接するDRAMバンクの電圧供給入力に顕著な電圧降下をもたらすことになるのは明かである。この問題は、もしDRAMバンク120、130がCMOS技術を採用していれば更に悪化する。というのは、CMOS技術は、そのような電圧降下の存在下での雑音に特に敏感だからである。

しかしながら、本発明の教えるところから従う、DRAMバンクにアクセスするための進歩した方法が第3図に示されている。第3図に示されたように、DRAMリフレッシュの順番を変更して、同じフィルタリングコンデンサを共有しているDRAMバンクが、引き続きクロックサイクルでアクセスされることのないようにされる。すなわち、第3図に示すように、第2のDRAMバンク130をリフレッシュするために用いられる行アドレスストロブがアサートされた後、第4のDRAMバンク160をリフレッシュするために用いられる行アドレスストロブ信号が続き、更に第1のDRAMバンク120をリフレッシュするために用いられる行アドレスストロブ信号が続き、そして最後に第3のDRAMバンク150をリフレッシュするために用いられる行アドレスストロブ信号が続き。このように、第3図から分かるように、同じフィルタリングコンデンサを共有しているメモリバンクのリフレッシュが、引き続きクロックサイクルで決して起動されないことにならないようになっている。

この進歩したリフレッシュシーケンスの利点が、第4C図に示されている。第4C図に示されたように、電圧降下は、十分な幅を置いて離されており、そのため、コンデンサ140は、次の電圧降下がコンデンサ140の場所に観測される前に、元の5ボルトへ回復するために十分な時間を持つ。このようにして、DRAMバンク120、130の電圧供給入力には、ほんの小さい電圧降下しか発生しない。同じ効果は、DRAMバンク150、160にも同様に観測される。このように、本発明の進歩したリフレッシュシーケンス法は、DRAMバンク120、130、150および160のいずれのものによっても顕著な電圧降下が観測されることがないことを保証する。

以上のように、本発明の好適実施例について詳細に説明してきたが、本発明の精神あるいは中心的な特性から外れることなしに、本発明に対して何らかの明瞭な修正が可能であることを当業者は理解されよう。例えば、本発明はCASビフォーRASの代わりにRASオンリーリフレッシュが実行されるシステムにも採用することができる。このように、上述の説明は、例示的なものであって限定的なものでないことを理解されるべきである。従って、本発明の範囲は、以下の請求の範囲に照らして解釈されるべきである。

10

20

30

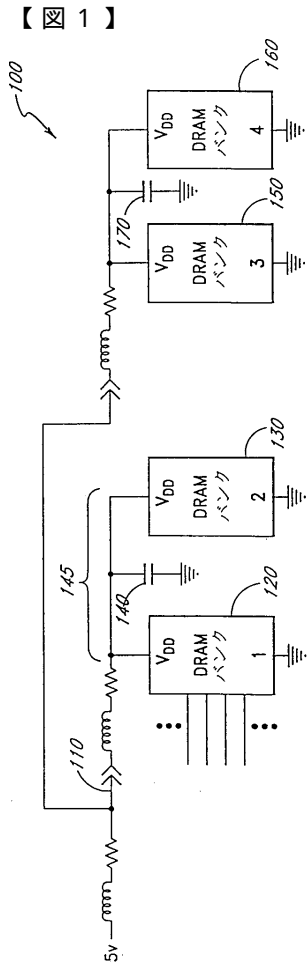


Fig. 1

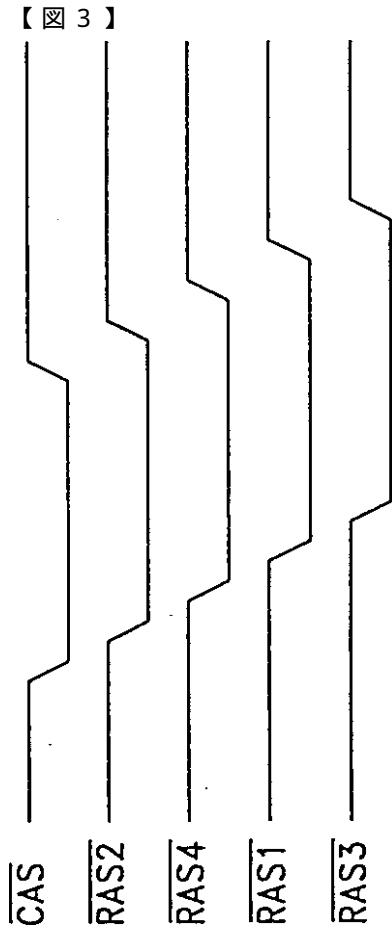


Fig. 3

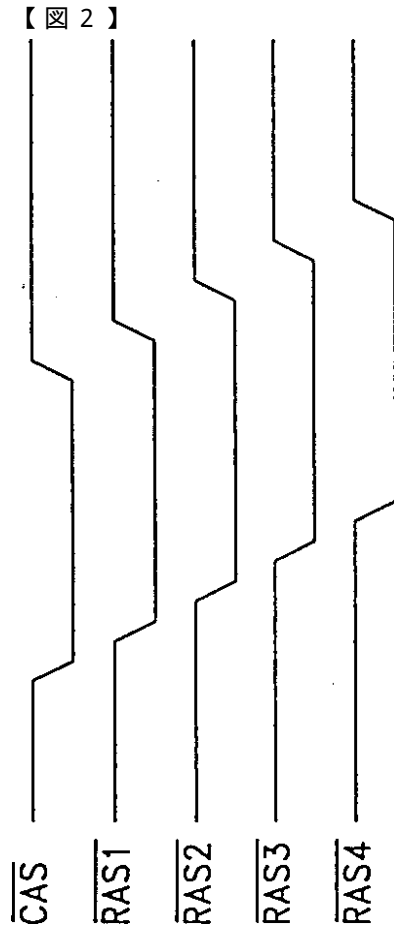


Fig. 2 (PRIOR ART)

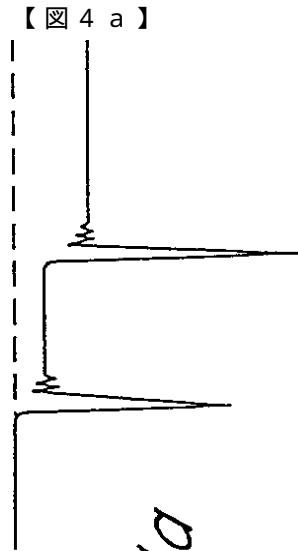


Fig. 4a

【 4 b 】

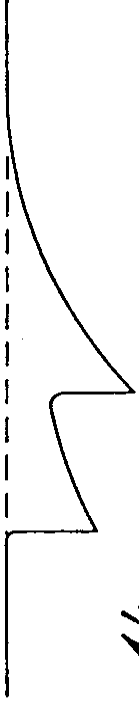


Fig. 4b

【 4 c 】



Fig. 4c

フロントページの続き

(72)発明者 モート, エル ランドール, ジュニア
アメリカ合衆国 9 2 6 5 3 カリフォルニア州ラグナ ヒルズ, レッド コーラル ロード 2
6 1 5 2

審査官 園田 康弘

(56)参考文献 特開平04 - 370597 (JP, A)
特開平02 - 292797 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/406
G11C 11/401