(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 3 月 30 日 (30.03.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/049676 A1

(51) 国际专利分类号:
H01L 21/77 (2006.01) *G02F 1/1362* (2006.01)
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2015/091807

(22) 国际申请日: 2015 年 10 月 13 日 (13.10.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510609449.2 2015 年 9 月 22 日 (22.09.2015) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: **贺超 (HE, Chao)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 **唐国强 (TANG, Guoqiang)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 **郭远 (GUO, Yuan)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 **李娟 (LI, Juan)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 **陈玉霞 (CHEN, Yuxia)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE)**; 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) **Title**: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREOF

(54) **发明名称** : 阵列基板及其制备方法

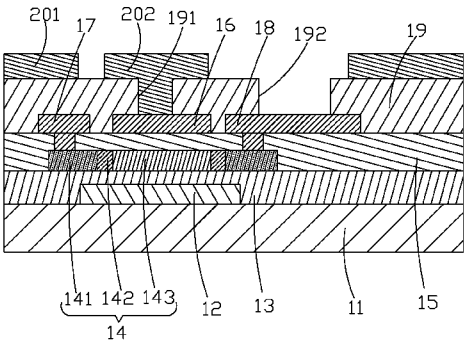

图9

(57) **Abstract**: An array substrate and manufacturing method thereof, wherein a gate (16) and a source and drain (17, 18) are formed in one single metal layer, and a conventional common electrode layer covering an entire surface is divided into two portions. One of said portions is configured to be a common electrode (201), and the other portion is configured to realize signal input scanning of the gate, thereby eliminating a process of forming an insulation layer between layers, and reducing manufacturing process costs. The gate in the array substrate is located in the same metal layer as the source and drain without an inter-layer insulation layer thereb - etween, thereby simplifying the structure and accordingly reducing the manufacturing process costs of the array substrate.

(57) **摘要**: 一种阵列基板及其制备方法，将栅极（16）与源漏极（17，18）制作在同一金属层内，并将传统的整面型的公共电极层分割为两部分，其中一部分用作公共电极（201），另一部分用于实现栅极扫描信号输入，从而减少一道层间绝缘层制程，节省工艺制作成本；该阵列基板的栅极与源漏极位于同一金属层内，栅极与源漏极之间不存在层间绝缘层，结构简化，从而降低了阵列基板的工艺制作成本。

WO 2017/049676 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

阵列基板及其制备方法

技术领域

本发明涉及显示技术领域，尤其涉及一种阵列基板及其制备方法。

背景技术

在显示技术领域，平板显示技术已经逐步取代阴极射线管(Cathode Ray Tube，简称 CRT）显示器。平板显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

薄膜晶体管（Thin Film Transistor，简称 TFT）是目前液晶显示装置（Liquid Crystal Display，简称 LCD）和有源矩阵驱动式有机电致发光显示装置（Active Matrix/Organic Light-Emitting Diode，简称 AMOLED）中的主要驱动元件，直接关系到高性能平板显示装置的发展方向。薄膜晶体管具有多种结构，制备相应结构的薄膜晶体管有源层的材料也具有多种，其中，低温多晶硅 (Low Temperature Poly-silicon，简称 LTPS)材料是其中较为优选的一种，由于低温多晶硅的原子规则排列，载流子迁移率高，对电压驱动式的液晶显示装置而言，低温多晶硅薄膜晶体管由于其具有较高的迁移率，可以使用体积较小的薄膜晶体管实现对液晶分子的偏转驱动，在很大程度上缩小了薄膜晶体管所占的体积，增加透光面积，得到更高的亮度和解析度；对于电流驱动式的有源矩阵驱动式有机电致发光显示装置而言，低温多晶硅薄膜晶体管可以更好的满足驱动电流要求。

因此，基于 LTPS TFT 的显示面板以其优越的高画质、高分辨率、超轻薄及低功耗等性能备受广大消费者喜爱，LTPS 技术正在逐渐取代传统非晶硅（a-Si）TFT 技术，成为新一代显示技术主流。但是现有的 LTPS 阵列基板制作制程复杂，生产制作成本高。

如图 1 所示，传统的互补金属氧化物半导体（Complementary Metal Oxide Semiconductor，CMOS） LTPS TFT 阵列基板，包括基板 110、设于所述基板 110 上的遮光层 120、设于所述基板 110 及遮光层 120 上的缓冲层 130、设于所述缓冲层 130 上的有源层 140、设于所述缓冲层 140 上的栅极绝缘层 150、设于所述栅极绝缘层 150 上的栅极 160、设于所述栅极 160 上的层间绝缘层 170、设于所述层间绝缘层 170 上的源/漏极 180、设于所述源

/漏极 180 上的成平坦层 190、设于平坦层 190 上的公共电极层 200、设于公共电极层 200 上的绝缘层 210、以及设于所属绝缘层 210 上的像素电极 220；图 2 为图 1 的 CMOS 型 LTPS 阵列基板的俯视图，其中，公共电极层 200 为整面型电极；因此，传统的 CMOS 型 LTPS TFT 阵列基板的制作工艺，在栅极 160 形成后需要制作一层间绝缘层 170 用作栅极 160 与源/漏极 180 之间的绝缘层，制作制程复杂，生产成本高。

发明内容

本发明的目的在于提供一种阵列基板的制备方法，将栅极与源漏极制作在同一金属层内，并将传统的整面型的公共电极层分割为两部分，其中一部分用作公共电极，另一部分用于实现栅极扫描信号输入，从而减少一道层间绝缘层制程，节省工艺制作成本。

本发明的目的还在于提供一种阵列基板，栅极与源漏极位于同一金属层内，栅极与源漏极之间不存在层间绝缘层，结构简化，从而降低了工艺制作成本。

为实现上述目的，本发明提供一种阵列基板的制备方法，包括如下步骤：

步骤 1、提供一基板，在所述基板上依次形成遮光层、缓冲层，在所述缓冲层上形成多晶硅层，对所述多晶硅层的两端进行 N 型离子注入，得到位于所述多晶硅层两端的 N 型重掺杂区、及位于两 N 型重掺杂区之间的未掺杂区，在所述多晶硅层上沉积栅极绝缘层；

步骤 2、在所述栅极绝缘层上涂布光刻胶，利用半灰阶掩模板对该光刻胶进行曝光、显影，得到光阻层，所述光阻层上对应所述 N 型重掺杂区上方设有通孔，并且所述光阻层上对应于所述未掺杂区上方的厚度大于其它区域的厚度；

步骤 3、以光阻层为遮蔽层，对所述栅极绝缘层进行干法刻蚀，从而得到位于所述 N 型重掺杂区上方的第一过孔，对所述光阻层进行氧气灰化处理，经氧气灰化处理后，剩余的光阻层位于所述多晶硅层的未掺杂区的上方，且尺寸小于该未掺杂区的尺寸；

步骤 4、以剩余的光阻层为遮蔽层，对所述未掺杂区的两端进行 N 型离子注入，在所述未掺杂区的两端形成 N 型轻掺杂区，定义两 N 型轻掺杂区之间的未掺杂区域为沟道区；去除光阻层，在所述栅极绝缘层上沉积形成金属层，图案化该金属层，得到栅极、源极、及漏极，所述栅极、源极、及漏极不相连，所述源极、及漏极分别通过第一过孔与所述 N 型重掺杂区

相连接;

步骤 5、在所述栅极、源极、及漏极上形成平坦层，通过光刻制程在所述平坦层上形成对应于所述栅极上方的第二过孔、以及对应于所述漏极上方的第三过孔;

步骤 6、在所述平坦层上形成一 ITO 薄膜，图案化该 ITO 薄膜，得到公共电极、及透明电极，所述透明电极通过第二过孔与所述栅极相连接，从而栅极扫描信号可以通过该透明电极输入到栅极上。

所述步骤 2 中，所述半灰阶掩模板包括透光区、半透光区、及遮光区，在曝光过程中，所述透光区对应于所述 N 型重掺杂区上方，所述遮光区对应于所述未掺杂区上方。

所述步骤 4 中，进行沉积金属层之前，还包括对所述基板进行快速热退火处理。

所述缓冲层为由氮化硅薄膜和氧化硅薄膜所组成的叠层结构；所述多晶硅层的材料为低温多晶硅。

还包括步骤 7、在所述公共电极、及透明电极上形成绝缘层，在所述绝缘层上形成像素电极，所述像素电极通过所述平坦层上的第三过孔与漏极相连接。

本发明还提供一种阵列基板，包括基板、设于所述基板上的遮光层、设于所述基板及遮光层上的缓冲层、设于所述缓冲层上的多晶硅层、设于所述多晶硅层上的栅极绝缘层、设于所述栅极绝缘层上的栅极、源极、及漏极、设于所述栅极绝缘层、栅极、源极、及漏极上的平坦层、以及设于所述平坦层上的公共电极与透明电极;

所述多晶硅层包括位于中间的沟道区、及位于两端的 N 型重掺杂区;

所述栅极绝缘层上设有对应于所述 N 型重掺杂区上方的第一过孔，所述平坦层上设有对应于所述栅极上方的第二过孔、及对应于所述漏极上方的第三过孔，所述透明电极通过第二过孔与所述栅极相连接，从而栅极扫描信号可以通过该透明电极输入到栅极上。

所述多晶硅层还包括位于沟道区与 N 型重掺杂区之间的 N 型轻掺杂区；所述源极、及漏极分别通过第一过孔与所述 N 型重掺杂区相连接。

所述栅极、源极、及漏极通过同一金属层经光刻制程制得，所述公共电极与所述透明电极通过同一 ITO 薄膜经光刻制程制得。

所述缓冲层为由氮化硅薄膜和氧化硅薄膜所组成的叠层结构；所述多晶硅层的材料为低温多晶硅。

所述阵列基板还包括设于公共电极与透明电极上的绝缘层、以及设于

所述绝缘层上的像素电极，所述像素电极通过所述平坦层上的第三过孔与漏极相连接。

本发明还提供一种阵列基板，包括基板、设于所述基板上的遮光层、设于所述基板及遮光层上的缓冲层、设于所述缓冲层上的多晶硅层、设于所述多晶硅层上的栅极绝缘层、设于所述栅极绝缘层上的栅极、源极、及漏极、设于所述栅极绝缘层、栅极、源极、及漏极上的平坦层、以及设于所述平坦层上的公共电极与透明电极；

所述多晶硅层包括位于所述多晶硅层两端的 N 型重掺杂区、及位于两 N 型重掺杂区之间的沟道区；

所述栅极绝缘层上设有对应于所述 N 型重掺杂区上方的第一过孔，所述平坦层上设有对应于所述栅极上方的第二过孔、及对应于所述漏极上方的第三过孔，所述透明电极通过第二过孔与所述栅极相连接，从而栅极扫描信号可以通过该透明电极输入到栅极上；

其中，所述多晶硅层还包括位于沟道区与 N 型重掺杂区之间的 N 型轻掺杂区；所述源极、及漏极分别通过第一过孔与所述 N 型重掺杂区相连接；

其中，所述栅极、源极、及漏极通过同一金属层经光刻制程制得，所述公共电极与所述透明电极通过同一 ITO 薄膜经光刻制程制得；

其中，所述阵列基板还包括设于公共电极与透明电极上的绝缘层、以及设于所述绝缘层上的像素电极，所述像素电极通过所述平坦层上的第三过孔与漏极相连接。

本发明的有益效果：本发明提供一种阵列基板及其制备方法，本发明的阵列基板的制备方法，将栅极与源漏极制作在同一金属层内，并将传统的整面型的公共电极层分割为两部分，其中一部分用作公共电极，另一部分用于实现栅极扫描信号输入，从而减少一道层间绝缘层制程，节省工艺制作成本；本发明的阵列基板，栅极与源漏极位于同一金属层内，栅极与源漏极之间不存在层间绝缘层，结构简化，从而降低了阵列基板的工艺制作成本。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。

附图中，

图 1 为现有 CMOS 型低温多晶硅薄膜晶体管阵列基板的结构示意图；

图 2 为图 1 的 CMOS 型低温多晶硅薄膜晶体管阵列基板的俯视图；

图 3 为本发明的阵列基板的制备方法步骤 1 的示意图;
图 4 为本发明的阵列基板的制备方法步骤 2 的示意图;
图 5 为本发明的阵列基板的制备方法步骤 3 的示意图;
图 6 为本发明的阵列基板的制备方法步骤 4 的示意图;
图 7 为本发明的阵列基板的制备方法步骤 4 的俯视示意图;
图 8 为本发明的阵列基板的制备方法步骤 5 的示意图;
图 9 为本发明的阵列基板的制备方法步骤 6 的示意图;
图 10 为本发明的阵列基板的制备方法步骤 6 的俯视示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 3-10，本发明提供一种阵列基板的制备方法，包括如下步骤:

步骤 1、如图 3 所示，提供一基板 11，在所述基板 11 上依次形成遮光层 12、缓冲层 13，在所述缓冲层 13 上形成多晶硅层 14，对所述多晶硅层 14 的两端进行 N 型离子注入，得到位于所述多晶硅层 14 两端的 N 型重掺杂区 141、及位于两 N 型重掺杂区 141 之间的未掺杂区 145，在所述多晶硅层 14 上沉积栅极绝缘层 15。

具体的，所述缓冲层 12 为由氮化硅薄膜和氧化硅薄膜所组成的叠层结构。

具体的，所述多晶硅层 14 的材料为低温多晶硅。

步骤 2、如图 4 所示，在所述栅极绝缘层 15 上涂布光刻胶，利用半灰阶掩模板对该光刻胶进行曝光、显影，得到光阻层 50，所述光阻层 50 上对应所述 N 型重掺杂区 141 上方设有通孔 51，并且所述光阻层 50 上对应于所述未掺杂区 145 上方的厚度大于其它区域的厚度。

具体的，所述半灰阶掩模板包括透光区、半透光区、及遮光区，在曝光过程中，所述透光区对应于所述 N 型重掺杂区 141 上方，用于在所述 N 型重掺杂区 142 上方的栅极绝缘层 15 上形成过孔，所述遮光区对应于所述未掺杂区 145 上方。

步骤 3、如图 5 所示，以光阻层 50 为遮蔽层，对所述栅极绝缘层 15 进行干法刻蚀，从而得到位于所述 N 型重掺杂区 141 上方的第一过孔 151，对所述光阻层 50 进行氧气灰化处理，经氧气灰化处理后，剩余的光阻层 50 位于所述多晶硅层 14 的未掺杂区 145 的上方，且尺寸小于该未掺杂区 145 的尺寸。

步骤 4、如图 6 所示，以剩余的光阻层 50 为遮蔽层，对所述未掺杂区 145 的两端进行 N 型离子注入，在所述未掺杂区 145 的两端形成 N 型轻掺杂区 142，定义两 N 型轻掺杂区 142 之间的未掺杂区域为沟道区 143；去除光阻层 50，在所述栅极绝缘层 15 上通过物理气相沉积法沉积形成金属层，图案化该金属层，得到栅极 16、源极 17、及漏极 18，所述栅极 16、源极 17、及漏极 18 不相连，所述源极 17、及漏极 18 分别通过第一过孔 151 与所述 N 型重掺杂区 141 相连接；此时，基板的俯视图如图 7 所示。

具体的，所述步骤 4 中，进行沉积金属层之前，还需要对所述基板 11 进行快速热退火（RTA, Rapid Thermal Annealing）处理，以对多晶硅层 14 进行补氢和活化。

步骤 5、如图 8 所示，在所述栅极 16、源极 17、及漏极 18 上形成平坦层 19，通过光刻制程在所述平坦层 19 上形成对应于所述栅极 16 上方的第二过孔 191、及对应于所述漏极 18 上方的第三过孔 192。

步骤 6、如图 9 所示，在所述平坦层 19 上形成一 ITO 薄膜，图案化该 ITO 薄膜，得到公共电极 201、及透明电极 202，所述透明电极 202 通过第二过孔 191 与所述栅极 16 相连接，从而栅极扫描信号可以通过该透明电极 202 输入到栅极 16 上，使得源极 17 与漏极 18 之间导通；此时，基板的俯视图如图 10 所示，具体的，透明电极 202 通过同一行内的第二过孔 191 将该行的栅极 16 进行连接，从而实现栅极扫描信号线的输入，并形成与所述源极 17、及漏极 18 之间的垂直电路。

具体的，所述阵列基板的制作方法还包括步骤 7、在所述公共电极 201、及透明电极 202 上形成绝缘层，在所述绝缘层上形成像素电极，所述像素电极通过所述平坦层 19 上的第三过孔 192 与漏极 18 相连接。

请参阅图 9-10，本发明还提供一种阵列基板，包括基板 11、设于所述基板 11 上的遮光层 12、设于所述基板 11 及遮光层 12 上的缓冲层 13、设于所述缓冲层 13 上的多晶硅层 14、设于所述多晶硅层 14 上的栅极绝缘层 15、设于所述栅极绝缘层 15 上的栅极 16、源极 17、及漏极 18、设于所述栅极绝缘层 15、栅极 16、源极 17、及漏极 18 上的平坦层 19、以及设于所述平坦层 19 上的公共电极 201 与透明电极 202；

所述多晶硅层 14 包括位于中间的沟道区 143、位于两端的 N 型重掺杂区 141、以及位于沟道区 143 与 N 型重掺杂区 141 之间的 N 型轻掺杂区 142；

所述栅极绝缘层 15 上设有对应于所述 N 型重掺杂区 141 上方的第一过孔 151，所述平坦层 19 上设有对应于所述栅极 16 上方的第二过孔 191、及对应于所述漏极 18 上方的第三过孔 192，所述透明电极 202 通过第二过孔

191 与所述栅极 16 相连接，从而栅极扫描信号可以通过该透明电极 202 输入到栅极 16 上，使得源极 17 与漏极 18 之间导通。

具体的，所述源极 17、及漏极 18 分别通过第一过孔 151 与所述 N 型重掺杂区 141 相连接。

具体的，所述阵列基板还包括设于公共电极 201 与透明电极 202 上的绝缘层、以及设于所述绝缘层上的像素电极，所述像素电极通过所述平坦层 19 上的第三过孔 192 与漏极 18 相连接。

具体的，所述栅极 16、源极 17、及漏极 18 通过同一金属层经光刻制程制得，所述公共电极 201 与所述透明电极 202 通过同一 ITO 薄膜经光刻制程制得;

具体的，本发明的阵列基板为 CMOS 型低温多晶硅薄膜晶体管阵列基板；本发明的阵列基板可用于 IPS（In-Plane Switching，平面转换）型液晶显示装置、或者 FFS (Fringe Field Switching，边缘场开关)型液晶显示装置。

具体的，所述缓冲层 12 为由氮化硅薄膜和氧化硅薄膜所组成的叠层结构。

具体的，所述多晶硅层 14 的材料为低温多晶硅。

综上所述，本发明提供一种阵列基板及其制备方法，本发明的阵列基板的制备方法，将栅极与源漏极制作在同一金属层内，并将传统的整面型的公共电极层分割为两部分，其中一部分用作公共电极，另一部分用于实现栅极扫描信号输入，从而减少一道层间绝缘层制程，节省工艺制作成本；本发明的阵列基板，栅极与源漏极位于同一金属层内，栅极与源漏极之间不存在层间绝缘层，结构简化，从而降低了阵列基板的工艺制作成本。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种阵列基板的制备方法，包括如下步骤:

步骤 1、提供一基板，在所述基板上依次形成遮光层、缓冲层，在所述缓冲层上形成多晶硅层，对所述多晶硅层的两端进行 N 型离子注入，得到位于所述多晶硅层两端的 N 型重掺杂区、及位于两 N 型重掺杂区之间的未掺杂区，在所述多晶硅层上沉积栅极绝缘层;

步骤 2、在所述栅极绝缘层上涂布光刻胶，利用半灰阶掩模板对该光刻胶进行曝光、显影，得到光阻层，所述光阻层上对应所述 N 型重掺杂区上方设有通孔，并且所述光阻层上对应于所述未掺杂区上方的厚度大于其它区域的厚度;

步骤 3、以光阻层为遮蔽层，对所述栅极绝缘层进行干法刻蚀，从而得到位于所述 N 型重掺杂区上方的第一过孔，对所述光阻层进行氧气灰化处理，经氧气灰化处理后，剩余的光阻层位于所述多晶硅层的未掺杂区的上方，且尺寸小于该未掺杂区的尺寸;

步骤 4、以剩余的光阻层为遮蔽层，对所述未掺杂区的两端进行 N 型离子注入，在所述未掺杂区的两端形成 N 型轻掺杂区，定义两 N 型轻掺杂区之间的未掺杂区域为沟道区；去除光阻层，在所述栅极绝缘层上沉积形成金属层，图案化该金属层，得到栅极、源极、及漏极，所述栅极、源极、及漏极不相连，所述源极、及漏极分别通过第一过孔与所述 N 型重掺杂区相连接;

步骤 5、在所述栅极、源极、及漏极上形成平坦层，通过光刻制程在所述平坦层上形成对应于所述栅极上方的第二过孔、以及对应于所述漏极上方的第三过孔;

步骤 6、在所述平坦层上形成一 ITO 薄膜，图案化该 ITO 薄膜，得到公共电极、及透明电极，所述透明电极通过第二过孔与所述栅极相连接，从而栅极扫描信号可以通过该透明电极输入到栅极上。

2、如权利要求 1 所述的阵列基板的制备方法，其中，所述步骤 2 中，所述半灰阶掩模板包括透光区、半透光区、及遮光区，在曝光过程中，所述透光区对应于所述 N 型重掺杂区上方，所述遮光区对应于所述未掺杂区上方。

3、如权利要求 1 所述的阵列基板的制备方法，其中，所述步骤 4 中，进行沉积金属层之前，还需要对所述基板进行快速热退火处理。

4、如权利要求 1 所述的阵列基板的制备方法，其中，所述缓冲层为由氮化硅薄膜和氧化硅薄膜所组成的叠层结构；所述多晶硅层的材料为低温多晶硅。

5、如权利要求 1 所述的阵列基板的制备方法，其中，还包括步骤 7、在所述公共电极、及透明电极上形成绝缘层，在所述绝缘层上形成像素电极，所述像素电极通过所述平坦层上的第三过孔与漏极相连接。

6、一种阵列基板，包括基板、设于所述基板上的遮光层、设于所述基板及遮光层上的缓冲层、设于所述缓冲层上的多晶硅层、设于所述多晶硅层上的栅极绝缘层、设于所述栅极绝缘层上的栅极、源极、及漏极、设于所述栅极绝缘层、栅极、源极、及漏极上的平坦层、以及设于所述平坦层上的公共电极与透明电极；

所述多晶硅层包括位于所述多晶硅层两端的 N 型重掺杂区、及位于两 N 型重掺杂区之间的沟道区；

所述栅极绝缘层上设有对应于所述 N 型重掺杂区上方的第一过孔，所述平坦层上设有对应于所述栅极上方的第二过孔、及对应于所述漏极上方的第三过孔，所述透明电极通过第二过孔与所述栅极相连接，从而栅极扫描信号可以通过该透明电极输入到栅极上。

7、如权利要求 6 所述的阵列基板，其中，所述多晶硅层还包括位于沟道区与 N 型重掺杂区之间的 N 型轻掺杂区；所述源极、及漏极分别通过第一过孔与所述 N 型重掺杂区相连接。

8、如权利要求 6 所述的阵列基板，其中，所述栅极、源极、及漏极通过同一金属层经光刻制程制得，所述公共电极与所述透明电极通过同一 ITO 薄膜经光刻制程制得。

9、如权利要求 8 所述的阵列基板，其中，所述缓冲层为由氮化硅薄膜和氧化硅薄膜所组成的叠层结构；所述多晶硅层的材料为低温多晶硅。

10、如权利要求 6 所述的阵列基板，其中，所述阵列基板还包括设于公共电极与透明电极上的绝缘层、以及设于所述绝缘层上的像素电极，所述像素电极通过所述平坦层上的第三过孔与漏极相连接。

11、一种阵列基板，包括基板、设于所述基板上的遮光层、设于所述基板及遮光层上的缓冲层、设于所述缓冲层上的多晶硅层、设于所述多晶硅层上的栅极绝缘层、设于所述栅极绝缘层上的栅极、源极、及漏极、设于所述栅极绝缘层、栅极、源极、及漏极上的平坦层、以及设于所述平坦层上的公共电极与透明电极；

所述多晶硅层包括位于所述多晶硅层两端的 N 型重掺杂区、及位于两

N 型重掺杂区之间的沟道区;

所述栅极绝缘层上设有对应于所述 N 型重掺杂区上方的第一过孔，所述平坦层上设有对应于所述栅极上方的第二过孔、及对应于所述漏极上方的第三过孔，所述透明电极通过第二过孔与所述栅极相连接，从而栅极扫描信号可以通过该透明电极输入到栅极上;

其中，所述多晶硅层还包括位于沟道区与 N 型重掺杂区之间的 N 型轻掺杂区；所述源极、及漏极分别通过第一过孔与所述 N 型重掺杂区相连接;

其中，所述栅极、源极、及漏极通过同一金属层经光刻制程制得，所述公共电极与所述透明电极通过同一 ITO 薄膜经光刻制程制得;

其中，所述阵列基板还包括设于公共电极与透明电极上的绝缘层、以及设于所述绝缘层上的像素电极，所述像素电极通过所述平坦层上的第三过孔与漏极相连接。

12、如权利要求 11 所述的阵列基板，其中，所述缓冲层为由氮化硅薄膜和氧化硅薄膜所组成的叠层结构；所述多晶硅层的材料为低温多晶硅。

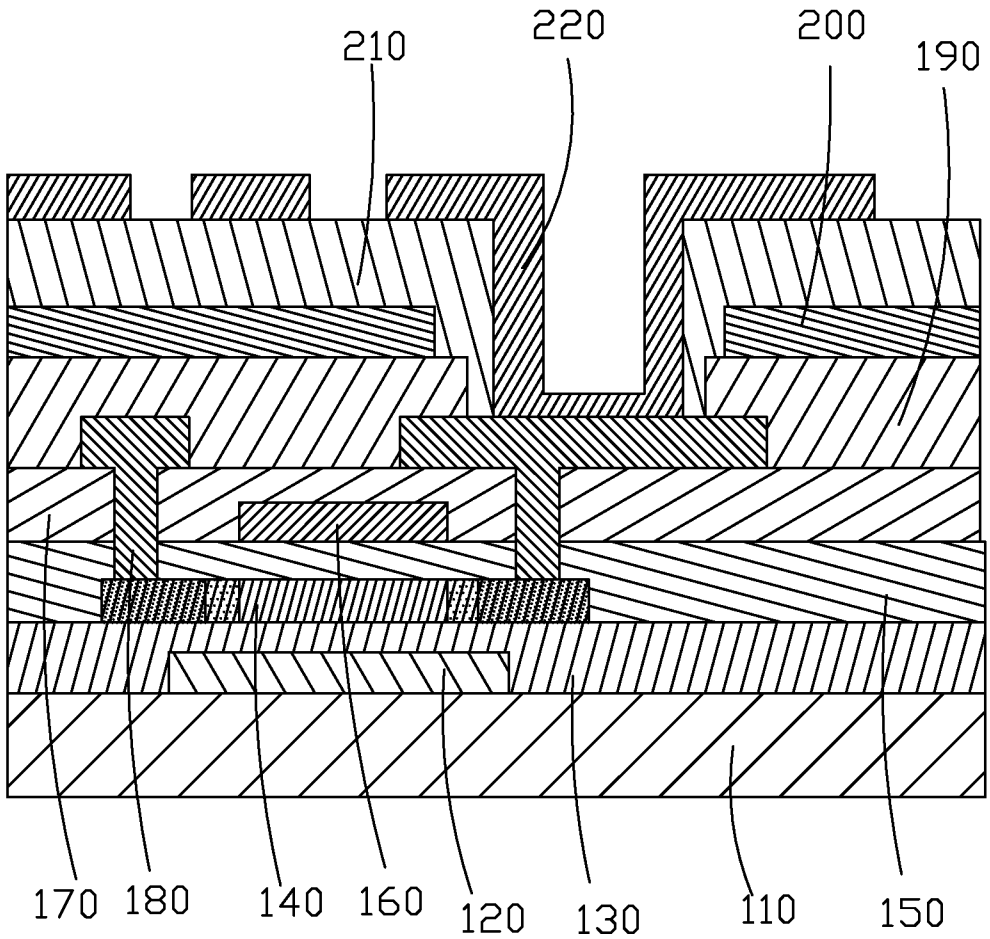

图1

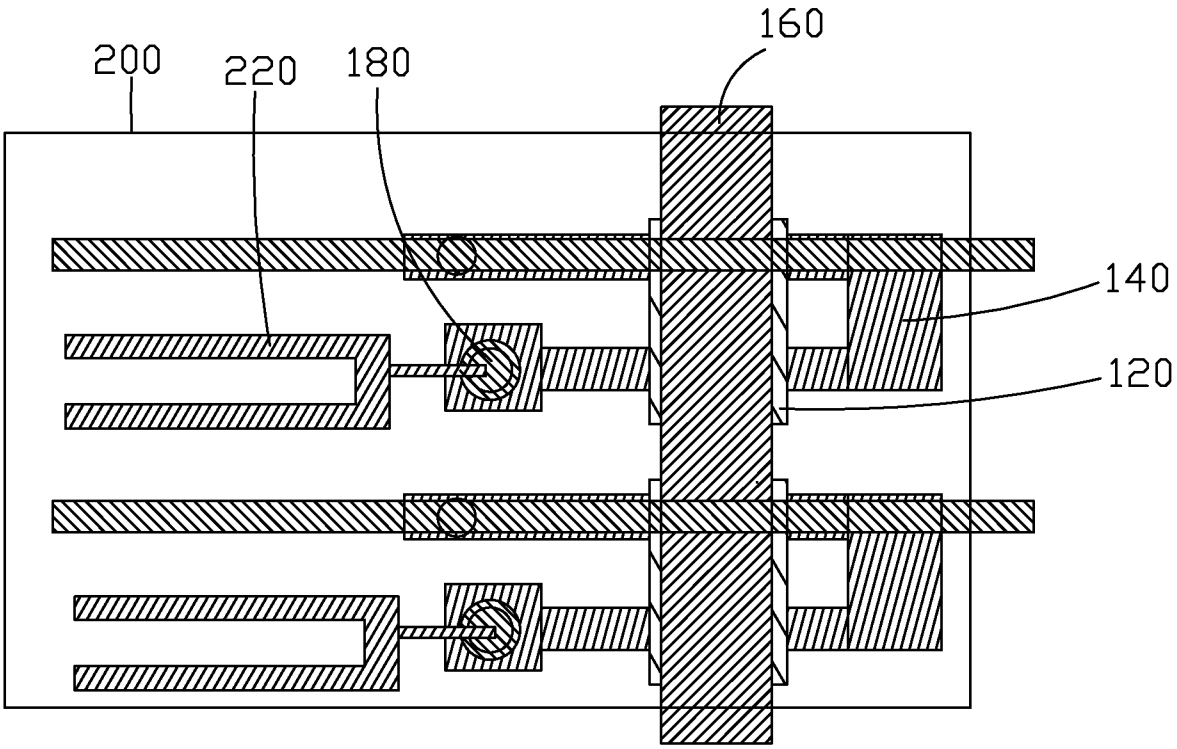

图2

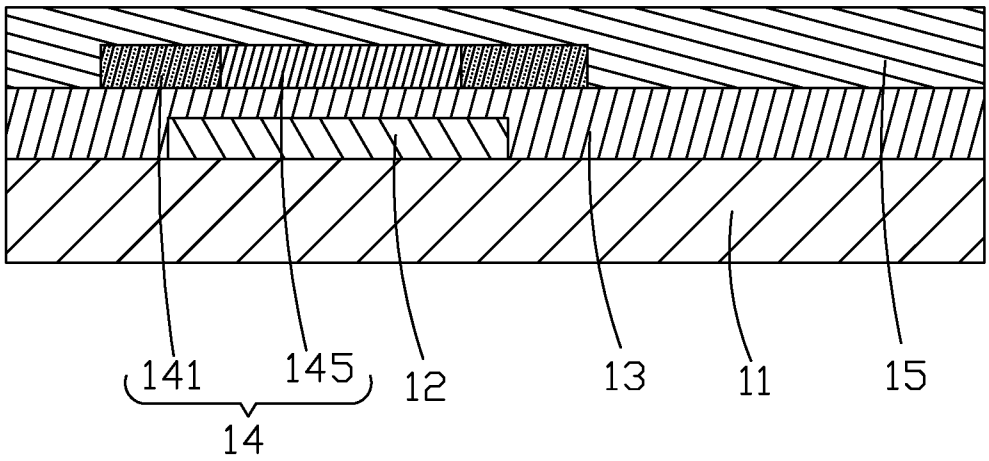

图3

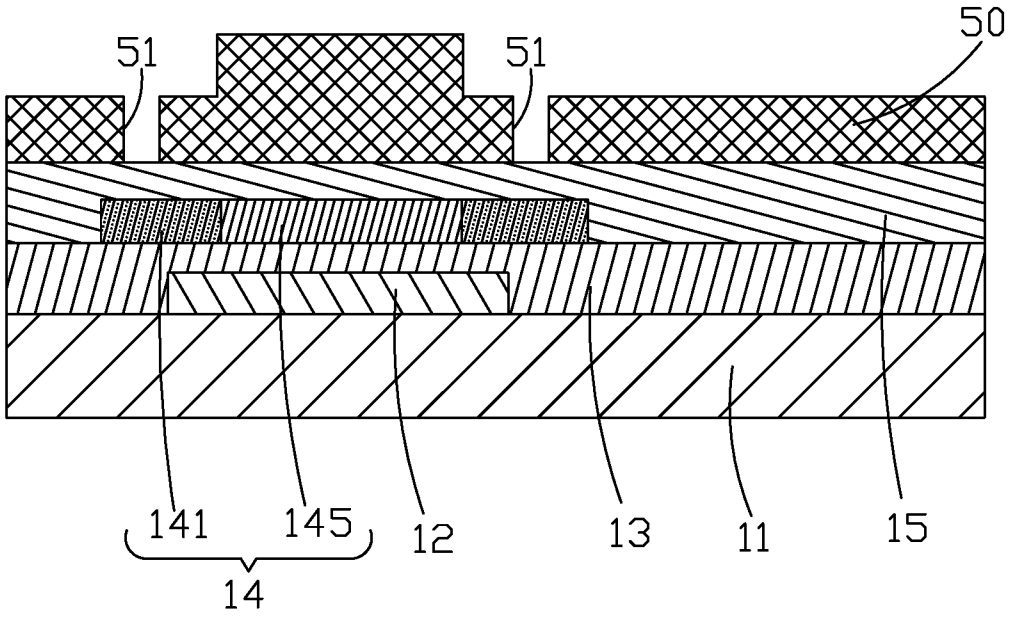

图4

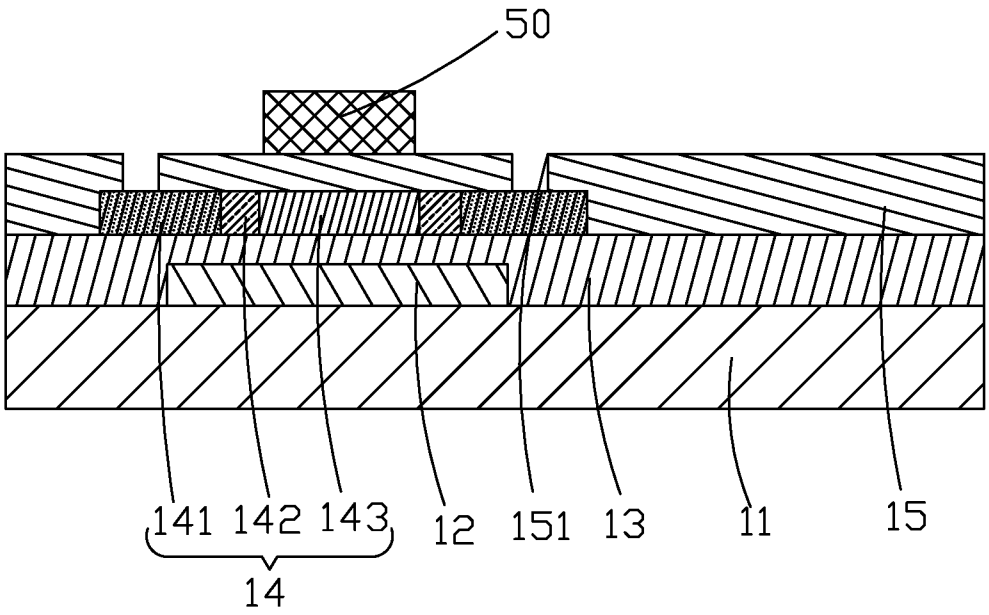

图5

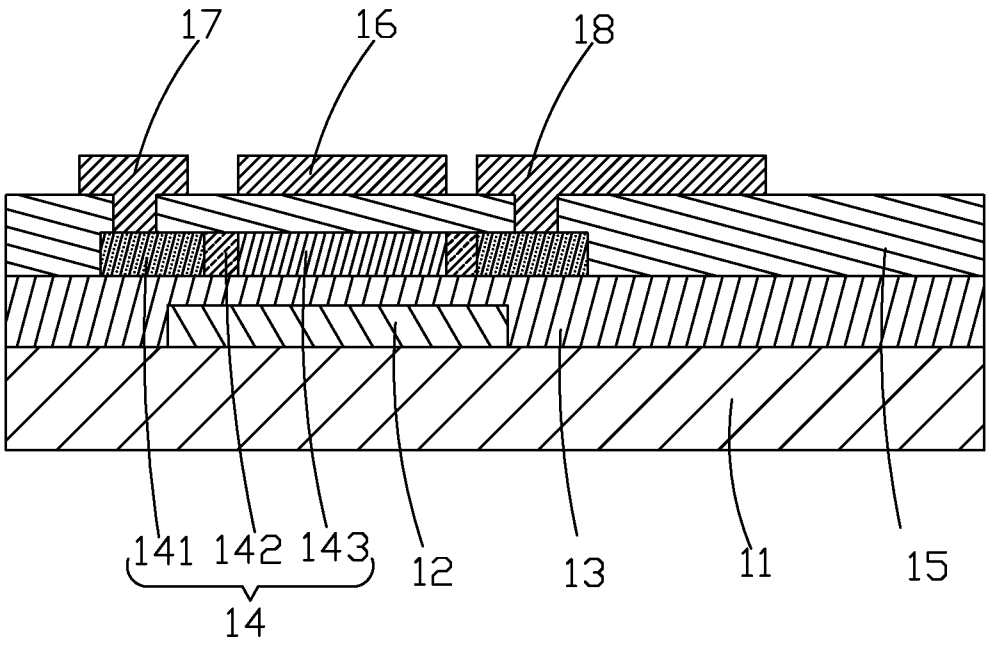

图6

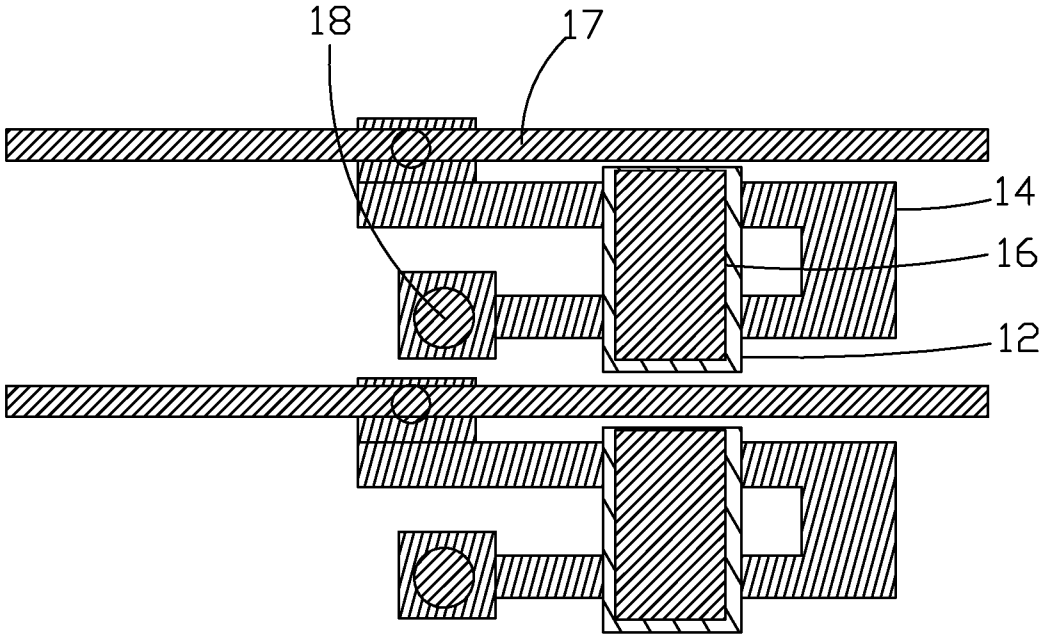

图7

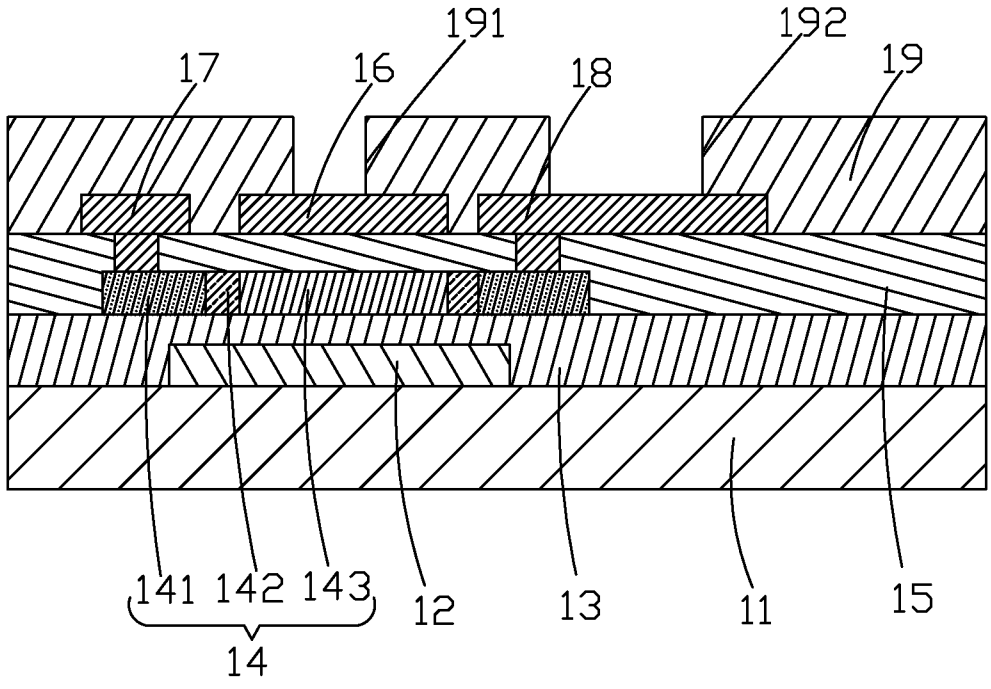

图8

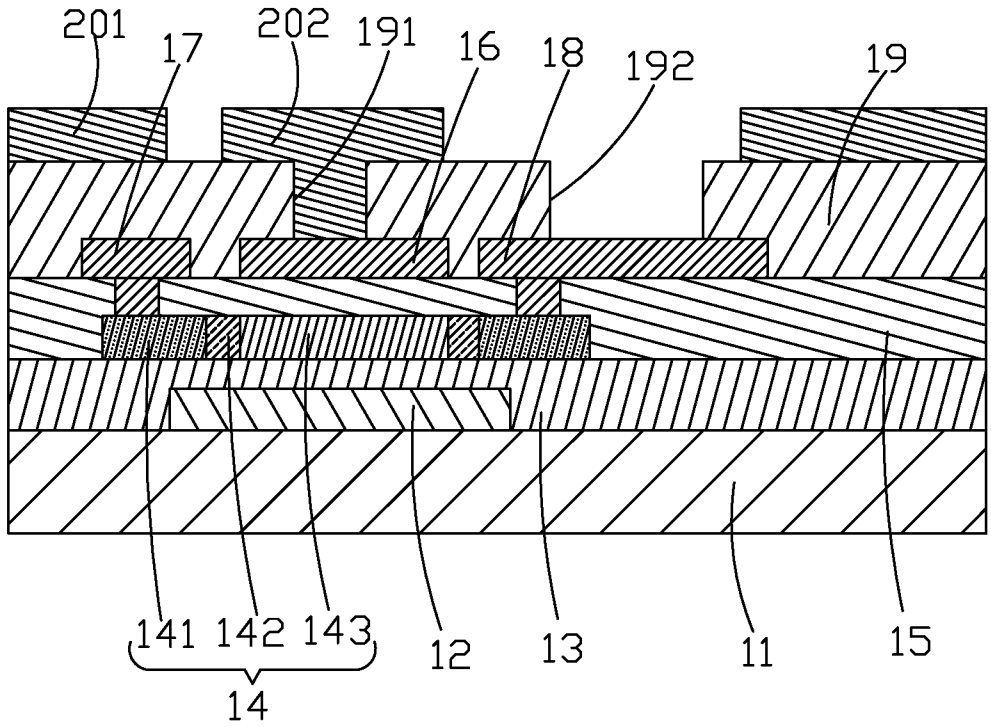

图9

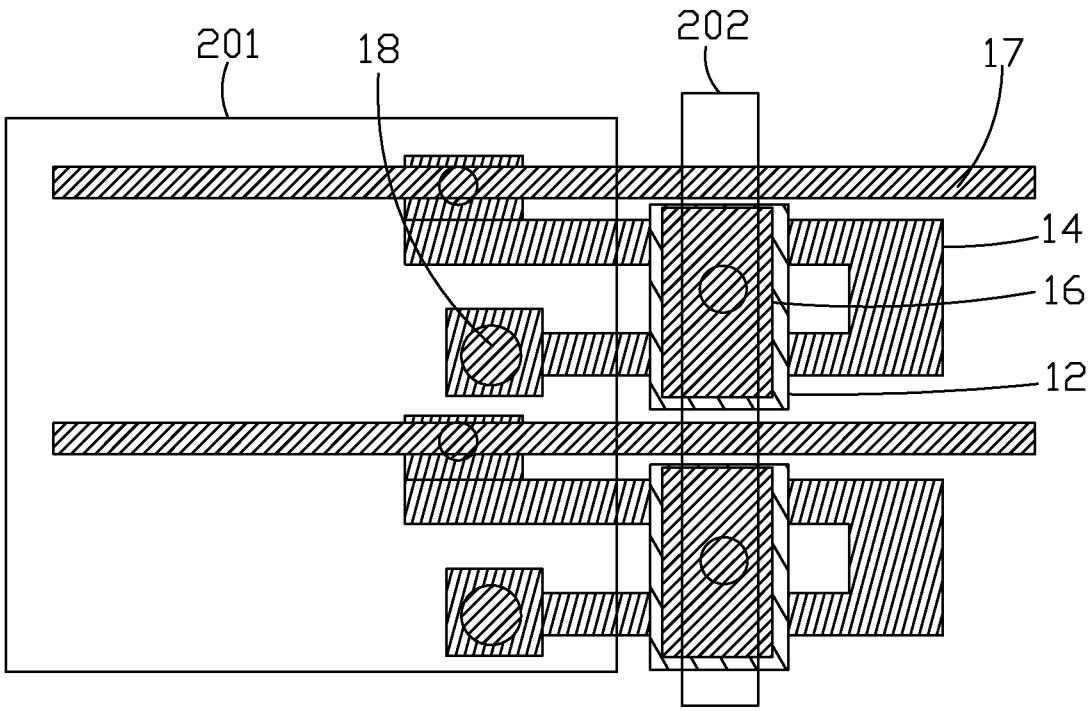

图10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/091807

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i; G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS, CNABS, CNTXT, VEN, USTXT: array, substrate, panel, gate, source, drain, mask, photoresist, scan, common, electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104637955 A (BOE TECHNOLOGY GROUP CO., LTD.), 20 May 2015 (20.05.2015), the whole document	1-12
A	CN 103383946 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 06 November 2013 (06.11.2013), the whole document	1-12
A	CN 103472646 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 25 December 2013 (2013-12 -25), the whole document	1-12
A	CN 104681624 A (SHANGHAI JIAO TONG UNIVERSITY), 03 June 2015 (03.06.2015), the whole document	1-12

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 June 2016 (22.06.2016)	**28 June 2016 (28.06.2016)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **WANG, Xiaofeng** Telephone No.: (86-10) **62089918**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/091807

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104637955 A	20 May 2015	None	
CN 103383946 A	06 November 2013	US 2015028341 A1	29 January 2015
		WO 2015003466 A1	15 January 2015
CN 103472646 A	25 December 2013	WO 2015027590 A1	05 March 2015
		US 2015311232 A1	29 October 2015
		EP 2881785 A1	10 June 2015
		KR 20150034121 A	02 April 2015
CN 104681624 A	03 June 2015	None	

国际检索报告

国际申请号
PCT/CN2015/091807

A. 主题的分类

H01L 21/77(2006.01)i; H01L 27/12(2006.01)i; G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CPRSABS;CNABS;CNTXT;VEN;USTXT:阵列，基板，面板，栅，源，漏，掩膜，光刻胶，光阻，扫描，公共，电极; array, substrate, panel, gate, source, drain, mask, photoresist, scan, common, electrode

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 104637955 A (京东方科技集团股份有限公司) 2015年 5月 20日 (2015-05-20) 全文	1-12
A	CN 103383946 A (京东方科技集团股份有限公司 等) 2013年 11月 6日 (2013-11-06) 全文	1-12
A	CN 103472646 A (京东方科技集团股份有限公司 等) 2013年 12月 25日 (2013-12-25) 全文	1-12
A	CN 104681624 A (上海交通大学) 2015年 6月 3日 (2015-06-03) 全文	1-12

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 6月 22日	2016年 6月 28日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 王晓峰 电话号码 (86-10)62089918

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/091807

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104637955	A	2015年 5月 20日		无		
CN	103383946	A	2013年 11月 6日	US	2015028341	A1	2015年 1月 29日
				WO	2015003466	A1	2015年 1月 15日
CN	103472646	A	2013年 12月 25日	WO	2015027590	A1	2015年 3月 5日
				US	2015311232	A1	2015年 10月 29日
				EP	2881785	A1	2015年 6月 10日
				KR	20150034121	A	2015年 4月 2日
CN	104681624	A	2015年 6月 3日		无		