(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월03일
(11) 등록번호 10-0754442
(24) 등록일자 2007년08월27일

(51) Int. Cl.
H01L 27/105(2006.01)
(21) 출원번호 10-2005-0027168
(22) 출원일자 2005년03월31일
심사청구일자 2005년03월31일
(65) 공개번호 10-2006-0063556
공개일자 2006년06월12일
(30) 우선권주장
JP-P-2004-00351904 2004년12월03일 일본(JP)
(56) 선행기술조사문헌
KR 10200249389
(뒷면에 계속)
전체 청구항 수 : 총 9 항

(73) 특허권자
후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자
다카마츠 도모히로
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1후지쯔 가부시끼가이샤 내
후지키 미츠시
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1후지쯔 가부시끼가이샤 내
(74) 대리인
문기상, 문두현

심사관 : 정병홍

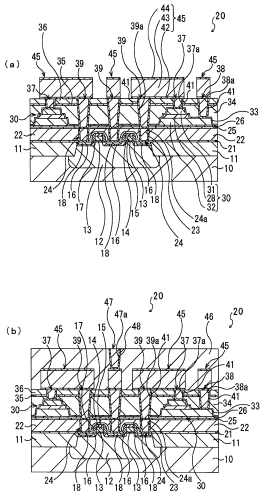
(54) 반도체 장치 및 그 제조 방법

(57) 요 약

본 발명은 우수한 커패시터 특성을 확보하고, 커패시터 구조의 상부 전극에서의 표면 거칠기(roughness)를 억제하며, 신뢰성이 높은 커패시터 구조를 실현하는 것을 과제로 한다.

상부 전극층(29)을 리소그래피 및 그것에 이어지는 건식 에칭에 의해 복수의 전극 형상으로 가공하고, 복수의 상부 전극(31)을 패턴 형성한 후, 처리 온도를 400℃~1000℃ 범위 내의 값, 산소 유량을 0.1L/분~100L/분의 범위 내의 값으로 RTA 처리를 행하고, 계속해서 처리 온도 650℃, 산소 분위기에서 60분간 어닐링 처리를 행함으로써 상기 과제를 해결한다.

대표도 - 도16



(56) 선행기술조사문헌
KR 1020030060253
KR 1020030015000
KR 1020020050368
KR 1020040057623

특허청구의 범위

청구항 1

반도체 기판과,

상기 반도체 기판의 상방에 형성된 하부 전극과 상부 전극에 의해 유전체막을 사이에 끼워서 이루어지는 커패시터 구조를 포함하는 반도체 장치의 제조 방법으로서,

상기 커패시터 구조를 형성할 때에,

상기 하부 전극이 되는 도전층 위에 상기 유전체막을 개재하고 상기 상부 전극을 패턴 형성하는 공정과,

상기 유전체막 위에 상기 상부 전극이 형성된 상태에서, 급속 가열에 의한 제 1 가열 처리를 실시하는 공정과,

상기 제 1 가열 처리 후에, 상기 제 1 가열 처리보다도 가열 시간이 긴 제 2 가열 처리를 실시하는 공정을 포함하고,

상기 상부 전극을 그 결정 입경(粒徑)이 50㎚ 이하가 되도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 상부 전극을 산화이리듐(IrO_x)을 함유하는 재료로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 유전체막을 납(Pb)을 함유하는 재료로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,

적어도 상기 제 1 가열 처리를 산소 분위기에서 행하고, 상기 제 1 가열 처리에서의 산소 유량(流量)을 0.1L/분~100L/분의 범위 내의 값으로 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 가열 처리에서의 처리 온도를 400℃~1000℃의 범위 내의 값으로 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

삭제

청구항 7

제 1 항 또는 제 2 항에 있어서,

복수의 상기 커패시터 구조를 갖는 반도체 칩으로서 구성하고, 상기 반도체 칩의 칩 면적에 대한 복수의 상기 상부 전극이 차지하는 비율을 6% 이하로 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

반도체 기판과,

상기 반도체 기판의 상방에 형성된 하부 전극과 상부 전극에 의해 유전체막을 사이에 끼워서 이루어지는 커패시

터 구조를 포함하고,

상기 상부 전극의 결정 입경이 50nm 이하인 것을 특징으로 하는 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 상부 전극은 산화이리듐(IrO)을 함유하는 재료로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 10

제 8 항 또는 제 9 항에 있어서,

상기 유전체막은 납(Pb)을 함유하는 재료로 하는 것을 특징으로 하는 반도체 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<54> 본 발명은 하부 전극과 상부 전극 사이에 유전체막을 사이에 끼워서 이루어지는 유전체 커패시터 구조를 갖는 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히, 유전체 커패시터 구조가 강유전체를 포함하는 재료로 이루어지는 유전체막을 갖는 강유전체 메모리에 적용하기에 적합하다.

<55> 종래부터, 전원을 꺼도 기억 정보가 소실하지 않는 불휘발성 메모리로서, 플래시 메모리나 강유전체 메모리(FeRAM: Ferro-electric Random Access Memory)가 알려져 있다.

<56> 플래시 메모리는 절연 게이트형 전계 효과 트랜지스터(IGFET)의 게이트 절연막 안에 매립된 부유 게이트를 갖고, 부유 게이트에 기억 정보를 나타내는 전하를 축적함으로써 정보를 기억한다. 정보의 기입, 소거에는 절연막을 통과하는 터널 전류를 흐르게 할 필요가 있으며, 비교적 높은 전압을 필요로 한다.

<57> FeRAM은 강유전체의 히스테리시스 특성을 이용하여 정보를 기억한다. 강유전체막을 1쌍의 전극 사이의 유전체로서 갖는 강유전체 커패시터 구조는 전극 사이의 인가 전압에 따라서 분극이 발생하고, 인가 전압을 제거해도 자발 분극을 갖는다. 인가 전압의 극성을 반전하면, 자발 분극의 극성도 반전한다. 이 자발 분극을 검출하면 정보를 판독할 수 있다. FeRAM은 플래시 메모리에 비해서 저전압으로 동작하고, 전력을 절약하여 고속으로 기입할 수 있는 이점을 갖는다. 종래의 로직 기술에, 이 FeRAM을 탑재한 로직 혼재 칩(SOC:System On Chip)이, IC카드 등의 용도로서 검토되고 있다.

<58> [특허문헌 1] 일본국 특개2002-57297호 공보

<59> [특허문헌 2] 일본국 특개2002-246564호 공보

<60> [특허문헌 3] 일본국 특개2001-210807호 공보

발명이 이루고자 하는 기술적 과제

<61> FeRAM을 제조할 때에, 강유전체막 위에 상부 전극층을 성막할 때나, 이 상부 전극층을 가공해서 상부 전극을 패턴 형성할 때에 발생하는 강유전체막의 손상을 회복시키기 위해서, 상부 전극을 패턴 형성한 후에 가열 처리(어닐링 처리)를 실시하는 것이 필요하다. 그러나, 이 어닐링 처리에 의해, 상부 전극 위에 표면 거칠기(roughness)가 발생하는 경우가 있다. 이 표면 거칠기가 주원인이 되어서, 상부 전극의 접촉(contact)이 불안정해지거나, 상부 전극 사이에 쇼트가 발생하거나, 수율이 저하되는 것과 같은 문제가 있다.

<62> 본 발명은 상기 과제를 감안하여 이루어진 것이며, 우수한 커패시터 특성을 확보하고, 커패시터 구조의 상부 전극에서의 표면 거칠기를 억제하며, 신뢰성이 높은 커패시터 구조를 실현하는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

<63> 본 발명에 따른 반도체 장치의 제조 방법은 반도체 기판과, 상기 반도체 기판 위에 형성된 트랜지스터 구조와, 하부 전극과 상부 전극에 의해 강유전체를 함유하는 재료로 이루어지는 유전체막을 사이에 끼워서 이루어지는 커패시터 구조를 포함하는 반도체 장치의 제조 방법으로서, 상기 커패시터 구조를 형성할 때에, 상기 하부 전극 위에 상기 유전체막을 개재하여 상기 상부 전극을 패턴 형성하는 공정과, 상기 유전체막 위에 상기 상부 전극이 형성된 상태에서, 급속 가열에 의한 제 1 가열 처리를 실시하는 공정과, 상기 제 1 가열 처리 후에, 상기 제 1 가열 처리보다도 가열 시간이 긴 제 2 가열 처리를 실시하는 공정을 포함한다.

<64> 본 발명에 따른 반도체 장치는 반도체 기판과, 상기 반도체 기판 위에 형성된 트랜지스터 구조와, 하부 전극과 상부 전극에 의해, 강유전체를 함유하는 재료로 이루어지는 유전체막을 사이에 끼워서 이루어지는 커패시터 구조를 포함하고, 상기 상부 전극의 결정 입경이 50nm 이하이다.

<65> -본 발명의 기본 골자-

<66> 본 발명자는 강유전체 커패시터 구조를 형성할 때에, 우수한 커패시터 특성을 확보하고, 강유전체 커패시터 구조의 상부 전극에서의 표면 거칠기를 억제하기 위해, 처리 시간 등이 다른 2단계의 어닐링 처리를 실행하는 것에 착상했다. 이하, 상기 2단계의 어닐링 처리에 대해서, 실험적 뒷받침에 근거하는 우위성, 최적의 모든 조건 및 특히 유효한 적용 범위에 대해서 고찰한다.

<67> (실험적 뒷받침에 근거하는 본 발명의 우위성)

<68> 여기에서, 본 발명의 우위성을 뒷받침하기 위한 실험을 행하기 위해서, 이하와 같은 샘플을 제작했다.

<69> 6인치 직경의 실리콘 웨이퍼(도시 생략)를 준비하고, 도 1의 (a)에 나타낸 바와 같이, 우선 이 실리콘 웨이퍼 위에 CVD법에 의해 SiO_2막(7)을 막 두께 1000nm정도로 퇴적하고, SiO_2막(7)의 표면을 화학 기계 연마법(CMP:Chemical Mechanical Polishing)에 의해 연마하여 평탄화한다.

<70> 계속해서, 실리콘 웨이퍼에 처리 온도 650℃, 질소(N_2) 분위기 중에서 30분간의 어닐링 처리를 실시해서 탈가스를 행한 후, 스퍼터링법에 의해 막 두께가 20nm 정도인 Ti막(1) 및 막 두께가 175nm 정도인 Pt막(2)을 차례로 퇴적시키고, Ti막(1) 및 Pt막(2)의 적층 구조로 하부 전극층(3)을 형성한다.

<71> 계속해서, RF스퍼터링법에 의해, 하부 전극층(3) 위에 강유전체인 $Pb(Zr_{1-x}Ti_x)O_3$(PZT: $0 \leq x \leq 1$)로 이루어지는 PZT를 재료로 하는 강유전체막(4)을 막 두께 200nm 정도로 퇴적한다. 그리고, 강유전체막(4)에 급속 가열 처리(Rapid Thermal Anneal: RTA처리)를 실시하여 강유전체막(4)을 결정화한다.

<72> 계속해서, 반응성 스퍼터링법에 의해, 강유전체막(4) 위에 도전성 산화물인 IrO_2를 재료로 하는 상부 전극층(5)을 막 두께 200nm 정도로 퇴적한다. 그리고, 도 1(b)에 나타낸 바와 같이, 이 상부 전극층(5)을 리소그래피 및 그것에 이어지는 건식 에칭에 의해 복수의 전극 형상으로 가공하여, 복수의 상부 전극(6)을 패턴 형성한다. 이렇게, 실리콘 웨이퍼 위에 SiO_2막(7), 하부 전극층(3), 강유전체막(4) 및 복수의 상부 전극(6)이 형성된 상태를 기본적인 샘플로 하여 상기 샘플을 복수 준비한다. 여기서, 상기 샘플로서, 실리콘 웨이퍼에서의 반도체 칩의 표면적에 대한 복수의 상부 전극(6)의 표면적이 차지하는 비율이 20%인 샘플 A와, 0.03%인 샘플 B의 2종류를 준비했다.

<73> 우선, 상부 전극층(5)의 성막시 및 가공시에 강유전체막(4)에 가한 손상을 회복시키는 것을 목적으로 하여, 샘플에 어닐링 처리를 실시한다. 여기에서는 처리 온도 650℃, 산소(O_2) 분위기에서 60분간의 어닐링 처리로 한다. 이 어닐링 처리는 횡형로(爐)를 사용하고, 복수의 샘플에 대하여 동시에 실시한다. 여기에서, 이 어닐링 처리를 행한 샘플과 행하지 않은 샘플에서의 커패시터 특성(Qsw($\mu C/cm^2$))을 비교한 결과를 도 2에 나타낸다. 이 도면으로부터, 상기 어닐링 처리를 행하지 않으면 커패시터 특성이 대폭 저하되어 버리는 것을 알 수 있다. 또한, 이 결과에 대해서는 샘플 A, B에서 차이는 거의 보이지 않는다. 이 결과로부터, 상부 전극(6)을 패턴 형성한 후에 강유전체막(4)의 손상 회복을 목적으로 하는 어닐링 처리는 필수적인 공정이라는 것을 알 수 있다.

<74> 그래서, 샘플 A, B에 상기 어닐링 처리(650℃, 산소 분위기에서 60분간의 어닐링 처리)를 실시하고, 이 후에서의 샘플 A, B의 각 표면 상태에 대해서 현미경 을 이용하여 촬영해서 조사했다. 이 때의 모습을 도 3에 나타낸

다. 샘플 A에서는 (a)에 나타낸 바와 같이, 상부 전극(6)의 결정립 상태는 섬세하고, 하등 문제가 없는 것에 대하여, 샘플 B에서는 (b)에 나타낸 바와 같이, 상부 전극(6)에 이상 결정립 성장에 의한 표면 거칠기가 발생하고 있다. 이 이상 결정립에 기인하여, 인접하는 상부 전극(6) 사이에 쇼트가 발생하고, 수율이 저하할 우려가 있다.

<75> 이 단계에서, 이하의 사실이 판명되었다. 즉, 샘플 A와 같이 반도체 칩의 표면적에 대한 복수의 상부 전극(6)의 표면적이 차지하는 비율이 큰 것에서는 상기 어닐링 처리만에 의해, 상부 전극(6)에 표면 거칠기를 발생시키지 않고 높은 커패시터 특성을 얻을 수 있다. 그것에 대하여, 샘플 B와 같이 반도체 칩의 표면적에 대한 복수의 상부 전극(6)의 표면적이 차지하는 비율이 작은 것에서는 상기 어닐링 처리만으로는 상부 전극(6)에 표면 거칠기가 발생하게 된다. 그래서, 이하의 고찰에서는 표면 거칠기가 발생하는 샘플 B를 그 대상으로 한다.

<76> 계속해서, 샘플 B를 이용하여, 이상 결정립 성장에 의한 표면 거칠기의 정도가 어닐링 처리의 온도에 의존하는 것인지의 여부에 대해서 조사했다. 여기에서는 처리 온도를 350℃, 450℃, 550℃, 650℃로 하고, 상부 전극(6)의 표면 상태에 대해서 현미경을 이용하여 촬영한 모습을 도 4에 나타낸다. (a)의 350℃ 및 (b)의 450℃의 경우에서는 표면 상태에 문제는 없고, (c)의 550℃에서 약간 표면 거칠기가 관찰되며, (d)의 650℃에서는 도 3의 (b)와 마찬가지로, 더욱 표면 거칠기의 정도가 현저해지는 것을 알 수 있다.

<77> 그래서, 도 4의 (a) 내지 (d)의 각 상태에 대해서, 어닐링 처리의 온도가 커패시터 특성에 주는 영향을 조사했다. 도 5에 나타낸 바와 같이, 어닐링 처리 온도가 낮으면 커패시터 특성이 충분히 회복할 수 없다는 것을 알 수 있다. 즉, 높은 커패시터 특성을 얻기 위해서는 650℃ 정도의 높은 처리 온도가 필요하며, 상부 전극(6)에서의 표면 거칠기의 억제와 커패시터 특성의 향상이 양립하도록 하기 위해서는 어닐링 처리의 온도를 조절하는 것만으로는 불가능하다는 것이 판명되었다.

<78> 계속해서, 샘플 B를 이용하여, 어닐링 방법에 의한 영향을 조사하기 위해서, 처리 온도 650℃, 산소 분위기 중에서 1분간의 급속 어닐링 처리(RTA 처리)를 행했다. 상기 어닐링 처리는 1개의 석영 바스켓에 복수매(枚), 예를 들면, 25매의 웨이퍼를 셋트할 수 있는 횡형로에 의해, 노심관(爐心管) 안에 4개의 석영 바스켓을 셋트해서 행해 진다. 이에 대하여, RTA는 석영 챔버 안에 1매씩 웨이퍼가 삽입되는 낱장식(소위, 매엽(枚葉)식)의 로(爐)에 의해 행해 진다.

<79> 이 RTA 처리 전후에서의 상부 전극(6)의 표면 상태에 대해서 현미경을 이용하여 촬영한 모습을 도 6에 나타낸다. (a)의 RTA 처리 전에서의 상부 전극(6)의 표면 상태와, (b)의 RTA 처리 후에서의 상부 전극(6)의 표면 상태에서 표면 상태에 차이는 보이지 않아서, RTA 처리를 실행하면 표면 이상은 발생하지 않는다는 것을 알 수 있다.

<80> 계속해서, 도 6의 (a) 및 (b)의 각 상태에 대해서 커패시터 특성을 조사했다. 도 7에 나타낸 바와 같이, 도 6의 (a)의 RTA 처리가 실시된 경우에는 도 2에 나타낸 어닐링 처리를 행하지 않은 경우보다는 높은 Qsw를 나타내고 있지만, 도 6의 (b)의 횡형로에서 어닐링 처리를 행한 경우보다는 낮은 Qsw를 나타내고 있다.

<81> 그래서, RTA 처리에 계속하여, 커패시터 특성의 회복을 목적으로, 횡형로에서 어닐링 처리를 행했다. 여기에서 RTA 처리는 샘플 B를 이용하고, 처리 온도 650℃ 및 700℃, 산소 유량을 2L/분(2SLM)에서 1분간으로 한 2개의 조건으로 처리를 행하고, 그 후에 횡형로를 이용하여, 산소 분위기에서 60분간의 조건으로 어닐링 처리를 행했다. 이 때의 상부 전극(6)의 표면 상태에 대해서 현미경을 이용하여 촬영한 모습을 도 8에 나타낸다. 도 8에서는 비교를 위해서 (a)에 RTA 처리를 행하지 않은 샘플의 주사형 전자 현미경(SEM)에 의한 사진을 첨부하고 있으며, (b)가 650℃의 RTA 처리, (c)가 700℃의 RTA 처리를 행한 샘플의 사진이다. (a)와 (b) 및 (c)를 비교하면, RTA 처리 및 횡형로를 이용한 어닐링 처리의 2단계의 가열 처리에 의해, 상부 전극(6)의 표면 거칠기가 대폭 경감되어 있는 것을 알 수 있다. 또한, (b)와 (c)를 비교하면, 처리 시간 650℃에서 RTA 처리를 행한 경우와 비교하여, 처리 시간 700℃로 RTA 처리를 행한 경우 쪽이, 보다 매끈한 표면 상태가 되는 것을 알 수 있다.

<82> 계속해서, 도 8의 (a) 내지 (c)의 각 상태에 대해서 커패시터 특성을 조사했다. 도 9에 나타낸 바와 같이, 도 8의 (a)의 횡형로에 의한 어닐링 처리만으로 RTA 처리를 행하지 않은 경우와, 도 8의 (b) 및 (c)의 횡형로에 의한 어닐링 처리에 앞서서 RTA 처리를 행한 경우에는 RTA 처리의 온도에 의존하지 않고, 대략 동일한 Qsw를 나타내고 있다. 따라서, RTA 처리는 커패시터 특성에는 악영향을 주지 않는다는 것을 알 수 있다.

<83> 이상의 결과에 의해, 강유전체 커패시터 구조의 상부 전극이 패턴 형성된 상태에서, 2단계의 어닐링 처리, 즉, 우선 제 1 어닐링 처리로서 낱장식의 로를 이용한 RTA 처리를 행한 후에, 제 2 어닐링 처리로서 횡형로를 이용

한 어닐링 처리를 행함으로써, 표면 거칠기 억제와 양호한 커패시터 특성의 취득이 양립하도록 할 수 있다.

<84> (본 발명의 최적의 모든 조건)

<85> 이하, 본 발명에 의한 2단계의 어닐링 처리의 최적의 모든 조건에 대해서 고찰한다.

<86> 우선, 상기 모든 조건을 탐색할 때에, 상부 전극에 표면 거칠기가 발생하는 원인에 대해서 생각한다. 상기 원인을 추적하기 위해서, 상기와 같이, 실리콘 웨이퍼에서의 반도체 칩의 표면적에 대한 복수의 상부 전극(6)의 표면적이 차지하는 비율이 20%인 샘플 A와, 0.03%인 샘플 B의 2종류의 것을 준비한다. 상기한 바와 같이, 샘플 A에서는 통상의 1회의 어닐링 처리만으로도 표면 거칠기는 발생하지 않는 것에 대하여, 샘플 B에서는 통상의 1회의 어닐링 처리만으로는 표면 거칠기가 발생한다.

<87> X선 광전자 분광 분석법(XPS)을 이용하여, 샘플 A 및 B에서의 각 상부 전극의 표면 조성을 조사했다. 그 결과를 도 10 및 도 11에 나타낸다. 여기에서, 도 10이 어닐링 처리를 실시하지 않은 경우, 도 11이 어닐링 처리만을 실시한 경우이며, 양 도면 모두에 (a)가 샘플 B, (b)가 샘플 A를 사용한 경우를 각각 나타낸다.

<88> 여기에서는 표면 조성 원소 중, 휘발성 원소인 납(Pb)의 비율(atom%)에 착안한다.

<89> 도 10에 나타낸 바와 같이, 어닐링 처리를 실시하지 않은 경우에서는 표면적 점유율의 대소에 관계없이, 동일한 정도의 Pb가 관찰되고 있지만 그 정도는 미미하다. 이에 대하여 도 11에 나타낸 바와 같이, 어닐링 처리를 실시한 경우에는 어느쪽의 표면적 점유율에서도 Pb에 증가가 보이고, 표면적 점유율이 0.03%인 쪽이 20%인 것보다도 Pb의 비율이 높은 것을 알 수 있다. 이것은 어닐링시에 상부 전극이 가공되어서 표면에 노출되어 있는 강유전체막(PZT로 이루어짐)으로부터 증기압이 낮은 Pb가 휘발하고, 이것이 상부 전극의 표면에 부착된 것으로 생각된다. 상부 전극의 표면적 점유율이 20%라는 것은 상부 전극의 가공 후에는 반도체 칩 표면에서 강유전체막이 80% 노출되어 있는 것을 의미하며, 상부 전극의 표면적 점유율이 0.03%라는 것은 상부 전극의 가공 후에는 반도체 칩 표면에서 강유전체막이 99.97% 노출되어 있는 것을 의미한다. Pb의 휘발은 노출되어 있는 강유전체막으로부터 발생하고 있다고 생각되며, 이 노출 면적의 차이에 의해 상부 전극 표면에 부착된 Pb양이 다른 것으로 추측된다. 그리고, 이 과도한 Pb가 상부 전극 재료의 IrO_x와 반응하여, 상부 전극에 표면 거칠기가 발생한다고 생각하는 것이 합리적이다.

<90> 상기 고찰을 근거로 하여, 본 발명에 의한 2단계의 어닐링 처리에 의할 경우에 상부 전극에 표면 거칠기가 발생하지 않는 메커니즘을 고찰한다.

<91> RTA 처리는 그 후의 횡형로에서의 어닐링 처리의 온도 이상의 고온에서 이루어지기 때문에, 상기와 같이, 강유전체막으로부터 Pb의 휘발이 발생한다. 그런데, 이 경우, RTA 처리가 낱장식의 로에서 행해지므로, 웨이퍼 표면에는 끊임없이 분위기 가스인 산소가 유동하고 있기 때문에, Pb의 휘발이 발생해도 이것은 배기(排氣)된다. 즉, 우선 고온의 RTA 처리를 행함으로써, 상기 처리 온도 등에 적당한 양의 Pb가 휘발한다. 휘발한 Pb는 상기한 바와 같이 배기되기 때문에, RTA 처리의 처리 온도 이하의 가열 처리에서는(물론, 처리 시간 등의 조건도 무시할 수 없지만), Pb의 휘발은 거의 발생하지 않는다. 따라서, RTA 처리에 계속되는 커패시터 특성 회복을 위한 어닐링 처리를 횡형로를 사용하여 행하여도, 상기 어닐링 처리의 처리 온도가 RTA 처리의 처리 온도 이하이기 때문에, Pb가 거의 휘발하지 않고, 상부 전극의 표면 거칠기의 발생이 억제되는 것으로 생각된다.

<92> 이상의 고찰로부터, 상부 전극의 표면 거칠기의 발생을 억제하는 RTA 처리의 조건으로서 가장 중요한 것은 휘발한 Pb를 제거하는 기능을 달성하는 장치 내 분위기 가스인 산소 유량과, RTA 처리시에 충분한 양의 Pb를 휘발시키기 위한 처리 온도라고 생각된다.

<93> (1) 산소 유량의 적정 범위에 대해서

<94> 샘플 B를 이용하고, 처리 온도 700℃, 산소 유량 2L/분 및 10L/분에서 1분간의 2개의 조건에서 각각 RTA 처리를 행했다. 이 때의 상부 전극(6)의 표면 상태에 대해서 현미경을 이용하여 촬영한 모습을 도 12에 나타낸다. 여기서, (a)가 산소 유량을 2L/분으로 한 경우의 모습을, (b)가 산소 유량을 10L/분으로 한 경우의 모습을 각각 나타낸다. 도시된 바와 같이, 산소 유량이 많은 쪽이 상부 전극(6)의 표면 상태가 매끈해지는 것이 확인되었다.

<95> 상기 결과를 근거로 하여, 본 발명에서는 상기 RTA 처리의 산소 유량을 0.1L/분~100L/분의 범위 내의 소정값으로 규정한다. 여기에서, 0.1L/분보다 적으면, 강유전체막(4)으로부터 휘발한 Pb를 제거하는 기능을 충분히 달성할 수 없고, 또한, 100L/분이 현재의 장치 구성에서의 한계값이라고 생각된다.

<96> (2) 처리 온도의 적정 범위에 대해서

<97> 샘플 B를 사용하고, 처리 온도 700℃ 및 750℃, 산소 유량 8L/분으로 1분간의 2개의 조건에서 각각 RTA 처리를 행했다. 이 때의 상부 전극(6)의 표면 상태에 대해서 현미경을 이용하여 촬영한 모습을 도 13에 나타낸다. 여기에서, (a)가 처리 온도를 700℃로 한 경우의 모습을, (b)가 처리 온도를 750℃로 한 경우의 모습을 각각 나타낸다. 도시된 바와 같이, 700℃에서는 상부 전극(6)의 표면 상태는 매끈하고 깨끗하지만, 750℃에서는 상부 전극(6)에 보이드와 같은 미세한 구멍이 약간 형성되기 시작하고 있다. 이 정도의 표면 상태이면 하등 문제는 없지만, 더욱 고온이 됨에 따라서 구멍의 형성 정도가 증가할 것으로 생각된다.

<98> 상기 결과를 근거로 하여, 본 발명에서는 상기 RTA 처리의 처리 온도를 400℃~1000℃의 범위 내의 소정값으로 규정한다. 여기에서, 400℃보다 낮으면, 강유전체막(4)으로부터 Pb를 충분히 휘발시킬 수 없고, 1000℃보다 높으면, 구멍의 생성이 현저해져서 소기의 표면 상태를 얻을 수 없게 된다.

<99> 이상의 결과로부터, 강유전체 커패시터 구조의 상부 전극이 패턴 형성된 상태에서, 2단계의 어닐링 처리, 즉, 우선 제 1 어닐링 처리로서 낱장식의 로를 사용한 RTA 처리를 특히 처리 온도 및 산소 유량을 상기한 바와 같이 규정한 조건으로 행한 후에, 제 2 어닐링 처리로서 횡형로를 사용한 어닐링 처리를 행함으로써, 표면 거칠기를 충분하게 억제하고, 양호한 커패시터 특성을 얻을 수 있다.

<100> 상기한 바와 같은 산소 유량 및 처리 온도의 적정 범위 내의 조건에서 2단계의 어닐링 처리를 실행한 경우, 표면 거칠기가 없는 상부 전극을 구성하는 IrO_2의 결정 입경은 50nm 이하가 된다. 이것은 상부 전극의 재료(여기에서는 IrO_2)의 결정 입경이 50nm 이하이면, 즉, 상기 상부 전극은 표면 거칠기가 없는 것을 의미한다.

<101> (본 발명의 우위성이 발휘되는 특히 유효한 적용 범위)

<102> 상기 고찰로부터, 상부 전극을 패턴 형성했을 때에서의 강유전체막의 노출도가 본 발명의 우위성이 발휘되는 지표가 되고, 이 노출도가 소정값 이상에서 본 발명이 큰 효과를 갖고, 소정값보다도 작으면, 커패시터 특성 회복을 위한 어닐링 처리만으로 충분하며, 이 어닐링 처리에 앞서 RTA 처리를 행하지 않더라도 상부 전극에 표면 거칠기는 발생하지 않을 것으로 생각된다.

<103> 그러나, 강유전체막의 노출도는 용이하게 알 수 있는 것이 아니며, 본 발명의 유효한 적용 범위를 나타내는 명확한 기준이라고는 할 수 없다. 그래서, 이러한 본 발명의 유효한 적용 범위를 용이하게 알 수 있는 명확한 기준에 의해 정량적으로 파악하기 위해, 아래와 같이 고찰했다.

<104> 우선, 사용하는 웨이퍼의 사이즈에 착안한다. 상기 예에서는 샘플 A 및 B 모두에 6인치 직경의 실리콘 웨이퍼를 사용했지만, 여기에서는 8인치 직경의 실리콘 웨이퍼를 사용하고, 강유전체 커패시터 구조의 상부 전극을 그 반도체 칩의 표면적에 대한 표면적 점유율이 12%가 되도록 패턴 형성하고, 이 상태를 샘플 C로 한다.

<105> 그리고, 샘플 C를 사용하여, 커패시터 특성 회복을 위해서, 횡형로에 의해, 처리 시간 650℃, 산소 분위기에서 60분간의 어닐링 처리를 실시했다. 그 결과, 도 3의 (b)의 상부 전극의 표면적 점유율이 0.3%인 샘플 B와 마찬가지로 표면 거칠기가 발생했다. 그래서, 본 발명의 2단계의 어닐링 처리, 즉, 650℃에서 1분간, 산소 분위기 중에서 RTA 처리를 실시한 후에, 횡형로의 어닐링 처리를 실시한 경우에는, 표면 거칠기는 관찰되지 않고, 커패시터 특성(Qsw)도 높은 값을 나타냈다.

<106> 이렇게, 커패시터 특성 회복을 위한 어닐링 처리만을 실시하는 경우, 8인치 직경의 웨이퍼에서는 6인치 직경의 것보다도 큰 상부 전극의 표면적 점유율에서도 상부 전극에 표면 거칠기가 발생하는 이유로서는, 상부 전극의 가공 후에 표면에 노출되어 있는 강유전체막의 면적이 6인치 직경의 것보다도 8인치 직경 쪽이 크고, 따라서 동일한 상부 전극의 표면적 점유율에서는 8인치 직경 쪽이 6인치 직경의 것보다도 강유전체막의 노출도가 크기 때문이라고 생각된다.

<107> 이상의 고찰로부터, 본 발명의 말하자면 가장 적용 범위가 좁은 가장 작은 사이즈의 웨이퍼에 의거하여 상부 전극의 표면적 점유율의 상한을 규정하면, 이 상한값을 대략 모든 사이즈의 웨이퍼에 적용할 수 있다고 생각하는 것이 합리적이다. 강유전체 메모리가 적용되는 가장 작은 사이즈의 웨이퍼는 6인치 직경의 것이므로, 이 6인치 직경의 웨이퍼를 사용하여 상부 전극의 표면적 점유율의 상한을 규정하면 된다. 그래서, 상부 전극의 표면적 점유율을 변경하고, 어떤 점유율에서 표면 거칠기가 발생하는 지를 조사한 바, 6%를 경계로 하여 그 값보다도 작으면 표면 거칠기가 발생하고 있는 것을 알았다.

<108> 본 발명에서는 반도체 칩의 표면적에 대한 상부 전극의 표면적 점유율이 6% 이하인 강유전체 메모리를 그 유효

한 적용 범위로 한다.

<109> -본 발명을 적용한 구체적인 실시예-

<110> 이하, 본 발명을 적용한 구체적인 실시예로서, 강유전체 메모리의 구성을 제조 방법과 함께 설명한다.

<111> 도 14 내지 도 16은 본 실시예의 강유전체 메모리의 제조 방법을 공정 순서에 따라 나타내는 개략적인 단면도이다.

<112> 우선, 도 14의 (a)에 나타낸 바와 같이, 실리콘 반도체 기판(10) 위에 선택 트랜지스터로서 기능하는 MOS트랜지스터(20)를 형성한다.

<113> 구체적으로는 실리콘 반도체 기판(10)의 표층에 예를 들면, STI(Shallow Trench Isolation)법에 의해 소자 분리 구조(11)를 형성하고, 소자 활성 영역을 확정한다.

<114> 이어서, 소자 활성 영역에 불순물, 여기서는 B^+를 예를 들면, 도우즈량 $1.0\times10^{13}/cm^2$, 가속 에너지 300keV의 조건에서 이온 주입하고, 웰(12)을 형성한다.

<115> 이어서, 소자 활성 영역에 열산화 등에 의해 막 두께 3nm 정도인 얇은 게이트 절연막(13)을 형성하고, 게이트 절연막(13) 위에 CVD법에 의해 막 두께 180nm 정도의 다결정 실리콘막 및 막 두께 30nm 정도의 예를 들면, 실리콘 질화막을 퇴적하고, 실리콘 질화막, 다결정 실리콘막 및 게이트 절연막(13)을 리소그래피 및 그것에 이어지는 건식 에칭에 의해 전극 형상으로 가공함으로써, 게이트 절연막(13) 위에 게이트 전극(14)을 패턴 형성한다. 이 때 동시에, 게이트 전극(14) 위에는 실리콘 질화막으로 이루어지는 캡막(15)이 패턴 형성된다.

<116> 이어서, 캡막(15)을 마스크로 하여 소자 활성 영역에 불순물, 여기에서는 As^+을 예를 들면, 도우즈량 $5.0\times10^{14}/cm^2$, 가속 에너지 10keV의 조건에서 이온 주입하고, 소위 LDD 영역(16)을 형성한다.

<117> 이어서, 전면에 예를 들면, 실리콘 산화막을 CVD법에 의해 퇴적하고, 이 실리콘 산화막을 소위 에치백함으로써, 게이트 전극(14) 및 캡막(15)의 측면에만 실리콘 산화막을 남겨서 측벽 절연막(17)을 형성한다.

<118> 이어서, 캡막(15) 및 측벽 절연막(17)을 마스크로 하여 소자 활성 영역에 불순물, 여기에서는 P^+를 LDD 영역(16)보다도 불순물 농도가 높아지는 조건, 예를 들면, 도우즈량 $1.0\times10^{15}/cm^2$, 가속 에너지 15keV의 조건에서 이온 주입하고, LDD 영역(16)과 중첩되는 소스/드레인 영역(18)을 형성하여, MOS트랜지스터(20)를 완성시킨다.

<119> 계속해서, 도 14의 (b)에 나타낸 바와 같이, MOS트랜지스터(20)의 보호막(21) 및 제 1 층간 절연막(22)을 형성한다.

<120> 구체적으로는 MOS트랜지스터(20)를 덮도록, 보호막(21) 및 제 1 층간 절연막(22)을 차례로 퇴적한다. 여기서, 보호막(21)으로서는 예를 들면, 실리콘 질화막을 재료로 하여 CVD법에 의해 막 두께 70nm 정도로 퇴적한다. 제 1 층간 절연막(22)으로서는 예를 들면, 플라즈마 SiO막(막 두께 20nm 정도), 플라즈마 SiN막(막 두께 80nm 정도) 및 플라즈마 TEOS(Tetra Ethyl Ortho Silicate)막(막 두께 1000nm 정도)을 차례로 성막한 적층 구조를 형성하고, 적층 후, CMP에 의해 막 두께가 700nm 정도가 될 때까지 연마한다.

<121> 계속해서, 도 14의 (c)에 나타낸 바와 같이, 소스/드레인 영역(18)과 접속되는 제 1 플러그(24)를 형성한다.

<122> 구체적으로는 소스/드레인 영역(18) 표면의 일부가 노출될 때까지, 제 1 층간 절연막(22) 및 보호막(21)을 리소그래피 및 그것에 이어지는 건식 에칭에 의해 가공하여, 예를 들면, 약 0.25㎛ 직경의 비어 홀(24a)을 형성한다. 이어서, 이 비어 홀(24a)의 벽면을 덮도록, 스퍼터링법에 의해 예를 들면, Ti막(막 두께 30nm 정도) 및 TiN막(막 두께 20nm 정도)을 퇴적하고, 하지막(글루막)(23)을 형성한 후, CVD법에 의해 글루막(23)을 개재하여 비어 홀(24a)을 매립하도록 예를 들면, 텅스텐(W)막을 형성한다. 그리고, CMP에 의해 제 1 층간 절연막(22)을 스톱퍼로 하여 W막 및 글루막(23)을 연마하고, 비어 홀(24a) 내를 글루막(23)을 개재하여 W으로 매립하는 제 1 플러그(24)를 형성한다.

<123> 계속해서, 도 14의 (d)에 나타낸 바와 같이, 제 1 플러그(24)의 산화 방지막(25) 및 하부 전극의 배향성 향상막(26)을 형성한다.

<124> 구체적으로는 강유전체 커패시터 구조를 형성할 때의 산소 분위기 중에서의 열 어닐링에 의해, 제 1 플러그(2

4)가 산화하는 것을 방지하기 위해서, 산화 방지막(25)을 성막한다. 산화 방지막(25)으로서는 예를 들면, SiON(막 두께 130nm 정도)과 플라즈마 TEOS(막 두께 130nm 정도)의 적층 구조로 한다. 배향성 향상막(26)으로서는 예를 들면, 실리콘 산화막으로 한다.

<125> 계속해서, 도 14의 (e)에 나타낸 바와 같이, 하부 전극층(27), 강유전체막(28) 및 상부 전극층(29)을 차례로 형성한다.

<126> 구체적으로는 우선, 스퍼터링법에 의해 예를 들면, 막 두께가 20nm 정도인 Ti막 및 막 두께가 150nm 정도인 Pt막을 차례로 퇴적시키고, Ti막 및 Pt막의 적층 구조인 하부 전극층(27)을 형성한다. 이어서, RF스퍼터링법에 의해, 하부 전극층(27) 위에 강유전체인 예를 들면, PZT로 이루어지는 강유전체막(28)을 막 두께 200nm 정도로 퇴적한다. 그리고, 강유전체막(28)에 RTA 처리를 실시하여 상기 강유전체막(28)을 결정화한다. 이어서, 반응성 스퍼터링법에 의해, 강유전체막(28) 위에 예를 들면, 도전성 산화물인 IrO_2를 재료로 하는 상부 전극층(29)을 막 두께 200nm 정도로 퇴적한다. 또한, 상부 전극층(29)의 재료로서, IrO_2 대신에 Ir, Ru, RuO_2, $SrRuO_3$, 그 밖의 도전성 산화물이나 이들의 적층 구조로 할 수도 있다.

<127> 계속해서, 도 15의 (a)에 나타낸 바와 같이, 상부 전극(31)을 패턴 형성한 후, 기판 표면에 본 실시예의 특징인 2단계의 어닐링 처리를 실시한다.

<128> 구체적으로는 우선 상부 전극층(29)을 리소그래피 및 그것에 이어지는 건식 에칭에 의해 복수의 전극 형상으로 가공하고, 복수의 상부 전극(31)을 패턴 형성한다.

<129> 이어서, 상부 전극(31)의 표면 거칠기를 방지하기 위한 제 1 어닐링 처리, 즉, 낱장식의 로를 사용한 RTA 처리를 실시한다. 이 RTA 처리는 예를 들면, 적외선 램프를 사용하여, 처리 온도를 400℃~1000℃의 범위 내의 값, 산소 유량을 0.1L/분~10L/분의 범위 내의 값으로 한다. 여기서는 예를 들면, 처리 온도를 700℃, 산소 유량을 10L/분으로 1분간의 RTA 처리를 실행한다. 또한, 적외선 램프 대신에 예를 들면, 소정의 레이저 등을 사용할 수도 있다.

<130> 이어서, 커패시터 특성을 회복시키기 위한 제 2 어닐링 처리, 즉, 횡형로를 사용한 어닐링 처리를 실시한다. 이 어닐링 처리는 제 1 어닐링 처리인 RTA 처리보다도 저온, 여기에서는 처리 온도 650℃, 산소 분위기에서 60분간 실행한다.

<131> 이렇게, 2단계의 어닐링 처리를 실시함으로써, 상부 전극(31)의 표면 거칠기 방지 및 커패시터 특성의 회복이라는 두 가지의 효과를 충분히 얻을 수 있다.

<132> 계속해서, 도 15의 (b)에 나타낸 바와 같이, 강유전체막(28) 및 하부 전극층(27)을 가공해서 강유전체 커패시터 구조(30)를 형성한다.

<133> 구체적으로는 우선 강유전체막(28)을 상부 전극(31)에 정합시켜서 약간 상부 전극(31)보다도 큰 사이즈가 되도록, 리소그래피 및 그것에 이어지는 건식 에칭에 의해 가공한다.

<134> 이어서, 하부 전극층(27)을 가공된 강유전체막(28)에 조정시켜서 약간 강유전체막(28)보다도 큰 사이즈가 되도록, 리소그래피 및 그것에 이어지는 건식 에칭에 의해 가공하고, 하부 전극(32)을 패턴 형성한다. 이에 따라 하부 전극(32) 위에 강유전체막(28), 상부 전극(31)이 차례로 적층되고, 강유전체막(28)을 통해서 하부 전극(32)과 상부 전극(31)이 용량 결합하는 강유전체 커패시터 구조(30)를 완성시킨다.

<135> 계속해서, 도 15의 (c)에 나타낸 바와 같이, 제 1 보호막(33), 제 2 층간 절연막(34), 제 2 보호막(35) 및 산화막(36)을 형성한다.

<136> 구체적으로는 강유전체 커패시터 구조(30)를 덮도록, 제 1 보호막(33), 제 2 층간 절연막(34), 제 2 보호막(35) 및 산화막(36)을 차례로 적층 형성한다. 여기서, 제 1 보호막(33)은 강유전체 커패시터 구조(30)를 형성한 후의 다층 공정에 의해 상기 강유전체 커패시터(30)가 받는 손상을 억제하기 위한 것이고, 예를 들면, 알루미나를 재료로 하여 스퍼터링법에 의해 막 두께 50nm 정도로 형성한다. 제 2 층간 절연막(34)으로서는 예를 들면, 플라즈마 TEOS막을 막 두께 1400nm 정도로 퇴적한 후, CMP에 의해 막 두께가 1000nm 정도가 될 때까지 연마한다. CMP 후에, 제 2 층간 절연막(34)의 탈수를 목적으로 하여, 예를 들면, N_2O의 플라즈마 어닐링 처리를 실시한다.

제 2 보호막(35)은 후의 다층 공정에 의해 강유전체 커패시터(30)가 받는 손상을 억제하기 위한 것이며, 예를 들면, 알루미나를 재료로 하여 스퍼터링법에 의해 막 두께 50nm 정도로 형성한다. 산화막(36)으로서는 예를 들면, 플라즈마 TEOS막을 막 두께 300nm 정도로 퇴적한다.

<137> 계속해서, 도 15의 (d)에 나타낸 바와 같이, 강유전체 커패시터 구조(30)의 플러그(37, 38) 및 제 1 플러그(24)와 접속되는 제 2 플러그(39)를 형성한다.

<138> 우선, 강유전체 커패시터 구조(30)로의 비어 홀(37a, 38a)을 형성한다.

<139> 구체적으로는 리소그래피 및 그것에 이어지는 건식 에칭으로서, 상부 전극(31) 표면의 일부가 노출될 때까지 산화막(36), 제 2 보호막(35), 제 2 층간 절연막(34), 제 1 보호막(33)에 실시하는 가공 및 하부 전극(32) 표면의 일부가 노출될 때까지 산화막(36), 제 2 보호막(35), 제 2 층간 절연막(34), 제 1 보호막(33)에 실시하는 가공을 동시에 실행하고, 각각의 부위에 예를 들면, 약 0.50㎛ 직경의 비어 홀(37a, 38a)을 동시에 형성한다. 이들 비어 홀(37a, 38a)의 형성시에는 상부 전극(31) 및 하부 전극(32)이 각각 에칭 스톱퍼가 된다.

<140> 이어서, 강유전체 커패시터 구조(30) 형성 후의 여러 공정에 의해 강유전체 커패시터 구조(30)가 받은 손상을 회복하기 위한 어닐링 처리를 행한다. 여기에서는 처리 온도 500℃, 산소 분위기에서 60분간의 어닐링 처리를 실행한다.

<141> 이어서, 제 1 플러그(24)로의 비어 홀(39a)을 형성한다.

<142> 구체적으로는 제 1 플러그(24)를 에칭 스톱퍼로 하여, 상기 제 1 플러그(24) 표면의 일부가 노출될 때까지 산화막(36), 제 2 보호막(35), 제 2 층간 절연막(34), 제 1 보호막(33), 배향성 향상막(26) 및 산화 방지막(25)을 리소그래피 및 그것에 이어지는 건식 에칭에 의해 가공하고, 예를 들면, 약 0.22㎛ 직경의 비어 홀(39a)을 형성한다.

<143> 이어서, 플러그(37, 38) 및 제 2 플러그(39)를 형성한다.

<144> 우선, 일반적인 산화막의 에칭 환산에서 수 10nm, 여기에서는 10nm 정도에 상당하는 RF 사전 처리를 행한 후, 비어 홀(37a, 38a, 39a)의 각 벽면을 덮도록, 스퍼터링법에 의해 예를 들면, TiN막을 막 두께 75nm 정도로 퇴적하고, 하지막(글루막)(41)을 형성한다. 그리고, CVD법에 의해 글루막(41)을 개재하고 비어 홀(37a, 38a, 39a)을 매립하도록 예를 들면, W막을 형성한다. 그 후에 CMP에 의해 산화막(36)을 스톱퍼로 하여 W막 및 글루막(41)을 연마하고, 비어 홀(37a, 38a, 39a) 내를 글루막(41)을 개재하고 W으로 매립하는 플러그(37, 38) 및 제 2 플러그(39)를 형성한다. 여기서, 제 1 및 제 2 플러그(24, 39)는 양자가 전기적으로 접속되어서 이루어지는, 소위 via-to-via 구조로 한다. 이 via-to-via 구조에 의해, 비어 홀 형성의 에칭 마진(margin)이 확장되고, 비어 홀의 어스펙트비가 완화된다.

<145> 계속해서, 도 16의 (a)에 나타낸 바와 같이, 플러그(37, 38), 제 2 플러그(39)와 각각 접속되는 배선(45)을 형성한다.

<146> 구체적으로는 우선, 전면(全面)에 스퍼터링법 등에 의해 배리어 메탈막(42), 배선막(43) 및 배리어 메탈막(44)을 퇴적한다. 배리어 메탈막(42)으로서는 스퍼터링법에 의해 예를 들면, Ti막(막 두께 60nm 정도) 및 TiN막(막 두께 30nm 정도)을 차례로 성막한다. 배선막(43)으로서는 예를 들면, Al합금막(여기에서는 Al-Cu막)을 막 두께 360nm 정도로 성막한다. 배리어 메탈막(44)으로서는 스퍼터링법에 의해 예를 들면, Ti막(막 두께 5nm 정도) 및 TiN(막 두께 70nm 정도)을 차례로 성막한다. 여기서, 배선막(43)의 구조는 동일한 룰의 FeRAM 이외의 로직부와 같은 구조로 하고 있기 때문에, 배선의 가공이나 신뢰성에 대한 문제는 없다.

<147> 이어서, 반사 방지막으로서 예를 들면, SiON막(도시 생략)을 성막한 후, 리소그래피 및 그것에 이어지는 건식 에칭에 의해 반사 방지막, 배리어 메탈막(44), 배선막(43) 및 배리어 메탈막(42)을 배선 형상으로 가공하고, 배선(45)을 패턴 형성한다. 또한, 배선막(43)으로서 Al합금막을 형성하는 대신에, 소위 다마신법 등을 이용해서 Cu막(또는 Cu 합금막)을 형성하고, 배선(45)으로서 Cu 배선을 형성할 수도 있다.

<148> 계속해서, 도 16의 (b)에 나타낸 바와 같이, 제 3 층간 절연막(46) 및 제 3 플러그(47), 또한, 그 상층의 배선 등의 형성을 거쳐서, FeRAM을 완성시킨다.

<149> 구체적으로는 우선, 배선(45)을 덮도록 제 3 층간 절연막(46)을 퇴적하고, 예를 들면, 리플로(reflow) 처리 등에 의해 그 표면을 평탄화한다.

<150> 이어서, 배선(45)과 접속되는 플러그(47)를 형성한다.

<151> 배선(45) 표면의 일부가 노출될 때까지, 제 3 층간 절연막(46)을 리소그래피 및 그것에 이어지는 건식 에칭에 의해 가공하고, 예를 들면, 약 0.22㎛ 직경의 비어 홀(47a)을 형성한다. 이어서, 이 비어 홀(47a)의 벽면을 덮도록, 스퍼터링법에 의해 하지막(글루막)(48)을 형성한 후, CVD법에 의해 글루막(48)을 개재하고 비어 홀(47a)

을 매립하도록 W막을 형성한다. 그리고, 제 3 층간 절연막(46)을 스톱퍼로 하여 예를 들면, W막 및 글루막(48)을 연마하여, 비어 홀(47a) 내를 글루막(48)을 개재하고 W으로 매립하는 플러그(47)를 형성한다.

<152> 그러한 후, 상층의 배선, 층간 절연막 및 플러그를 형성하는 공정을 반복하고, 배선(45)을 포함시켜서 예를 들면, 5층의 배선 구조(도시 생략)를 형성한다. 그 후에 제 1 커버막 및 제 2 커버막(도시 생략)을 성막한다. 이 예에서는 제 1 커버막으로서는 예를 들면, HDP-USG막을 막 두께 720nm 정도로, 제 2 커버막으로서는 예를 들면, 실리콘 질화막을 막 두께 500nm 정도로 각각 퇴적한다. 또한, 5층의 배선 구조에 패드(pad)의 인출을 위한 콘택트를 형성한 후에, 예를 들면, 폴리이미드막(도시 생략)을 성막하고, 패터닝함으로써, 본 실시예의 FeRAM을 완성시킨다.

<153> 이상에서 설명한 바와 같이, 본 실시예에 의하면, 우수한 커패시터 특성을 확보하고, 강유전체 커패시터 구조의 상부 전극에서의 표면 거칠기를 억제하고, 신뢰성이 높은 강유전체 커패시터 구조를 실현하는 FeRAM을 얻을 수 있다.

<154> 이하, 본 발명의 모든 형태를 부기로서 정리하여 기재한다.

<155> (부기 1) 반도체 기판과,

<156> 상기 반도체 기판 위에 형성된 하부 전극과 상부 전극에 의해 유전체막을 사이에 끼워서 이루어지는 커패시터 구조를 포함하는 반도체 장치의 제조 방법으로서,

<157> 상기 커패시터 구조를 형성할 때에,

<158> 상기 하부 전극 위에 상기 유전체막을 개재하여 상기 상부 전극을 패턴 형성하는 공정과,

<159> 상기 유전체막 위에 상기 상부 전극이 형성된 상태에서, 급속 가열에 의한 제 1 가열 처리를 실시하는 공정과,

<160> 상기 제 1 가열 처리 후에, 상기 제 1 가열 처리보다도 가열 시간이 긴 제 2 가열 처리를 실시하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

<161> (부기 2) 상기 상부 전극을 산화이리듐(IrO_x)을 함유하는 재료로 형성하는 것을 특징으로 하는 부기 1에 기재된 반도체 장치의 제조 방법.

<162> (부기 3) 상기 유전체막을 납(Pb)을 함유하는 재료로 형성하는 것을 특징으로 하는 부기 1 또는 2에 기재된 반도체 장치의 제조 방법.

<163> (부기 4) 적어도 상기 제 1 가열 처리를 산소 분위기에서 행하는 것을 특징으로 하는 부기 1 내지 3 중 어느 한 항에 기재된 반도체 장치의 제조 방법.

<164> (부기 5) 상기 제 1 가열 처리에서의 산소 유량을 0.1L/분~100L/분의 범위 내의 값으로 하는 것을 특징으로 하는 부기 4에 기재된 반도체 장치의 제조 방법.

<165> (부기 6) 상기 제 1 가열 처리에서의 처리 온도를 400℃~1000℃ 범위 내의 값으로 하는 것을 특징으로 하는 부기 1 내지 5 중 어느 한 항에 기재된 반도체 장치의 제조 방법.

<166> (부기 7) 상기 상부 전극을 그 결정 입경이 50nm 이하가 되도록 형성하는 것을 특징으로 하는 부기 1 내지 6 중 어느 한 항에 기재된 반도체 장치의 제조 방법.

<167> (부기 8) 복수의 상기 커패시터 구조를 갖는 반도체 칩으로서 구성되고, 상기 반도체 칩의 칩 면적에 대한 복수의 상기 상부 전극이 차지하는 비율이 6% 이하로 하는 것을 특징으로 하는 부기 1 내지 7 중 어느 한 항에 기재된 반도체 장치의 제조 방법.

<168> (부기 9) 반도체 기판과,

<169> 상기 반도체 기판 위에 형성된 하부 전극과 상부 전극에 의해 유전체막을 사이에 끼워서 이루어지는 커패시터 구조를 포함하고,

<170> 상기 상부 전극의 결정 입경이 50nm 이하인 것을 특징으로 하는 반도체 장치.

<171> (부기 10) 상기 상부 전극은 산화이리듐(IrO_x)을 함유하는 재료로 이루어지는 것을 특징으로 하는 부기 9에 기재된 반도체 장치.

<172> (부기 11) 상기 유전체막은 납(Pb)을 함유하는 재료로 이루어지는 것을 특징으로 하는 부기 9 또는 10에 기재된 반도체 장치.

<173> (부기 12) 복수의 상기 커패시터 구조를 갖는 반도체 칩으로서 구성되어 있으며, 상기 반도체 칩의 칩 면적에 대한 복수의 상기 상부 전극이 차지하는 비율이 6% 이하로 되어 이루어지는 것을 특징으로 하는 부기 9 내지 11 중 어느 한 항에 기재된 반도체 장치.

발명의 효과

<174> 본 발명에 의하면, 우수한 커패시터 특성을 확보하고, 강유전체 커패시터 구조의 상부 전극에서의 표면 거칠기를 억제하며, 신뢰성이 높은 강유전체 커패시터 구조를 실현하는 반도체 장치를 얻을 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 우위성을 뒷받침하기 위한 실험을 행하기 위한 샘플을 제작하는 공정을 나타내는 개략적인 단면도.

<2> 도 2는 커패시터 특성을 나타내는 특성도.

<3> 도 3은 상부 전극에서의 각 표면 상태의 SEM에 의한 현미경 사진.

<4> 도 4는 상부 전극에서의 각 표면 상태의 SEM에 의한 현미경 사진.

<5> 도 5는 커패시터 특성을 나타내는 특성도.

<6> 도 6은 상부 전극에서의 각 표면 상태의 SEM에 의한 현미경 사진.

<7> 도 7은 커패시터 특성을 나타내는 특성도.

<8> 도 8은 상부 전극에서의 각 표면 상태의 SEM에 의한 현미경 사진.

<9> 도 9는 커패시터 특성을 나타내는 특성도.

<10> 도 10은 XPS를 이용하여, 상부 전극의 표면 조성을 조사한 결과를 나타내는 도면.

<11> 도 11은 XPS를 이용하여, 상부 전극의 표면 조성을 조사한 결과를 나타내는 도면.

<12> 도 12는 상부 전극에서의 각 표면 상태의 SEM에 의한 현미경 사진.

<13> 도 13은 상부 전극에서의 각 표면 상태의 SEM에 의한 현미경 사진.

<14> 도 14는 본 실시예에 따른 강유전체 메모리의 제조 방법을 공정 순서에 따라 나타내는 개략적인 단면도.

<15> 도 15는 도 14에 계속하여, 본 실시예에 따른 강유전체 메모리의 제조 방법을 공정 순서에 따라 나타내는 개략적인 단면도.

<16> 도 16은 도 15에 계속하여, 본 실시예에 따른 강유전체 메모리의 제조 방법을 공정 순서에 따라 나타내는 개략적인 단면도.

<17> *도면의 주요 부분에 대한 부호의 설명*

<18> 1 : Ti막

<19> 2 : Pt막

<20> 3, 27 : 하부 전극층

<21> 4, 28 : 강유전체막

<22> 5, 29 : 상부 전극층

<23> 6, 31: 상부 전극

<24> 7 : SiO_2막

<25> 10 : 실리콘 반도체 기판

<26> 11 : 소자 분리 구조

<27> 12 : 웰

<28> 13 : 게이트 절연막

<29> 14 : 게이트 전극

<30> 15 : 캡막

<31> 16 : LDD 영역

<32> 17 : 측벽 절연막

<33> 18 : 소스/드레인 영역

<34> 20 : MOS트랜지스터

<35> 21 : 보호막

<36> 22 : 제 1 층간 절연막

<37> 23, 41 : 글루(glue)막

<38> 24 : 제 1 플러그

<39> 24a , 37a , 38a , 39a , 47a : 비어 홀

<40> 25 : 산화 방지막

<41> 26 : 배향성 향상막

<42> 30 : 강유전체 커패시터 구조

<43> 32 : 하부 전극

<44> 33 : 제 1 보호막

<45> 34 : 제 2 층간 절연막

<46> 35 : 제 2 보호막

<47> 36 : 산화막

<48> 37, 38, 47 : 플러그

<49> 39 : 제 2 플러그

<50> 42, 44 : 배리어 메탈막

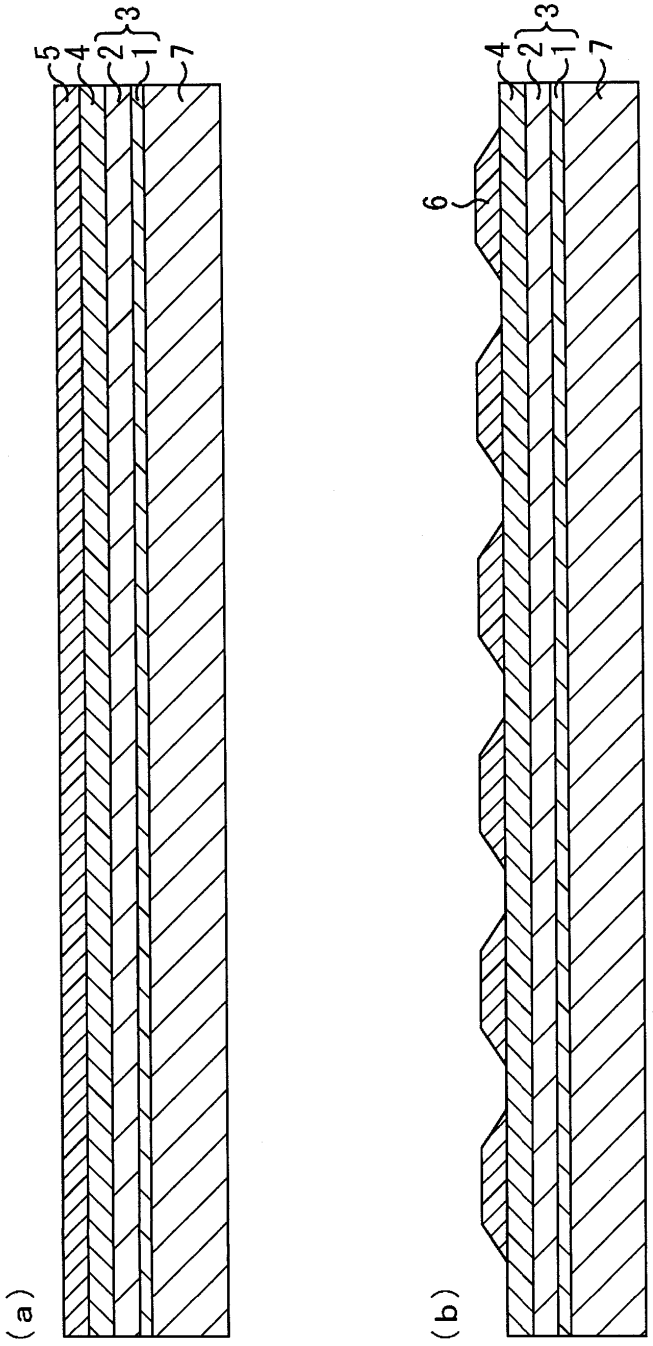
<51> 43 : 배선막

<52> 45 : 배선

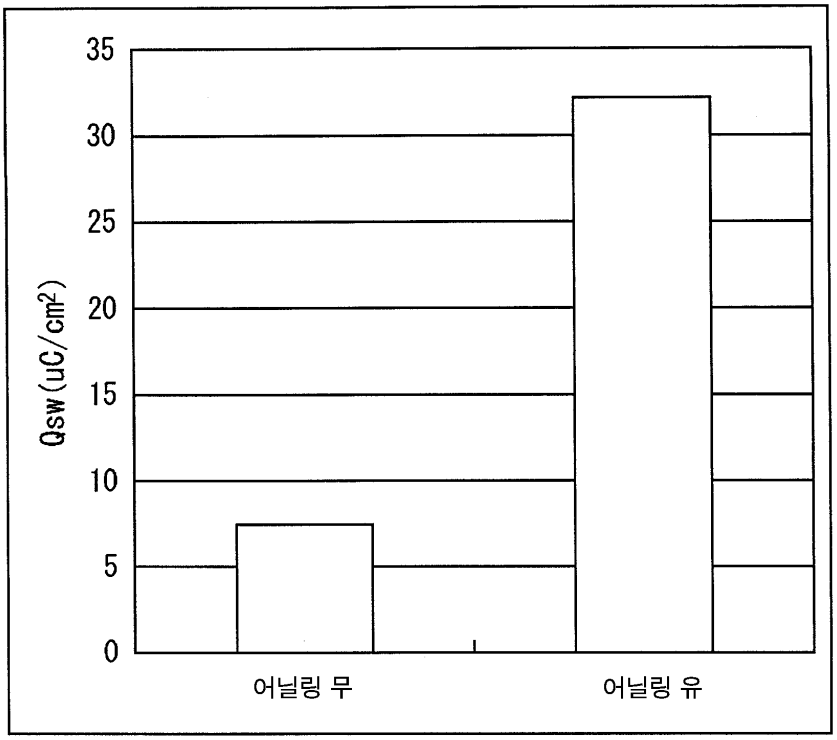
<53> 46: 제 3 층간 절연막

도면

도면1

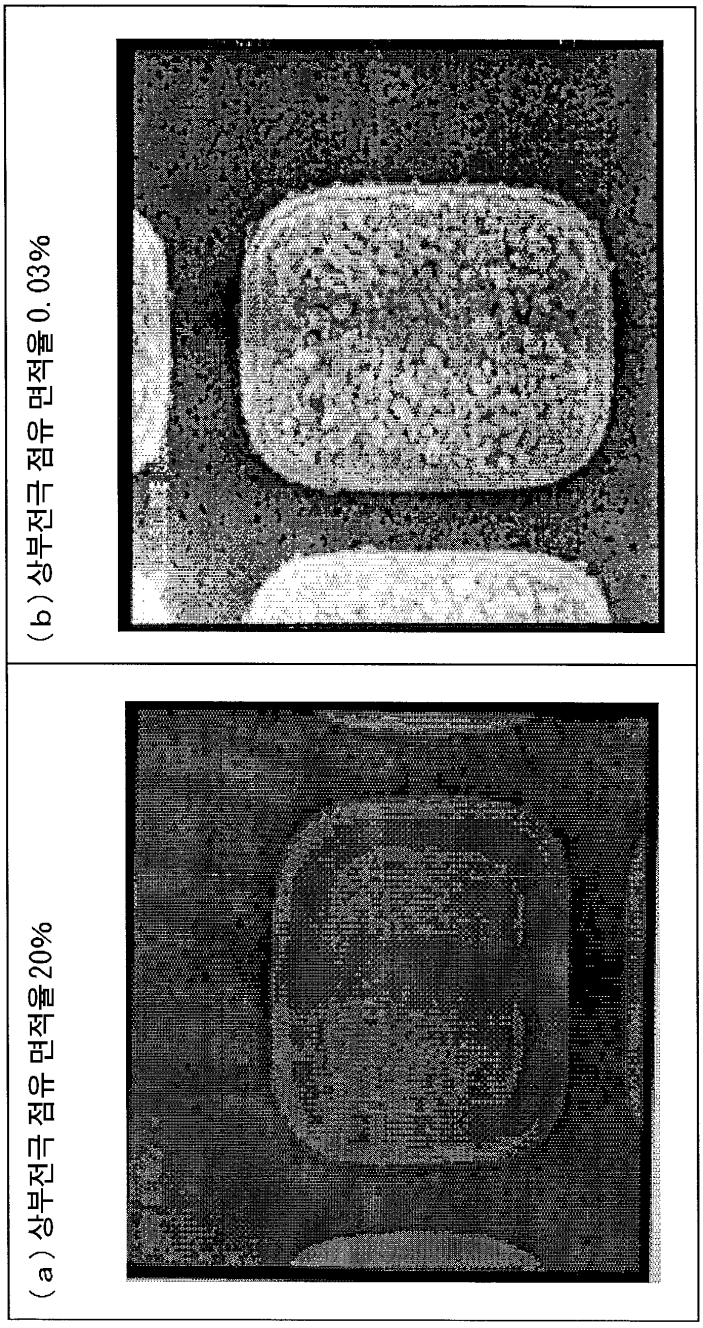


도면2

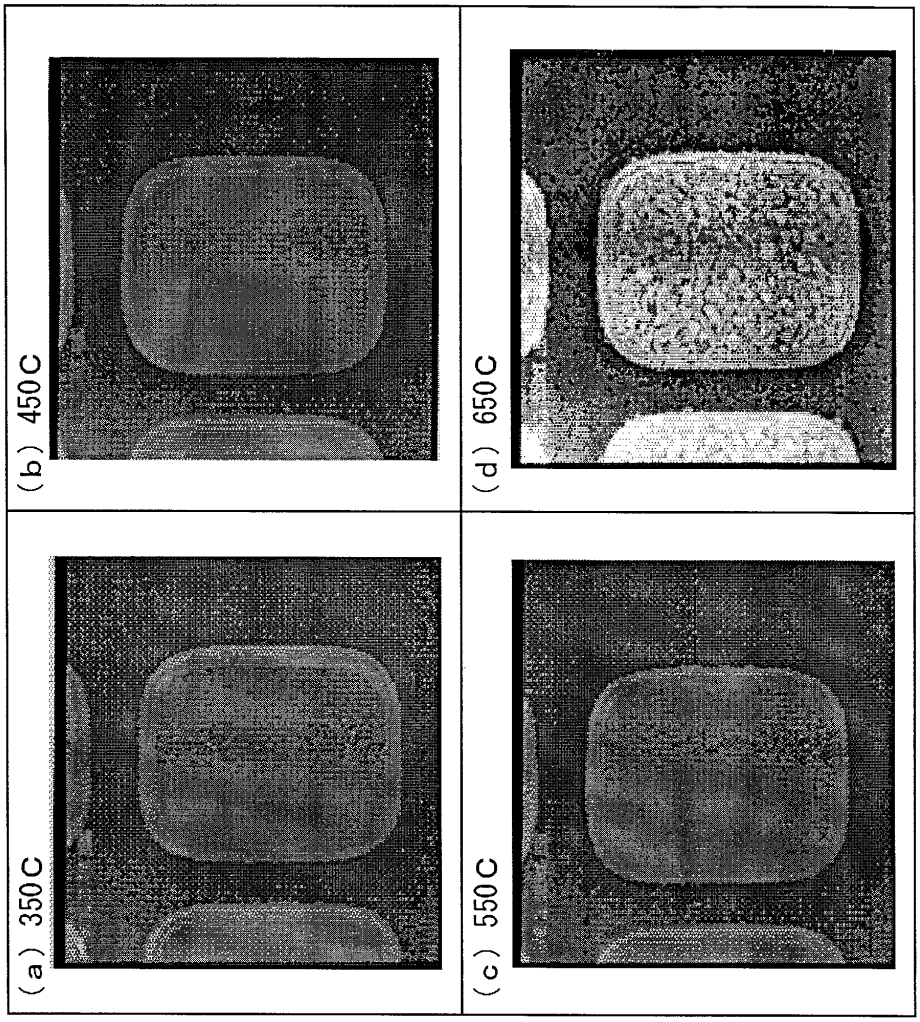


상부전극 가공 후의 어닐링에 의한 영향

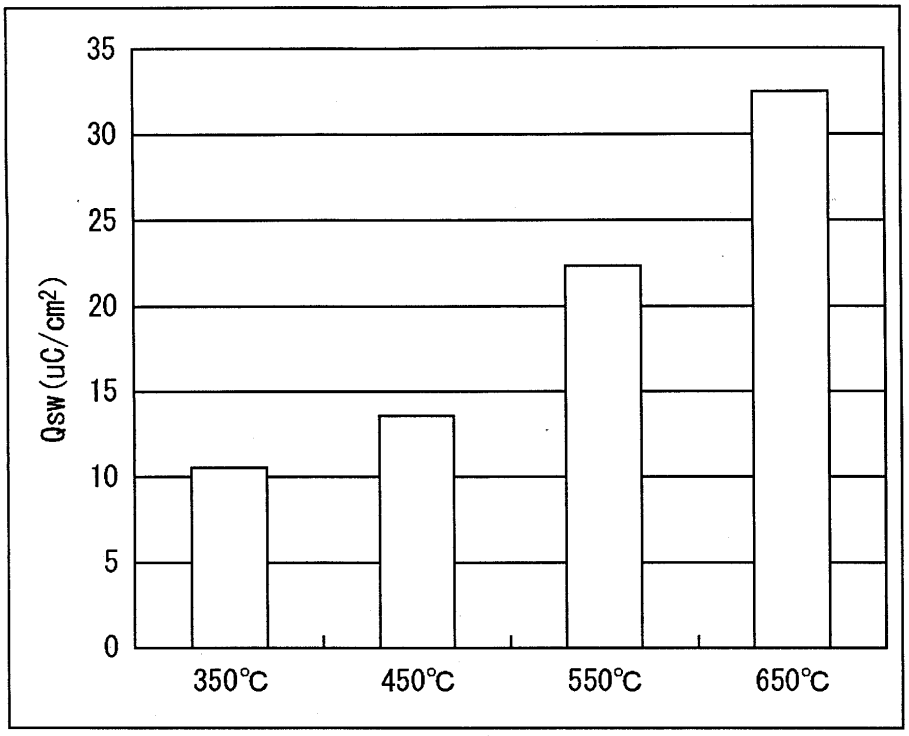
도면3



도면4

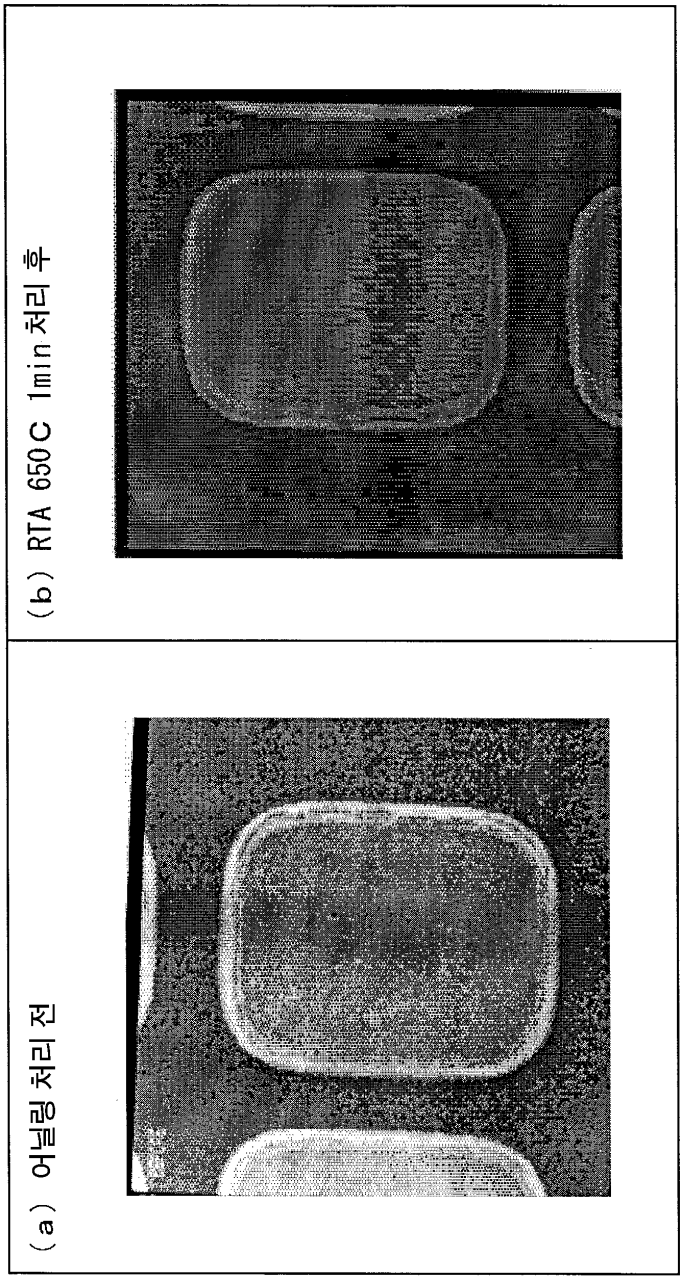


도면5

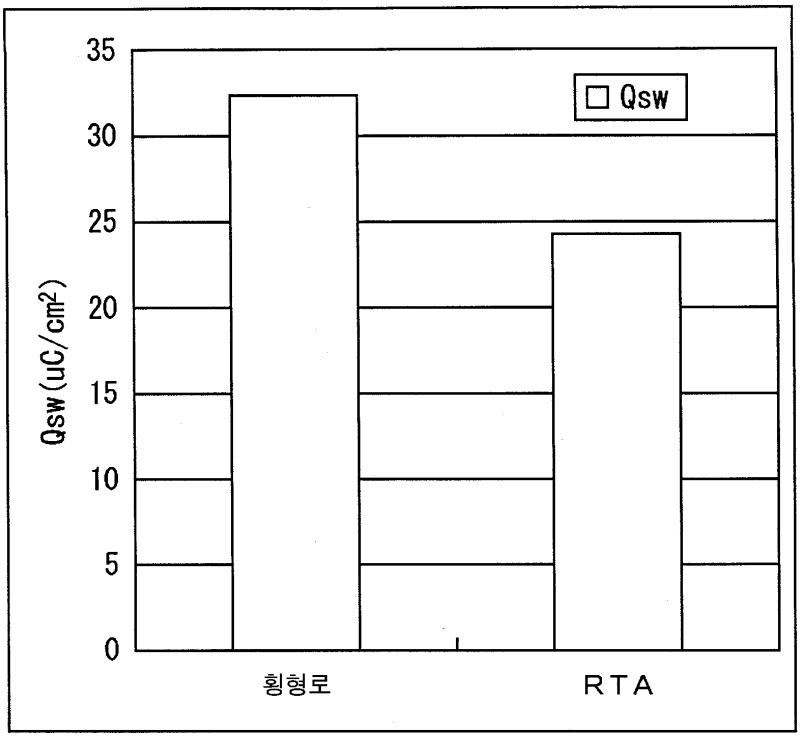


어닐링 처리 온도에 의한 커패시터 특성에의 영향

도면6

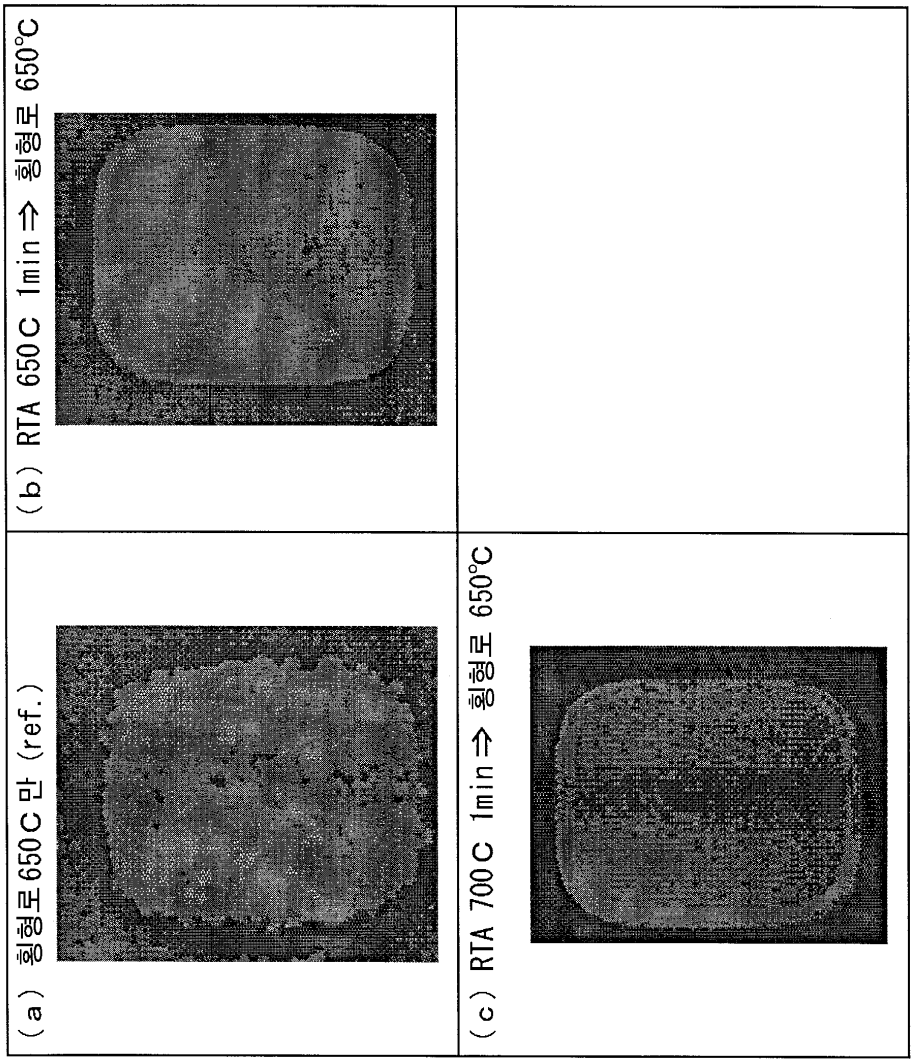


도면7

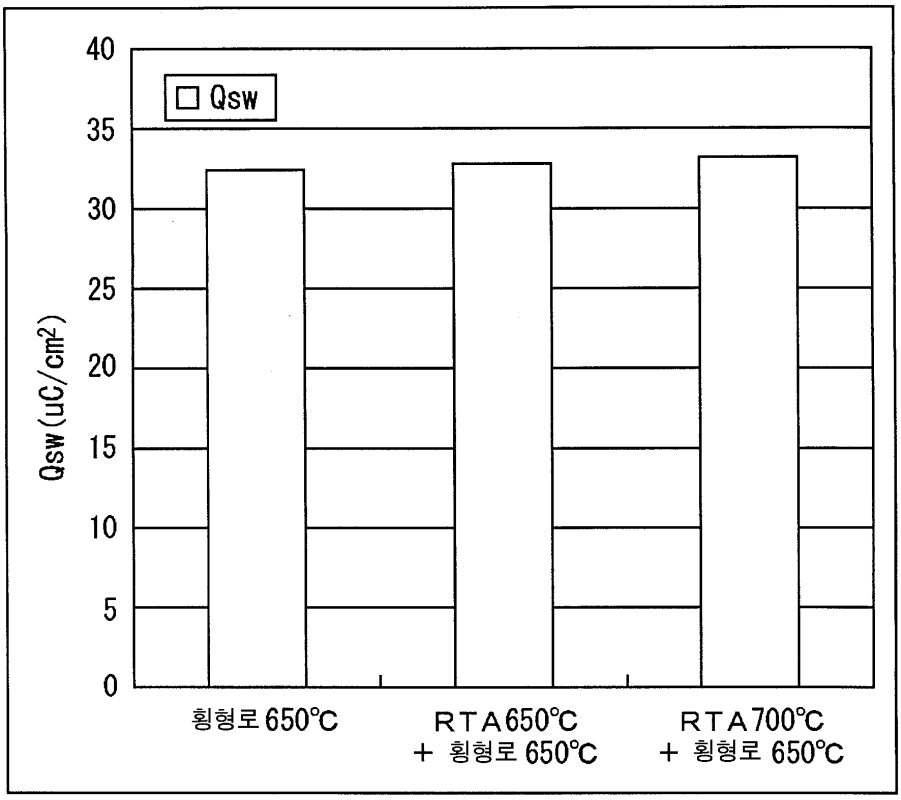


열처리 온도에 의한 커패시터 특성에의 영향

도면8


(a) 횡형로 650C 만 (ref.)
(b) RTA 650C 1min ⇒ 횡형로 650°C
(c) RTA 700C 1min ⇒ 횡형로 650°C

도면9



횡형로에의한 어닐링 처리전에 RTA처리를
행한 경우의 커패시터 특성

도면10

원소	결합 에너지	atom %
O (1s)	532.0	49.00
Ti (2p)	460.0	0.36
C (1s)	285.0	31.49
Cl (2p)	199.0	0.63
Zr (3d)	184.0	0.79
Pb (4f)	139.0	0.54
Ir (4f)	66.0	17.19

(a)

원소	결합 에너지	atom %
O (1s)	532.0	49.00
Ti (2p)	460.0	0.36
C (1s)	285.0	31.49
Cl (2p)	199.0	0.63
Zr (3d)	184.0	0.79
Pb (4f)	139.0	0.54
Ir (4f)	66.0	17.19

(b)

상부전극의 점유 면적 차이에 따른 XPS 결과(회복 어닐링 실시하지 않음)

도면11

원소	결합 에너지	atom %
O (1s)	530.0	41.51
Ti (2p)	453.0	0.05
C (1s)	285.0	33.89
Cl (2p)	198.0	0.66
Zr (3d)	181.0	0.36
Pb (4f)	138.0	5.91
Ir (4f)	65.0	17.63

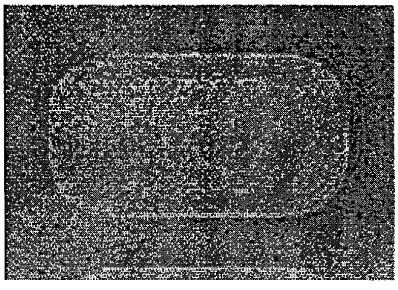
(a)

원소	결합 에너지	atom %
O (1s)	531.0	54.79
Ti (2p)	452.0	0.33
C (1s)	285.0	19.42
Cl (2p)	198.0	0.67
Zr (3d)	183.0	0.90
Pb (4f)	138.0	4.70
Ir (4f)	65.0	19.18

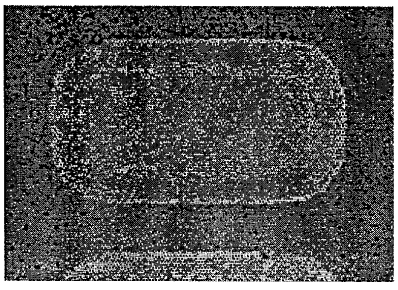
(b)

상부전극의 점유 면적 차이에 따른 XPS결과 (회복 어닐링 실시함)

도면12

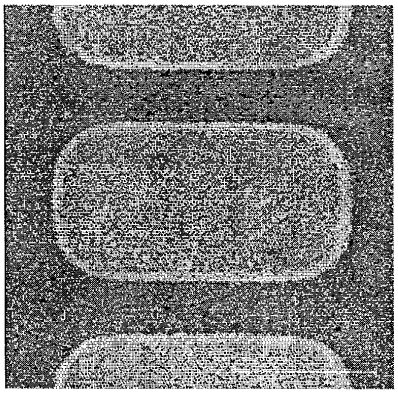


(a)
700℃-2SLM



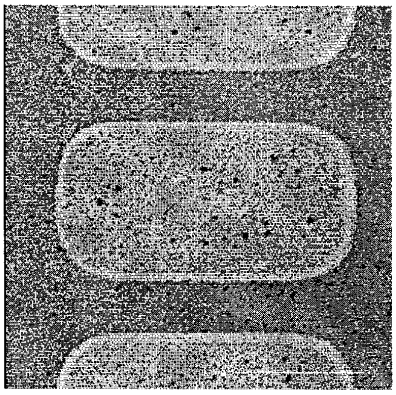
(b)
700℃-10SLM

도면13



(a)

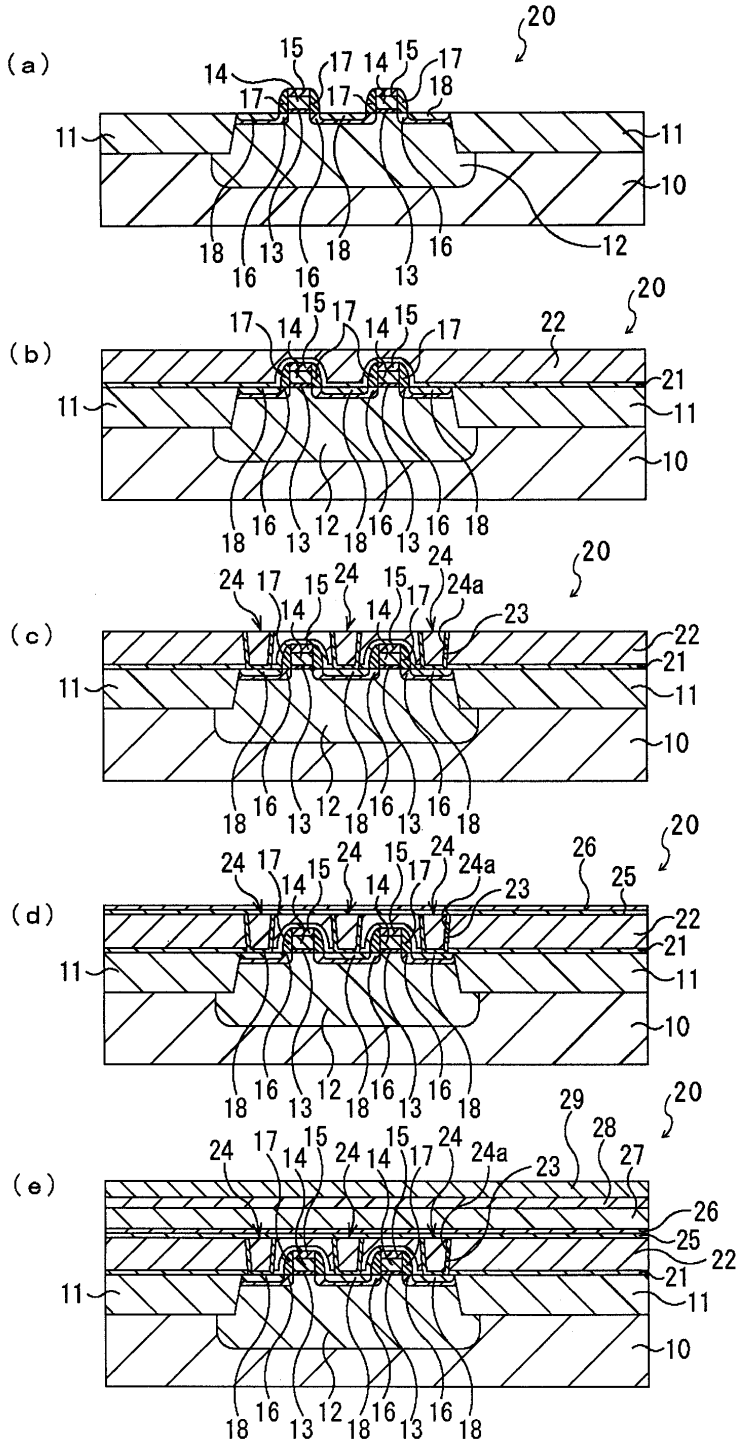
700℃-8SLM



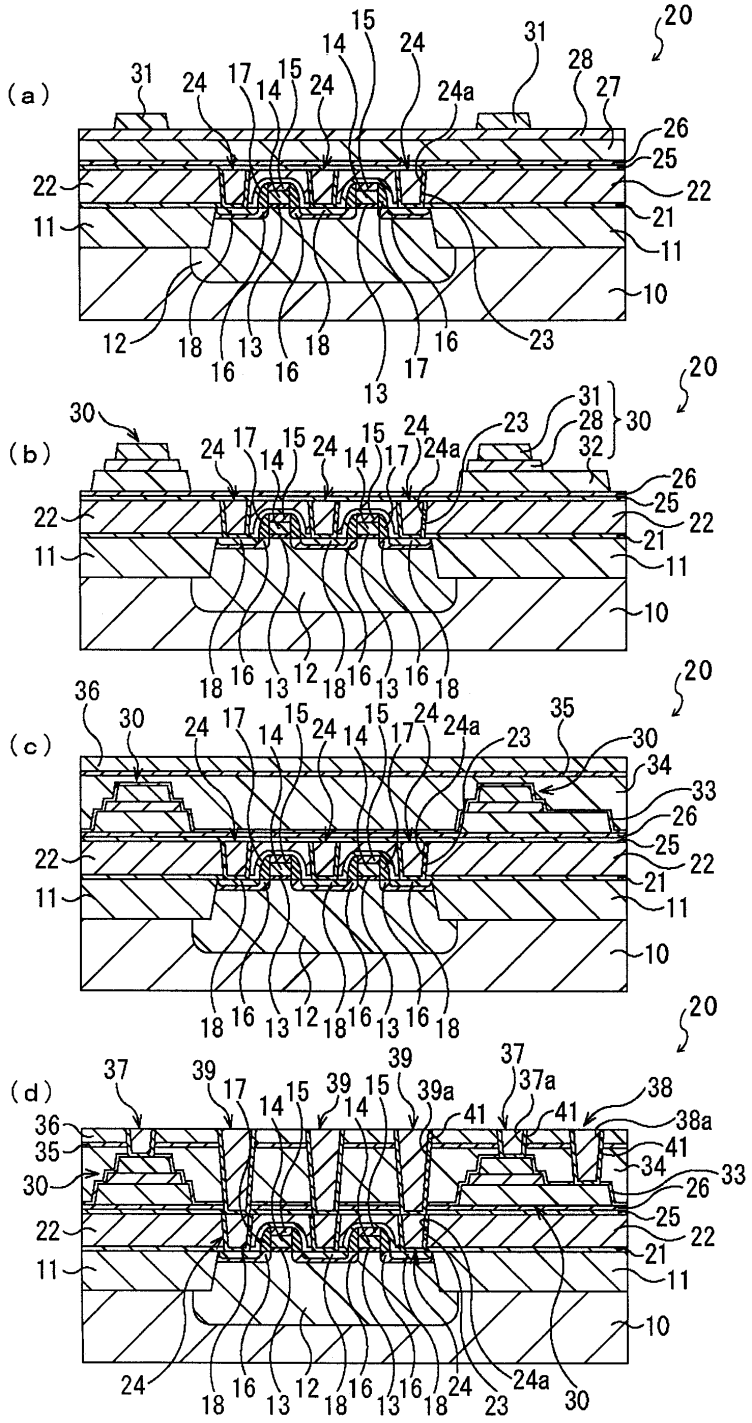
(b)

750℃-8SLM

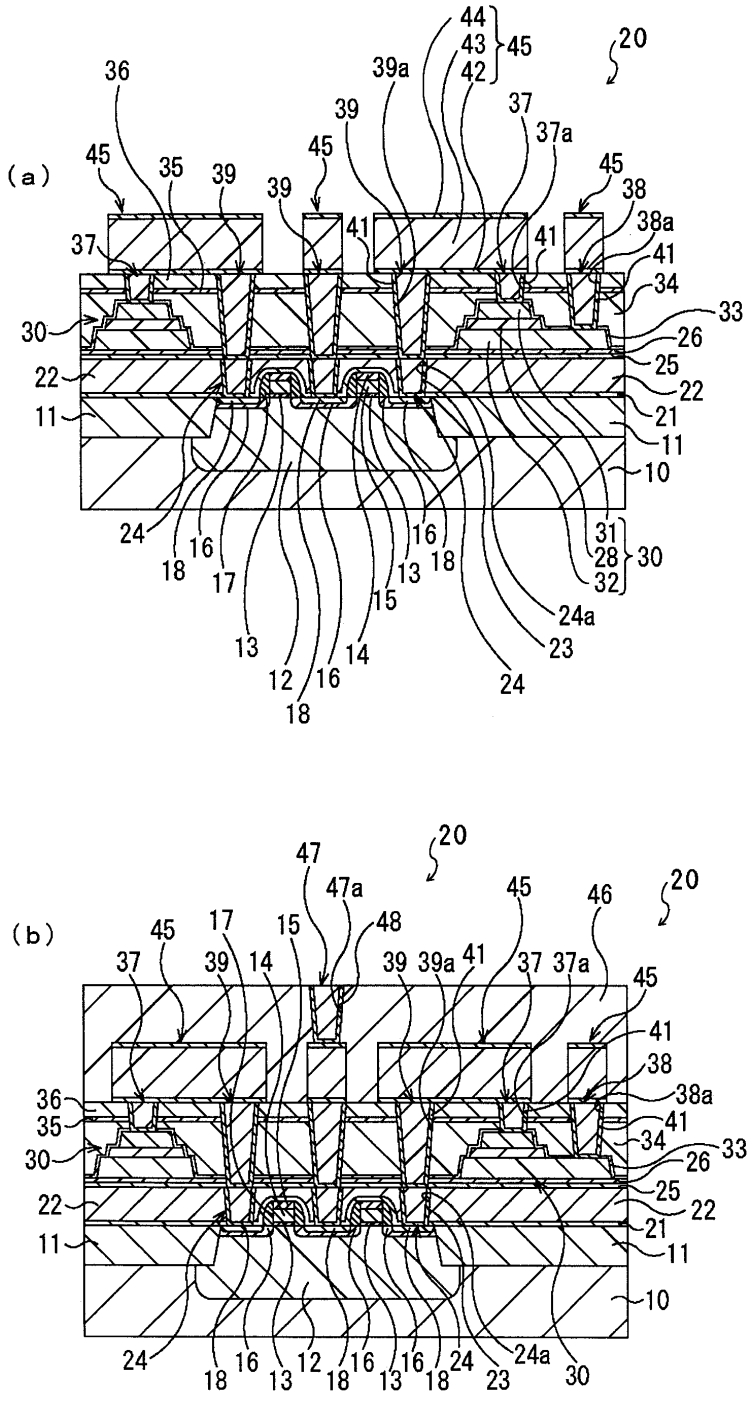
도면14



도면15


(a)
(b)
(c)
(d)
10
11
12
13
14
15
16
17
18
20
21
22
23
24
24a
25
26
27
28
30
31
32
33
34
35
36
37
37a
38
38a
39
39a
41

도면16


(a)
(b)
20
44
43
42
45
36
39a
39
37
37a
35
38
38a
41
34
33
30
26
25
22
11
21
10
24
16
18
17
13
15
14
12
31
28
32
24a
23
47
47a
48
46