



(11) 공개번호 10-2011-0003764

(43) 공개일자 2011년01월13일

(51) Int. Cl.

H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)

(21) 출원번호 10-2009-0061204

(22) 출원일자 2009년07월06일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

황성민

서울특별시 광진구 화양동 36-58

김한수

경기도 수원시 영통구 영통동 청명로 100 삼성래미안아파트 431-601

(뒷면에 계속)

(74) 대리인

리앤목특허법인

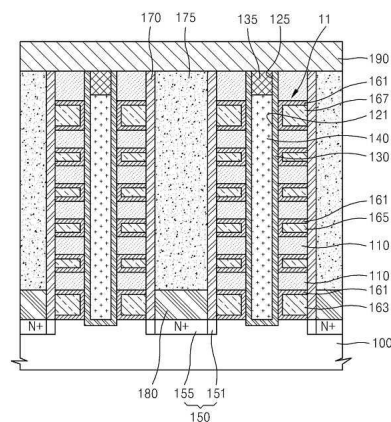
전체 청구항 수 : 총 10 항

(54) 메탈 소스 라인을 갖는 수직 구조의 비휘발성 메모리 소자의 제조방법

(57) 요약

메탈 소오스 라인을 구비하는 수직 구조의 비휘발성 메모리 소자의 제조방법을 개시한다. 반도체 기관의 제1부분들상에 서로 이격되어 배열되는 제1절연성 필라들을 형성하고, 상기 제1절연성 필라들의 양 측벽들에 배열되는 셀 스트링 유니트들을 형성한다. 상기 셀 스트링 유니트들사이의 상기 반도체 기관의 제2부분들에 불순물 영역들을 형성한다. 상기 불순물 영역들의 일부분들상에 상기 셀 스트링 유니트들의 측벽들에 배열되는 스페이서들을 형성한다. 상기 스페이서들사이의 상기 불순물 영역들상에 도전 라인들을 형성한다.

대표도 - 도2a



(72) 발명자

조원석

경기도 수원시 영통구 영통동 황골마을쌍용아파트
246-702

장재훈

경기도 성남시 분당구 수내동 양지마을청구아파트
210-103

특허청구의 범위

청구항 1

반도체 기관의 제1부분들상에 서로 이격되어 배열되는 제1절연성 필라들 및 상기 제1절연성 필라들의 양 측벽들에 배열되는 셀 스트링 유니트들을 형성하고;

상기 셀 스트링 유니트들사이의 상기 반도체 기관의 제2부분들에 불순물 영역들을 형성하며;

상기 불순물 영역들의 일부분들상에 상기 셀 스트링 유니트들의 측벽들에 배열되는 스페이서들을 형성하고; 및

상기 스페이서들사이의 상기 불순물 영역들상에 도전 라인들을 형성하는 것을 포함하는 수직 구조의 비휘발성 메모리 소자의 제조방법.

청구항 2

제 1 항에 있어서, 상기 불순물 영역들을 형성하는 것과 상기 도전 라인들을 형성하는 것 사이에 상기 스페이서들사이의 상기 반도체 기관의 상기 제2부분들로 상기 불순물 영역들과 동일 도전형을 갖는 고농도 불순물 영역들을 형성하는 것을 더 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자의 제조방법.

청구항 3

제 2 항에 있어서, 상기 고농도 불순물 영역들을 형성하는 것과 상기 도전 라인들을 형성하는 것 사이에 상기 스페이서들사이의 상기 반도체 기관의 상기 제2부분들상에 실리사이드층들을 형성하는 것을 더 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자의 제조방법.

청구항 4

제 3 항에 있어서, 상기 도전 라인들을 형성하는 것은 실리사이드층들상에 W, Al 또는 Cu 로부터 선택되는 하나의 메탈막들을 선택적으로 증착하여 형성하는 것을 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자의 제조방법.

청구항 5

제 1 항에 있어서, 상기 셀 스트링 유니트들을 형성하는 것은

상기 제1절연성 필라들의 저면들 및 측면들을 둘러싸며, 상기 반도체기관의 상기 제1부분들과 콘택되는 채널층들을 형성하고; 및

상기 제1도전성 필라들의 양 측벽들에 대응하는 상기 채널층들상에 배열되되, 기관 표면에 대하여 수직하게 배열되는 선택 트랜지스터들의 게이트들 및 상기 선택 트랜지스터들의 게이트들 사이에 배열되는 메모리 셀 트랜지스터들의 게이트들을 형성하는 것을 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자의 제조방법.

청구항 6

제 5 항에 있어서, 상기 도전 라인들을 형성하는 것은 상기 불순물 영역들상에 W, Al 또는 Cu 로부터 선택되는 하나의 메탈막들을 그의 상면들이 상기 메모리 셀 트랜지스터들의 게이트들중 최하부에 배열되는 게이트들의 저면보다 하부에 위치하도록 형성하는 것을 포함하는 것을 특징으로 하는 수직 구조의 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자의 제조방법.

청구항 7

제 6 항중 어느 한 항에 있어서, 상기 도전 라인들을 형성한 다음에, 상기 스페이서들사이의 상기 도전 라인들상에 매립되는 제2절연성 필라들을 더 형성하는 것을 포함하는 것을 특징으로 하는 수직 구조의 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자의 제조방법.

청구항 8

반도체 기관상에 희생막들과 절연막들을 교대로 적층하고;

상기 희생막들과 상기 절연막들을 식각하여 상기 반도체 기관의 제1부분들을 노출시키는 제1개구부들을 형성하며;

상기 제1개구부들의 저면들 및 측면들상에 상기 제1부분들과 접촉되는 채널층들을 형성하고;

상기 제1개구부들이 매립되도록 상기 채널층들상에 절연성 필라들을 형성하며;

상기 희생막들 및 상기 절연막들을 식각하여 상기 절연성 필라들사이의 상기 반도체 기관의 제2부분들을 노출시키는 제2개구부들을 형성하여, 상기 희생막들 및 상기 절연막들의 측면들을 노출시키고;

상기 제2개구부들을 통해 노출되는 상기 반도체 기관의 상기 제2부분들에 불순물 영역들을 형성하며;

상기 제2개구부들을 통해 노출되는 상기 희생막들을 제거하여, 상기 제2개구부들로부터 연장되어 상기 채널층들의 일부분들을 노출시키는 측면 개구부들을 형성하며;

상기 측면 개구부들의 저면들 및 측면들상에 배열되어 상기 채널층들의 상기 일부분들과 접촉되는 유전막들과 상기 측면 개구부들이 매립되도록 상기 게이트 유전막들상에 배열되는 게이트전극들을 형성하며;

상기 불순물 영역들상에 상기 제2개구부들의 측벽들에 배열되는 스페이서들을 형성하고; 및

상기 스페이서들사이의 상기 불순물 영역들상에 도전 라인들을 형성하는 것을 포함하는 수직 구조의 비휘발성 메모리 소자의 제조방법.

청구항 9

제 8 항에 있어서, 상기 불순물 영역들을 형성하는 것과 상기 도전 라인들을 형성하는 것 사이에

상기 스페이서들사이의 상기 반도체 기관의 상기 제2부분들로 상기 불순물 영역들과 동일 도전형을 갖는 고농도 불순물 영역들을 형성하고; 및

상기 고농도 불순물 영역들상에 실리사이드층들을 형성하는 것을 더 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자의 제조방법.

청구항 10

제 8 항에 있어서, 상기 도전 라인들을 형성하는 것은 W, Al 또는 Cu로부터 선택되는 하나의 메탈막을 상기 스페이서들사이의 상기 불순물 영역들에 필라 형태로 형성하는 것을 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자의 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 수직 구조의 비휘발성 메모리 소자의 제조방법에 관한 것으로서, 보다 메탈 소스 라인을 구비하는 수직구조의 비휘발성 메모리 소자의 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 소자로 외부로부터 전원 공급이 중단되어도 기억된 데이터를 그대로 유지하는 특성을 갖는 비휘발성 메모리 소자가 있다. 이러한 불휘발성 메모리 소자는 컴퓨터 및 메모리 카드 등에 널리 사용되고 있다. 종래의 비휘발성 메모리소자는 기관에 메모리 셀들이 평면적으로 배열되는 구조를 갖는다.

발명의 내용

해결 하고자하는 과제

[0003] 이러한 플래너 구조를 갖는 비휘발성 메모리 소자는 디자인 룰의 축소 등의 한계로 소형화, 고집적화 및 대용량화 등이 어렵다.

[0004] 따라서, 본 발명이 이루고자 하는 기술적 과제는 메탈 소오스 라인을 구비하는 수직 구조의 비휘발성 메모리 소

자의 제조방법을 개시한다.

- [0005] 본 발명의 일 견지에 따르면, 메탈 소오스 라인을 갖는 수직 구조의 비휘발성 메모리 소자의 제조방법을 제공한다. 먼저, 반도체 기관의 제1부분들상에 서로 이격되어 배열되는 제1절연성 필라들을 형성하고, 상기 제1절연성 필라들의 양 측면들에 배열되는 셀 스트링 유니트들을 형성할 수 있다. 상기 셀 스트링 유니트들사이의 상기 반도체 기관의 제2부분들에 불순물 영역들을 형성할 수 있다. 상기 불순물 영역들의 일부분들상에 상기 셀 스트링 유니트들의 측면들에 배열되는 스페이서들을 형성할 수 있다. 상기 스페이서들사이의 상기 불순물 영역들상에 도전 라인들을 형성할 수 있다.
- [0006] 상기 스페이서들사이의 상기 반도체 기관의 상기 제2부분들에 상기 불순물 영역들과 동일 도전형을 갖는 고농도 불순물 영역들을 형성할 수 있다. 상기 스페이서들사이의 상기 반도체 기관의 상기 제2부분들상에 실리사이드층들을 형성할 수 있다.
- [0007] 상기 도전 라인들은 실리사이드층들상에 메탈막들을 선택적으로 증착하여 형성할 수 있다. 상기 도전 라인들은 W, Al 또는 Cu로부터 선택되는 하나의 메탈막들을 포함할 수 있다. 상기 도전 라인들은 상기 도전성 필라 형상을 가질 수 있다.
- [0008] 상기 셀 스트링 유니트들을 형성하는 것은 상기 제1절연성 필라들의 저면들 및 측면들을 둘러싸며, 상기 반도체 기관의 상기 제1부분들과 접촉되는 채널층들을 형성하고; 및 상기 제1절연성 필라들의 양 측면들에 대응하는 상기 채널층들상에 배열되되, 기관 표면에 대하여 수직하게 배열되는 선택 트랜지스터들의 게이트들 및 상기 선택 트랜지스터들의 게이트들사이에 배열되는 메모리 셀 트랜지스터들의 게이트들을 형성하는 것을 포함할 수 있다. 상기 도전 라인들은 그의 상면들이 상기 메모리 셀 트랜지스터들의 게이트들중 최하부에 배열되는 게이트들의 저면보다 하부에 위치하도록 형성할 수 있다. 상기 도전 라인들을 형성한 다음, 상기 스페이서들사이의 상기 도전 라인들상에 제2절연성 필라들이 더 형성될 수 있다.
- [0009] 또한, 본 발명의 다른 견지에 따르면, 메탈 소오스 라인을 구비하는 수직 구조의 비휘발성 메모리 소자의 제조방법을 개시한다. 먼저, 반도체 기관상에 희생막들과 절연막들을 교대로 적층할 수 있다. 상기 희생막들과 상기 절연막들을 식각하여 상기 반도체 기관의 제1부분들을 노출시키는 제1개구부들을 형성할 수 있다. 상기 제1개구부들의 저면들 및 측면들상에 상기 제1부분들과 접촉되는 채널층들을 형성할 수 있다. 상기 제1개구부들이 매립되도록 상기 채널층들상에 절연성 필라들을 형성할 수 있다. 상기 희생막들 및 상기 절연막들을 식각하여 상기 절연성 필라들사이의 상기 반도체 기관의 제2부분들을 노출시키는 제2개구부들을 형성하여, 상기 희생막들 및 상기 절연막들의 측면들을 노출시켜 줄 수 있다. 상기 제2개구부들을 통해 노출되는 상기 반도체 기관의 상기 제2부분들에 불순물 영역들을 형성할 수 있다. 상기 제2개구부들을 통해 노출되는 상기 희생막들을 제거하여, 상기 제2개구부들로부터 연장되어 상기 채널층들의 일부분들을 노출시키는 측면 개구부들을 형성할 수 있다. 상기 측면 개구부들의 저면들 및 측면들상에 배열되어 상기 채널층들의 상기 일부분들과 접촉되는 유전막들과 상기 측면 개구부들이 매립되도록 상기 게이트 유전막들상에 배열되는 게이트전극들을 형성할 수 있다. 상기 불순물 영역들상에 상기 제2개구부들의 측면들에 배열되는 스페이서들을 형성할 수 있다. 상기 스페이서들사이의 상기 불순물 영역들상에 도전 라인들을 형성할 수 있다.

효 과

- [0010] 본 발명의 수직 구조를 갖는 비휘발성 메모리 소자의 제조방법에 따르면, 공통 소오스 라인을 메탈 라인으로 형성하여 공통 소오스 라인의 저항을 감소시킬 수 있으며, 그에 따라 노이즈 저감으로 소자의 성능을 향상시킬 수 있다. 또한, 메탈 라인과 접촉되는 반도체 기관의 일부분에 고농도 불순물 영역 또는/및 메탈 사이드층을 형성하여 공통 소오스 라인의 콘택 저항을 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0011] 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.
- [0012] 도 1은 본원 발명의 일 실시예에 따른 수직 구조를 갖는 비휘발성 메모리소자의 메모리 셀 어레이의 배열구조를 도시한 것이다.

- [0013] 도 1을 참조하면, 상기 메모리 셀 어레이(10)는 낸드(NAND)형 다수의 셀 스트링 유니트들(11)을 포함할 수 있다. 상기 다수의 셀 스트링 유니트들(11)은 열과 행의 매트릭스 형태로 배열될 수 있다. 메모리 셀 블록(13)은 동일 열(X방향) 또는/및 동일 행(Y방향)에 배열되는 다수의 셀 스트링 유니트들(11)을 포함할 수 있다.
- [0014] 각 상기 셀 스트링 유니트(11)는 다수의 메모리 셀(MC1-MCn), 스트링 선택 트랜지스터(String Selecting Transistor; SST) 및 접지 선택 트랜지스터(Ground Selecting Transistor; GST)를 구비할 수 있다. 각 상기 셀 스트링 유니트(11)를 구성하는 상기 접지 선택 트랜지스터(GST), 상기 다수의 메모리 셀들(MC1-MCn) 및 상기 스트링 선택 트랜지스터(SST)는 Z 방향에서 수직하게 직렬 배열될 수 있다.
- [0015] 상기 각 메모리 셀 블록(13)에 배열된 셀 스트링 유니트들(11)의 일측, 예를 들어 상기 스트링 선택 트랜지스터들(SST)의 드레인들에는 비트라인들(BL1-BLm)이 연결되며, 상기 셀 스트링 유니트들(11)의 타측, 예를 들어 상기 접지 선택 트랜지스터들(GST)의 소오스들은 공통 소오스 라인(Common Source Line; CSL)에 공통 연결될 수 있다.
- [0016] 상기 메모리 셀들(MC1-MCn)은 상기 스트링 선택 트랜지스터(SST)와 접지 선택 트랜지스터(GST)사이에 수직하게 직렬로 배열될 수 있다. 상기 메모리 셀들(MC1-MCn)중 동일 층상에 배열된 메모리 셀들의 게이트들에는 워드라인들(WL1-WLn)이 공통적으로 연결될 수 있다. 상기 워드라인들(WL1-WLn)의 구동에 따라 상기 메모리 셀들(MC1-MCn)에 데이터를 프로그램, 독출 및 소거할 수 있다.
- [0017] 상기 스트링 선택 트랜지스터들(SST)은 비트라인들(BL1-BLm)과 상기 메모리 셀들(MCn)사이에 배열될 수 있다. 각 상기 메모리 셀 블록(13)에 배열된 상기 스트링 선택 트랜지스터들(SST)은 게이트에 연결되는 스트링 선택 라인들(String Selecting Line; SSL1, SSL2)에 의해 상기 비트라인들(BL1-BLm)과 상기 메모리 셀들 트랜지스터들(MC1-MCn)간의 데이터 전송을 제어할 수 있다. 도 1에는 스트링 선택 트랜지스터(SST)로 단일의 트랜지스터가 배열되었으나, 상기 비트라인들(BL1-BLm)과 상기 메모리 셀들 트랜지스터들(MC1-MCn)사이에 1쌍의 트랜지스터들이 직렬로 배열되고 상기 1쌍의 트랜지스터들의 게이트들에 상기 스트링 선택 라인(SSL1, SSL2)이 공통적으로 연결될 수 있다.
- [0018] 상기 접지 선택 트랜지스터들(GST)은 상기 메모리 셀들 트랜지스터들(MC1-MCn)과 상기 공통 소오스 라인(CSL)사이에 배열될 수 있다. 상기 메모리 셀 블록(13)에 배열된 상기 접지 선택 트랜지스터들(GST)은 게이트에 연결되는 접지 선택 라인(Ground Selecting Line; GSL1, GSL2)에 의해 상기 메모리 셀들 트랜지스터들(MC1-MCn)과 상기 공통 소오스 라인(CSL)간의 데이터 전송을 제어할 수 있다. 도 1에는 접지 선택 트랜지스터(GST)로 단일의 트랜지스터가 배열되었으나, 상기 메모리 셀들 트랜지스터들(MC1-MCn)과 상기 공통 소오스 라인(CSL)사이에 1쌍의 트랜지스터들이 직렬로 배열되고 상기 1쌍의 트랜지스터들의 게이트들에 상기 접지 선택 라인(GSL1, GSL2)이 공통적으로 연결될 수 있다.
- [0019] 도 2a 내지 도 2d는 도 1의 비휘발성 메모리 소자의 개략적인 단면도를 도시한 것이다. 도 2a 내지 도 2d는 도 1의 비트라인(BL1-BLm)의 길이 방향에서의 개략적 단면도를 도시한 것이다. 도 1, 도 2a 내지 도 2d를 참조하면, 상기 비휘발성 메모리 소자는 기판(100)을 포함할 수 있다. 상기 기판(100)은 반도체 기판, 예를 들어 IV족 반도체 기판, III-V족 화합물 반도체 기판, 또는 II-VI족 산화물 반도체 기판을 포함할 수 있다. 예를 들어, IV족 반도체 기판은 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판을 포함할 수 있다. 상기 기판(100)은 벌크 웨이퍼 또는 에피택셜층을 포함할 수 있다.
- [0020] 상기 기판(100)의 제1부분들상에 상기 기판의 표면에 대하여 수직하게 확장되는 제1절연성 필라들(140)이 배열될 수 있다. 상기 절연성 필라들(140)은 USG(Undoped Silica Glass), SOG(Spin On Glass) 또는 TOSZ(Tonen SilaZene)을 포함할 수 있다. 상기 셀 스트링 유니트들(11)이 상기 제1절연성 필라들(140)의 측면들을 따라 수직하게 배열될 수 있다. 상기 제1절연성 필라들(140)의 저면들 및 상기 측면들을 둘러싸며, 상기 기판(100)의 상기 제1부분들과 콘택되는 채널층들(130)이 배열될 수 있다. 상기 채널층(130)은 반도체층, 예를 들어 도핑되지 않은 폴리실리콘막을 포함할 수 있다.
- [0021] 상기 제1절연성 필라들(140)의 측벽들에 배열된 상기 채널층들(130)상에는 셀 스트링 유니트들(11)이 배열될 수 있다. 상기 각 셀 스트링 유니트들(11)은 기판 표면에 대하여 수직하게 배열되며, 상기 접지 선택 트랜지스터(GST) 및 상기 스트링 선택 트랜지스터(SST) 그리고 선택 트랜지스터들(GST, SST)사이에 배열되는 메모리 셀 트랜지스터들(MC1-MCn)을 포함할 있다.
- [0022] 상기 접지 선택 트랜지스터들(GST)의 게이트들(163)에는 접지 선택 라인들(GSL)이 연결될 수 있다. 상기 스트링 선택 트랜지스터들(SST)의 게이트들(167)에는 상기 스트링 선택 라인(SSL)이 연결될 수 있다. 상기 메모리 셀

트랜지스터들(MC1-MCn)의 게이트들(165)에는 워드라인들(WL1-WLn)이 연결될 수 있다. 상기 게이트들(163, 165, 167)은 메탈막을 포함할 수 있다. 상기 메탈막은 텅스텐막을 포함할 수 있다. 상기 게이트들(163, 165, 167)은 배리어막을 더 포함할 수 있다. 상기 배리어막은 WN, TaN 또는 TiN로부터 선택되는 하나의 막을 포함할 수 있다.

[0023] 상기 게이트들(163, 165, 167)의 저면들 및 측면들에는, 상기 게이트들(163, 165, 167)을 둘러싸도록 게이트 절연막들(161)이 더 배열될 수 있다. 상기 게이트 절연막들(161)은 도면상에는 도시되지 않았으나, 전하 터널링층들, 전하 저장층들 및 전하 차단층들을 포함할 수 있다. 상기 전하 터널링층은 F-N 방식으로 전하를 전하 저장층으로 터널링시킬 수 있다. 상기 전하 저장층은 전하 트랩 타입으로 전하를 저장할 수 있다. 전하 차단층들은 고 유전율(high-k) 유전물을 포함할 수 있다. 상기 게이트 절연막들(161)은 ONA(oxide-nitride-alumina) 또는 ONOA(oxide-nitride-oxide-alumina)를 포함할 수 있다.

[0024] 상기 기판표면에 수직인 방향에서, 이웃하는 배열되는 게이트들(163, 165, 167)사이의 상기 채널층들(130)과 상기 스트링 선택 트랜지스터들(SST)의 게이트들(167)상에는 절연막들(110)이 배열될 수 있다. 상기 절연막들(110)은 산화막 또는 질화막을 포함할 수 있다.

[0025] 상기 제1절연성 필라들(140)의 측면들에 배열된 상기 셀 스트링 유닛들(11)사이의 상기 기판(100)의 제2부분들에는 불순물 영역들(150)이 배열될 수 있다. 상기 불순물 영역들(150) 각각은 N+형 고농도 불순물 영역(155)과 상기 고농도 불순물 영역(155)의 양측에 배열된 N-형 저농도 불순물 영역(151)을 포함할 수 있다. 상기 불순물 영역들(150)은 도 1의 상기 공통 소오스 라인(CSL)에 전기적으로 연결되는 공통 소오스 영역들로 작용할 수 있다.

[0026] 상기 불순물 영역들(150)중 상기 저농도 불순물 영역들(151)에 대응하는 상기 기판(100)의 상기 제2부분들상에는 스페이서들(170)이 배열될 수 있다. 상기 스페이서들(170)사이의 상기 기판(100)의 상기 제2부분들상에는 상기 고농도 불순물 영역(155)과 오믹 콘택되는 도전 라인들(180)이 배열될 수 있다. 상기 도전라인들(180)은 상기 공통 소오스 라인(CSL)으로 작용할 수 있다. 상기 도전 라인들(180)과 상기 고농도 불순물 영역들(155)사이에는 도 2c와 같이 실리사이드층(185)이 더 배열될 수 있다. 상기 스페이서들(170)은 실리콘 질화막을 포함할 수 있다. 상기 도전 라인들(180)은 W, Al 또는 Cu 로부터 선택되는 하나의 메탈 라인을 포함할 수 있다. 상기 실리사이드층들(185)은 메탈 실리사이드층을 포함할 수 있다.

[0027] 상기 도전 라인들(180)은 도 2a와 같이 상기 제2개구부들(123)내의 일부분에만 배열될 수 있다. 이때, 상기 도전라인들(180)은 그의 상면은 상대적으로 고전압이 인가되는 메모리 셀 트랜지스터들(MC1-MCn)의 게이트들(165)중 기판에 가장 인접하여 배열되는 게이트들의 저면보다 하부에 위치하도록 형성될 수 있다. 상기 스페이서들(170)은 도 2a와 같이 상기 절연막들(120), 상기 게이트들(163, 165, 167) 및 상기 게이트 절연막들(161)의 노출된 측면들을 완전히 덮도록 배열되거나, 도 2b와 같이 상기 도전 라인들(180)의 측면에만 배열되도록 형성될 수 있다.

[0028] 한편, 상기 도전 라인들(180)은 도 2d와 같이 상기 개구부들(123)가 완전히 매립되도록 필라 형상으로 형성될 수 있다. 이때, 상기 도전 라인들(180)상에 상기 비트라인들(190)이 직접 배열되는 것이 도시되었으나, 상기 도전 라인들(180)을 포함하는 상기 최상부 절연막(110)상에는 절연막, 예를 들어 산화막 계열의 층간 절연막들(미도시)이 배열될 수 있다. 따라서, 상기 층간 절연막들에는 메탈 콘택들(미도시)이 배열되어 상기 비트라인들(190)이 상기 채널층들(130) 및 상기 도전층들(135)과 전기적으로 연결되고, 상기 도전성 라인들(180)과는 전기적으로 절연될 수 있다.

[0029] 상기 스페이서들(170)사이의 상기 도전라인들(180)상에는 상기 기판표면에 대하여 수직하게 확장되는 제2절연성 필라들(175)이 배열될 수 있다. 상기 제2절연성 필라들(175)은 산화막 계열의 층간 절연막, 예를 들어 BPSG 막을 포함할 수 있다. 한편, 상기 제2절연성 필라들(175)은 도 2b와 같이 상기 스페이서들(170)과 상기 도전라인들(180)상에 배열될 수 있다.

[0030] 상기 제1절연성 필라들(140)의 상부에는 도전층들(135)이 더 배열될 수 있다. 상기 제1절연성 필라들(140)의 일부분에는 트렌치들(125)이 배열되고, 상기 트렌치들(125)내에 상기 도전층들(135)이 매립될 수 있다. 상기 도전층들(135)은 도핑된 폴리실리콘막을 포함할 수 있다. 상기 기판상에는 비트라인들(190)이 배열될 수 있다. 상기 비트라인들(190)은 상기 채널층들(130) 및 상기 도전층들(135)과 콘택되도록 형성될 수 있다.

[0031] 제3 내지 도 13는 도 1 및 도 2a 내지 도 2d의 비휘발성 메모리 소자의 제조방법을 설명하기 위한 단면도들이다.

- [0032] 도 3을 참조하면, 반도체 기판(100)상에 희생막들(105)과 절연막들(110)을 교대로 순차 적층할 수 있다. 상기 희생막(105)이 최하부에 배열되어 상기 반도체 기판(100)상에 형성될 수 있다. 상기 절연막(110)이 최상부에 배열될 수 있다. 상기 희생막들(105)은 도 1 및 도 2a 내지 도 2d의 상기 셀 스트링 유니트들(11)를 구성하는 상기 선택 트랜지스터들(SST, GST) 및 상기 메모리 셀들 트랜지스터들(MC1-MCn)의 수에 대응하여 적층될 수 있다. 상기 희생막들(105)은 상기 절연막들(110)과 식각 선택비를 갖는 물질을 포함할 수 있다. 상기 절연막들(110)을 실리콘 산화막들을 포함하고, 상기 희생막들(105)은 실리콘 질화막을 포함할 수 있다. 또는, 상기 절연막들(110)은 실리콘 질화막들을 포함하고, 상기 희생막들(105)은 실리콘 산화막들을 포함할 수 있다.
- [0033] 도 4를 참조하면, 상기 기판(100)상에 채널 영역을 한정하기 위한 마스크 패턴(미도시)을 형성할 수 있다. 상기 마스크 패턴을 이용하여 상기 희생막들(105)과 상기 절연막들(110)을 식각하여, 상기 희생막들(105) 및 상기 절연막들(110)에 걸쳐 상기 채널 영역을 한정하는 제1개구부들(121)을 형성할 수 있다. 상기 제1개구부들(121)은 상기 반도체 기판(100)의 제1부분들을 노출시켜 줄 수 있다. 상기 마스크 패턴을 제거할 수 있다. 상기 제1개구부들(121)내의 상기 반도체 기판(100)의 상기 제1부분들이 일정 두께만큼 더 식각될 수 있다.
- [0034] 도 5를 참조하면, 상기 제1개구부들(121)의 저면들 및 측면들상에 채널층들(130)을 형성할 수 있다. 상기 채널층들(130)은 상기 제1개구부들(121)을 통해 상기 반도체 기판(100)의 상기 노출된 제1부분들과 콘택되도록 형성될 수 있다. 상기 채널층들(130)은 반도체층을 포함할 수 있다. 상기 채널층들(130)은 상기 제1개구부들(121) 및 상기 최상부 절연막(110)상에 도핑되지 않은 폴리실리콘막을 증착한 다음 패터닝하여, 상기 제1개구부들(121)의 저면 및 측면들상에 형성할 수 있다.
- [0035] 상기 제1개구부들(121)이 완전히 매립되도록 상기 기판(100)상에 층간 절연막을 증착하고, 상기 층간 절연막을 CMP 또는 에치백 공정을 통해 식각하여 상기 제1개구부들(121)에 매립되도록 상기 채널층(130)상에 제1절연성 필라들(140)을 형성할 수 있다. 상기 제1절연성 필라들(140)은 USG, TOSZ, SOG 등과 같은 산화막을 포함할 수 있다.
- [0036] 이어서, 상기 제1절연성 필라들(140)을 일정 두께만큼 식각하여 트렌치들(125)을 형성하고, 상기 트렌치들(125)내에 도전층들(135)을 형성한다. 상기 도전층들(135)을 형성하는 것은 상기 기판(100)상에 N+형 폴리 실리콘막을 상기 트렌치들(125)이 매립되도록 증착하고, 에치백 또는 CMP 공정등을 통해 식각하여 상기 트렌치들(125)내에 매립된 N+형 폴리실리콘 패턴을 형성하는 것을 포함할 수 있다.
- [0037] 도 6을 참조하면, 상기 최상부 절연막(110)과 상기 채널층들(130) 및 상기 도전층들(135)상에 감광막(미도시)을 형성할 수 있다. 상기 감광막은 상기 반도체 기판(100)의 제2부분들에 대응하는, 상기 최상부 절연막(110)의 일부분들을 노출시켜 줄 수 있다. 상기 반도체 기판(100)의 상기 제2부분들은 상기 제1절연성 필라들(140)사이의 공통 소오스 영역이 형성될 부분들을 포함할 수 있다. 상기 감광막을 마스크로 하여 상기 절연막들(110)과 상기 희생막들(105)을 식각하여, 상기 반도체 기판(100)의 상기 제2부분들을 노출시켜 주는 제2개구부들(123)을 형성할 수 있다. 상기 제2개구부들(123)의 형성에 따라 상기 희생막들(105)과 상기 절연막들(110)의 측면들을 노출시켜 줄 수 있다.
- [0038] 도 7을 참조하면, 상기 제2개구부들(123)을 통해 노출되는 상기 기판(100)의 상기 제2부분들로 N-형 불순물들을 이온주입하여 상기 제1절연성 필라들(140)사이의 상기 반도체 기판(100)의 상기 제2부분들에 저농도 불순물 영역들(151)을 형성할 수 있다.
- [0039] 도 8을 참조하면, 상기 제2개구부(123)에 의해 노출되는 상기 희생막들(110)을 제거할 수 있다. 상기 희생막들(110)은 습식식각공정을 통해 제거할 수 있다. 상기 희생막들(110)의 제거에 따라 상기 제2개구부들(123)의 측면으로부터 확장되는 측면 개구부들(127)을 형성할 수 있다. 상기 측면 개구부들(127)은 상기 채널층들(140)의 일부분들과 상기 저농도 불순물 영역(151)의 양측 상기 반도체 기판(100)의 제3부분들을 노출시켜 줄 수 있다. 상기 측면 개구부들(127)은 후속 공정에서 형성될 게이트 형성 영역을 한정할 수 있다.
- [0040] 도 9를 참조하면, 상기 측면 개구부들(127) 및 상기 제2개구부들(123)에 의해 노출되는 상기 채널층들(130), 상기 절연막들(110)과 상기 반도체 기판(100)의 상기 제2 및 제3부분상에 유전막(미도시)을 형성할 수 있다. 상기 측면 개구부들(127) 및 상기 제2개구부들(123)이 완전히 매립되도록 상기 유전막상에 도전막(미도시)을 형성할 수 있다.
- [0041] 상기 유전막과 상기 도전막을 에치백 공정을 통해 식각하여 상기 측면 개구부들(127)내에 배열되는 상기 게이트 유전막들(161)과 게이트들(163, 165, 176)을 형성할 수 있다. 상기 게이트 유전막들(161)은 상기 측면 개구부들(127)의 상기 저면 및 측면들상에 배열되고, 상기 게이트들(163, 165, 167)은 상기 측면 개구부들(127)내에 완

전히 매립되도록 상기 게이트 유전막들(160)상에 형성될 수 있다.

- [0042] 상기 최하부에 배열된 게이트들(163)은 도 1의 셀 스트링 유니트(11)의 상기 접지 선택 트랜지스터들(GST)의 게이트들을 포함하고, 상기 최상부에 배열된 게이트들(167)은 상기 스트링 선택 트랜지스터(SST)의 게이트들을 포함할 수 있다. 상기 게이트들(163, 167)사이에 배열된 게이트들(165)은 상기 메모리 셀들 트랜지스터들(MC1-MCn)의 콘트롤 게이트들을 포함할 수 있다. 상기 각 게이트 유전막들(161)은 터널링층, 전하 저장층 및 전하 차단층을 포함할 수 있다. 상기 각 게이트 유전막들(160)은 ONA 또는 ONOA를 포함할 수 있다. 상기 게이트들(163, 165, 167)은 텅스텐막과 같은 메탈막과 배리어막들 포함할 수 있다.
- [0043] 도 10을 참조하면, 상기 제2개구부들(123)의 측벽에 배열되는 스페이서들(170)을 상기 반도체 기판(100)의 상기 제2부분들상에 형성할 수 있다. 상기 스페이서들(170)은 상기 제2개구부들(123)에 의해 노출되는 상기 절연막(120), 상기 게이트 절연막들(161) 및 상기 게이트들(163, 165, 167)의 측면을 덮도록 배열될 수 있다. 상기 스페이서들(170)을 형성하는 것은 상기 제2개구부들(123)을 포함하는 상기 최상부 절연막(110)상에 절연막(미도시)을 증착한 다음, 에치백 공정 등을 통해 상기 절연막을 식각하여 상기 스페이서들(170)을 형성하는 것을 포함할 수 있다. 상기 스페이서들(170)용 상기 절연막은 실리콘 질화막을 포함할 수 있다.
- [0044] 도 11을 참조하면, 상기 개구부들(123)을 통해 노출되는 상기 반도체 기판(100)의 상기 제2부분들로 N⁺형 불순물들을 이온주입하여 고농도 불순물 영역들(155)을 형성할 수 있다. 상기 고농도 불순물 영역들(155)은 상기 셀 스트링 유니트들(11)사이의 상기 반도체 기판(100)의 상기 제2부분들에 배열될 수 있다. 상기 고농도 불순물 영역들(155)은 그의 양측에 상기 저농도 불순물 영역들(151)이 배열되도록 형성될 수 있다. 상기 고농도 불순물 영역들(155)과 상기 저농도 불순물 영역들(151)은 공통 소오스 영역으로 작용할 수 있다.
- [0045] 도 12를 참조하면, 상기 제2개구부들(123)내의 상기 고농도 불순물 영역들(155)상에 도전 라인들(180)을 형성할 수 있다. 상기 도전 라인들(180)은 W, Al, Cu 등과 같은 메탈 라인을 포함할 수 있다. 상기 도전 라인들(180)은 상기 고농도 불순물 영역(155)과는 �믹 콘택을 형성하여, 상기 도전 라인들(18)의 콘택저항을 감소시킬 수 있다. 상기 도전 라인들(180)은 공통 소오스 라인으로 작용할 수 있다. 상기 도전 라인들(180)의 상면은 최하부에 배열된 메모리 셀 트랜지스터들의 상기 게이트들(165)의 저면보다 하부에 배열될 수 있다.
- [0046] 상기 도전 라인들(180)을 형성하기 전에, 도 2c와 같이 상기 고농도 불순물 영역들(155)과 콘택되는 실리사이드층(185)을 더 형성할 수 있다. 상기 도전 라인들(180)을 형성하는 것은 상기 제2개구부들(123)을 포함하는 기판 전면상에 메탈막(미도시)을 증착한 다음 식각하여 도 2a 및 도 2b와 같이 상기 제2개구부들(123)내에 부분적으로 매립되도록 형성할 수 있다. 상기 메탈막을 식각할 때 도 2b와 같이 상기 스페이서들(170)도 식각할 수 있다. 한편, 상기 도전 라인들(180)을 형성하는 것은 상기 실리사이드층(185)상에만 선택적으로 메탈막을 증착시켜 형성할 수도 있다. 상기 도전 라인들(180)은 도 2d와 같이 상기 제2개구부(123)내에 완전히 매립되어 필라 형상을 갖도록 형성될 수도 있다.
- [0047] 도 13을 참조하면, 상기 제2개구부들(123)이 완전히 매립되도록 상기 도전 라인들(180)상에 제2절연성 필라들(175)을 형성한다. 상기 제2절연성 필라들(175)을 형성하는 것은 상기 제2개구부들(123)이 매립되도록 BPSG와 같은 산화막(미도시)을 상기 절연막(110)상에 증착하고, 상기 산화막을 에치백 또는 CMP 공정을 통해 식각하여 상기 제2개구부들(123)내에 매립되는 산화막을 형성하는 것을 포함할 수 있다.
- [0048] 기판 전면에 걸쳐 산화막 계열의 적어도 하나의 층간 절연막(미도시)을 형성한 다음 상기 채널층들(130) 및/또는 상기 도전층들(135)의 일부분을 노출시키는 메탈 콘택(미도시)을 형성하고, 상기 메탈 콘택을 통해 상기 채널층들(130) 및/또는 상기 도전층들(135)의 상기 노출된 일부분들과 콘택되는 비트라인들(190, 도 2a 내지 도 2d)을 비트라인 형성공정을 통해 형성할 수 있다.
- [0049] 도 14는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 개략적 블록도(block diagram)이다.
- [0050] 도 14를 참조하면, 비휘발성 메모리소자(50)는 메모리 셀 어레이(Memory Cell Array, 10), 페이지 버퍼/감지증폭기(page buffer, 20), Y-게이팅 회로(Y-Gating Circuitry, 30) 및 제어 및 디코더 회로(Control/Decoder Circuitry, 40)를 구비할 수 있다.
- [0051] 상기 메모리 셀 어레이(10)는 도 2a 내지 도 2d의 비휘발성 메모리 소자를 포함할 수 있다. 상기 페이지 버퍼/감지증폭기(20)는 상기 메모리 셀 어레이(10)에 기록될 데이터, 또는 상기 메모리 셀 어레이(10)로부터 독출된 데이터를 증폭하고 임시적으로 저장할 수 있다.
- [0052] 상기 Y-게이팅 회로(30)는 상기 페이지 버퍼(20)에 저장된 데이터를 전송할 수 있다. 상기 제어 및 디코더 회로

(40)는 외부로부터 커맨드(command, CMD) 및 어드레스를 입력 받아, 상기 메모리 셀 어레이(10)에 데이터를 기입 또는 상기 메모리 셀 어레이(10)로부터 데이터를 독출하기 위한 제어신호를 출력하고, 어드레스(address)를 디코딩(decoding)할 수 있다. 상기 제어 및 디코더 회로(40)는 도 1의 스트링 선택 라인(SSL), 접지 선택 라인(GSL) 및 워드라인(WL1-WLn)으로 구동신호들을 제공할 수 있다. 상기 제어 및 디코더 회로(40)는 상기 페이지 버퍼/감지증폭기(20)에 데이터 입출력을 위한 제어신호를 출력할 수 있고, 상기 Y-게이팅 회로(30)에 어드레스 정보를 제공할 수 있다.

[0053] 도 15는 본 발명의 일 실시예에 따른 메모리 카드의 개략적 블록도이다.

[0054] 도 15를 참조하면, 메모리 카드(200)는 하우징(230) 내에 제어기(210)와 메모리(220)를 포함할 수 있다. 제어기(210)와 메모리(220)는 전기적인 신호를 교환할 수 있다. 예를 들어, 제어기(210)의 명령에 따라서, 메모리(220)와 제어기(210)는 데이터를 주고받을 수 있다. 이에 따라, 메모리 카드(200)는 메모리(220)에 데이터를 저장하거나 또는 메모리(220)로부터 데이터를 외부로 출력할 수 있다. 상기 메모리(220)는 도 2a 내지 도 2d의 비휘발성 메모리 소자를 포함할 수 있다.

[0055] 상기 메모리 카드(200)는 다양한 휴대용 기기의 데이터 저장 매체로 이용될 수 있다. 예를 들어, 메모리 카드(200)는 메모리 스틱 카드(memory stick card), 스마트 미디어 카드(smart media card, SM), 씨큐어 디지털 카드(secure digital, SD), 미니 씨큐어 디지털 카드(mini secure digital card, mini SD), 또는 멀티 미디어 카드(multi media card, MMC) 등을 포함할 수 있다.

[0056] 도 16은 본 발명의 일 실시예에 따른 전자 시스템을 보여주는 블록이다.

[0057] 도 16을 참조하면, 전자 시스템(300)은 프로세서(310), 메모리 칩(320), 입/출력 장치(330) 및 인터페이스(340)를 포함할 수 있다. 상기 프로세서(310)는 프로그램을 실행하고, 상기 입/출력 장치(330) 및 메모리 칩(320)을 제어할 수 있다. 상기 메모리 칩(320)은 도 2a 내지 도 2d의 비휘발성 메모리 소자를 포함할 수 있다. 상기 입/출력 장치(330)는 외부 장치 예를 들어, 개인용 컴퓨터 또는 네트워크 등과 상기 전자 시스템(300)간의 데이터 입력 또는 출력에 이용될 수 있다. 상기 인터페이스(340)는 상기 전자 시스템(300)과 외부 장치(미도시)간을 인터페이스하는데 사용될 수 있다. 상기 프로세서(310), 상기 메모리 칩(320), 상기 입/출력 장치(330) 및 상기 인터페이스(340)는 버스(350)를 이용하여 서로 데이터 통신을 할 수 있다.

[0058] 예를 들어, 상기 전자 시스템(300)은 상기 메모리 칩(320)을 필요로 하는 다양한 전자 제어 장치를 구성할 수 있고, 예를 들어, 모바일 폰(mobile phone), MP3 플레이어, 네비게이션(navigation), 고상 디스크(solid state disk; SSD) 또는 가전 제품(household appliances)에 이용될 수 있다.

[0059] 상기 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

도면의 간단한 설명

[0060] 도 1은 본 발명의 실시예에 따른 비휘발성 메모리소자의 메모리 셀 어레이의 배열구조를 도시한 도면이다.

[0061] 도 2a 내지 도 2d는 본 발명의 실시예들에 따른 비휘발성 메모리소자의 단면도들이다.

[0062] 도 3 내지 도 13은 도 2a의 비휘발성 메모리소자의 제조방법을 설명하기 위한 단면도들이다.

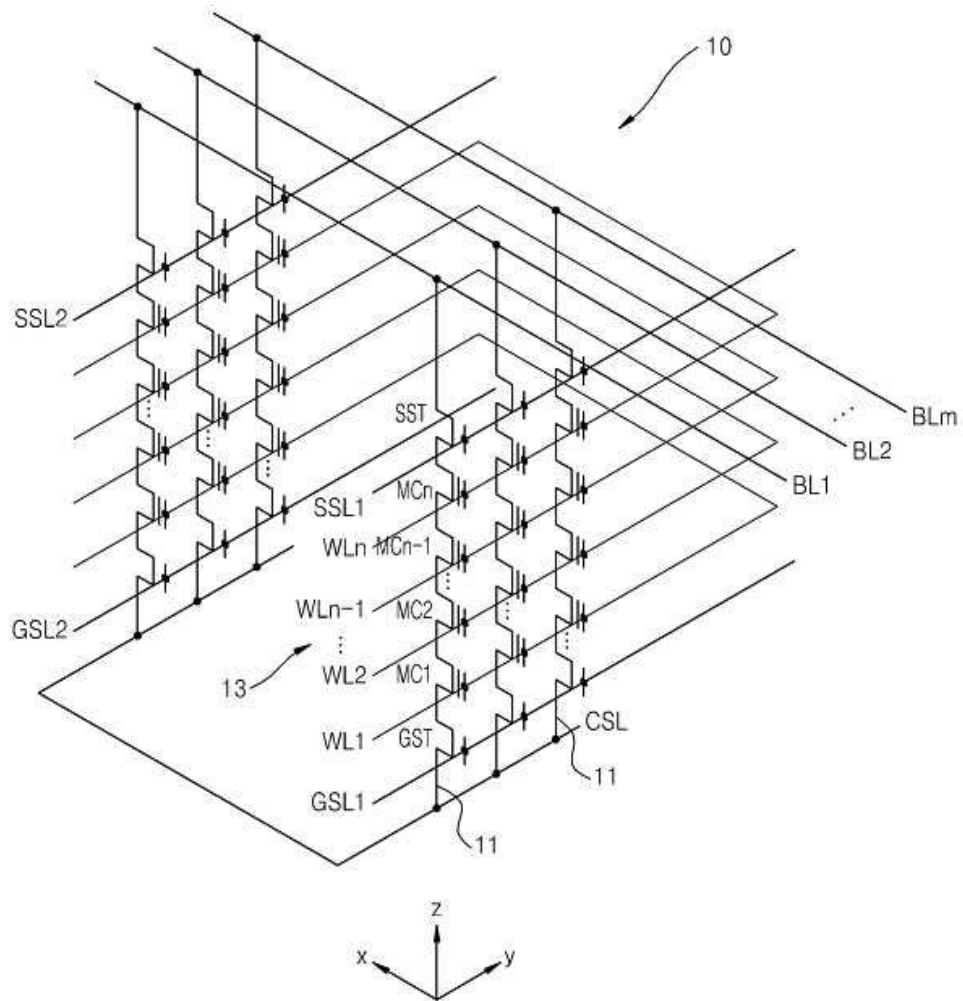
[0063] 도 14는 본 발명의 일 실시예에 따른 비휘발성 메모리소자의 개략적인 블록도이다.

[0064] 도 15는 본 발명의 일 실시예에 따른 메모리 카드의 개략적 블록도이다.

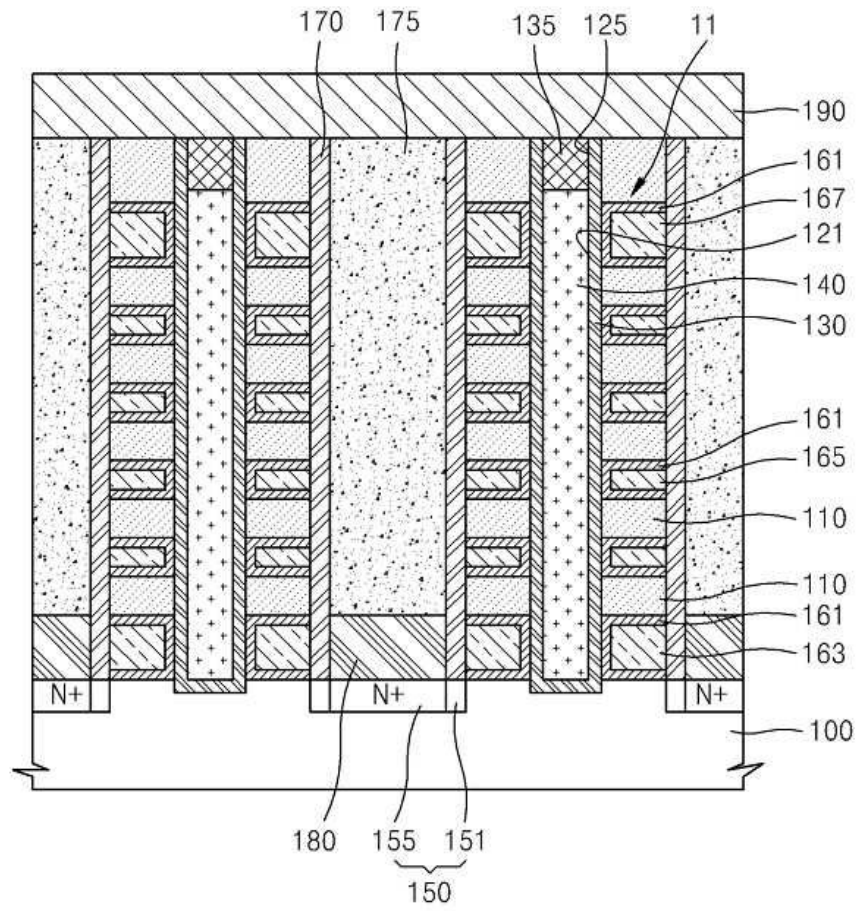
[0065] 도 16은 본 발명의 일 실시예에 따른 전자 시스템의 개략적 블록도이다.

도면

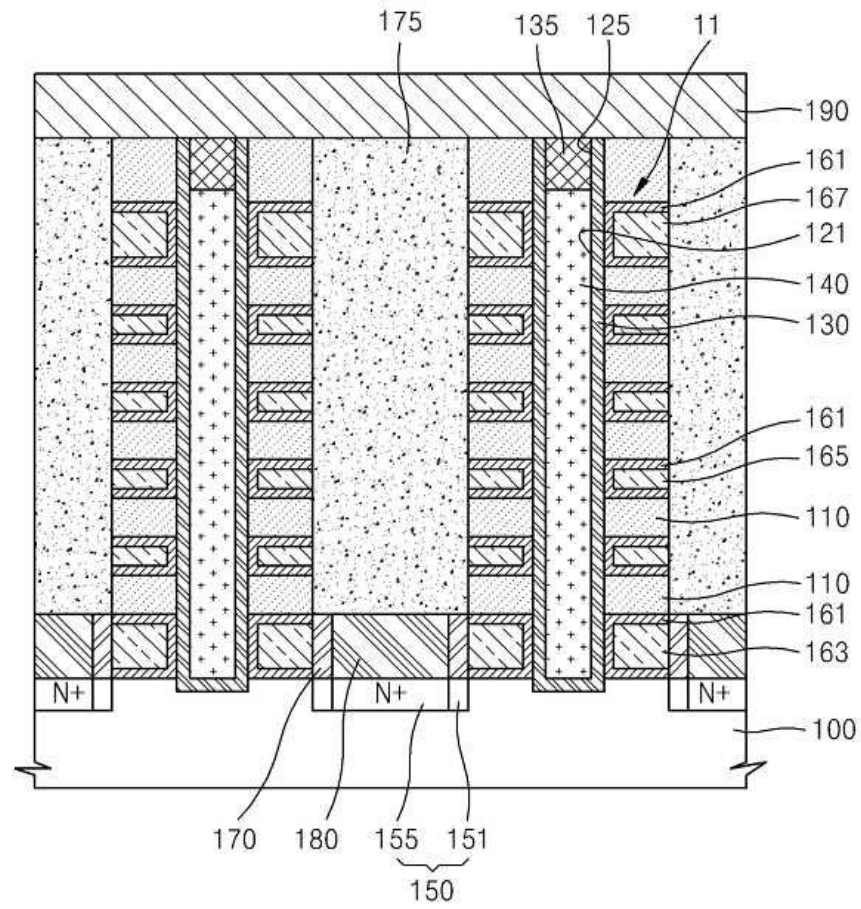
도면1



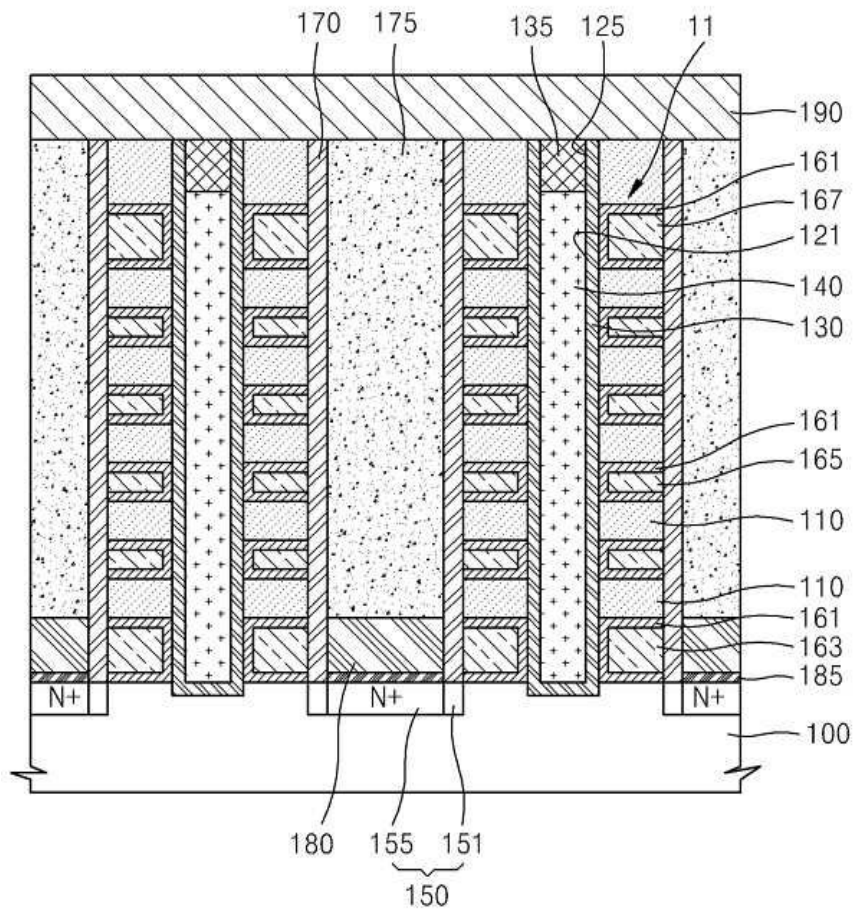
도면2a



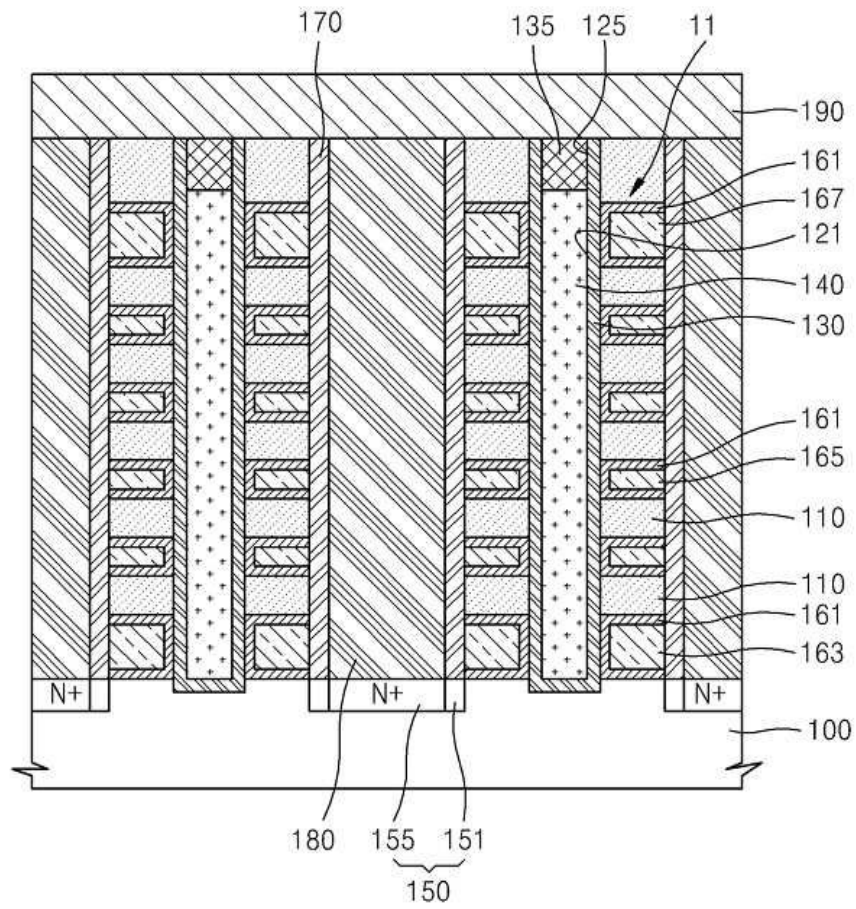
도면2b



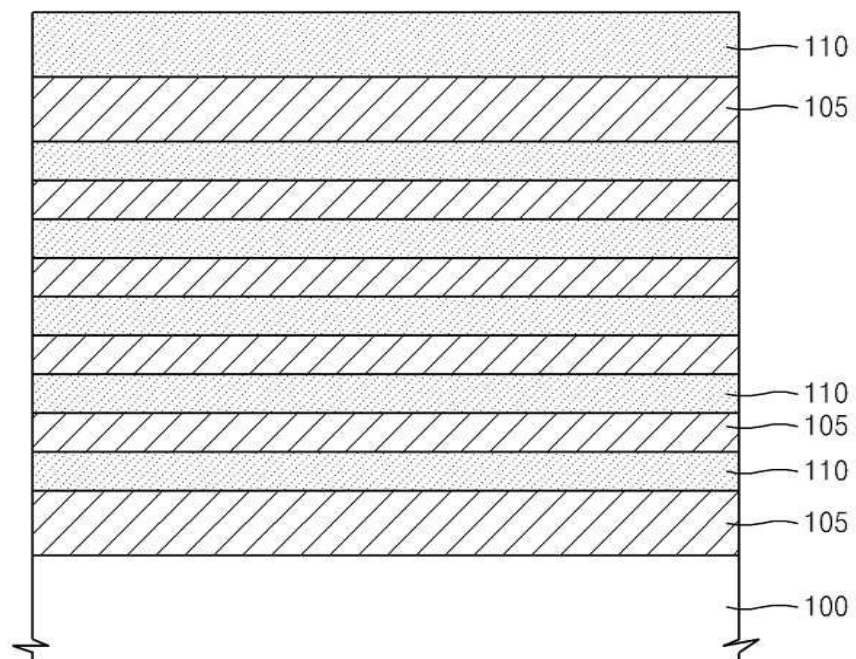
도면2c



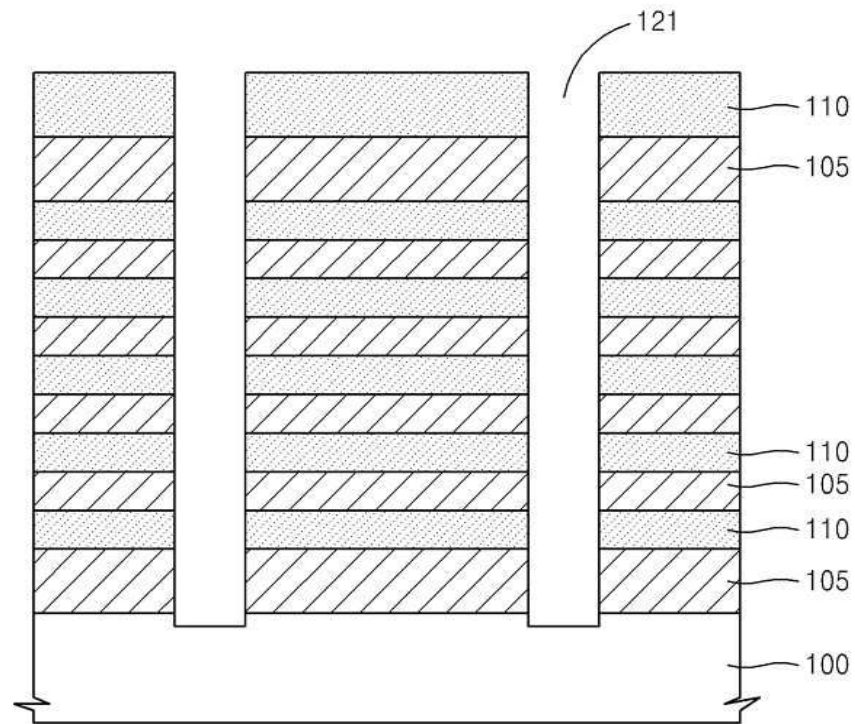
도면2d



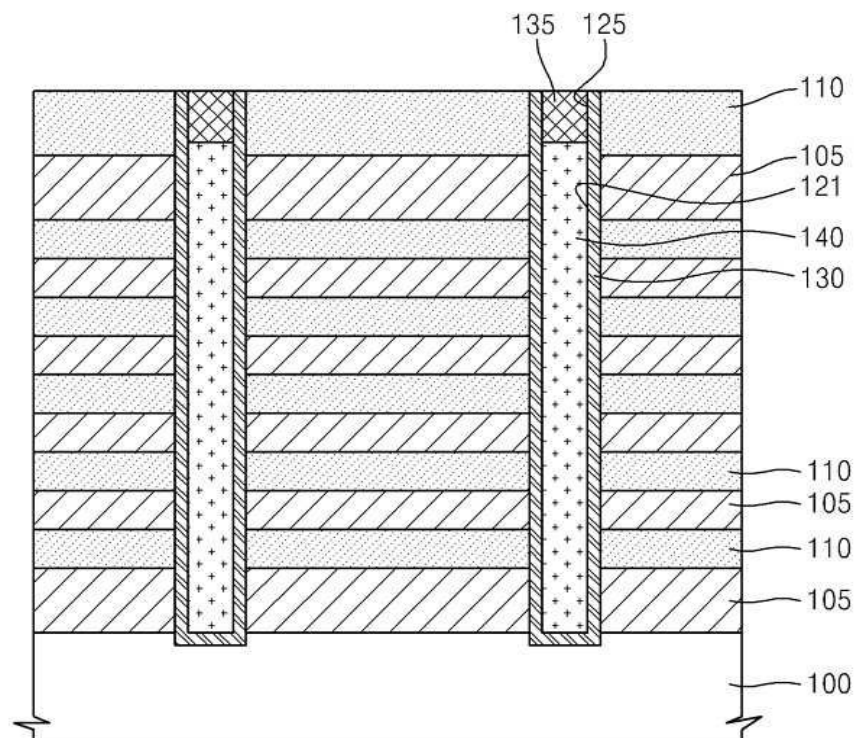
도면3



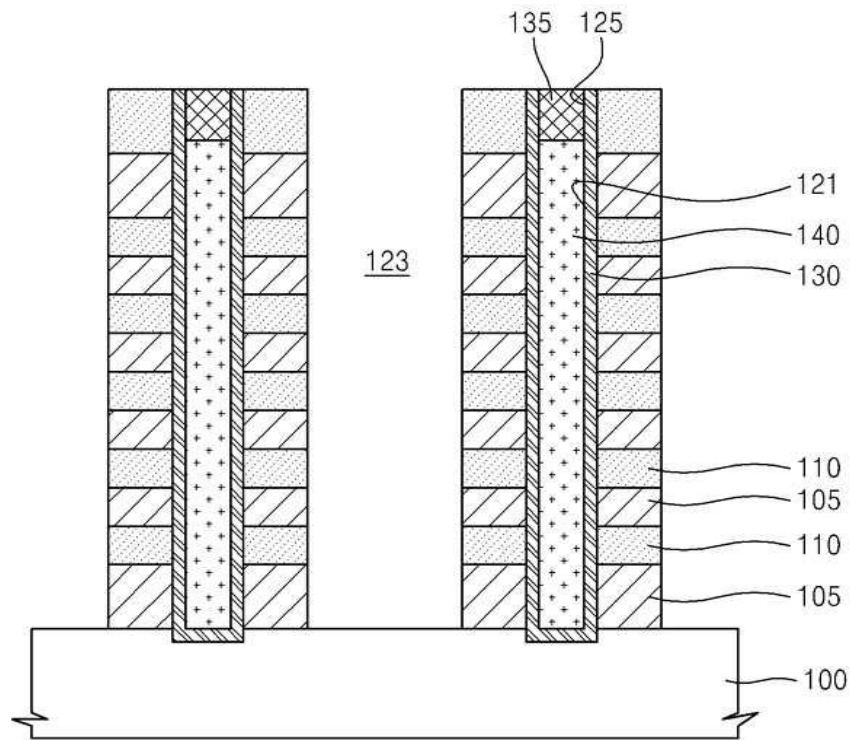
도면4



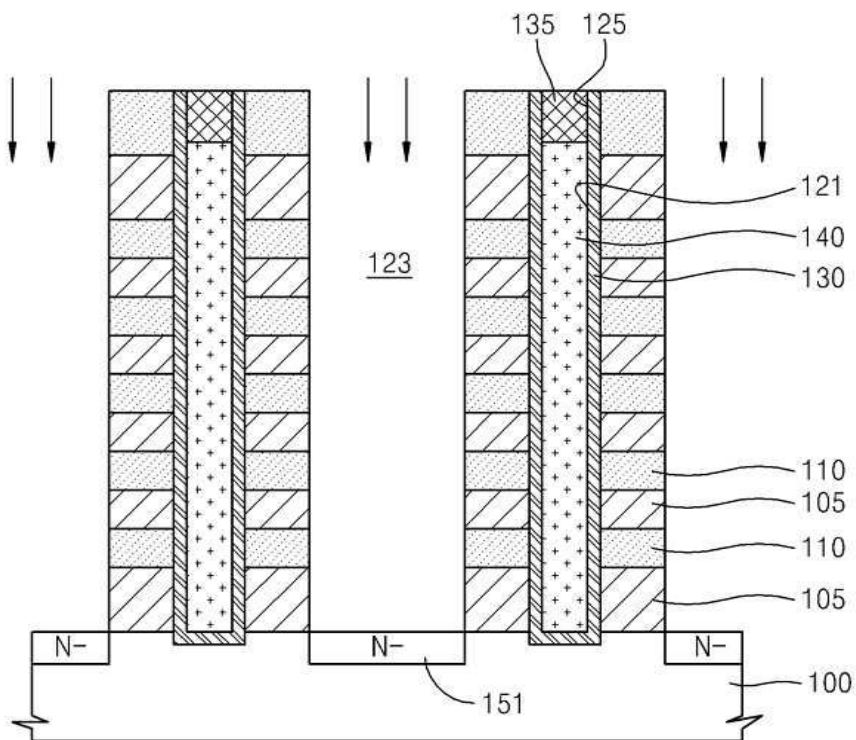
도면5



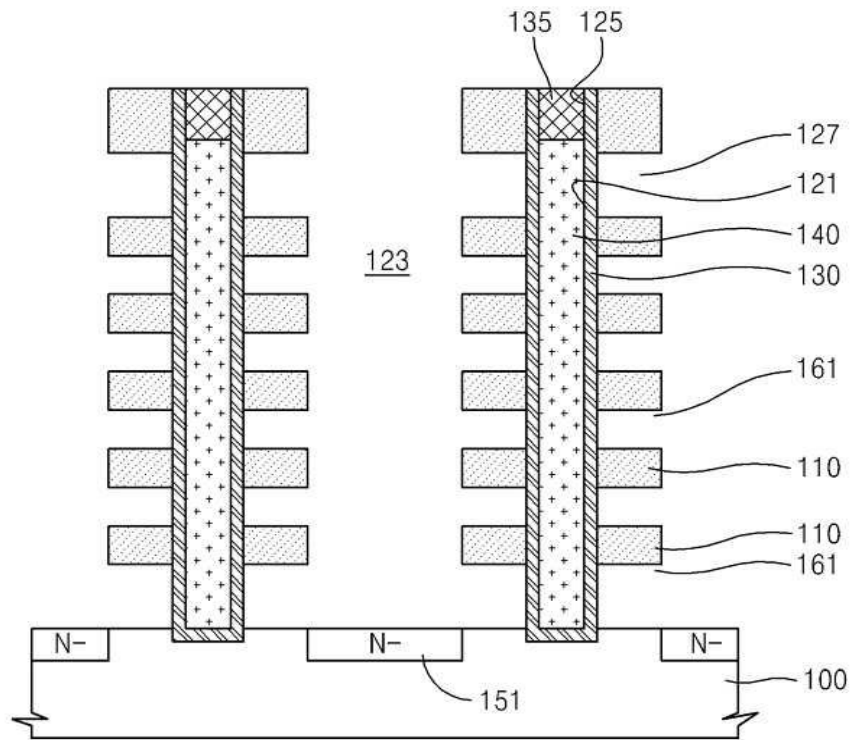
도면6



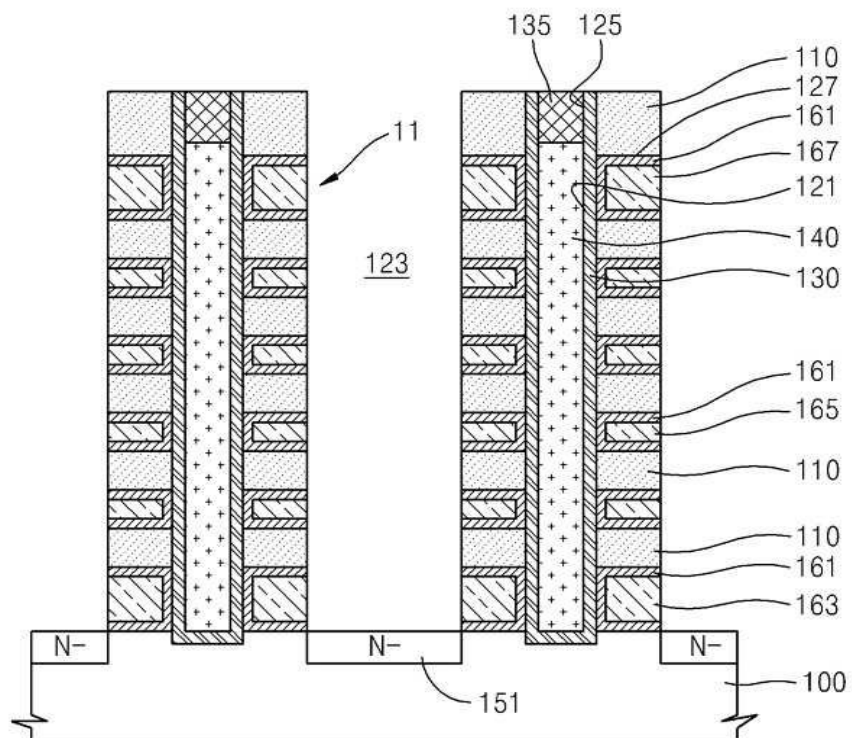
도면7



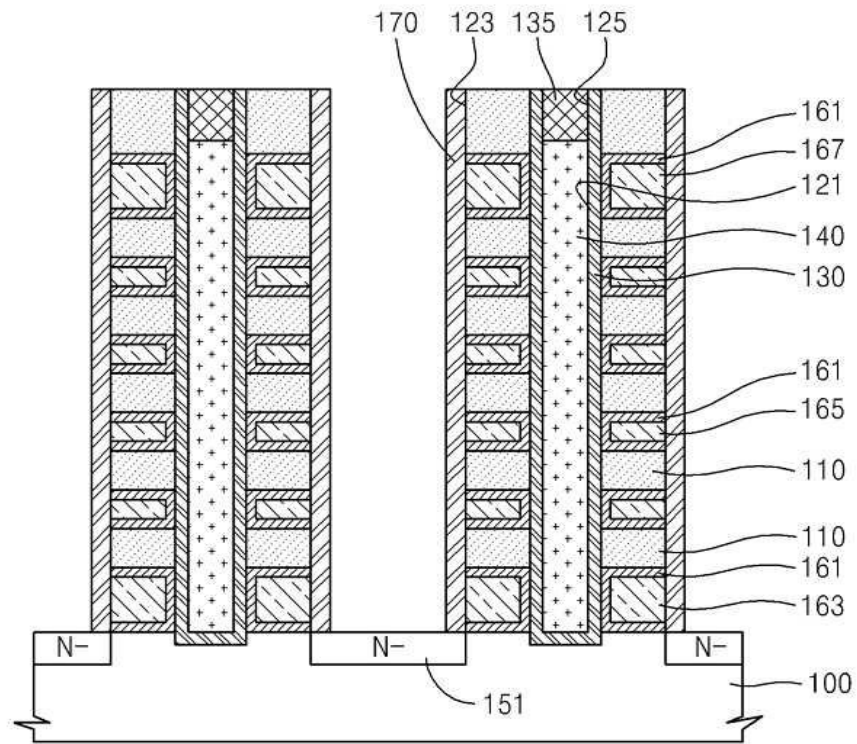
도면8



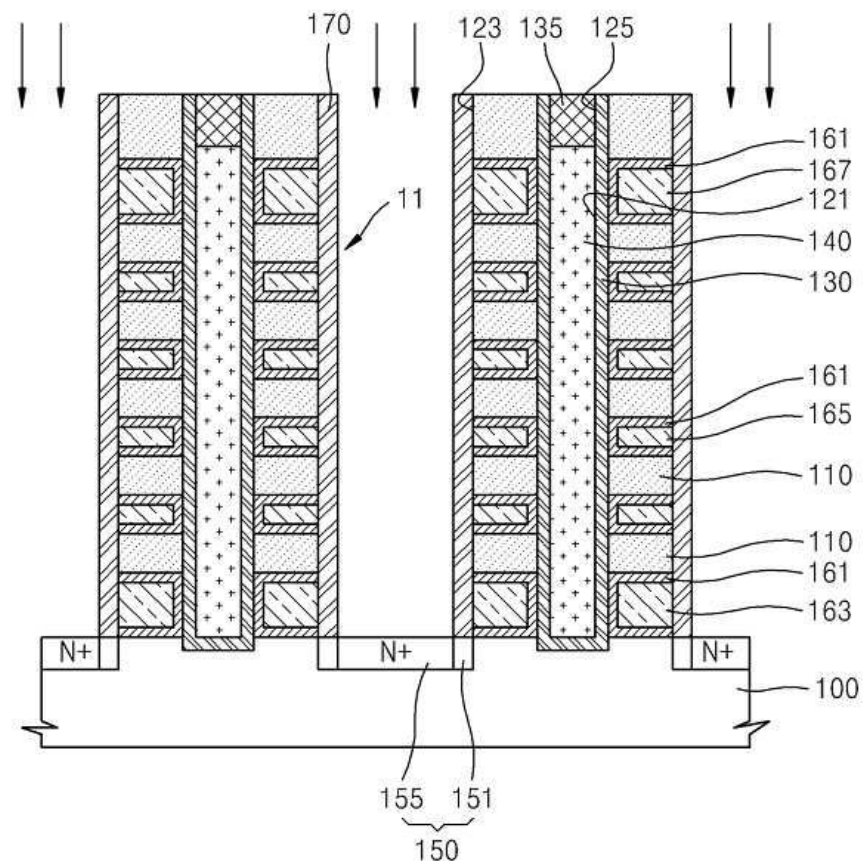
도면9



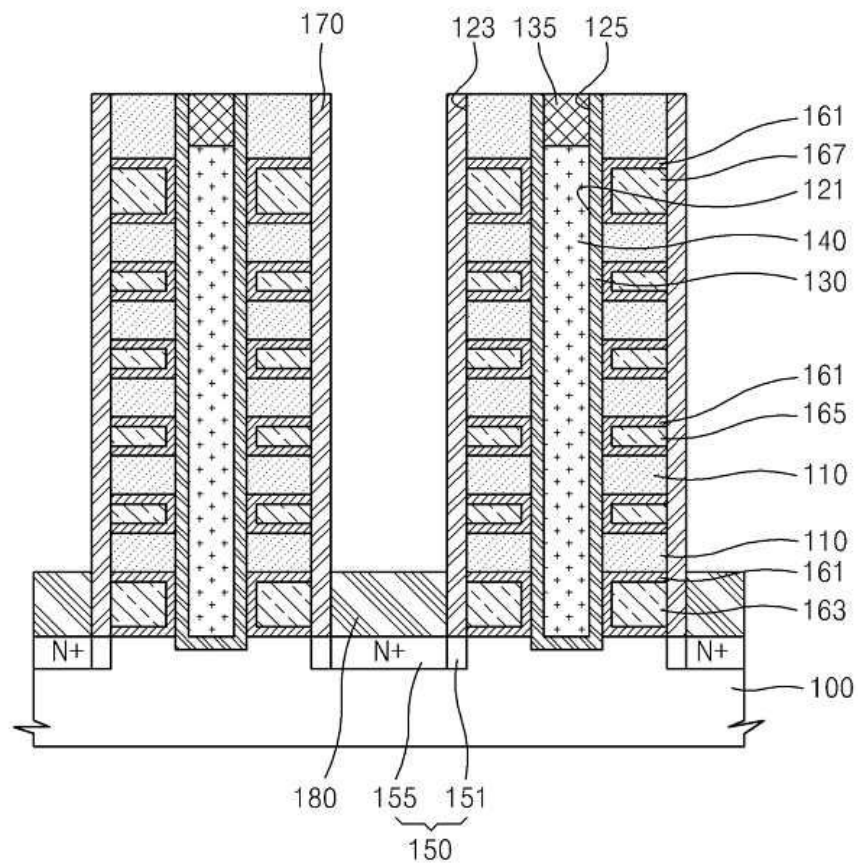
도면10



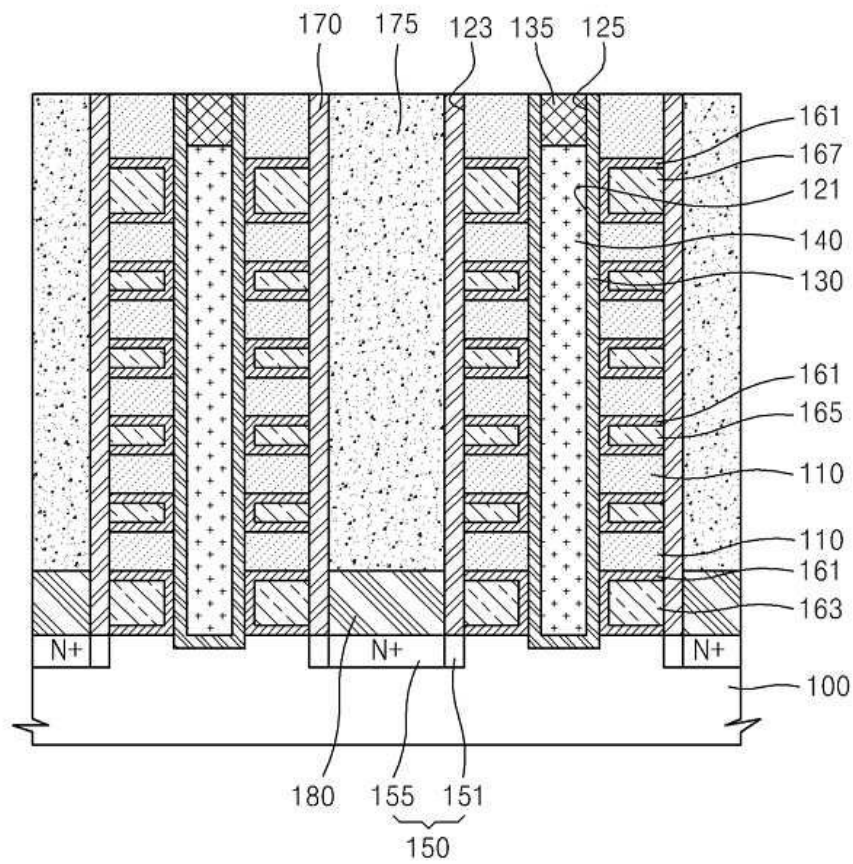
도면11



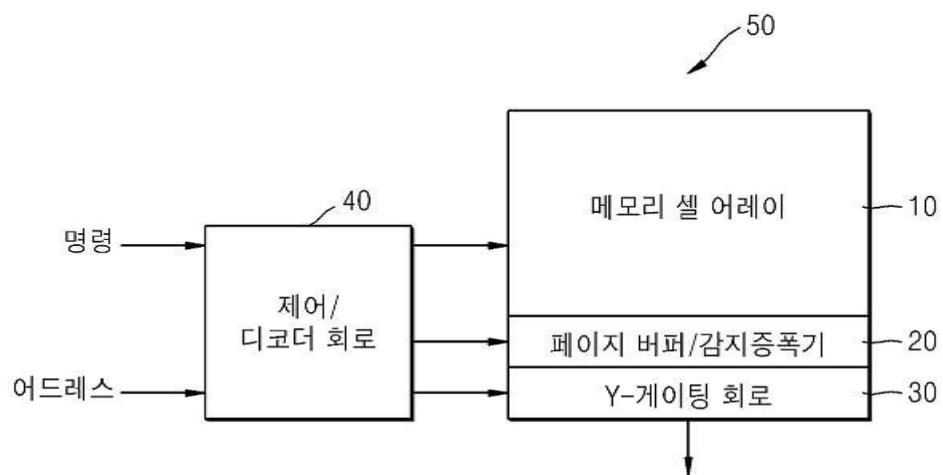
도면12



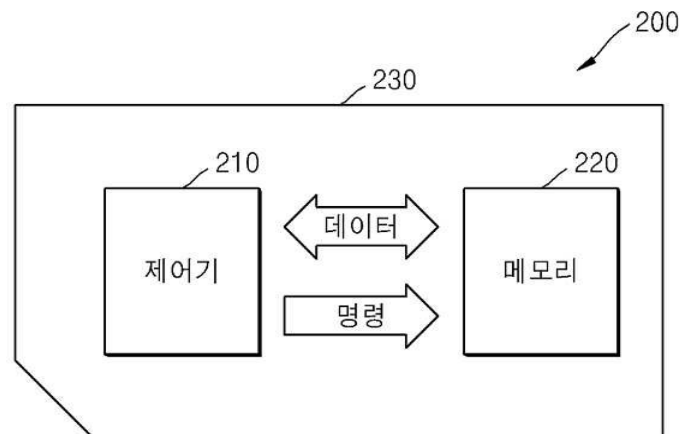
도면13



도면14



도면15



도면16

