

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5124209号
(P5124209)

(45) 発行日 平成25年1月23日(2013. 1. 23)

(24) 登録日 平成24年11月2日(2012. 11. 2)

(51) Int.Cl.

F I

G O 6 F 7/501 (2006. 01)

G O 6 F 7/02 (2006. 01)

G O 6 F 7/501

G O 6 F 7/02 Z

請求項の数 15 (全 12 頁)

(21) 出願番号	特願2007-215682 (P2007-215682)	(73) 特許権者	310024033
(22) 出願日	平成19年8月22日 (2007. 8. 22)		エスケーハイニックス株式会社
(65) 公開番号	特開2008-146625 (P2008-146625A)		S K h y n i x I n c .
(43) 公開日	平成20年6月26日 (2008. 6. 26)		大韓民国京畿道利川市夫鉢邑京忠大路2091
審査請求日	平成22年8月10日 (2010. 8. 10)		2091, Gyeongchung-d
(31) 優先権主張番号	10-2006-0123575		aero, Buba1-eub, Iche
(32) 優先日	平成18年12月7日 (2006. 12. 7)		on-si, Gyeonggi-do, K
(33) 優先権主張国	韓国 (KR)		orea
		(74) 代理人	100117514
			弁理士 佐々木 敦朗
		(72) 発明者	辛 範 柱
			大韓民国京畿道利川市夫鉢邑牙美里山136-1

最終頁に続く

(54) 【発明の名称】 半導体集積回路のDBI信号生成装置および方法

(57) 【特許請求の範囲】

【請求項1】

データ入力端とキャリー入力端をそれぞれ有する複数の全加算器であって、各全加算器では、前記データ入力端とキャリー入力端にデータが各々入力されて、入力されたデータを前記複数の全加算器毎に演算して合計とキャリーをそれぞれ出力する複数の全加算器と、

前記全加算器から伝えられる合計とキャリーから前記データの論理値を判別してDBI (Data Bus Inversion) 信号を生成するDBI判別部とを含み、

前記複数の全加算器の一つにおいて、前記データ入力端を通じてデータが入力されるとともに、前記キャリー入力端を通じてレベル固定信号が入力されることを特徴とする半導体集積回路のDBI信号生成装置。

【請求項2】

前記DBI判別部は、前記全加算器に入力される複数のデータ中の第1論理値を有するデータが所定個数以上であれば前記DBI信号をイネーブルさせ、前記所定個数未満であれば前記DBI信号をディスエーブルさせることを特徴とする請求項1に記載の半導体集積回路のDBI信号生成装置。

【請求項3】

前記全加算器は、2個のデータ入力端と1個のキャリー入力端に各々データが入力されて、加算して、各々の合計とキャリーを出力する第1全加算器および第2全加算器と、2

10

20

個のデータ入力端に各々データが入力されて、キャリー入力端にレベル固定信号が入力されて、加算して合計とキャリーを出力する第3全加算器とからなり、

前記DBI判別部は、前記第1、第2および第3全加算器から合計とキャリーが伝達され、前記第1、第2および第3全加算器に入力されるデータ中の第1論理値のデータの数が半分を超過すればイネーブルになるDBI信号を生成することを特徴とする請求項1又は2に記載の半導体集積回路のDBI信号生成装置。

【請求項4】

前記レベル固定信号は、前記DBI信号生成装置の動作が随行される間、常に前記第1論理値を有することを特徴とする請求項3に記載の半導体集積回路のDBI信号生成装置。

10

【請求項5】

前記DBI判別部は前記第1、第2および第3全加算器から伝えられるキャリーがいずれも前記第1論理値を有すれば前記DBI信号をイネーブルさせることを特徴とする請求項3に記載の半導体集積回路のDBI信号生成装置。

【請求項6】

前記DBI判別部は、前記第1、第2および第3全加算器から伝えられるキャリーのうち2個のキャリーが前記第1論理値を有し、前記第1、第2および第3全加算器から伝えられる合計のうち少なくとも2個の合計が前記第1論理値を有すれば前記DBI信号をイネーブルさせることを特徴とする請求項3乃至5のいずれかに記載の半導体集積回路のDBI信号生成装置。

20

【請求項7】

前記第2全加算器の出力キャリーと前記第3全加算器の出力キャリーが入力される第1ナンドゲートと、

前記第1全加算器の出力キャリーと前記第3全加算器の出力キャリーが入力される第2ナンドゲートと、

前記第1全加算器の出力キャリーと前記第2全加算器の出力キャリーが入力される第3ナンドゲートと、

前記第2全加算器の出力合計と前記第3全加算器の出力合計が入力される第4ナンドゲートと、

前記第1全加算器の出力合計と前記第3全加算器の出力合計が入力される第5ナンドゲートと、

30

前記第1全加算器の出力合計と前記第2全加算器の出力合計が入力される第6ナンドゲートと、

前記第1ナンドゲートの出力信号が入力される第1インバータと、

前記第1、第2および第3ナンドゲートの出力信号が入力される第7ナンドゲートと、

前記第3ナンドゲートの出力信号が入力される第2インバータと、

前記第4、第5および第6ナンドゲートの出力信号が入力される第8ナンドゲートと、

前記第1および第2インバータの出力信号が入力される第9ナンドゲートと、

前記第7および第8ナンドゲートの出力信号が入力される第10ナンドゲートと、

前記第9および第10ナンドゲートの出力信号が入力されて、前記DBI信号を出力する第11ナンドゲートと

40

を含むことを特徴とする請求項3請求項3乃至6のいずれかに記載の半導体集積回路のDBI信号生成装置。

【請求項8】

複数の全加算器のデータ入力端とキャリー入力端にデータを各々入力して、前記全加算器毎の合計とキャリーとを生成するステップと、

前記複数の全加算器毎に生成された各合計と各キャリーから、前記データの論理値を判別してDBI信号を生成するステップと

を含み、

前記全加算器毎の合計とキャリーとを生成するステップでは、前記複数の全加算器の一

50

つにおいて、前記データ入力端を通じてデータが入力されるとともに、前記キャリア入力端を通じてレベル固定信号が入力されることにより、前記合計と前記キャリアとが生成される

ことを特徴とする半導体集積回路のDBI信号生成方法。

【請求項 9】

前記DBI信号を生成するステップは、前記全加算器に入力される複数のデータ中の第1論理値を有するデータが所定個数以上であれば前記DBI信号をイネーブルさせ、前記所定個数未満であれば前記DBI信号をディスエーブルさせることを特徴とする請求項8に記載の半導体集積回路のDBI信号生成方法。

【請求項 10】

前記合計とキャリアとを生成するステップは、第1全加算器および第2全加算器に各々備わった2個のデータ入力端と1個のキャリア入力端に各々データを入力して、第3全加算器に備わった2個のデータ入力端に各々データを入力してキャリア入力端にレベル固定信号を入力して、各々の合計とキャリアとを生成し、

前記DBI信号を生成するステップは、前記第1、第2および第3全加算器で生成された合計とキャリアが伝達され、前記第1、第2および第3全加算器に入力されるデータ中の第1論理値のデータの数が半分を超過すればイネーブルになるDBI信号を生成することを特徴とする請求項8又は9に記載の半導体集積回路のDBI信号生成方法。

【請求項 11】

前記レベル固定信号は、前記DBI信号を生成する間、常に前記第1論理値を有することを特徴とする請求項10に記載の半導体集積回路のDBI信号生成方法。

【請求項 12】

前記DBI信号を生成するステップは、前記第1、第2および第3全加算器から各々出力されるキャリアがいずれも前記第1論理値を有すれば前記DBI信号をイネーブルさせることを特徴とする請求項10又は11に記載の半導体集積回路のDBI信号生成方法。

【請求項 13】

前記DBI信号を生成するステップは、前記第1、第2および第3全加算器から各々出力されるキャリアのうち2個のキャリアが前記第1論理値を有し、前記第1、第2および第3全加算器から各々出力される合計のうち少なくとも2個の合計が前記第1論理値を有すれば前記DBI信号をイネーブルさせることを特徴とする請求項10又は12に記載の半導体集積回路のDBI信号生成方法。

【請求項 14】

前記レベル固定信号は、前記DBI信号が生成される間、所定個数以上のデータにより前記DBI信号をイネーブルさせるための前記第1論理値を、常に有することを特徴とする請求項1に記載の半導体集積回路のDBI信号生成装置。

【請求項 15】

前記レベル固定信号は、前記DBI信号が生成される間、所定個数以上のデータにより前記DBI信号をイネーブルさせるための前記第1論理値を、常に有することを特徴とする請求項8に記載の半導体集積回路のDBI信号生成方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路のDBI(Data Bus Inversion)信号生成装置および方法に関し、より詳しくは、面積マージンを増加させる半導体集積回路のDBI信号生成装置および方法に関するものである。

【背景技術】

【0002】

一般的に半導体記憶装置のような半導体集積回路は2の倍数個の単位(例えば、128個、256個)でデータの出力動作を行う。このために、半導体集積回路は出力データの数ほどのデータ出力バッファを備え、グローバル入出力ラインから伝えられる各々のデー

10

20

30

40

50

タを駆動する。各データ出力バッファにはM O S トランジスタが備えられ、各M O S トランジスタはデータのレベルに応答してデータを駆動して、これをチップの外部に出力する。

【 0 0 0 3 】

データ出力バッファに備える各々のM O S トランジスタは、データの論理値によりその状態が決定される。例えば、N M O S トランジスタで実現されたデータ出力バッファにハイレベルのデータが伝えられれば、前記N M O S トランジスタはターンオンされ、これによって、前記N M O S トランジスタのドレイン端とソース端との間には電流が流れるようになる。このように、複数のデータ出力バッファに備わった複数のM O S トランジスタのうちの電流が流れるM O S トランジスタが多いほど、半導体集積回路の電流損失が大きくなるようになり、それにより電力効率が減少するようになる。

10

【 0 0 0 4 】

従来の技術に係る半導体集積回路は、上述したような電流損失問題を解決するためにD B I という技術を導入した（例えば、非特許文献1 参照）。前記D B I 技術は、所定個数単位（例えば、8 個）のデータのうちのいくつかのデータがデータ出力バッファのトランジスタに電流を発生させるか否かを判別して、電流を発生させるデータが多ければデータを反転させることによって電流損失を減少させる技術である。例えば、データ出力バッファにN M O S トランジスタが備わっている場合、半導体集積回路は8 個のデータのうちハイレベルのデータが5 個未満であれば、データを反転せずにデータ出力バッファに伝達する。反面半導体集積回路は8 個のデータのうちハイレベルのデータが5 個以上であれば、データを反転してデータ出力バッファに伝達する。

20

【 0 0 0 5 】

このような動作を行うために、半導体集積回路はD B I 信号生成装置を備える。D B I 信号生成装置は、上述したように電流を発生させるデータの数を判別してD B I 信号を生成する。すなわち、D B I 信号がイネーブルになれば、D B I 制御装置はデータ出力バッファに伝えられるデータを反転させる。反面D B I 信号がディスエーブルになれば、前記D B I 制御装置はデータ出力バッファに伝えられるデータを反転させない。このようなD B I 技術は、半導体記憶装置だけでなくG P U (G r a p h i c P r o c e s s i n g U n i t) のような半導体集積回路にも適用され、低電力消費を追求する大部分の半導体集積回路で実現可能な技術である。

30

【 0 0 0 6 】

以下、従来の技術に係るD B I 信号生成装置を図1 を参照して説明すれば次の通りである。

図1 は、従来の技術に係る半導体集積回路のD B I 信号生成装置の構成を示すブロック図であり、グローバル入出力ラインから伝えられる8 個のデータG I O < 1 : 8 > からD B I 信号D B I _ f l a g を生成するD B I 信号生成装置を示すものである。

【 0 0 0 7 】

図に示すように、前記D B I 信号生成装置は、4 個の2 入力カウンタ2 と2 個の6 入力カウンタ4 および1 個の8 入力カウンタ6 を備える。各々の2 入力カウンタ2 は、グローバル入出力ラインを介して伝えられる8 個のデータG I O < 1 : 8 > のうち2 つずつが入力される。各2 入力カウンタ2 は、2 個のデータにハイレベル、すなわち論理値「1」を有するデータの数がいくつであるかを判別して、各々第1 の0 個判別信号d t n g 1 < 0 >、第1 の1 個判別信号d t n g 1 < 1 >、および第1 の2 個判別信号d t n g 1 < 2 > のうちいずれか1 つをイネーブルさせる。以後、各々の6 入力カウンタ4 は、前記4 個の2 入力カウンタ2 のうち2 個の2 入力カウンタ2 から伝えられる2 個の前記第1 の0 個判別信号d t n g 1 < 0 >、2 個の前記第1 の1 個判別信号d t n g 1 < 1 >、および2 個の前記第1 の2 個判別信号d t n g 1 < 2 > を用いて、4 個のデータに論理値「1」を有するデータの数がいくつであるかを判別して、各々第2 の0 個判別信号d t n g 2 < 0 >、第2 の2 個判別信号d t n g 2 < 2 >、第2 の3 個判別信号d t n g 2 < 3 >、および第2 の4 個判別信号d t n g 2 < 4 > がイネーブルであるか否かを決定する。この時、前

40

50

記 4 個のデータに論理値「1」が 1 つ含まれれば、前記第 2 の 0 個判別信号 $d t n g 2 < 0 >$ 、前記第 2 の 2 個判別信号 $d t n g 2 < 2 >$ 、前記第 2 の 3 個判別信号 $d t n g 2 < 3 >$ 、および前記第 2 の 4 個判別信号 $d t n g 2 < 4 >$ は、いずれもディスエーブルなる。

【0008】

以後、前記 8 入力カウンタ 6 は、前記 2 個の 6 入力カウンタ 4 から伝えられる 2 個の前記第 2 の 0 個判別信号 $d t n g 2 < 0 >$ 、2 個の前記第 2 の 2 個判別信号 $d t n g 2 < 2 >$ 、2 個の前記第 2 の 3 個判別信号 $d t n g 2 < 3 >$ 、および 2 個の前記第 2 の 4 個判別信号 $d t n g 2 < 4 >$ を用いて、前記 8 個のデータに含まれたデータ中の論理値「1」の数がいくつであるかを判別して DBI 信号 DBI__flag がイネーブルであるか否かを決定する。すなわち、前記 8 入力カウンタ 6 は前記 8 個のデータに含まれたデータ中の論理値「1」の数が 5 個以上であれば前記 DBI 信号 DBI__flag をイネーブルさせ、前記 8 個のデータに含まれたデータ中の論理値「1」の数が 5 個未満であれば前記 DBI 信号 DBI__flag をディスエーブルさせる。

10

【0009】

上述したように構成された従来の技術に係る DBI 信号生成装置は、3 段階の演算過程を実現するために 7 個のカウンタを備えたため、その占める面積が小さくなかった。また、2 入力カウンタの信号出力ラインは信号入力ラインに比べて、その数が 1.5 倍増加した形態であるため、DBI 信号生成装置の高集積化の実現に技術的限界として作用した。すなわち、従来の技術に係る DBI 信号生成装置の構成は面積マージンを増加させるのに容易ではなかった。

20

【非特許文献 1】株式会社ハイニックス・セミコンダクター・ジャパン、報道資料“ハイニックス半導体、世界最高速 / 最大容量グラフィックメモリー開発”、[online]、2005 年 12 月 5 日、株式会社ハイニックス・セミコンダクター・ジャパン、[平成 19 年 8 月 21 日検索]、インターネット<URL: http://hsj.hynix.com/hsj/03_pr/news/20051230_171308_press_release_hsj.jsp>

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、上述した問題点を解決するために案出されたものであり、面積マージンを増加させ、高集積化の実現を可能にする半導体集積回路の DBI 信号生成装置および方法を提供することにその技術的課題がある。

30

【0011】

また、本発明は、電流消費を減少させ、電力効率を向上させる半導体集積回路の DBI 信号生成装置および方法を提供することに他の技術的課題がある。

【課題を解決するための手段】

【0012】

上述した技術的課題を達成するための本発明の一実施形態に係る半導体集積回路の DBI 信号生成装置は、データ入力端とキャリー入力端をそれぞれ有する複数の全加算器であって、データ入力端とキャリー入力端をそれぞれ有する複数の全加算器であって、各全加算器では、前記データ入力端とキャリー入力端にデータが各々入力されて、入力されたデータを前記複数の全加算器毎に演算して合計とキャリーをそれぞれ出力する複数の全加算器と、前記全加算器から伝えられる合計とキャリーから前記データの論理値を判別して DBI (Data Bus Inversion) 信号を生成する DBI 判別部とを含み、前記複数の全加算器の一つにおいて、前記データ入力端を通じてデータが入力されるとともに、前記キャリー入力端を通じてレベル固定信号が入力されることを特徴とする。

40

【0013】

また、本発明の他の実施形態に係る半導体集積回路の DBI 信号生成装置は、2 個のデータ入力端と 1 個のキャリー入力端に各々データが入力されて、加算して、各々の合計とキャリーを出力する第 1 全加算器および第 2 全加算器と、2 個のデータ入力端に各々デー

50

タが入力されて、キャリア入力端にレベル固定信号が入力されて、加算して合計とキャリアを出力する第3全加算器と、前記第1、第2および第3全加算器から合計とキャリアが伝達され、前記第1、第2および第3全加算器に入力されるデータ中の第1論理値のデータの数が半分を超過すればイネーブルになるDBI信号を生成するDBI判別部とを含むことを特徴とする。

【0014】

そして、本発明の一実施形態に係る半導体集積回路のDBI信号生成方法は、複数の全加算器のデータ入力端とキャリア入力端にデータを各々入力して、前記全加算器毎の合計とキャリアとを生成するステップと、前記複数の全加算器毎に生成された各合計と各キャリアから、前記データの論理値を判別してDBI信号を生成するステップとを含み、前記全加算器毎の合計とキャリアとを生成するステップでは、前記複数の全加算器の一つにおいて、前記データ入力端を通じてデータが入力されるとともに、前記キャリア入力端を通じてレベル固定信号が入力されることにより、前記合計と前記キャリアとが生成されることを特徴とする。

10

【0015】

また、本発明の他の実施形態に係る半導体集積回路のDBI信号生成方法は、第1全加算器および第2全加算器に各々備わった2個のデータ入力端と1個のキャリア入力端に各々データを入力して、第3全加算器に備わった2個のデータ入力端に各々データを入力してキャリア入力端にレベル固定信号を入力して、各々の合計とキャリアとを生成するステップと、前記第1、第2および第3全加算器で生成された合計とキャリアが伝達され、前記第1、第2および第3全加算器に入力されるデータ中の第1論理値のデータの数が半分を超過すればイネーブルになるDBI信号を生成するステップとを含むことを特徴とする。

20

【発明の効果】

【0016】

本発明の半導体集積回路のDBI信号生成装置および方法は、備える素子の数とラインの数とを減少させ、面積マージンを向上させて高集積化の実現を可能にする効果がある。

合わせて、本発明の半導体集積回路のDBI信号生成装置および方法は、相対的に少ない数の素子を用いて動作することによって、電流消費を減少させて電力効率を向上させる効果がある。

30

【発明を実施するための最良の形態】

【0017】

以下では添付された図面を参照して、本発明の好ましい実施形態をより詳細に説明することにする。

図2は、本発明の一実施形態に係る半導体集積回路のDBI信号生成装置の構成を示すブロック図であって、グローバル入出力ラインから伝えられる8個のデータGIO<1:8>からDBI信号DBI__flagを生成するDBI信号生成装置を示すものである。

【0018】

図に示すように、前記DBI信号生成装置は第1全加算器10、第2全加算器20、第3全加算器30およびDBI判別部40を含む。

40

【0019】

前記第1全加算器10は、キャリア入力端CIに第1データGIO<1>が、第1データ入力端D1に第2データGIO<2>が、第2データ入力端D2に第3データGIO<3>が入力されて、これを加算して第1合計S1と第1キャリアC1とを出力する。

【0020】

前記第2全加算器20は、キャリア入力端CIに第4データGIO<4>が、第1データ入力端D1に第5データGIO<5>が、第2データ入力端D2に第6データGIO<6>が入力されて、これを加算して第2合計S2と第2キャリアC2とを出力する。

【0021】

前記第3全加算器30は、キャリア入力端CIにレベル固定信号lvfxが、第1デー

50

タ入力端 D 1 に第 7 データ G I O < 7 > が、第 2 データ入力端 D 2 に第 8 データ G I O < 8 > が入力されて、これを加算して第 3 合計 S 3 と第 3 キャリー C 3 とを出力する。

【 0 0 2 2 】

すなわち、前記第 1、第 2 および第 3 全加算器 1 0 , 2 0 , 3 0 は、各々 3 個のデータを加算する。前記レベル固定信号 $l v f x$ は、前記 D B I 信号生成回路の動作が随行される間に常に論理値「1」を有する信号である。前記レベル固定信号 $l v f x$ は、前記 D B I 信号生成を指示する任意の信号又はモードレジスタセット信号やフューズ信号等によって実現可能である。前記レベル固定信号 $l v f x$ は、前記信号の他に他の信号を用いても実現することができる。

【 0 0 2 3 】

前記 D B I 判別部 4 0 には、前記第 1 合計 S 1、前記第 2 合計 S 2、前記第 3 合計 S 3、前記第 1 キャリー C 1、前記第 2 キャリー C 2、および前記第 3 キャリー C 3 が入力される。これから前記 D B I 判別部 4 0 は第 1 ~ 第 8 データ G I O < 1 : 8 > と前記レベル固定信号 $l v f x$ に含まれた論理値「1」のデータの数を判別して D B I 信号 D B I _ f l a g を生成する。前記 D B I 判別部 4 0 は、論理値「1」であるデータの数が 6 個以上であれば前記 D B I 信号 D B I _ f l a g をイネーブルし、論理値「1」であるデータの数が 6 個未満であれば前記 D B I 信号 D B I _ f l a g をディスエーブルする。前記レベル固定信号 $l v f x$ が常に論理値「1」を有するため、前記 D B I 判別部 4 0 が論理値「1」であるデータの数が 6 個以上であるか未満であるかを判別するのは、グローバル入出力ラインから前記第 1、第 2 および第 3 全加算器 1 0 , 2 0 , 3 0 に伝えられる 8 個のデータ G I O < 1 : 8 > のうち論理値「1」であるデータの数が 5 個以上であるか未満であるかを判別するのと同様であるためである。

【 0 0 2 4 】

前記 D B I 判別部 4 0 が前記 8 個のデータ G I O < 1 : 8 > のうち論理値「1」であるデータの数を判別するのは次のような論理に従う。

【 0 0 2 5 】

前記第 1 キャリー C 1、前記第 2 キャリー C 2、および前記第 3 キャリー C 3 が全て論理値「1」を有する場合には、前記 8 個のデータ G I O < 1 : 8 > のうち論理値「1」であるデータが少なくとも 6 個であるため前記 D B I 信号 D B I _ f l a g がイネーブルになる。

これを式で表せば数式 1 のようになる。

(数 1)

$$D B I \text{ 信号 } D B I _ f l a g = C 1 * C 2 * C 3$$

【 0 0 2 6 】

前記第 1 キャリー C 1、前記第 2 キャリー C 2、および前記第 3 キャリー C 3 のうち 2 個のキャリーが論理値「1」を有する場合には、前記第 1 合計 S 1、前記第 2 合計 S 2 および前記第 3 合計 S 3 のうち少なくとも 2 個の合計が論理値「1」を有する時、前記 D B I 信号 D B I _ f l a g がイネーブルになる。

これを式で表せば数式 2 のようになる。

(数 2)

$$D B I \text{ 信号 } D B I _ f l a g = (C 1 * C 2 + C 2 * C 3 + C 1 * C 3) * (S 1 * S 2 + S 2 * S 3 + S 1 * S 3)$$

【 0 0 2 7 】

前記第 1 キャリー C 1、前記第 2 キャリー C 2、および前記第 3 キャリー C 3 のうち 1 個のキャリーが論理値「1」を有する場合には前記第 1 合計 S 1、前記第 2 合計 S 2 および前記第 3 合計 S 3 が全て論理値「1」を有するといっても前記 D B I 信号 D B I _ f l a g がディスエーブルになる。

【 0 0 2 8 】

上述した論理により前記 D B I 信号 D B I _ f l a g がイネーブルになる。

これを式で表せば数式 3 のようになる。

(数3)

$DBI \text{ 信号 } DBI_flag = C1 * C2 * C3 + (C1 * C2 + C2 * C3 + C1 * C3) * (S1 * S2 + S2 * S3 + S1 * S3)$

【0029】

前記DBI判別部40は前記DBI信号DBI_flagを生成する公式により構成される。このような前記DBI判別部40の構成を図3に示す。

図3は、図2に示したDBI判別部の詳細構成を示す回路図である。

【0030】

前記DBI判別部40は、第1～第11ナンドゲートND1～ND11と第1および第2インバータIV1, IV2を含む。

10

【0031】

第1ナンドゲートND1には、前記第2キャリアC2と前記第3キャリアC3とが入力される。

第2ナンドゲートND2には、前記第1キャリアC1と前記第3キャリアC3とが入力される。

第3ナンドゲートND3には、前記第1キャリアC1と前記第2キャリアC2が入力される。

第4ナンドゲートND4には、前記第2合計S2と前記第3合計S3が入力される。

第5ナンドゲートND5には、前記第1合計S1と前記第3合計S3が入力される。

第6ナンドゲートND6には、前記第1合計S1と前記第2合計S2が入力される。

20

【0032】

第1インバータIV1には、前記第1ナンドゲートND1の出力信号が入力される。

第7ナンドゲートND7には、前記第1、第2および第3ナンドゲートND1, ND2, ND3の出力信号が入力される。

【0033】

第2インバータIV2には、前記第3ナンドゲートND3の出力信号が入力される。

第8ナンドゲートND8には、前記第4、第5および第6ナンドゲートND4, ND5, ND6の出力信号が入力される。

第9ナンドゲートND9には、前記第1および第2インバータIV1, IV2の出力信号が入力される。

30

第10ナンドゲートND10には、前記第7および第8ナンドゲートND7, ND8の出力信号が入力される。

第11ナンドゲートND11には、前記第9および第10ナンドゲートND9, ND10の出力信号が入力される。

【0034】

このように構成された前記DBI判別部40で、前記第1キャリアC1、前記第2キャリアC2、および前記第3キャリアC3が全て論理値「1」を有すれば、前記第1および第3ナンドゲートND1, ND3の出力信号はいずれもローレベルになり前記第1および第2インバータIV1, IV2の出力信号はいずれもハイレベルになる。これによって、前記第9ナンドゲートND9の出力信号はローレベルになる。したがって、前記第11ナンドゲートND11はローレベルの信号の入力によりハイレベルの前記DBI信号DBI_flagすなわち、イネーブルになった前記DBI信号DBI_flagを出力する。

40

【0035】

前記第1キャリアC1、前記第2キャリアC2、および前記第3キャリアC3のうち2個のキャリアが論理値「1」を有すれば、前記第1ナンドゲートND1と前記第3ナンドゲートND3の出力信号は互いに異なる論理値を有するようになる。したがって、前記第9ナンドゲートND9はハイレベルの信号を出力する。前記第7ナンドゲートND7の出力信号もまたハイレベルになる。

【0036】

この場合、前記第4、第5および第6ナンドゲートND4, ND5, ND6のうちい

50

れか 1 個のナンドゲートは、必ずローレベルの信号を出力する。したがって、前記第 8 ナンドゲート ND 8 はハイレベルの信号を出力し、これによって前記第 10 ナンドゲート ND 10 はローレベルの信号を出力する。したがって、前記第 11 ナンドゲート ND 11 はハイレベルの前記 DBI 信号 DBI__f l a g を出力するようになる。

【0037】

上述した以外の場合には、前記第 9 および第 10 ナンドゲート ND 9 , ND 10 の出力信号がいずれもハイレベルになり、それにより前記第 11 ナンドゲート ND 11 がローレベルの前記 DBI 信号 DBI__f l a g を出力するということを示す回路構成によって容易に理解できる。

【0038】

すなわち、上述した数式により構成した前記 DBI 判別部 40 は、前記第 1 合計 S 1、前記第 2 合計 S 2、前記第 3 合計 S 3、前記第 1 キャリー C 1、前記第 2 キャリー C 2、および前記第 3 キャリー C 3 を介して、前記 8 個のデータ GIO < 1 : 8 > と前記レベル固定信号 lv f x 中の論理値「1」であるデータが 6 個以上であるか否かを判別し、前記 DBI 信号 DBI__f l a g がイネーブルであるか否かを決定する。

【0039】

このように、3 個の全加算器 10 , 20 , 30 と上述した DBI 判別部 40 で構成される本発明の DBI 信号生成装置は、従来の技術に比べて専有面積が画期的に減少する。従来の DBI 信号生成装置と本発明の DBI 信号生成装置の面積を内部に備える内部素子の個数によって比較した結果、本発明の DBI 信号生成装置は、従来の DBI 信号生成装置に比べて約 49 % 程度の面積だけを占めることを把握することができた。さらに、従来の技術に比べて信号を伝送するラインの数が減少するため、本発明の DBI 信号生成装置の高集積化の実現はより容易になる。半導体集積回路内に多くの数の DBI 信号生成装置が備わったため、本発明によって半導体集積回路の面積マージンは顕著に向上する。

【0040】

また、各素子が用いる電力の側面を考えてみれば、少ない数の素子を備える本発明の DBI 信号生成装置の電力消耗が大きく減少するということを知ることができる。すなわち、本発明は、半導体集積回路の電力効率を向上させるという利点もまた得られるようになる。

【0041】

このように、本発明が属する技術分野の当業者は、本発明がその技術的思想や必須特徴を変更せず、他の具体的な形態で実施され得ることを理解できる。したがって、以上で記述した実施形態は全ての面で例示的なものであり、限定的なものではないこととして理解しなければならない。本発明の範囲は前記詳細な説明よりは特許請求の範囲によって示され、特許請求の範囲の意味および範囲、そしてその等価概念から導き出される全ての変更又は変形された形態が本発明の範囲に含まれると解釈しなければならない。

【図面の簡単な説明】

【0042】

【図 1】従来の技術に係る半導体集積回路の DBI 信号生成装置の構成を示すブロック図である。

【図 2】本発明の一実施形態に係る半導体集積回路の DBI 信号生成装置の構成を示すブロック図である。

【図 3】図 2 に示した DBI 判別部の詳細構成を示す回路図である。

【符号の説明】

【0043】

C 1 ~ 3 ... 第 1 ~ 3 キャリー

C I ... キャリー入力端

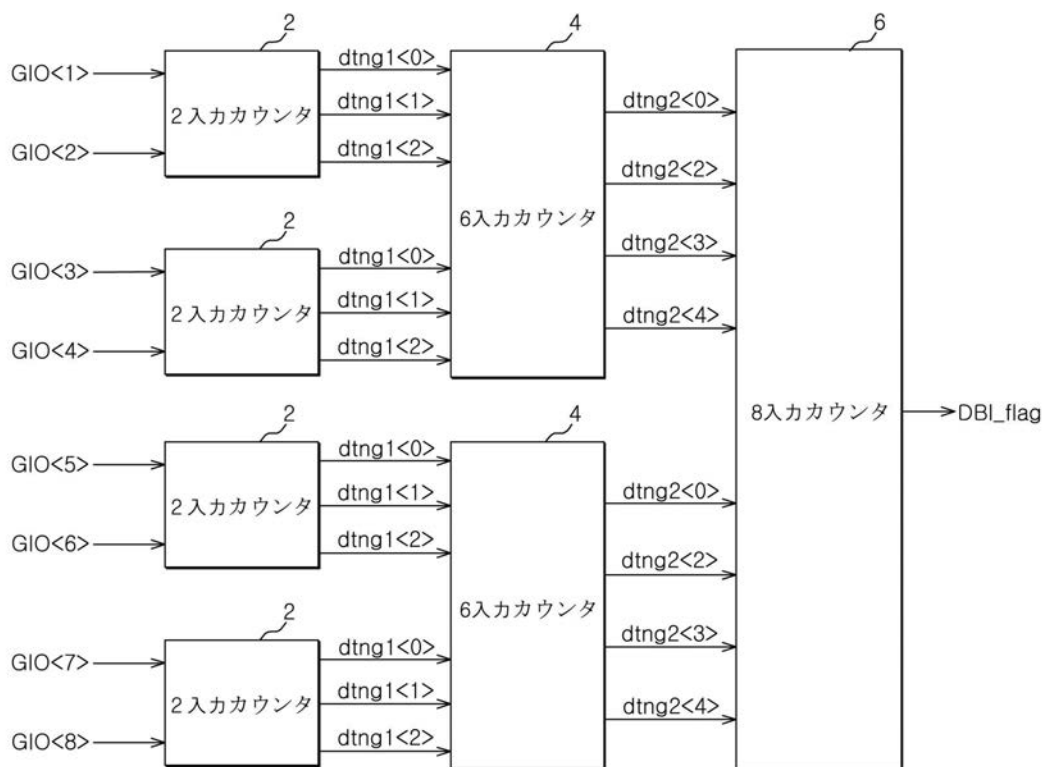
D 1 ... 第 1 データ入力端

D 2 ... 第 2 データ入力端

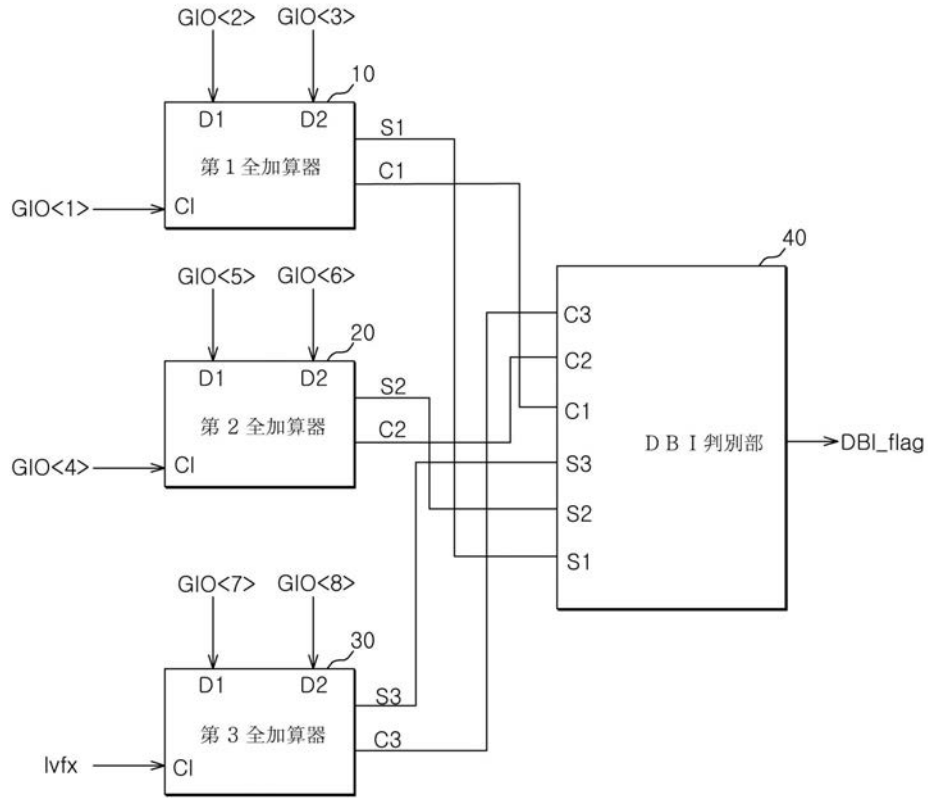
DBI__f l a g ... DBI 信号

I V 1 , I V 2 ... 第 1 および第 2 インバータ
 l v f x ... レベル固定信号 l v f x
 N D 1 ~ 1 1 ... 第 1 ~ 1 1 のナンドゲート
 1 0 ... 第 1 全加算器
 2 0 ... 第 2 全加算器
 3 0 ... 第 3 全加算器
 4 0 ... D B I 判別部

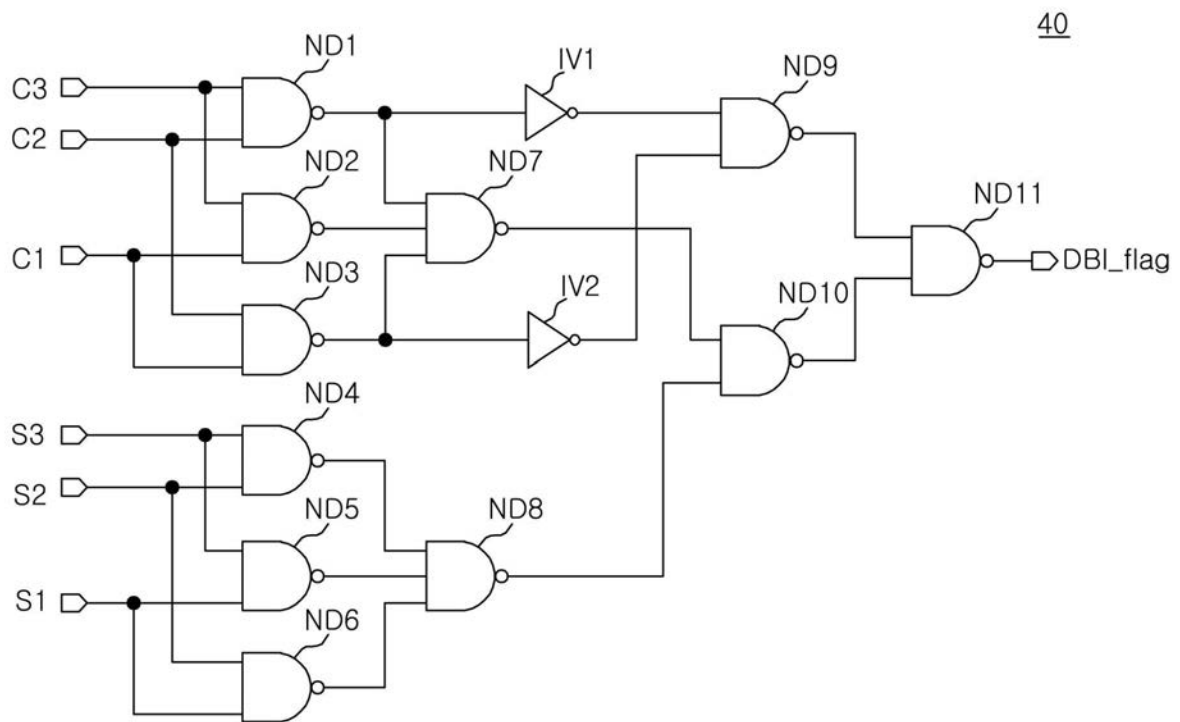
【図 1】



【図 2】



【図 3】



フロントページの続き

審査官 田中 友章

- (56)参考文献 米国特許出願公開第2004/0068594 (US, A1)
米国特許出願公開第2006/0184757 (US, A1)
特開2004-080553 (JP, A)
特開平09-006500 (JP, A)
特開昭62-172431 (JP, A)
特開2005-165793 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G06F 7/501
G06F 7/02