

(12) 发明专利申请

(10) 申请公布号 CN 102683169 A

(43) 申请公布日 2012. 09. 19

(21) 申请号 201210039247. 5

(22) 申请日 2012. 02. 20

(30) 优先权数据

13/048, 411 2011. 03. 15 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 陈重辉 沈瑞滨 彭永州 康伯坚
谢仲朋

(74) 专利代理机构 北京德恒律师事务所 11306
代理人 陆鑫 房岭梅

(51) Int. Cl.

H01L 21/02(2006. 01)

H01L 27/02(2006. 01)

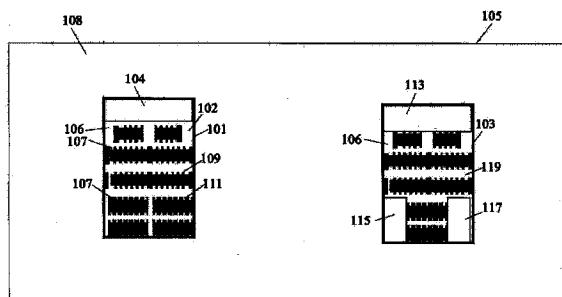
权利要求书 2 页 说明书 10 页 附图 6 页

(54) 发明名称

半导体失配的减少

(57) 摘要

公开了用于半导体失配减少的系统和方法。实施例包括：半导体器件的高密度区域和低密度区域的导体密度和有源区域密度。为了提高导体密度和有源区域密度，可以将伪材料添加至低密度区域，从而减少了在高密度区域和低密度区域之间的内部密度失配。另外，可以将类似处理用于减少在位于半导体衬底上的不同区域之间的外部失配。一旦已经减少了这些失配，为了减少导体密度失配和有源区域密度失配，就可以额外填充围绕不同区域的空白区域。



1. 一种用于减少失配的方法,包括:

确定半导体衬底的高密度区域中的第一密度和所述半导体衬底的低密度区域中的第二密度的数值,所述高密度区域与所述低密度区域邻近;以及

通过将伪材料添加在所述低密度区域中来提高所述低密度区域中的所述第二密度。

2. 根据权利要求 1 所述的方法,其中,所述第一密度为有源区域密度。

3. 根据权利要求 1 所述的方法,其中,所述第一密度为导体密度。

4. 根据权利要求 1 所述的方法,进一步包括:

确定第一区域的第一总密度,其中,所述第一区域包括所述高密度区域和所述低密度区域;

确定所述半导体衬底的第二区域的第二总密度;以及

调节所述第一总密度或者所述第二总密度从而减少在所述第一区域和所述第二区域之间的密度失配,

所述方法进一步包括:将所述伪材料添加至位于所述第一区域外部并且与所述第一区域邻近的第三区域,添加所述伪材料的步骤提高了所述第三区域的第三密度,从而减少了在所述第三区域和所述第一区域之间的所述密度失配。

5. 根据权利要求 4 所述的方法,其中,调节所述第一总密度或者所述第二总密度的步骤将在所述第一区域和所述第二区域之间的所述密度失配减少至彼此相差 2.5% 的范围内。

6. 一种用于减少失配的方法,包括:

计算半导体器件的第一区域中的第一密度和所述半导体器件的第二区域中的第二密度;以及

调节所述第一密度和所述第二密度,从而生成经调节的第一密度和经调节的第二密度,调节的步骤包括将伪材料添加至所述第一区域和所述第二区域,调节的步骤还减少了在所述第一区域和所述第二区域之间的第一密度失配。

7. 根据权利要求 6 所述的方法,其中,继续调节所述第一密度和所述第二密度,直到所述第一密度失配小于约 2.5%。

8. 根据权利要求 6 所述的方法,进一步包括:

确定所述第一区域的高密度区域中的第一内部密度;

确定所述第一区域的低密度区域中的第二内部密度;

调节所述低密度区域中的所述第二内部密度,直到在所述第一内部密度和所述第二内部密度之间的内部密度失配小于约 2.5%,调节的步骤包括:将所述伪材料添加至所述低密度区域。

9. 根据权利要求 6 所述的方法,进一步包括:

确定所述半导体器件的所述第一区域中的第三密度和所述第二区域中的第四密度;以及

通过将所述伪材料添加至所述第一区域和所述第二区域来调节所述第三密度和所述第四密度,调节的步骤减少了在所述第一区域和所述第二区域之间的第二密度失配,其中,所述第一密度为导体密度,所述第三密度为有源区域密度。

10. 一种半导体器件,包括:

第一区域，位于半导体衬底上，所述第一区域具有第一密度并且包括第一功能区域和第一伪区域；以及

第二区域，位于所述半导体衬底上，所述第二区域具有第二密度并且包括第二功能区域和第二伪区域，其中，所述第一密度和所述第二密度在彼此相差 2.5% 的范围内，

其中，所述第一密度为导体密度。

半导体失配的减少

技术领域

[0001] 本发明涉及半导体领域,更具体地,涉及半导体失配的减少的方法和器件。

背景技术

[0002] 通常,半导体器件可以填充具有多种密度的两个有源区的区域。尤其,半导体器件可以具有:与低图案密度区域邻近的高图案密度区域。这种在高图案密度区域和低图案密度区域之间的密度偏差在诸如浅沟槽隔离(STI)的隔离结构形成期间可能带来问题。因为在高图案密度区域中具有更多构件,所以例如当实施化学机械抛光时,在STI形成为这些区域的材料沉积导致去除速率的偏差。于是,可能在低图案密度区域中产生更快的抛光速率并且可能在高图案密度区域中可能产生更慢的抛光速率。

[0003] 与此同时,抛光速率的这种偏差还导致位于高图案密度区域中的STI和有效区域之间的阶梯高度和位于低图案密度区域中的STI和有效区域之间的阶梯高度的偏差。这种STI的阶梯高度偏差可能不仅影响邻近晶体管的长度(L_e)和阻抗(Z_e),而且也可能影响随后所形成的栅极的实际形状。例如,如果STI具有正阶梯高度(其中更低抛光速率已经导致STI在衬底的上方延伸),则稍微远离地形成随后的光刻掩膜,使栅极宽于所期望的栅极并且形成“冰柱(icicle)”形状。另外,如果存在负阶梯高度(其中,更快的抛光速率导致STI在衬底中凹进),则随后对于光刻掩膜的影响导致随后所形成的栅极窄于所期望的栅极并且形成“狗骨(dogbone)”形状。

发明内容

[0004] 为解决上述问题,本发明提供了一种用于减少失配的方法,包括:确定半导体衬底的高密度区域中的第一密度和半导体衬底的低密度区域中的第二密度的数值,高密度区域与低密度区域邻近;以及通过将伪材料添加在低密度区域中来提高低密度区域中的第二密度。

[0005] 其中,第一密度为有源区域密度。

[0006] 其中,第一密度为导体密度。

[0007] 该方法进一步包括:确定第一区域的第一总密度,其中,第一区域包括高密度区域和低密度区域;确定半导体衬底的第二区域的第二总密度;以及调节第一总密度或者第二总密度从而减少在第一区域和第二区域之间的密度失配。

[0008] 其中,调节第一总密度或者第二总密度的步骤将在第一区域和第二区域之间的密度失配减少至彼此相差2.5%的范围内。

[0009] 该方法进一步包括:将伪材料添加至位于第一区域外部并且与第一区域邻近的第三区域,添加伪材料的步骤提高了第三区域的第三密度,从而减少了在第三区域和第一区域之间的密度失配。

[0010] 其中,提高第二密度的步骤将在低密度区域和高密度区域之间的密度失配减少至彼此相差2.5%的范围内。

[0011] 此外,本发明还提供了一种用于减少失配的方法,包括:计算半导体器件的第一区域中的第一密度和半导体器件的第二区域中的第二密度;以及调节第一密度和第二密度,从而生成经调节的第一密度和经调节的第二密度,调节的步骤包括将伪材料添加至第一区域和第二区域,调节的步骤还减少了在第一区域和第二区域之间的第一密度失配。

[0012] 其中,继续调节第一密度和第二密度,直到第一密度失配小于约2.5%。

[0013] 该方法进一步包括:确定第一区域的高密度区域中的第一内部密度;确定第一区域的低密度区域中的第二内部密度;调节低密度区域中的第二内部密度,直到在第一内部密度和第二内部密度之间的内部密度失配小于约2.5%,调节的步骤包括:将伪材料添加至低密度区域。

[0014] 其中,第一密度为导体密度。

[0015] 其中,第一密度为有源区域密度。

[0016] 该方法进一步包括:确定半导体器件的第一区域中的第三密度和第二区域中的第四密度;以及通过将伪材料添加至第一区域和第二区域来调节第三密度和第四密度,调节的步骤减少了在第一区域和第二区域之间的第二密度失配,其中,第一密度为导体密度,第三密度为有源区域密度。

[0017] 该方法进一步包括:根据经调节的第一密度和经调节的第二密度确定平均密度;以及将第三区域中的第三密度调节至平均密度,第三区域在第一区域和第二区域之间。

[0018] 此外,还提供了一种半导体器件,包括:第一区域,位于半导体衬底上,第一区域具有第一密度并且包括第一功能区域和第一伪区域;以及第二区域,位于半导体衬底上,第二区域具有第二密度并且包括第二功能区域和第二伪区域,其中,第一密度和第二密度在彼此相差2.5%的范围内。

[0019] 其中,第一密度为导体密度。

[0020] 其中,第一密度为有源区域密度。

[0021] 其中,第一功能区域具有第三密度并且第一伪区域具有第四密度,第三密度在第四密度的2.5%的范围内。

[0022] 其中,第三区域具有:第三密度,等于第一密度和第二密度或者在第一密度和第二密度之间,第三区域位于第一区域和第二区域之间。

[0023] 其中,第一区域具有第三密度,第三密度在第二区域的第四密度的2.5%的范围内,第一区域为导体密度并且第三密度为有源区域密度。

附图说明

[0024] 为了更好地理解实施例及其优点,现在将结合附图所进行的以下描述作为参考,其中:

[0025] 图1示出了根据实施例的位于半导体衬底的第一区域中的失配装置(concern)的第一区和失配装置的第二区;

[0026] 图2示出了根据实施例使用伪材料减少在失配装置的第一区和失配装置的第二区之间的密度失配;以及

[0027] 图3示出了根据实施例使用伪材料减少在失配装置的第一区、失配装置的第二区、以及周围区域之间的密度失配;

[0028] 图 4A-4B 示出了根据实施例的示例性流程图 ;以及

[0029] 图 5 示出了根据实施例可以用于实施密度失配减少的系统。

[0030] 除非另有说明,否则不同附图中的相应数字和标号指的是相应部件。对该附图进行绘制从而清晰示出实施例的相关方面并且没有必要按比例进行绘制。

具体实施方式

[0031] 下面,详细讨论本实施例的制造和使用。然而,应该理解,本实施例提供了许多可以在各种具体环境中实现的可应用的发明概念。所讨论的具体实施例仅仅示出制造和使用本发明的具体方式,而不同于限制本实施例的范围。

[0032] 将相对于具体环境描述实施例,即,使用伪填充材料解决半导体布局中的密度失配问题的方法。然而,还可以将实施例用于其它密度失配问题。

[0033] 现在参照图 1,示出了位于半导体衬底 105 的第一区域中的失配装置的第一区 101 和失配装置的第二区 103。在实施例中,图 1 中所示的结构可以为设计阶段,因为该设计阶段是解决密度失配的设计过程中的容易阶段。然而,必要时,在解决随后所制造的未来产品的密度失配问题以前,备选地,可以将图 1 中所示的结构制造为测试结构并且进行分析。

[0034] 在实施例中,半导体衬底 105 的第一区域可以为半导体衬底的区域,一旦确定所期望的设计,如本领域中所公知的,可以在该半导体衬底上制造这些构件。一旦制造完,半导体衬底 105 的第一区域可以包括 :体硅 (bulk silicon)、绝缘体上硅 (SOI) 衬底的掺杂或者未掺杂、或者有源层 (active layer)。通常,SOI 衬底包括 :半导体材料层,例如,硅、锗、锗化硅、SOI、绝缘体上硅锗 (SGOI)、或者其组合。可以使用的其他衬底包括 :多层衬底、梯度衬底、或者混合定向衬底。

[0035] 在实施例中,失配装置的第一区 101 可以为易受密度失配影响的设计模块,诸如模拟设计模块,并且可以通过设计人员或者设计工具来确定。例如,半导体衬底 105 的第一区域可以为电流镜像设计模块、差分对设计模块、这些模块的组合等。然而,本领域的技术人员应理解,实施例不是为了仅限定于包括以下模块的区域,该区域包括模拟器件设计模块,作为其他设计模块的数字设计模块,该数字设计模块包括诸如 SRAM 设计模块,或者其他适当类型的半导体设计模块器件也完全旨在包括在本实施例的范围内。

[0036] 备选地,不采用单个设计模块,为了密度匹配,失配装置的第一区 101 可以为集合在一起的一组不同设计模块。例如,备选地,失配装置的第一区 101 可以包括 :第一区、第二区、以及第三区 (在图 1 中没有单独示出),这三个区中的每个可以具有视为一组的密度。当计算较大区时,这种分组进行密度失配判定 (以下进一步描述的) 更容易,为了降低密度失配,将不同区域处理为单个区域 (例如,失配装置的第一区 101)。

[0037] 与半导体衬底 105 的第一区域的周围区域 108 相比较,失配装置的第一区 101 可以为比较高的密度的区域。尤其是,失配装置的第一区 101 可以包括 :结构和器件 (以下进一步讨论了其实例),该结构和器件的图案密度比半导体衬底 105 的第一区域的周围区域 108 的图案密度更高,从而导致在半导体衬底 105 的第一区域的失配装置的第一区 101 和周围区 108 之间的图案密度失配。如所期望的或者作为处理密度失配的不同区域的最容易的方法的保证条件,可以通过设计人员设置失配装置的第一区 101。仅作为实例,可以将失配装置的第一区设置为约 $10 \mu m \times 10 \mu m$ 的区域,但是备选地,可以利用其他适当尺寸。

[0038] 另外,失配装置的第一区 101 本身还可以包括位于失配装置的第一区 101 中的第一高图案密度区域 102 和第一低图案密度区域 104。在该内部第一高图案密度区域 102 中,可以设置多个半导体或者其他部件,例如,隔离区域 106、有源区域 107、短沟道栅电极 109、以及长沟道栅电极 111。当制造时,隔离区域 106 可以为浅沟槽隔离区域 (STI),可以通过蚀刻半导体衬底 105 而在有源区域 107 周围来形成该隔离区域,从而形成沟槽并且通过如本领域中公知的电介质材料来填充该沟槽。该沟槽可以填充有通过本领域中公知的适当方法所形成的电介质材料,例如,氧化材料、高密度等离子 (HDP) 氧化物等。然而,备选地,可以将其他类型的隔离结构用于隔离有源区域 107。

[0039] 当制造时,有源区域 107 可以包括半导体衬底 105 的多个区,其中,没有去除该多个区从而形成隔离区域 106 并且为了形成诸如晶体管、电阻器等的所期望的构件,可以将掺杂物注入该多个区。为了形成期望器件,依照要求,这种掺杂物可以包括 n 型或者 p 型掺杂物,或者这些掺杂物的某些组合。例如,可以将 n 型掺杂物注入有源区域 107,从而形成 n 型阱,最终可以将该阱用于形成位于有源区域 107 中的 n 沟道晶体管。

[0040] 当制造时,短沟道栅电极 109 可以包括导电材料,例如,掺杂多晶硅、金属(例如,钽、钛、钼、钨、铂、铝、铪、钌)、金属硅化物(例如,硅化钛、硅化钴、硅化镍、硅化钽)、金属氮化物(例如,氮化钛、氮化钽)、其他导电材料、或者其组合。在实施例中,其中,短沟道栅电极 109 为多晶硅,可以通过利用低压化学气相沉积 (LPCVD) 将掺杂或者未掺杂多晶硅沉积至在约 400 Å 和约 2,500 Å 之间的范围内的厚度(例如约 1,500 Å) 来形成短沟道栅电极 109。

[0041] 长沟道栅电极 111 可以包括与短沟道栅电极 109 类似的材料(例如,多晶硅)并且可以使用类似的方法(例如,LPCVD)来形成,但是必要时,可以利用不同材料和方法。然而,长沟道栅电极 111 具有比短沟道栅电极 109 更大的宽度,从而使位于长沟道栅电极 111 的下方的沟道区域长于位于短沟道栅电极 109 的下方的沟道区域。

[0042] 通过位于第一高图案密度区域 102 中的这些部件,可以通过获取位于第一高图案密度区域 102 中的导体(诸如短沟道栅电极 109 和长沟道栅电极 111)并且通过第一高图案密度区域 102 的总区域除总导体区域来确定第一高图案密度区域 102 的导体密度。类似地,可以通过获取位于第一高图案密度区域 102 中的有源区域 107 的区域并且通过第一高图案密度区域 102 的总区域除该有源区域来确定有源区域密度。

[0043] 第一低图案密度区域 104 可以没有诸如有源区域 107、短沟道栅电极 109、以及长沟道栅电极 111 的部件,并且可以由隔离区域 106 组成。同样地,第一低图案密度区域 104 可以具有 0 导体密度以及具有 0 有源区域密度。然而,本领域中的技术人员之一意识到,第一低图案密度区域 104 不要求在第一低图案密度区域 104 中没有部件,并且第一低图案密度区域 104 可以包括某些部件(在图 1 中没有示出)并且具有绝对(positive) 导体密度和绝对有源区域密度。然而,第一低图案密度区域 104 的导体密度和有源区域密度分别小于第一高图案密度区域 102 的导体密度和有源区域密度。

[0044] 通过第一高图案密度区域 102 和第一低图案密度区域 104 的导体密度,来确定失配装置的第一区 101 的第一导体密度。例如,可以使用其相对区域求第一高图案密度区域 102 的导体密度和第一低图案密度区域 104 的导体密度的平均值,从而获得失配装置的整个第一区 101 的总导体密度,第一导体密度。

[0045] 备选地,可以最初确定失配装置的第一区 101 的第一导体密度而不必首先计算第一高图案密度区域 102 和第一低图案密度区域 104 的导体密度。在该实例中,可以通过获取位于失配装置的第一区 101 中的总导体区域并且将其除以失配装置第一区 101 的总区域来确定第一导体密度。可以利用确定失配装置的第一区 101 的第一导体密度的任何适当方法。

[0046] 类似地,对于失配装置的第一区 101 可以通过由第一高图案密度区域 102 的有源区域密度和第一低图案密度区域 104 的有源区域密度来确定第一区域有源区域密度,从而确定该密度。备选地,可以最初确定失配装置的第一区 101 的第一有源区域密度,而不必例如通过求位于失配装置的第一区 101 中的总有源区域并且将其除以失配装置的第一区 101 的总区域,来首先计算第一高图案密度区域 102 和第一低图案密度区域 104 的有源区域密度。可以利用确定失配装置的第一区 101 的第一有源区域密度的任何适当方法。

[0047] 失配装置的第二区 103 可以与失配装置的第一区 101 类似,例如,诸如电流镜像设计模块或者差分对设计模块的模拟设计模块。然而,还与失配装置的第一区 101 类似地,失配装置的第二区 103 不是旨在限定模拟设计模块,并且还可以包括诸如数字设计模块的其他设计模块。另外,失配装置的第二区 103 还可以包括:具有独立结构密度的多个区域,其中,为了方便可以集合该多个区域。

[0048] 失配装置的第二区 103 可以具有第二高图案密度区域 119、第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117。在实施例中,第二高图案密度区域 119 可以包括:与第一高图案密度区域 102 类似的诸如有源区域 107、短沟道栅电极 109、以及长沟道栅电极 111 的部件。然而,第二高图案密度区域 119 可以具有与第一高图案密度区域 102 不同的布局,从而使得失配装置的第二区 103 具有与失配装置的第一区 102 不同导体密度和不同的有源区域密度。

[0049] 另外,第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 可以与第一低图案密度区域 104 类似。例如,第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 可以为隔离区域 106,而没有任何其他部件,例如,有源区域 107、短沟道栅电极 109、以及长沟道栅电极 111,但是在备选实施例中,只要第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 具有比第二高图案密度区域 119 更低的导体密度和更低的有源区域密度,就可以在第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 中包括这些部件中的某些部件。

[0050] 通过第二高图案密度区域 119、第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117,可以通过获取位于失配装置的第二区 103 中的导体区域(例如,短沟道栅电极 109 和长沟道栅电极 111)并且将其除以失配装置的第二区 103 的区域来确定第二导体密度。类似地,可以通过获取位于失配装置的第二区 103 中的有源区域 107 的区域并且将其除以失配装置的第二区 103 的区域来确定第二有源区域密度。备选地,可以通过初始确定第二高图案密度区域 119、第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 中的每个的导体密度和有源区域密度,然后通过这些独立密度确定失配装置的第二区域 103 的总第二导体密度和第二有源区域密度来进行这种判定。可以利用用于确定失配装置的第二区 103 的第二导体密度和第二有源区域密

度的任何适当方法。

[0051] 图 2 示出了,一旦已经确定第一导体密度(失配装置的第一区 101 的)和第二导体密度(失配装置的第二区 103 的),为了解决在失配装置的第一区 101 和失配装置的第二区 103 内部的导体密度失配,和解决在失配装置的第一区 101 和失配装置的第二区 103 之间的导体密度失配,可以将伪导体材料 201 置于第一低图案密度区域 104、第二低图案密度区域 113、第三低图案密度区域 115、和 / 或第四低图案密度区域 117 中。

[0052] 例如,并且仅作为一个实例,考虑失配装置的第二区 103,为了提高第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 的导体密度以降低在这些区域和第二高图案密度区域 119 之间的失配装置的第二区 103 的内部失配,可以将伪导体材料 201 置于第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 中。在实施例中,可以添加伪导体材料 201,直到在第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 中的每个之间的导体密度失配在约第二高图案密度区域 119 的导体密度的 10% 的范围内,例如在约 5% 或者甚至在约 2.5% 的范围内。然而,本领域中的技术人员应理解,可以通过位于失配装置的第二区 103 中的器件的设计和公差来确定可容许的失配的精确数量。

[0053] 类似地,考虑失配装置的第一区 101,为了解决在第一低图案密度区域 104 和第一高图案密度区域 102 之间的导体密度失配,可以将伪导体材料 201 置于第一低图案密度区域 104 中。例如,为了使第一低图案密度区域 104 的导体密度在第一高图案密度区域 102 的约 10% 范围内,例如在约 5% 范围内,或者甚至在约 2.5% 的范围内,可以将伪导体材料 201 置于第一低图案密度区域 104 中,但是通过位于失配装置的第一区 101 中的器件的设计和公差可以确定精确数量。

[0054] 另外地,虽然如上所述可以利用伪导体材料 201,从而减少失配装置的第一区 101 的内部导体密度失配和失配装置的第二区 103 的内部导体密度失配,但是还可以利用附加的伪导体材料 201 来解决在失配装置的第一区 101 和失配装置的第二区 103 之间的导体密度失配。例如,在实施例中,第二导体密度(失配装置的第一区 103 的)低于第一导体密度(失配装置的第一区 101 的),为了使第二导体密度在所期望的失配范围内,例如,小于第一导体密度的 10%,例如小于第一导体密度的 5%,或者甚至小于 2.5%,可以将伪导体材料 201 添加至第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117。备选地,如果第二导体密度大于第一导体密度,则为了使第一导体密度在所期望的第二导体密度的 10% 内,诸如第二导体密度的 2.5% 内,可以将伪导体材料 201 添加至第一低图案密度区域 104。

[0055] 另外,如果具有失配装置的第一区 101 和失配装置的第二区 103 的外部导体失配迫使内部导体失配偏离所期望的内部导体失配公差(在第一低图案密度区域 104 和第一高图案密度区域 102 之间的 2.5% 的失配),可以实施反复处理,从而使内部导体失配和外部导体失配进入所期望的公差范围内。在这种反复处理中,为了使内部导体失配和外部导体失配在所期望的公差范围内,可以根据需要将伪导体材料 210 添加至第一低图案密度区域 104、第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 或者从这些区域中减去该伪导体材料。

[0056] 例如,一旦解决了失配装置的第一区 101 和失配装置的第二区 103 的内部导体失

配,就可以解决在失配装置的第一区 101 和失配装置的第二区 103 之间的外部导体失配。如果解决外部导体失配将内部导体失配推出所期望的公差范围,则再次考虑内部导体失配并且进行第二次调节,从而使该内部导体失配返回所期望的公差范围。如果这种内部导体失配的第二调节将外部导体失配推出所期望的公差范围,则可以再次处理外部导体失配。可以继续这种反复处理,直到内部导体失配和外部导体失配均在其各个所期望的公差范围内。

[0057] 然而,上述反复处理不是可以用于解决内部导体失配和外部导体失配的唯一方法,并且不应该将实施例理解为需要所述的确切处理。备选地,可以利用实现内部导体失配和外部导体失配的所期望的公差的任何适当处理,例如适当最优化程序或者算法并且仍保持在本实施例的范围内。

[0058] 图 2 还示出了也可以利用在第一低图案密度区域 104、第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 内的伪有源区域 203,以解决内部有源区域密度失配(在失配装置的第一区 101 和在失配装置的第二区 103 内)和外部有源区域失配(在失配装置的第一区 101 和在失配装置的第二区 103 之间)。可以与关于内部导体失配和外部导体失配的上述处理(例如,反复或者其他最优化处理)类似地,实施内部有源区域密度失配和外部有源区域密度失配在所期望的公差范围内的处理。

[0059] 在实施例中,可以将伪有源区域 203 置于第一低图案密度区域 104 中,从而使第一低图案密度区域 104 的有源区域失配在第一高图案密度区域 102 的约 10% 范围内,例如约 5% 范围内,或者甚至约在 2.5% 范围内。另外,可以将伪有源区域 203 置于第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 内,从而使第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 的有源区域失配在第二高图案密度区域 119 在约 10% 的范围内,例如,约 5% 的范围内或者甚至在约 2.5% 的范围内。最后,可以利用伪有源区域 203 使第一有源区域密度(失配装置的第一区 101 的总有源区域密度)在第二有源区域密度(失配装置的第二区 103 的总有源区域密度)的约 10% 的范围内,例如,约 5% 的范围内或者甚至在约 2.5% 的范围内。

[0060] 在实施例中,为了形成其他半导体结构,可以设置伪导体材料 201 和伪有源区域 203。例如,可以相对于彼此(例如,上覆伪导体材料 201 的伪有源区域 203)插入和设置伪导体材料 201 和伪有源区域 203,从而形成多个构件,例如,去耦电容器、保护环、MOS 晶体管等。备选地,单独为了增加导体密度或者有源区域密度的目的,可以彼此分离地形成伪导体材料 201 和伪有源区域 203。备选地,可以利用伪导体材料 201 和伪有源区域 203 的任何适当组合。

[0061] 图 3 示出了将伪导体材料 201 和伪有源区域 203 设置在位于失配装置的第一区 101 和失配装置的第二区 103 周围的半导体衬底 105 的周围区域 108 中,以解决在失配装置的第一区 101 和失配装置的第二区 103、以及其周围区域之间的导体密度失配和有源区域失配。在实施例中,可以通过求失配装置的第一区 101 的最终导体密度和失配装置的第二区 103 的最终导体密度的平均值(上述关于图 2 所确定的)来确定平均导体密度,而可以通过求失配装置的第一区 101 的最终有源区域密度和失配装置的第二区 103 的最终有源区域密度的平均值来确定平均有源区域密度。

[0062] 一旦已经确定平均导体密度和平均有源区域密度,则可以将伪导体材料 201 和伪

有源区域 203 设置在位于失配装置的第一区 101 和失配装置的第二区 103 周围的半导体衬底 105 的周围区域 108 中,从而使得周围区域具有平均导体密度和平均有源区域密度。与将伪导体材料 201 和伪有源区域 203 设置在第一低图案密度区域 104、第二低图案密度区域 113、第三低图案密度区域 115、以及第四低图案密度区域 117 内(如以上关于图 2 所述的)类似地,可以实施伪导体材料 201 和伪有源区域 203 的设置。例如,可以结合形成其他构件(例如,去耦电容器,保护环等)的伪导体材料 201 和伪有源区域 203 中的每个来设置和形成该伪导体材料 201 和伪有源区域 203,否则可以彼此分离地形成该伪导体材料和伪有源区域。

[0063] 另外,在实施例中,其中,半导体衬底 105 的周围区域 108 实际包括:某些功能构件(在图 3 中没有明确示出),可以在功能构件周围设置并且形成伪导体材料 201 和伪有源区域 203,从而增大半导体衬底 105 的周围区域 108 的导体密度和有源区域密度,而没有妨碍功能构件。

[0064] 通过减少在高图案密度区域和低图案密度区域之间的密度失配,可以减少阶梯栅极高度、光刻对准、以及可变栅极宽度的后续问题。这种减少可能改善了在所制造的器件之间的阈值电压的改变,以及改善了在器件之间的漏极电流的改变。

[0065] 图 4A 示出了可以用于密度失配减少的流程图。在图 4A 的第一步骤 401 中,设置第一密度失配区域和第二密度失配区域。在设置以后,在图 4A 的第二步骤 403 中,可以调节第一密度失配区域的内部密度,从而解决第一密度失配区域的内部密度失配。与图 4A 的第二步骤 403 分开地,在图 4A 的第三步骤 405 中,可以调节第二密度失配区域的内部密度,从而解决第二密度失配区域的内部密度失配。一旦在图 4A 的第二步骤 403 和在图 4A 的第三步骤 405 中,已经解决了内部密度失配,在图 4A 的第四步骤 407 中,就可以调节第一密度失配区域或第二密度失配区域的内部密度,从而解决在第一密度失配区域和第二密度失配区域之间的外部密度失配。

[0066] 在图 4A 的第四步骤 407 以后,在图 4A 的第五步骤 409 中进行判定,图 4A 的第四步骤 407 的调节是否将内部密度失配推出其可容许公差。如果推出,则为了反复调节使内部失配和外部失配进入其所规定的公差范围内,程序可以返回在图 4A 的第二步骤 403 和图 4A 的第三步骤 405 以前的点。如果图 4A 的第四步骤 407 的调节没有导致内部密度失配移出其可容许公差范围,则在图 4A 的步骤 411 中,可以调节位于第一密度失配区域和第二密度失配区域周围的区域密度,从而解决在周围区域和第一密度失配区域和第二密度失配区域之间的密度失配。

[0067] 图 4B 示出了实施实施例的备选程序。图 4B 的第一步骤 401 可以与图 4A 中所述的第一步骤 401 类似,其中,设置第一密度失配区域和第二密度失配区域。在图 4B 的第二步骤 402 中,可以调节第一密度失配区域或者第二密度失配区域的内部密度从而解决外部密度失配。在已经解决外部密度失配以后,在图 4B 的第三步骤 404 中,可以调节第一密度失配区域的内部密度从而解决内部密度失配,并且进行分支地,在图 4B 的第四步骤 406 中,可以调节第二密度失配区域的内部密度从而解决第二密度失配区域的内部密度失配。

[0068] 在图 4B 的第四步骤 406 以后,在图 4B 的第五步骤 408 中进行判断,图 4B 的第四步骤 406 的调节是否将外部密度推出其可容许公差范围。如果图 4B 的第四步骤 406 的调节的确将外部密度推出其可容许公差范围,则为了反复进行调节使内部失配和外部失配进

入其规定的公差范围,程序可以返回在图 4B 的第二步骤以前的点。如果图 4B 的第四步骤的调节没有导致外部密度失配移出其可容许公差范围,则在图 4B 的第六步骤 413 中,可以调节位于第一密度失配区域和第二密度失配区域周围的区域密度,从而解决在周围区域和第一密度失配区域和第二密度失配区域之间的密度失配。

[0069] 然而,本领域的技术人员之一将意识到,在图 4A 和图 4B 中所设计的两个程序不是用于实施密度失配降低程序的程序步骤的唯一顺序。备选地,可以利用程序步骤的任何适当顺序或者重新排列并且完全旨在包括在本实施例的范围内。

[0070] 图 5 示出了可以用于实施图 4A- 图 4B 所示的步骤的处理系统 500 的框图。处理系统 500 为通用计算机平台,并且可以将该处理系统用于实施本文所讨论的程序中的任何一个或者全部程序。处理系统 500 可以包括处理单元 504,例如,台式计算机、工作站、笔记本计算机、或为特定应用所定制的专用单元。处理系统 500 可以安装有显示器 503 和一个或多个输入 / 输出设备 505,例如,鼠标、键盘、或者打印机。处理单元 504 可以包括:连接至总线 512 的中央处理单元 (CPU) 506、存储器 508、大容量存储器 510、视频适配器 514、以及 I/O 接口 516。

[0071] 总线 512 可以为包括存储器总线或者存储控制器、外围总线、或者视频总线的任何类型的若干总线体系结构中的一个或多个。CPU 506 可以包括任何类型的电子数据处理器,并且存储器 508 可以包括任何类型的系统存储器,例如,动态随机存取存储器 (SRAM)、动态随机存取存储器 (DRAM)、或者只读存储器 (ROM)。

[0072] 大容量存储器 510 可以包括任何类型的存储器,配置为存储数据、程序、以及其他信息并且经由总线 512 访问数据、程序、以及其他信息。例如,大容量存储器 510 可能包括硬盘驱动器、磁盘驱动器、或者光盘驱动器中的一个或者多个。

[0073] 视频适配器 514 和 I/O 接口 516 提供了接口,从而将外部输入和输出设备连接至处理单元 504。如在图 5 中所示的,输入和输出设备的实例包括:连接至视频适配器 514 的显示器 503 和连接至 I/O 接口 516 的 I/O 元件 505(例如,鼠标、键盘、打印机等)。可以将其他设备连接至处理单元 504,并且可以利用额外的或者更少的接口卡。例如,可以将串行接口卡(未示出)用于提供用于打印机的串行接口。处理单元 504 还可以包括网络接口 518,该网络接口可以为至局域网 (LAN) 或者广域网 (WAN) 520 的有线连接和 / 或无线连接。

[0074] 应该注意,处理系统 500 可以包括其他元件。例如,处理系统 500 可以包括:电源、电缆、母板、可移动存储介质、壳体等。尽管没有示出,但是将这些其他元件视为处理系统 500 的一部分。

[0075] 例如,可以在处理系统 500 上通过由 CPU 506 所执行的程序编码来实施失配减少程序(例如,在图 1-4B 中所示的程序)的实施例。例如,可以通过使用例如 I/O 元件 505 输入独立步骤中的每个将失配减少程序输入处理系统 500。另外,可以将失配减少程序存储在大容量存储器 510 中。如果需要,用户(未示出)可以使用 CPU 506 和存储器 508 实施失配减少程序。

[0076] 根据实施例,用于减少失配的方法包括:确定半导体衬底的高密度区域的数字第一密度和半导体衬底的低密度区域的第二密度,提供了与低密度区域相邻的高密度区域。通过将伪材料添加在低密度区域中来提高低密度区域的第二密度。

[0077] 根据另一实施例,一种用于减少失配的方法包括:计算半导体器件的第一区域的

第一密度和半导体器件的第二区域的第二密度。调节第一密度和第二密度，从而生成所调节的第一密度和所调节的第二密度，该调节包括：将伪材料添加至第一区域和第二区域，该调节还减少了在第一区域和第二区域之间的第一密度失配。

[0078] 根据又一实施例，半导体器件包括位于半导体衬底上的第一区域，提供了具有第一密度并且包括第一功能区域和第二功能区域的第一区域。第二区域位于半导体衬底上，第二区域具有第二密度并且包括第二功能区域和第二伪区域，其中，第一密度和第二密度在彼此的 2.5% 范围内。

[0079] 尽管已经详细地描述了本发明及其优势，但应该理解，可以在不背离本实施例主旨和范围的情况下，做各种不同的改变，替换和更改。例如，虽然已经根据导体密度和有源区域密度描述了密度失配，但是还可以利用其他结构密度从而减少在半导体器件内的密度失配。

[0080] 而且，本申请的范围并不仅限于本说明书中描述的工艺、机器、制造、材料组分、装置、方法和步骤的特定实施例。作为本领域普通技术人员应理解，通过实施例的发明，现有的或今后开发的用于执行与本文所述相应实施例基本相同的功能或获得基本相同结果的工艺、机器、制造，材料组分、装置、方法或步骤根据本发明可以被使用。因此，所附权利要求应该包括在这样的工艺、机器、制造、材料组分、装置、方法或步骤的范围内。

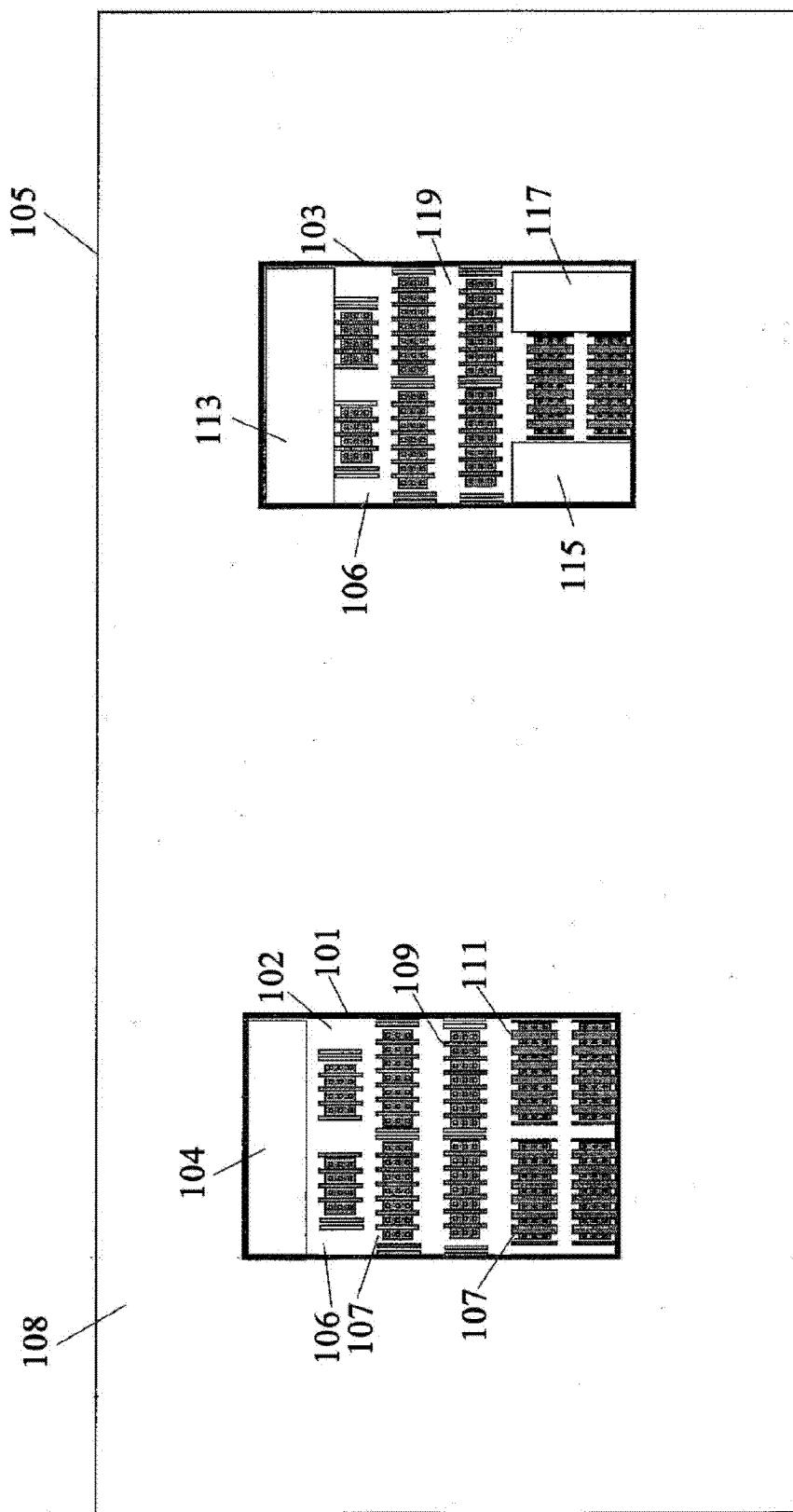


图 1

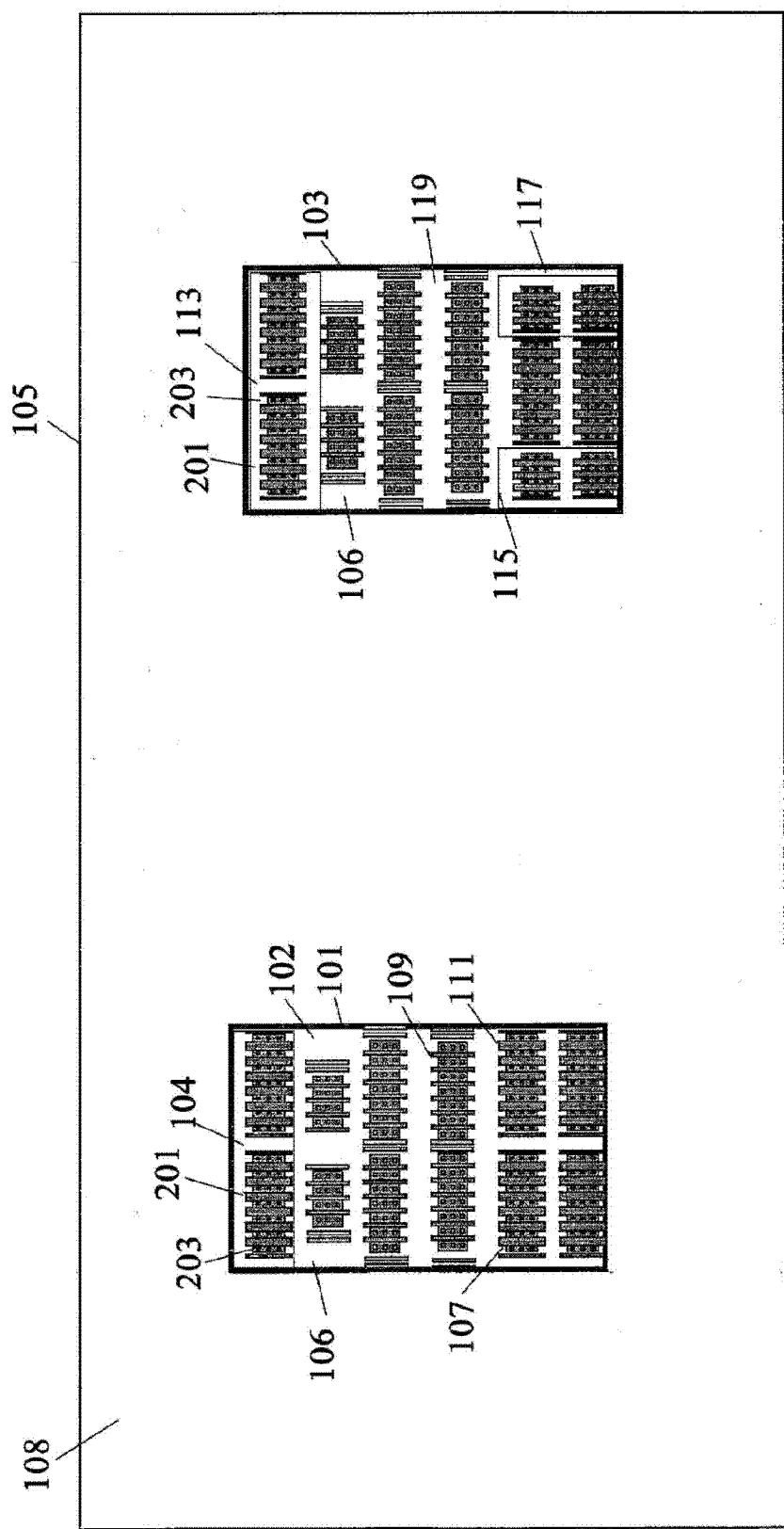


图 2

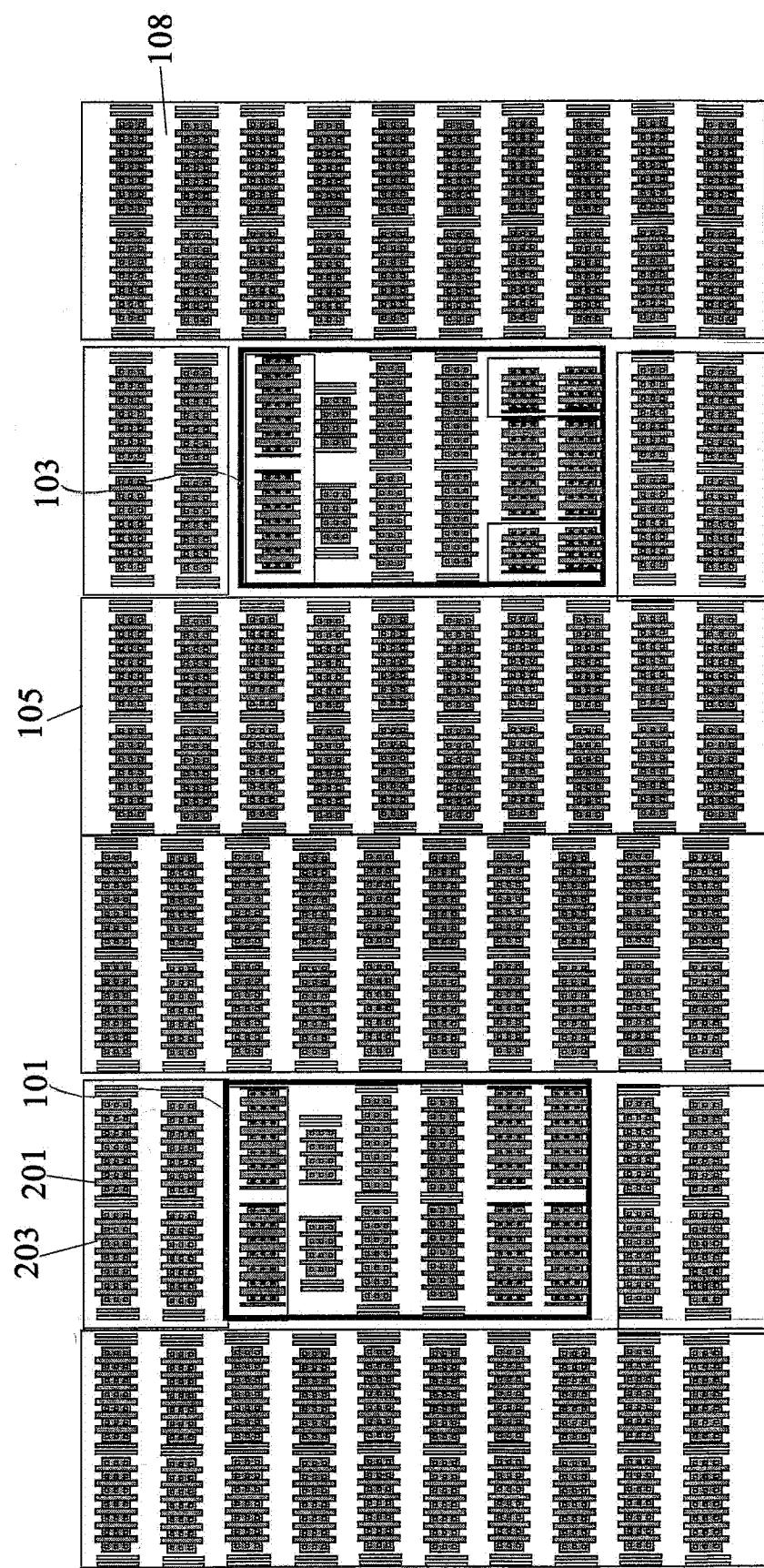


图 3

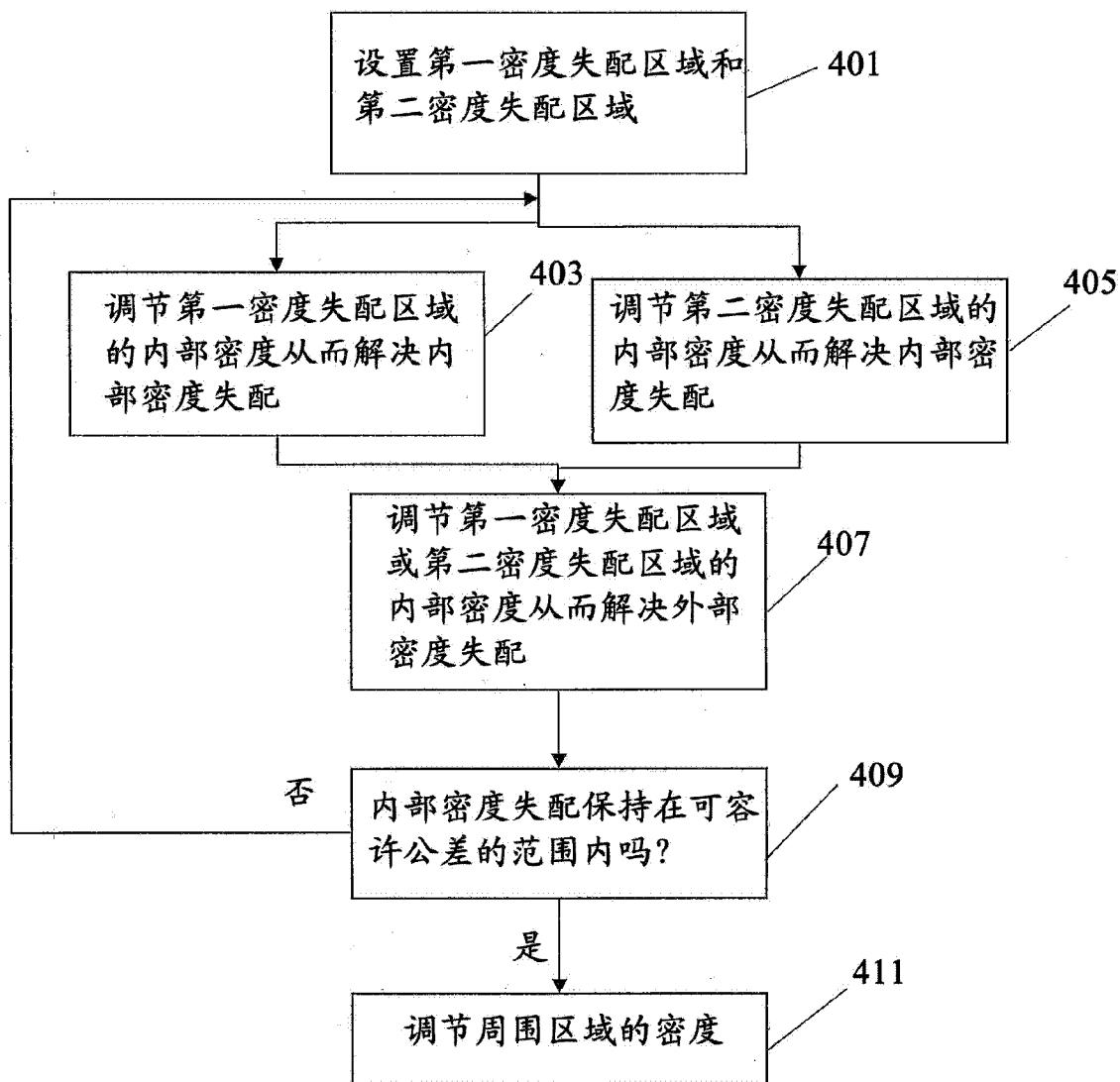


图 4A

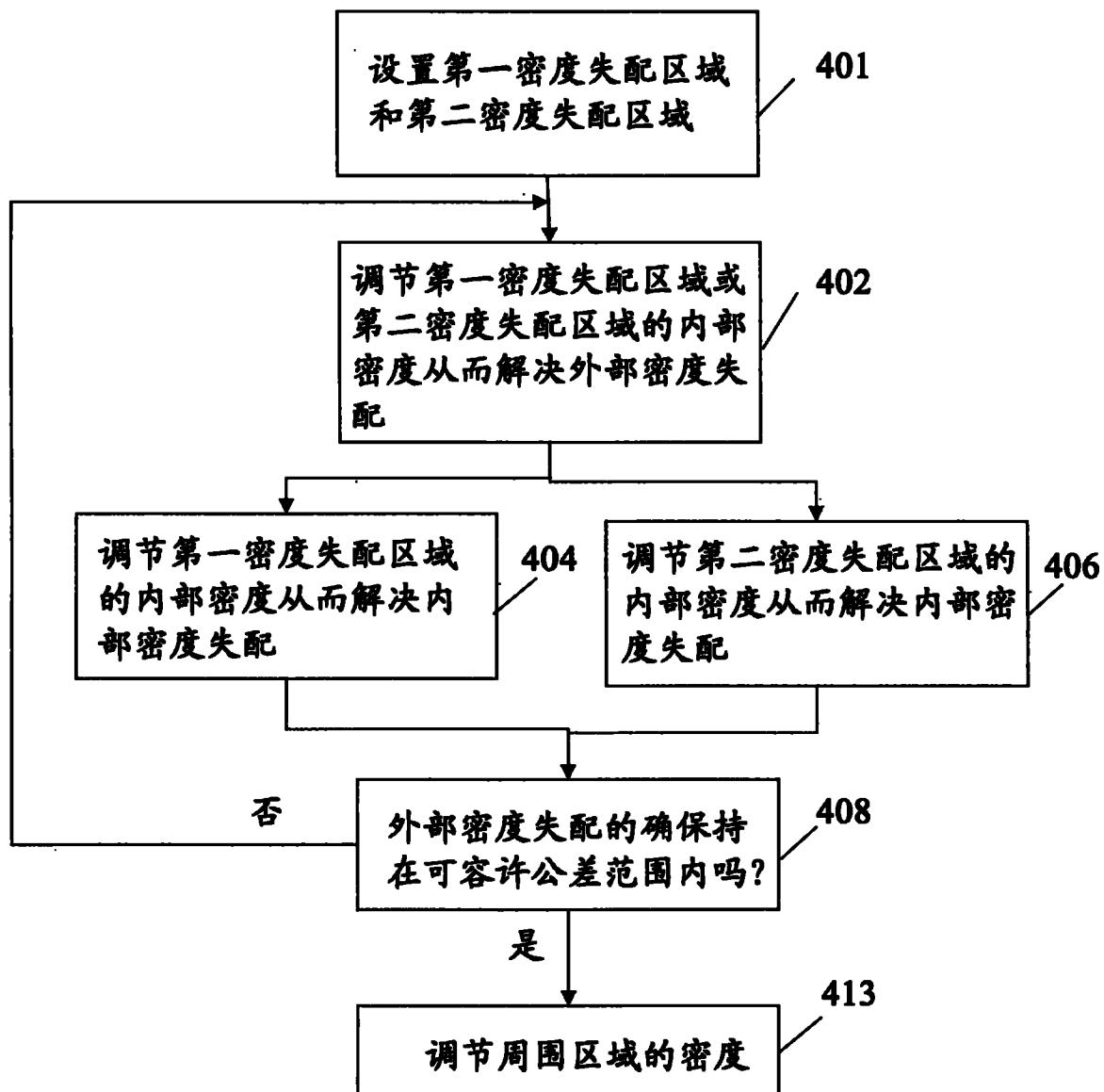


图 4B

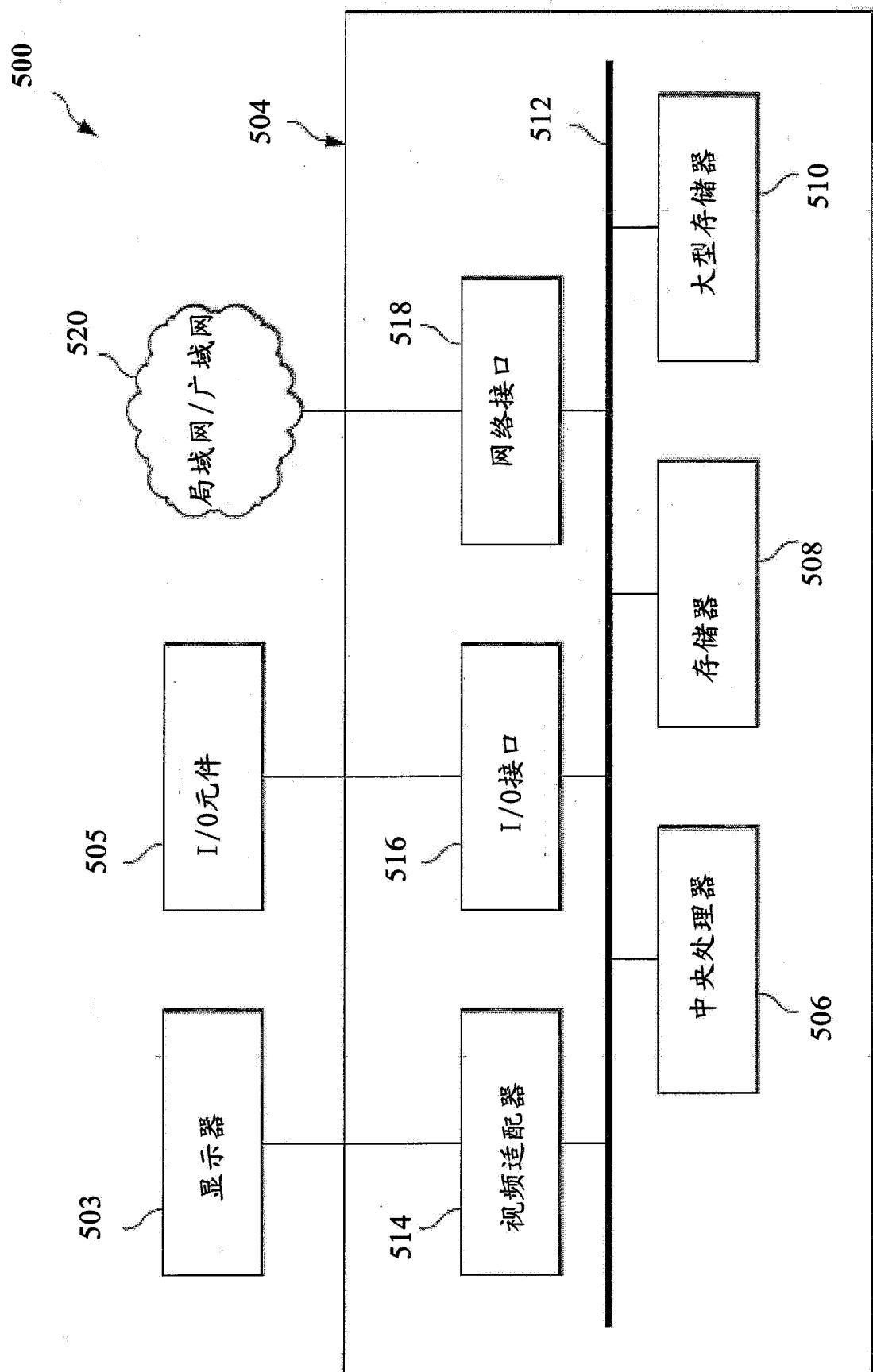


图 5