

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 19 年 8 月 23 日 (2007.8.23)

【公開番号】特開 2001-83923 (P2001-83923A)

【公開日】平成 13 年 3 月 30 日 (2001.3.30)

【出願番号】特願 2000-207857 (P2000-207857)

【国際特許分類】

G 0 9 G 3/20 (2006.01)

G 0 2 F 1/133 (2006.01)

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/36 (2006.01)

【F I】

G 0 9 G 3/20 6 2 3 H

G 0 9 G 3/20 6 2 3 G

G 0 9 G 3/20 6 1 1 J

G 0 2 F 1/133 5 0 5

G 0 9 G 3/30 J

G 0 9 G 3/36

【手続補正書】

【提出日】平成 19 年 7 月 10 日 (2007.7.10)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のレジスタ回路を有するシフトレジスタ回路と、

複数のラッチ回路を有するラッチ回路アレイと、を有し、

前記レジスタ回路は、前記シフトレジスタ回路に入力されたデジタルデータを順にシフトさせて出力し、

前記ラッチ回路には、対応する前記レジスタ回路からの出力が入力されることを特徴とするデジタルドライバ。

【請求項 2】

第 1 段目のレジスタ回路、第 2 段目のレジスタ回路、・・・、第 $n - 1$ 段目のレジスタ回路および第 n 段目のレジスタ回路を有するシフトレジスタ回路と (n は自然数)、

第 1 番目のラッチ回路、第 2 番目のラッチ回路、・・・、第 $n - 1$ 番目のラッチ回路および第 n 番目のラッチ回路を有するラッチ回路アレイと、を有し、

第 1 のデジタルデータ、第 2 のデジタルデータ、・・・、第 $n - 1$ のデジタルデータおよび第 n のデジタルデータが前記第 1 段目のレジスタ回路に順に入力され、

前記第 1 段目のレジスタ回路の出力、前記第 2 段目のレジスタ回路の出力、・・・、前記第 $n - 1$ 段目のレジスタ回路の出力および前記第 n 段目のレジスタ回路の出力は、それぞれ、前記第 1 番目のラッチ回路、前記第 2 番目のラッチ回路、・・・、前記第 $n - 1$ 番目のラッチ回路および前記第 n 番目のラッチ回路に送出され、

前記第 1 のデジタルデータが前記第 n 段目のレジスタ回路に入力された瞬間に、前記シフトレジスタ回路に入力されるクロック信号の発振が止まり、前記第 1 段目のレジスタ回路、第 2 段目のレジスタ回路、・・・、前記第 $n - 1$ 段目のレジスタ回路および第 n 段目のレジスタ回路にそれぞれ保持されている前記第 n のデジタルデータ、前記第 $n - 1$ のデ

ジタルデータ、・・・、前記第 2 のデジタルデータおよび第 1 のデジタルデータが、それぞれ前記第 1 番目のラッチ回路、前記第 2 番目のラッチ回路、・・・、前記第 $n - 1$ 番目のラッチ回路および前記第 n 番目のラッチ回路に取り込まれることを特徴とするデジタルドライバ。

【請求項 3】

入力されたデジタルデータをシフトさせて出力する第 1 段目乃至第 n 段目のレジスタ回路と（ n は自然数）、

前記第 1 段目乃至第 n 段目のレジスタ回路に対応した第 1 番目乃至第 n 番目のラッチ回路と、を有し、

第 1 乃至第 n のデジタルデータが前記第 1 段目のレジスタ回路に順に入力されることにより、前記第 1 乃至第（ $n - m + 1$ ）のデジタルデータが前記第 m 段目のレジスタ回路に順に入力され（ m は自然数、 $2 \leq m \leq n$ ）、

前記第 1 のデジタルデータが前記第 n 段目のレジスタ回路に入力された際に、前記シフトレジスタ回路に入力されるクロック信号の発振が停止し、

前記第 1 段目のレジスタ回路に保持されている前記第 n のデジタルデータ、及び前記第 m 段目のレジスタ回路に保持されている前記第（ $n - m + 1$ ）のデジタルデータが、それぞれ前記第 1 番目のラッチ回路、及び前記第 m 番目のラッチ回路に取り込まれることを特徴とするデジタルドライバ。

【請求項 4】

マトリクス状に配置された T F T と、ソースドライバと、ゲートドライバと、を有する表示装置であって、

前記ソースドライバは、複数のレジスタ回路を有するシフトレジスタ回路と、複数のラッチ回路を有するラッチ回路アレイと、を有し、

前記レジスタ回路は、前記シフトレジスタ回路に入力されたデジタルデータを順にシフトさせて出力し、

前記複数のラッチ回路には、対応する前記レジスタ回路からの出力が入力されることを特徴とする表示装置。

【請求項 5】

マトリクス状に配置された T F T と、ソースドライバと、ゲートドライバと、を有する表示装置であって、

前記ソースドライバは、第 1 段目のレジスタ回路、第 2 段目のレジスタ回路、・・・、第 $n - 1$ 段目のレジスタ回路および第 n 段目のレジスタ回路を有するシフトレジスタ回路と（ n は自然数）、第 1 番目のラッチ回路、第 2 番目のラッチ回路、・・・、第 $n - 1$ 番目のラッチ回路および第 n 番目のラッチ回路を有するラッチ回路アレイと、を有し、

第 1 のデジタルデータ、第 2 のデジタルデータ、・・・、第 $n - 1$ のデジタルデータおよび第 n のデジタルデータが前記第 1 段目のレジスタ回路に順に入力され、

前記第 1 段目のレジスタ回路の出力、前記第 2 段目のレジスタ回路の出力、・・・、前記第 $n - 1$ 段目のレジスタ回路の出力および前記第 n 段目のレジスタ回路の出力は、それぞれ、前記第 1 番目のラッチ回路、前記第 2 番目のラッチ回路、・・・、前記第 $n - 1$ 番目のラッチ回路および前記第 n 番目のラッチ回路に送出され、

前記第 1 のデジタルデータが前記第 n のレジスタ回路に入力された瞬間に、前記シフトレジスタ回路に入力されるクロック信号の発振が止まり、前記第 1 段目のレジスタ回路、第 2 段目のレジスタ回路、・・・、前記第 $n - 1$ 段目のレジスタ回路および第 n 段目のレジスタ回路にそれぞれ保持されている前記第 n のデジタルデータ、前記第 $n - 1$ のデジタルデータ、・・・、前記第 2 のデジタルデータおよび第 1 のデジタルデータが、それぞれ前記第 1 番目のラッチ回路、前記第 2 番目のラッチ回路、・・・、前記第 $n - 1$ 番目のラッチ回路および前記第 n 番目のラッチ回路に取り込まれることを特徴とする表示装置。

【請求項 6】

マトリクス状に配置された T F T と、ソースドライバと、ゲートドライバと、を有する表示装置であって、

前記ソースドライバは、入力されたデジタルデータをシフトさせて出力する第 1 段目乃至第 n 段目のレジスタ回路と (n は自然数)、前記第 1 段目乃至第 n 段目のレジスタ回路に対応した第 1 番目乃至第 n 番目のラッチ回路と、を有し、

第 1 乃至第 n のデジタルデータが前記第 1 段目のレジスタ回路に順に入力されることにより、前記第 1 乃至第 (n - m + 1) のデジタルデータが前記第 m 段目のレジスタ回路に順に入力され (m は自然数、 $2 \leq m \leq n$)、

前記第 1 のデジタルデータが前記第 n 段目のレジスタ回路に入力された際に、前記シフトレジスタ回路に入力されるクロック信号の発振が停止し、

前記第 1 段目のレジスタ回路に保持されている前記第 n のデジタルデータ、及び前記第 m 段目のレジスタ回路に保持されている前記第 (n - m + 1) のデジタルデータが、それぞれ前記第 1 番目のラッチ回路、及び前記第 m 番目のラッチ回路に取り込まれることを特徴とする表示装置。

【請求項 7】

請求項 4 乃至 6 のいずれか一において、

前記表示装置は液晶表示装置であることを特徴とする表示装置。