

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成19年8月23日(2007.8.23)

【公開番号】特開2001-83923(P2001-83923A)

【公開日】平成13年3月30日(2001.3.30)

【出願番号】特願2000-207857(P2000-207857)

【国際特許分類】

G 09 G	3/20	(2006.01)
G 02 F	1/133	(2006.01)
G 09 G	3/30	(2006.01)
G 09 G	3/36	(2006.01)

【F I】

G 09 G	3/20	6 2 3 H
G 09 G	3/20	6 2 3 G
G 09 G	3/20	6 1 1 J
G 02 F	1/133	5 0 5
G 09 G	3/30	J
G 09 G	3/36	

【手続補正書】

【提出日】平成19年7月10日(2007.7.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のレジスタ回路を有するシフトレジスタ回路と、
複数のラッチ回路を有するラッチ回路アレイと、を有し、
前記レジスタ回路は、前記シフトレジスタ回路に入力されたデジタルデータを順にシフトさせて出力し、

前記ラッチ回路には、対応する前記レジスタ回路からの出力が入力されることを特徴とするデジタルドライバ。

【請求項2】

第1段目のレジスタ回路、第2段目のレジスタ回路、・・・、第n-1段目のレジスタ回路および第n段目のレジスタ回路を有するシフトレジスタ回路と(nは自然数)、

第1番目のラッチ回路、第2番目のラッチ回路、・・・、第n-1番目のラッチ回路および第n番目のラッチ回路を有するラッチ回路アレイと、を有し、

第1のデジタルデータ、第2のデジタルデータ、・・・、第n-1のデジタルデータおよび第nのデジタルデータが前記第1段目のレジスタ回路に順に入力され、

前記第1段目のレジスタ回路の出力、前記第2段目のレジスタ回路の出力、・・・、前記第n-1段目のレジスタ回路の出力および前記第n段目のレジスタ回路の出力は、それぞれ、前記第1番目のラッチ回路、前記第2番目のラッチ回路、・・・、前記第n-1番目のラッチ回路および前記第n番目のラッチ回路に送出され、

前記第1のデジタルデータが前記第n段目のレジスタ回路に入力された瞬間に、前記シフトレジスタ回路に入力されるクロック信号の発振が止まり、前記第1段目のレジスタ回路、第2段目のレジスタ回路、・・・、前記第n-1段目のレジスタ回路および第n段目のレジスタ回路にそれぞれ保持されている前記第nのデジタルデータ、前記第n-1のデ

ジタルデータ、・・・、前記第2のデジタルデータおよび第1のデジタルデータが、それぞれ前記第1番目のラッチ回路、前記第2番目のラッチ回路、・・・、前記第n-1番目のラッチ回路および前記第n番目のラッチ回路に取り込まれることを特徴とするデジタルドライバ。

【請求項3】

入力されたデジタルデータをシフトさせて出力する第1段目乃至第n段目のレジスタ回路と（nは自然数）、

前記第1段目乃至第n段目のレジスタ回路に対応した第1番目乃至第n番目のラッチ回路と、を有し、

第1乃至第nのデジタルデータが前記第1段目のレジスタ回路に順に入力されることにより、前記第1乃至第（n-m+1）のデジタルデータが前記m段目のレジスタ回路に順に入力され（mは自然数、2≤m≤n）、

前記第1のデジタルデータが前記第n段目のレジスタ回路に入力された際に、前記シフトレジスタ回路に入力されるクロック信号の発振が停止し、

前記第1段目のレジスタ回路に保持されている前記第nのデジタルデータ、及び前記第m段目のレジスタ回路に保持されている前記第（n-m+1）のデジタルデータが、それぞれ前記第1番目のラッチ回路、及び前記m番目のラッチ回路に取り込まれることを特徴とするデジタルドライバ。

【請求項4】

マトリクス状に配置されたTFTと、ソースドライバと、ゲートドライバと、を有する表示装置であって、

前記ソースドライバは、複数のレジスタ回路を有するシフトレジスタ回路と、複数のラッチ回路を有するラッチ回路アレイと、を有し、

前記レジスタ回路は、前記シフトレジスタ回路に入力されたデジタルデータを順にシフトさせて出力し、

前記複数のラッチ回路には、対応する前記レジスタ回路からの出力が入力されることを特徴とする表示装置。

【請求項5】

マトリクス状に配置されたTFTと、ソースドライバと、ゲートドライバと、を有する表示装置であって、

前記ソースドライバは、第1段目のレジスタ回路、第2段目のレジスタ回路、・・・、第n-1段目のレジスタ回路および第n段目のレジスタ回路を有するシフトレジスタ回路と（nは自然数）、第1番目のラッチ回路、第2番目のラッチ回路、・・・、第n-1番目のラッチ回路および第n番目のラッチ回路を有するラッチ回路アレイと、を有し、

第1のデジタルデータ、第2のデジタルデータ、・・・、第n-1のデジタルデータおよび第nのデジタルデータが前記第1段目のレジスタ回路に順に入力され、

前記第1段目のレジスタ回路の出力、前記第2段目のレジスタ回路の出力、・・・、前記第n-1段目のレジスタ回路の出力および前記第n段目のレジスタ回路の出力は、それぞれ、前記第1番目のラッチ回路、前記第2番目のラッチ回路、・・・、前記第n-1番目のラッチ回路および前記第n番目のラッチ回路に送出され、

前記第1のデジタルデータが前記第nのレジスタ回路に入力された瞬間に、前記シフトレジスタ回路に入力されるクロック信号の発振が止まり、前記第1段目のレジスタ回路、第2段目のレジスタ回路、・・・、前記第n-1段目のレジスタ回路および第n段目のレジスタ回路にそれぞれ保持されている前記第nのデジタルデータ、前記第n-1のデジタルデータ、・・・、前記第2のデジタルデータおよび第1のデジタルデータが、それぞれ前記第1番目のラッチ回路、前記第2番目のラッチ回路、・・・、前記第n-1番目のラッチ回路および前記第n番目のラッチ回路に取り込まれることを特徴とする表示装置。

【請求項6】

マトリクス状に配置されたTFTと、ソースドライバと、ゲートドライバと、を有する表示装置であって、

前記ソースドライバは、入力されたデジタルデータをシフトさせて出力する第1段目乃至第n段目のレジスタ回路と（nは自然数）、前記第1段目乃至第n段目のレジスタ回路に対応した第1番目乃至第n番目のラッチ回路と、を有し、

第1乃至第nのデジタルデータが前記第1段目のレジスタ回路に順に入力されることにより、前記第1乃至第（n-m+1）のデジタルデータが前記第m段目のレジスタ回路に順に入力され（mは自然数、2≤m≤n）、

前記第1のデジタルデータが前記第n段目のレジスタ回路に入力された際に、前記シフトレジスタ回路に入力されるクロック信号の発振が停止し、

前記第1段目のレジスタ回路に保持されている前記第nのデジタルデータ、及び前記第m段目のレジスタ回路に保持されている前記第（n-m+1）のデジタルデータが、それぞれ前記第1番目のラッチ回路、及び前記第m番目のラッチ回路に取り込まれることを特徴とする表示装置。

【請求項7】

請求項4乃至6のいずれか一において、

前記表示装置は液晶表示装置であることを特徴とする表示装置。