

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7487240号
(P7487240)

(45)発行日 令和6年5月20日(2024.5.20)

(24)登録日 令和6年5月10日(2024.5.10)

(51)国際特許分類	F I
H 0 1 Q 21/06 (2006.01)	H 0 1 Q 21/06
H 0 1 Q 13/08 (2006.01)	H 0 1 Q 13/08
H 0 1 Q 23/00 (2006.01)	H 0 1 Q 23/00
H 0 1 P 11/00 (2006.01)	H 0 1 P 11/00

請求項の数 24 (全20頁)

(21)出願番号	特願2021-578188(P2021-578188)	(73)特許権者	513180451 ヴィアサット、インコーポレイテッド ViaSat, Inc. アメリカ合衆国 カリフォルニア州 9 2 0 0 9 , カールスバッド, エル カミーノ レアル 6 1 5 5
(86)(22)出願日	令和2年6月29日(2020.6.29)		
(65)公表番号	特表2022-539461(P2022-539461 A)	(74)代理人	110002848 弁理士法人N I P & S B P J 国際特許事 務所
(43)公表日	令和4年9月9日(2022.9.9)		
(86)国際出願番号	PCT/US2020/040197	(72)発明者	フランスン、スティーブン ジェイ . アメリカ合衆国 カリフォルニア州 9 2 0 0 9 カールスバッド, エル カミーノ レアル 6 1 5 5 , ヴィアサット, イン コーポレイテッド, パテント デパート メント宛
(87)国際公開番号	WO2021/061251		
(87)国際公開日	令和3年4月1日(2021.4.1)		
審査請求日	令和5年6月28日(2023.6.28)		
(31)優先権主張番号	16/460,641		
(32)優先日	令和1年7月2日(2019.7.2)		
(33)優先権主張国・地域又は機関	米国(US)		
早期審査対象出願			
			最終頁に続く

(54)【発明の名称】 低プロファイルアンテナ装置

(57)【特許請求の範囲】

【請求項 1】

複数のアンテナ要素（120）を備える第1のサブアセンブリ（110、110'）と、
前記第1のサブアセンブリに接着された第2のサブアセンブリ（150、150'）であ
って、成形材料（152）内に封入されたビーム形成ネットワークの複数の構成要素（1
60、170、180）を備え、前記ビーム形成ネットワークの前記複数の構成要素を前
記複数のアンテナ要素に電気接続するために、前記成形材料上に1つ以上の相互接続層（
155）を更に備える第2のサブアセンブリと
を備えるアンテナ装置（100、100'）であって、
前記複数の構成要素は、入出力ポート（170）、結合器／分割器ネットワーク（18
0）、及び前記アンテナ要素のうちの少なくとも1つに各々電気接続された複数の集積回
路（IC）チップ（160）を含み、
前記入出力ポートは、送信無線周波数（RF）信号を送信方向に前記結合器／分割器ネ
ットワークにルーティングし、及び／又は前記結合器／分割器ネットワークからの結合さ
れた受信RF信号を受信方向にルーティングし、
前記結合器／分割器ネットワークは、前記送信RF信号を複数の分割された伝送RF信
号に分割し、及び／又は各々が前記ICチップの1つから受信された複数の修正されたR
F受信信号を、前記結合されたRF受信信号に結合するように構成されており、
前記ICチップの各々は、前記分割された伝送RF信号のうちのそれぞれ1つを修正し
て、修正された伝送RF信号を提供し、前記ICチップに接続された前記少なくとも1つ

10

20

のアンテナ要素に前記修正された伝送 R F 信号を出力し、及び / 又は前記 I C チップに接続された前記少なくとも 1 つのアンテナ要素から提供された R F 受信信号を修正して、前記修正された R F 受信信号のうちの 1 つを前記結合器 / 分割器ネットワークに提供するように構成されている、アンテナ装置 (1 0 0 、 1 0 0 ') 。

【請求項 2】

前記ビーム形成ネットワークの前記複数の構成要素の表面は、前記成形材料の表面と同一平面上にある、請求項 1 に記載のアンテナ装置 (1 0 0 、 1 0 0 ') 。

【請求項 3】

前記複数のアンテナ要素は前記第 1 のサブアセンブリの第 1 の表面上にあり、前記第 1 のサブアセンブリは、前記複数のアンテナ要素に直接接続されており、かつ前記第 1 のサブアセンブリの第 2 の表面に延在するビアのアレイを更に備え、前記第 2 のサブアセンブリは、前記第 1 のサブアセンブリの前記第 2 の表面に接着されている、請求項 1 に記載のアンテナ装置 (1 0 0 、 1 0 0 ') 。

10

【請求項 4】

前記複数の構成要素は、前記 1 つ以上の相互接続層内の複数のビア (V s) を介して前記複数のアンテナ要素に接続された複数の増幅器 (6 0 、 8 0) を含む、請求項 1 に記載のアンテナ装置 (1 0 0 、 1 0 0 ') 。

【請求項 5】

前記複数の増幅器のうちの 1 つの増幅器 (6 0 、 8 0) は、前記複数のアンテナ要素の対応するアンテナ要素に接続されており、当該アンテナ要素の下にある、請求項 4 に記載のアンテナ装置 (1 0 0 、 1 0 0 ') 。

20

【請求項 6】

前記第 2 のサブアセンブリは、前記 1 つ以上の相互接続層に接続されており、かつ前記成形材料を通して前記第 2 のサブアセンブリの表面まで延在する 1 つ以上のビア (1 9 0) を更に備える、請求項 1 に記載のアンテナ装置 (1 0 0 、 1 0 0 ') 。

【請求項 7】

前記構成要素のうちの少なくとも 1 つは、前記 1 つ以上の相互接続層に接続されており、かつ前記成形材料を通して前記第 2 のサブアセンブリの表面まで延在する伝送線路 (1 7 0) である、請求項 1 に記載のアンテナ装置 (1 0 0 、 1 0 0 ') 。

【請求項 8】

30

前記第 1 のサブアセンブリは上面及び底面を有し、前記複数のアンテナ要素は前記上面に配置されており、前記第 1 のサブアセンブリは、前記底面に配置された接地平面 (1 1 9) を更に備える、請求項 1 に記載のアンテナ装置 (1 0 0 、 1 0 0 ') 。

【請求項 9】

前記アンテナ要素の各々は、本体を有するパッチアンテナ要素であり、前記本体の主表面に直交するプローブフィードによって前記本体の直接下の点からフィードされる、請求項 1 に記載のアンテナ装置 (1 0 0 、 1 0 0 ') 。

【請求項 1 0】

前記第 1 のサブアセンブリ及び第 2 のサブアセンブリは、少なくとも複数の接地 - 信号 - 接地 (G S G) はんだ接続 (1 4 7 s 、 1 4 7 g) によって互いに接着されており、各々が前記アンテナ要素の 1 つを前記 1 つ以上の相互接続層上の信号及び接地接点に電気接続する、請求項 1 に記載のアンテナ装置 (1 0 0 、 1 0 0 ') 。

40

【請求項 1 1】

前記 I C チップの各々は、前記分割された伝送 R F 信号及び / 又は前記 I C チップに提供された前記 R F 受信信号を修正するために、(i) 送信増幅器及び / 又は送信位相シフタ、又は (i i) 受信増幅器及び / 又は受信位相シフタ、のうちの少なくとも 1 つを備える、請求項 1 に記載のアンテナ装置 (1 0 0 、 1 0 0 ') 。

【請求項 1 2】

前記入出力ポートは、前記第 2 のサブアセンブリの第 1 の主表面から、前記第 2 のサブアセンブリの対向する第 2 の主表面まで延在する同軸伝送線路であり、

50

前記結合器／分割器ネットワークは、前記入出力ポートと前記複数のＩＣチップとの間に配置された誘電体（１８５）によって支持されるコプレーナ導波管（１８４ａ、１８４ｂ、１８４ｃ）から構成されている、請求項１に記載のアンテナ装置（１００、１００'）。

【請求項１３】

前記誘電体は、前記成形材料の損失係数よりも低い損失係数を有する、請求項１２に記載のアンテナ装置（１００、１００'）。

【請求項１４】

前記誘電体（１８５）は石英であり、前記成形材料は液晶ポリマーであり、
第１のサブアセンブリは、前記複数のアンテナ要素を支持する石英基板を備える、請求項１２に記載のアンテナ装置（１００、１００'）。 10

【請求項１５】

前記構成要素は、２次元アレイの行及び列に配置された複数の集積回路（ＩＣ）チップ（１６０、１６０'）を備え、各ＩＣチップは、行方向及び列方向に互いに離間しており、各々は、少なくとも２つのプローブフィールドの直接下にあり、かつ当該プローブフィールドに電気接続されており、前記プローブフィールドは、少なくとも２つの対応するアンテナ要素を前記それぞれのＩＣチップに接続する、請求項１に記載のアンテナ装置（１００、１００'）。

【請求項１６】

前記構成要素は複数の集積回路（ＩＣ）チップ（１６０'）を含み、前記第２のサブアセンブリは複数のヒートスプレッドタブ（１１０２）を含み、各々は前記ＩＣチップのうちの１つの主表面に取り付けられている、請求項１に記載のアンテナ装置（１００、１００'）。 20

【請求項１７】

前記ヒートスプレッドタブの各々の第１の主表面は前記ＩＣチップのうちのそれぞれ１つに取り付けられており、前記ヒートスプレッドタブの対向する第２の主表面は、前記成形材料の外側に露出されている、請求項１６に記載のアンテナ装置（１００、１００'）。

【請求項１８】

前記ビーム形成ネットワーク及び前記アンテナ要素は、ミリ波周波数の信号を送受信するように構成されている、請求項１に記載のアンテナ装置（１００、１００'）。 30

【請求項１９】

前記複数のアンテナ要素は、少なくとも１６個のアンテナ要素を含む、請求項１に記載のアンテナ装置（１００、１００'）。

【請求項２０】

アンテナ装置を形成する方法（６００）であって、
複数のアンテナ要素を含む第１のサブアセンブリを形成すること（Ｓ６１０）と、
成形材料内にあるビーム形成ネットワークの複数のビーム形成構成要素を封入して、埋め込み構成要素構造を形成すること（Ｓ６１０、７００、１０００）と、

前記埋め込み構成要素構造上に１つ以上の相互接続層を形成することにより、第２のサブアセンブリを形成すること（Ｓ７７０）と、 40

前記複数のビーム形成構成要素が前記複数のアンテナ要素に電気接続されるように、前記第１のサブアセンブリを前記第２のサブアセンブリに接着及び電気接続すること（Ｓ６２０）と

を含み、

前記複数のビーム形成構成要素の封入は、
接着箔が接着された支持体を提供すること（Ｓ７１０、Ｓ１０１０）と、
前記複数のビーム形成構成要素を前記接着箔の表面上に配置すること（Ｓ７２０）と、
前記接着箔表面上に配置されている間に、未硬化状態の前記成形材料を前記ビーム形成構成要素の周りに適用すること（Ｓ７３０、Ｓ１０３０）と、

前記成形材料を硬化させて、中間構造を形成すること（Ｓ７３０、Ｓ１０４０）と、 50

前記支持体及び前記接着箔を前記中間構造から除去して、前記埋め込み構成要素構造を形成すること（S 7 4 0、S 1 0 5 0）と

を含み

前記複数のビーム形成構成要素は、複数の集積回路（IC）チップ（1 6 0）と、少なくとも1つの伝送線路部分（1 8 0）内に形成された結合器／分割器ネットワークと、前記成形材料の適用前に前記接着箔の前記表面上に各々配置される同軸フィードスルー伝送線路（1 7 0）とを備える、方法（6 0 0）。

【請求項 2 1】

前記第 1 のサブアセンブリの前記第 2 のサブアセンブリへの接着及び電気接続は、前記第 1 のサブアセンブリ及び前記第 2 のサブアセンブリの各々の上のそれぞれの信号パッド（P s）と接地パッド（P g）との間で複数の接地 - 信号 - 接地（G S G）はんだ接続（1 4 7 s、1 4 7 g）を加熱及び冷却することを含む、請求項 2 0 に記載の方法（6 0 0）。

10

【請求項 2 2】

前記 1 つ以上の相互接続層の形成は、前記第 1 のサブアセンブリ及び前記第 2 のサブアセンブリが互いに接着及び電気接続されるときに、前記ビーム形成構成要素のうちの少なくともいくつかを前記アンテナ要素のそれぞれ 1 つに直接的に電気接続するために、前記 1 つ以上の相互接続層を完全に貫通して複数のビア（V s）を形成することを含む、請求項 2 0 に記載の方法（6 0 0）。

【請求項 2 3】

20

前記成形材料の硬化後に前記成形材料を通して複数のビアを形成し、引き続き、前記 1 つ以上の相互接続層を通して前記 IC チップの少なくとも 1 つに接続すること（S 7 6 0、S 1 0 7 0）を更に含む、請求項 2 0 に記載の方法（6 0 0）。

【請求項 2 4】

前記ビーム形成構成要素を封入する前に、ヒートスプレッドタブ（1 1 0 2）を、前記ビーム形成構成要素のうちの少なくともいくつかのそれぞれの主表面に取り付けること（S 1 0 2 0）

を更に含む、請求項 2 0 に記載の方法（6 0 0）。

【発明の詳細な説明】

【技術分野】

30

【0 0 0 1】

本開示は、概してアンテナアレイに関する。

（関連技術の考察）

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 2】

アンテナアレイは現在、航空機、衛星、車両、一般的な陸上通信用の基地局などで、マイクロ波及びミリ波周波数の様々な用途に使用されている。このようなアンテナアレイは、典型的には、ビームを方向付けするためのフェーズドアレイを形成するために、位相シフトビーム形成回路を用いて駆動されるマイクロストリップ放射素子を含む。多くの場合、アンテナアレイ及びビーム形成回路を含むアンテナシステム全体が、必要な性能メトリックを満たす一方で、低プロファイルの最小空間しか占有しないことが望ましい。

40

【0 0 0 3】

本開示の技術の一態様では、アンテナ装置は、複数のアンテナ要素を有する第 1 のサブアセンブリと、第 1 のサブアセンブリに接着された第 2 のサブアセンブリとを含む。第 2 のサブアセンブリは、成形材料内に封入されたビーム形成ネットワークの複数の構成要素と、成形材料上の 1 つ以上の相互接続層とを含む。1 つ以上の相互接続層は、ビーム形成ネットワークの複数の構成要素を複数のアンテナ要素に電気接続する。

【0 0 0 4】

構成要素は、アンテナ装置がフェーズドアレイとして動作可能であるように、位相シ

50

フタを動的に制御する集積回路（ＩＣ）チップを含んでもよい。

【０００５】

別の態様では、アンテナ装置を形成する方法は、複数のアンテナ要素を含む第１のサブアセンブリを形成することと、成形材料内にビーム形成ネットワークの複数のビーム形成構成要素を封入して、埋め込み構成要素構造を形成することと、を含む。次いで、１つ以上の相互接続層を、埋め込み構成要素構造上に形成し、それによって第２のサブアセンブリを成してもよい。次いで、第１のサブアセンブリは、複数のビーム形成構成要素が複数のアンテナ要素に電気接続されるように、第２のサブアセンブリに接着及び電気接続してもよい。

【図面の簡単な説明】

10

【０００６】

開示された技術の上記及び他の態様及び特徴は、同様の参照番号が同様の素子又は特徴を示す添付の図面と併せて、以下の詳細な説明からより明らかになるであろう。

【０００７】

【図１】図１は、一実施形態による例示的なアンテナ装置の斜視図である。

【０００８】

【図２Ａ】図２Ａは、アンテナ装置の例示的なアンテナ要素の斜視図である。

【０００９】

【図２Ｂ】図２Ｂは、アンテナ装置のアンテナ要素とＩＣチップとの間の例示的な配置及び接続技術を示す断面図である。

20

【００１０】

【図３Ａ】図３Ａは、送信及び受信動作のためのフェーズドアレイアンテナとして構成されたアンテナ装置１００の例を概略的に示す。

【００１１】

【図３Ｂ】図３Ｂは、図３ＡのＴ／Ｒ回路の例を概略的に示す。

【００１２】

【図４】図４は、図１の線ⅠⅤ－ⅠⅤに沿って取られたアンテナ装置の一部の断面図である。

【００１３】

【図５】図５は、アンテナ装置の例示的な埋め込み構成要素サブアセンブリの平面図である。

30

【００１４】

【図６】図６は、アンテナ装置を製造するための例示的な方法を示す流れ図である。

【００１５】

【図７】図７は、埋め込み構成要素サブアセンブリを形成する例示的な方法の流れ図である。

【００１６】

【図８Ａ】図８Ａは、図７の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

【図８Ｂ】図８Ｂは、図７の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

40

【図８Ｃ】図８Ｃは、図７の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

【図８Ｄ】図８Ｄは、図７の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

【図８Ｅ】図８Ｅは、図７の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

【図８Ｆ】図８Ｆは、図７の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

【図８Ｇ】図８Ｇは、図７の埋め込み構成要素サブアセンブリを形成する方法におけるそ

50

それぞれの工程を示す断面図である。

【 0 0 1 7 】

【図 9】図 9 は、アンテナ装置の別の例示的な埋め込み構成要素サブアセンブリの平面図である。

【 0 0 1 8 】

【図 1 0】図 1 0 は、埋め込み構成要素のサブアセンブリを形成する別の例示的な方法の流れ図である。

【 0 0 1 9 】

【図 1 1 A】図 1 1 A は、図 1 0 の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

10

【図 1 1 B】図 1 1 B は、図 1 0 の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

【図 1 1 C】図 1 1 C は、図 1 0 の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

【図 1 1 D】図 1 1 D は、図 1 0 の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

【図 1 1 E】図 1 1 E は、図 1 0 の埋め込み構成要素サブアセンブリを形成する方法におけるそれぞれの工程を示す断面図である。

【発明を実施するための形態】

【 0 0 2 0 】

20

以下の説明は、添付の図面を参照して、例示目的のために本明細書に開示される技術の特定の例示的实施形態の包括的な理解を支援するために提供される。本明細書は、技術を理解する当業者を支援するための様々な具体的な詳細を含むが、これらの詳細は単なる例示であると思なされるべきである。簡潔さ及び明瞭さのために、周知の機能及び構造の説明は、当業者が技術を理解することを不明瞭にし得る場合には、周知の機能及び構造の説明を省略することができる。

【 0 0 2 1 】

図 1 は、一実施形態による例示的なアンテナ装置 1 0 0 の斜視図である。アンテナ装置 1 0 0 は、低プロファイルの積層構造を形成するアンテナサブアセンブリ 1 1 0 を含んでもよく、これは、埋め込み構成要素サブアセンブリ 1 5 0 に接着されている。アンテナサブアセンブリ 1 1 0 は、アンテナアレイ 1 2 2 を形成するために、基板 1 1 7 の上部主表面にわたって空間的に配置された複数のアンテナ要素 1 2 0 を含む。アンテナ要素 1 2 0 の数、それらの種類、サイズ、形状、要素間間隔、及びそれらが駆動される方法は、目標とする性能メトリックを達成するために設計によって変更してもよい。このような性能メトリックの例としては、必要な周波数帯域にわたるビーム幅、指向方向、偏波、サイドローブ、電力損失、ビーム形状などが挙げられる。典型的な事例では、アンテナアレイ 1 2 2 は、少なくとも 1 6 個のアンテナ要素 1 2 0 を含む。アンテナ要素 1 2 0 は、図 1 に示すようなマイクロストリップパッチアンテナ要素であってもよいが、プリントダイポール又はスロット付き要素などの他のラジエータ形式を代用してもよい。接地プレート 1 1 9 は、基板 1 1 7 の底部主表面上に形成してもよい。用途に応じて、アンテナ要素 1 2 0 は、RF 信号を送信及び/又は受信するためのビーム形成構成要素に接続してもよい。以降の説明は、アンテナ装置 1 0 0 が同時に送信及び受信能力を有すると仮定するが、他の実施形態は、単に受信又は送信するように構成してもよい。一実施例では、アンテナ要素 1 2 0 は、3 0 G H z ~ 3 0 0 G H z 範囲の帯域として一般に定義される、ミリ (mm) 波周波数帯域にわたって動作するように設計されている。他の実施例では、アンテナ要素 1 2 0 は、3 0 G H z 未満で動作するように設計される。

30

40

【 0 0 2 2 】

図 2 A を一時的に参照すると、アンテナ装置 1 0 0 のアンテナ要素 1 2 0 の一例が斜視図で例示されている。(後述する図 2 B は、アンテナ要素 1 2 0 を断面図で示す。) アンテナ要素 1 2 0 は、基板 1 1 7 の上面に印刷してもよく、又は上面の下で基板 1 1 7 に

50

配置してもよい。基板 117 の底面上に金属被覆してもよい接地プレート 119 は、アンテナ要素 120 へのノアンテナ要素 120 からの信号エネルギーを反射する。基板 117 は、石英又は溶融シリカなどの低損失正接材料であってもよい。これは、損失を最小限に抑えるために、高周波動作において特に有益であり得る。各アンテナ要素 120 は、基板 117 を通って垂直に延在し、点 p でアンテナ要素の下面に直接接続されたそれぞれのマイクロストリッププローブフィード 114 によって駆動することができる。マイクロストリッププローブフィード 114 は、基板 117 を通る基板貫通ビア (TSV) (以下、「ビア」として形成してもよい。したがって、それぞれの複数のアンテナ要素 120 にフィードする複数のプローブフィード 114 は、誘電体 117 を通って延在するビアのアレイと見なしてもよい。点 p は、所望の偏波を達成するためにアンテナ要素 120 の本体内の位置で選択され、所望の偏波を達成することができる (例えば、中心から特定の距離だけずれたときに円形偏波)。インピーダンス整合のために、パッチ要素にスリット 121 を形成してもよい。代替的な設計では、プローブフィードは、アンテナ要素 120 へのインセットフィード及びノ又は非接触の結合接続により置換してもよいことに留意されたい。

【0023】

更に図 1 を参照すると、埋め込み構成要素サブアセンブリ 150 は、成形材料 152 内に封入されたビーム形成ネットワーク構成要素を含み、これは、再構成ウェハと呼ばれることもある埋め込み構造 154 を共に形成する。サブアセンブリ 150 は、成形材料 152 の上に形成された (例えば、誘電体及び導電性材料の多工程堆積プロセスを使用して) 1 つ以上の相互接続層 155 (本明細書では、「再分配層 (RDL)」と互換的に呼ばれる) を更に含み、これは、ビーム形成ネットワーク構成要素をアンテナ要素 120 に電気接続することができる。そのようなビーム形成ネットワーク構成要素の例には、集積回路 (IC) チップ 160、結合器ノ分割器ネットワークを形成し得る伝送線路部分 180、及び少なくとも 1 つの RF フィードスルー伝送線路 170 が含まれる。IC チップ 160 は、モノリシックマイクロ波 IC (MMIC) チップであってもよい。一実施例では、IC チップ 160 は、各々リン化インジウム (InP) である。別の例では、IC チップは、ヒ化ガリウム (GaAs)、窒化ガリウム (GaN) などの別の半導体材料であってもよい。任意の IC チップ 160 は、いくつかのアンテナ要素 120 にフィードすることができる。 (本明細書で、アンテナ要素に「フィードする」とは、アンテナ要素に信号を送信すること、及びノ又はアンテナ要素から信号を受信することを指す。)

【0024】

以下、伝送線路部分 180 は、互換的に結合器ノ分割器ネットワーク 180 と呼ばれるてもよい。送信方向では、結合器ノ分割器ネットワーク 180 は、伝送線路 170 を介して印加される RF 伝送信号を、各々が IC チップ 160 の 1 つに印加される複数の分割された伝送信号に分割する分割器として機能する。受信方向において、結合器ノ分割器ネットワーク 180 は、アンテナ要素 120 の 1 つ又は群によって各々受信され、IC チップ 160 を介してルーティングされる (及び典型的にはそれによって修正される) 複数の受信信号を結合する結合器として機能する。したがって、IC チップ 160 は、アンテナアレイ 122 に電気接続された「RF フロントエンド」を集散的に含んでもよい。信号を送信するために、RF フロントエンドは、伝送線路 170 を介して印加される RF 信号を増幅するための電力増幅器を分散的に含み得る。受信方向において、RF フロントエンドは、低ノイズ増幅器、ミキサ、フィルタ、スイッチなどを含んでもよい。アンテナアレイ 122 がフェーズドアレイとして提供される場合、IC チップ 160 は、アンテナ要素 120 を互いに対して位相調整するための送信経路及びノ又は受信経路内でアクティブな位相シフタを含み、それによってアンテナビームを動的に方向付けすることができる。一例では、単一の同軸フィードスルー伝送線路 (「同軸フィードスルー」) 170 は、送信側の入力 RF 信号をルーティングし、及びノ又は受信側の全てのアンテナ要素 120 からの結合された受信信号をルーティングしてもよい。他の場合には、2 つ以上の同軸フィードスルー 170 が提供され、送信ノ受信信号の追加の分割ノ結合は、アンテナ装置 100 の別の層で、例えば、複数の同軸フィードスルー 170 へのノ複数の同軸フィードスルー 17

10

20

30

40

50

0からの信号の分割/結合によって行われる。同軸フィードスルー170は、アンテナ装置100の入出力ポートの一例である。CPWフィードスルーなどの他の種類のフィードスルーにより置換してもよい。

【0025】

図3Aは、送信及び受信動作のためのフェーズドアレイアンテナとして構成されたアンテナ装置100の例を概略的に示す。本実施例のアンテナ装置100は、N個のICチップ160₁~160_N及び(N×k)個のアンテナ要素(120₁₋₁~120_{1-k}), . . . , (120_{N-1}~120_{N-k})を含み、各チップ160はk個のアンテナ要素120に接続されており、変数N及びkは各々2以上である。(ただし、特定の他の実施形態では、各ICチップ160に接続されたアンテナ要素120は1つのみであり得ることに留意されたい。)図1の例では、1つのICチップ160が4つのアンテナ要素120の下にあり(かつ接続され)、したがってk=4であることが分かる。各ICチップ160_i(iは1~Nの任意の数)は、k個の送受信回路(T/R)回路165_{i-1}~165_{i-k}を含む。任意のT/R回路165_{i-j}の一端(jは1~kの任意の数)は、対応するアンテナ要素120_{i-j}に接続され、T/R回路165_{i-j}の他端は、結合器/分割器ネットワーク180のそれぞれのフィードポイントに接続される。送信方向では、フィードスルー170からの伝送RF信号(例えば、モデムから提供される)は、結合器/分割器180によって(N×k)個の信号に分割され、各分割された信号は、T/R回路165に供給され、T/R回路165によって修正(例えば、増幅、位相シフト及び/又はフィルタリング)される。各T/R回路165の修正された信号は、放射されるそれぞれのアンテナ要素120に出力される。受信方向において、各アンテナ要素120によって受信された受信信号は、対応する各T/R回路165を通して供給され、修正される(例えば、増幅、フィルタリング、及び/又は位相シフトされる)。各々の修正された受信信号は、結合器/分割器180の入力ポイントに出力される。この結合器/分割器は、修正された全ての受信信号を結合し、フィードスルー170に結合された受信信号を提供する。

【0026】

図3Bは、図12Aのアンテナ装置100のT/R回路165のいずれかに使用することができるT/R回路165_{i-j}の一例を示す。T/R回路165_{i-j}は、一对のT/Rスイッチ70、72と、送信経路位相シフタ82と、送信増幅器80と受信増幅器60と、受信経路位相シフタ62とを含んでもよい。制御信号CNTRLは、T/Rスイッチ70、72のスイッチ状態を制御するためにT/R回路165_{i-j}に印加することができる。また、位相シフタ62、82の位相シフトを動的に制御することができる。送信期間中、T/Rスイッチ70及び72は、第1のスイッチ位置に切り替えられ、結合器/分割器ネットワーク180から入力される伝送信号を位相シフタ82及び増幅器80を介してアンテナ120_{i-j}にルーティングする。受信期間中、T/Rスイッチ70及び72は、第2のスイッチ位置に切り替えられ、RF受信信号をアンテナ120_{i-j}から増幅器60及び位相シフタ62を介して結合器/分割器ネットワーク180にルーティングする。同じ周波数帯域又は異なる周波数帯域を送信及び受信動作に使用してもよい。

【0027】

図3BのT/R回路165_{i-j}は、共有アンテナ要素120(伝送信号及び受信信号の両方を処理するために共有される)と共有結合器/分割器ネットワーク180との間で送受信信号をルーティングするT/R回路の一例である。当業者に知られている他の構成を代用してもよい。例えば、代替のT/R回路は、T/Rスイッチ70、72を省略し、伝送信号電力が受信増幅器60を損傷するのを防ぐための適切な隔離機構を用いて、送信及び受信動作にそれぞれ異なる周波数帯域を利用してもよい。また、偏波ダイバーシティ方式(例えば、送信の左円偏波、受信の右円偏波、又はその逆)を実装することによってT/Rスイッチ70、72を省略することも可能であり得る。

【0028】

図2Bを参照すると、アンテナ装置100の任意のアンテナ要素120とICチップ

160 との間の例示的な配置及び接続技術を示す断面図が示されている。ICチップ160は、埋め込み構造154内に埋め込まれ、RF信号をルーティングするために、埋め込み構造154の上面S1又はその付近に信号線接点162s及び一対の接地接点162gを有してもよい。相互接続層155内に形成された導電性ビアVs、Vgは各々、接点162s、162gに接続されたそれぞれの端部と、それぞれのコンタクトパッドPs、Pgを有する対向端部とを有する。組み立て段階では、接地プレート119の下面を相互接続層155の上面S2に接着することによって、アンテナサブアセンブリ110をサブアセンブリ150に取り付けてもよい。このような取り付けは、サブアセンブリ110、150上の対応するパッド間の電気接続材料（例えば、はんだ）により実現してもよく、任意選択で、サブアセンブリ110、150の他の表面領域上で接着剤を使用して補充してもよい。この組み立て段階の間に、パッドPsは、接着プロセス中に溶融され、次いで冷却されるはんだボール（又はバンプ／ピラー）147sを介してマイクロストリップフィード114にはんだ付けすることができる。同様に、一対のパッドPgは、それぞれの一対のはんだボール147gを介して接地プレート119にはんだ付けされ、それによって、フィード114／接地プレート119とICチップ160の信号／接地ポイントとの間に接地 - 信号 - 接地（GSG）接続を形成することができる。はんだボール147s、147gは最初から、図2Bに示すように、アンテナフィード／接地プレート114／119に、又は代替的にパッドPs、Pgに接着していてもよい。

【0029】

示される実施形態では、アンテナ要素120の直接下にあるICチップ160を用いて、ビアVs、Vgは、ICチップ160とアンテナ要素120の接触ポイントとの間に望ましい短い接続を形成する。ICチップ160がアンテナ要素120の直接下でない他の実施形態では、GSG接続は、相互接続層155内のコプレーナ導波管（CPW）伝送線路のポイントで行うことができる。このようなCPW伝送線路は、パッドPまで延在する内側トレースと、一対のパッドPgまでそれぞれ延在する一対の接地トレース（内側トレースの各側面上の1つ）とを有し得る。

【0030】

図4は、図1の経路IV - IVに沿って切り取られたアンテナ装置100の一部分の断面図である。この例示的な断面図では、埋め込み構成要素サブアセンブリ150は、ICチップ160、伝送線路部分180、同軸線（「同軸」）フィードスルー170、及びDCビア190を含む。ICチップ160は、図2Bに関して上述したやり方で、サブアセンブリ110の1つ以上のアンテナ要素120に接続してもよい。絶縁性接着層130を、上述の接着段階に続いてサブアセンブリ110、150の間に形成してもよい。接着層130は、GSGはんだ接続を使用するサブアセンブリ110、150の電気機械的取り付けを補充するために接着剤が塗布される場合に存在する。そうでない場合には、接着層130は省略することができる。示される例では、1つ以上のRDL層155は、下部RDL層155a及び上部RDL層155bを含み、上部RDL層155bは、198、168、及び188などの導電性トレースと接着層130／接地プレート119とを分離する。代替的な設計では、上部RDL層155bは省略され、接着層130のみがRDL層155aの上の接地プレート119と導電性トレースを分離する。

【0031】

ICチップ160、伝送線路部分180、及び同軸フィードスルー170は各々、成形材料（「封止材」）152内に埋め込まれたビーム形成ネットワーク構成要素の例であり、各々は、封止材152の上面s1と実質的に同一平面上にある上面を有してもよい。これらの要素間のRDL層接続は、RDL層155aの表面s1から上面s4まで延在するそれぞれのビアV1を介して行ってもよい。V1、Vg又は190などの任意のビアは、周囲の誘電体材料を通して延在するバレル（例えば、ビア190のバレル191）及び両端上の一対のパッド、例えば、P1、P3、Pg、Psを有してもよい。例えば、ICチップ160は、ビアV1に接続された接点162fを有してもよく、これは次に、導電性トレース198、ビアV1及びDCビア190に接続する。DCビア190は、その対

10

20

30

40

50

向端が下部パッド P 3 を有する封止材 1 5 2 の下面 s 3 まで延在してもよい。表面 s 4 に沿ってパターン化された導電性トレース 1 9 8、1 6 8、1 8 8 は、ビアパッドへの接続を通じてビーム形成構成要素を相互接続してもよい。封止材 1 5 2 の上面 s 1 上に形成された任意のビアパッドは、誘電体層を適用して R D L 層 1 5 5 a を形成する前に形成してもよい。R D L 層 1 5 5 a の誘電体が適用された後、ビアの対向パッドを形成してもよく、その後、ビアホールが上部パッドを通して穿孔され、下部パッドまで延在してもよい。次に、ビアホールは、ビア形成を完了するために、例えば電気めっきされた導体により充填することができる。

【 0 0 3 2 】

コプレーナ導波管 (C P W) 接続はまた、R D L 層 1 5 5 を通して様々な構成要素間で行うことができ、R F 信号をルーティングするための相互接続を形成する。例えば、伝送線路部分 1 8 0 は、石英又は熔融シリカなどの低損失誘電体材料 1 8 5 の上面に沿って延在する内側 C P W トレース 1 8 2 などの導電性トレースを含んでもよい。誘電体材料 1 8 5 は、望ましくは、封止材 1 5 2 の損失係数よりも低い損失係数を有する材料である。図 5 のトレース 1 8 4 a、1 8 4 b として後述される、図 4 には示されていない外側 C P W トレースは、その反対側の内側トレース 1 8 2 に平行に延在してもよい。(図 4 の断面図では、1 つの C P W 外側トレースは、内側トレース 1 8 2 の前方にあってもよく、他方の外側トレースは内側トレース 1 8 2 の後ろにある。)内側トレース 1 8 2 の一端は、一対のビア V 1 間の R D L トレース 1 6 8 によって形成された相互接続を介して I C チップ 1 6 0 の信号接点 1 6 2 t に接続してもよい。同様に、一対の外側 R D L トレース (図示せず) は、信号接点 1 6 2 t の反対側の I C チップ 1 6 0 (図 4 には示されていないが、図 5 の接点 1 6 2 g として例示されている) の一対の接地接点に、伝送線路部分 1 8 0 の外側 C P W トレースを接続してもよい。

【 0 0 3 3 】

同軸線 1 7 0 は、内側導体 1 7 2 と外側円筒形導体 1 7 4 とを分離するガラスなどの誘電体 1 7 6 から構成される。同軸線 1 7 0 は、表面 s 1 から封止材 1 5 2 の下面 s 3 まで垂直に延在してもよい。内側導体 1 7 2 は、一対のビア V 1 間に R D L トレース 1 8 8 を含む相互接続を介して、内側 C P W トレース 1 8 2 の他端に接続してもよい。外側導体 1 7 4 は、内側トレース 1 8 2 の両側の外側トレースに 2 点で接続してもよい。例えば、ビア V 2 は、図 4 の断面図において、内側 C P W R D L トレース 1 8 8 の後方に形成してもよい。このビア V 2 は、外側導体 1 7 4 の点を、内側 C P W R D L トレース 1 8 8 の後方に位置する R D L 外側 C P W トレースのうちの 1 つに電気接続してもよい。同軸フィードスルー 1 7 0 及び D C ビア 1 9 0 は各々、表面 s 3 において表面実装コネクタ (図示せず) に接続してもよい。1 つ以上の追加の I C チップは、表面 s 3 に取り付けられ、所望に応じて追加のビアを介して I C チップ 1 6 0 に接続することができる。このような追加 I C チップの一例は、I C チップ 1 6 0 に電圧を提供する電圧調整チップである。別の例は、I C チップ 1 6 0 内の位相シフタ及び / 又は T / R スイッチなどのビーム形成回路に制御信号を提供するマイクロプロセッサチップである。

【 0 0 3 4 】

図 5 は、アンテナ装置 1 0 0 の例示的な埋め込み構成要素サブアセンブリ 1 5 0 の平面図である。サブアセンブリ 1 5 0 は、平面グリッド配置でレイアウトされた I C チップ 1 6 0 を含んでもよい。いくつかの I C チップ 1 6 0 間の空間 (「ストリート」) には、伝送線路部分 1 8 0 が配置されている。伝送線路部分 1 8 0 は単一の部分として示されているが、R D L 層 1 5 5 内の相互接続を介して互いに相互接続された複数の部分から構成してもよい。間隙「g」は、I C チップ 1 6 0 の隣接する側面から伝送線路部分 1 8 0 の端部を分離することができる。場合によっては、熱膨張を考慮して最小間隙 g サイズが割り当てられる。小さい間隙 g が一般的に望ましいが、間隙サイズは、主に製造上の制限によって決められてもよい。複数のビア 1 9 0 は、各 I C チップ 1 6 0 の 1 つ以上の端部に隣接して配置してもよい。各ビア 1 9 0 は、I C チップ 1 6 0 に / から D C バイアス信号又は制御信号をルーティングするために、隣接する I C チップ 1 6 0 のそれぞれの接点 1

10

20

30

40

50

62fにRDL相互接続198を介して接続され得る。例えば、DCバイアス信号は、ICチップ160の送信方向電力増幅器及び/又は受信方向低ノイズ増幅器(LNA)をバイアスしてもよい。制御信号は、ICチップ160内の位相シフタの位相を動的に制御することができる。

【0035】

ICチップ160は、矩形プロファイルを有してもよい。ICチップ160の少なくともいくつかは、いくつかのアンテナ要素120の部分の直接下にあってもよく、ビアを介して行われるプローブフィールド114への短い接続を可能にする。例えば、ICチップ160の信号接点162fは、相互接続層155内のそれぞれのビアの直接下にあってもよく、このビアは更にプローブフィールド114の直接下にある。各アンテナ要素120の大部分(例えば、プローブフィールドポイントを含む部分)は、ICチップ160のそれぞれの部分を覆ってもよい。アンテナ要素120のいくつかは、ICチップ160の角部を覆う大部分を有してもよく、少部分を、ICチップ160の周囲の外側に配置してもよい。

【0036】

内側導体172及び外側導体174を有する同軸フィードスルー170は、入力RF信号を、伝送線路部分180を介してICチップ160の一部又は全部にルーティングしてもよい。図4に記載されるように、内側導体172は、RDL相互接続188を介して内側CPWトレース182の近位端に接続してもよい。更に、第1及び第2のCPW外側トレース184a、184bは、RDL層155内のそれぞれのパッドP1及びRDL相互接続189a、189bを介して別々のポイントで外側導体174に接続してもよい。分割器ネットワーク(送信側)は、図5に示すように、内側CPWトレース182を複数の経路に分けRF伝送信号の信号エネルギーを分割することによって、及びトレース184c、184d及び184eなどの追加のCPW外側トレースを提供することによって形成することができる。各ICチップ160内の電力増幅器は、アンテナ要素120へのルーティング前に分割されたRF信号の部分を増幅することができる。適切な送信/受信(T/R)スイッチングにより、同じCPW導電性トレースを受信経路の結合器ネットワークとして使用して、アンテナ要素120によって受信され、ICチップ160内の低ノイズ増幅器(LNA)によって増幅されたRF受信信号を結合することができる。CPW外側トレースは各々、RDL相互接続によって、隣接するICチップ160内の接地接点162gに接続してもよい。同様に、内側CPWトレース182の遠位端を、各々、RDL相互接続168を介してICチップ160のそれぞれにおける信号接点162tに接続してもよい(図4参照)。

【0037】

図6は、アンテナ装置100を製造するための例示的な方法600を示す流れ図である。最初に、アンテナ要素サブアセンブリ110と埋め込み構成要素サブアセンブリ150は、別個に形成することができる(ブロックS610)。例えば、アンテナ要素サブアセンブリ110は、まず、低損失誘電体117、例えば石英又は溶融シリカのスラブをアンテナ装置100の所望のプロファイルに予め切断することによって形成してもよい。その後、誘電体117の下部主表面は、各プローブフィールド114の位置を取り囲む円形領域を除いて、接地プレート119と共にパターン化してもよい。次いで、プローブフィールド114のためのパッドが、円形領域内の下面上に形成され、パッドを通して穿孔されたビアホールを形成することができる。ビアホールをその後、電気めっきして、ビアとして具現化されたプローブフィールド114を形成してもよい。なお、接地プレート119は、プローブフィールド114の形成前に形成していても又は形成後に形成してもよいことに留意されたい。次いで、プローブフィールド114の位置と一致する領域でパターン金属化することによって誘電体117の上部主表面上にアンテナ要素120を形成することができる。これにより、アンテナ要素サブアセンブリ110を完成することができる。代替的なシーケンスでは、アンテナ要素120は、プローブフィールド114及び/又は接地プレート119を形成するためのプロセスの前に形成される。埋め込み構成要素サブアセンブリ150は、図7に関連して以下に記載される方法で形成してもよい。GSGはんだボールは

10

20

30

40

50

、サブアセンブリ 110 又は 150 のいずれかの GSG 接点に取り付けてもよい。

【0038】

次に、アンテナ構成要素サブアセンブリ 110 は、図 2B に記載されるように、GSG はんだボールが同時に溶融及び冷却されて、2 つのサブアセンブリ間の GSG 相互接続を形成する間に、埋め込み構成要素サブアセンブリ 150 に直接接着することができる (S620)。(上述のように、GSG はんだ接続は、一部の実施形態では、補足的な接着剤なしで、全体的な機械的接続として機能してもよい。)次いで、残りの構成要素が、埋め込み構成要素サブアセンブリ 150 に取り付けられ得る (S630)。これらは、上記の表面実装同軸コネクタ及び DC コネクタ、並びに封止材 152 の下面 s3 に取り付けられた IC を含み得る。

10

【0039】

図 7 は、埋め込み構成要素サブアセンブリ 150 を形成する例示的な方法 700 の流れ図であり、図 8A ~ 図 8G は、方法 700 のそれぞれの工程に対応する構造を示す断面図である。初期工程 S710 では、接着箔 810 (図 8A を参照) が支持体プレート 820 上に積層され、支持体アセンブリ 830 を形成する。次いで、ビーム形成構成要素を、ピックアップブレースツールを使用して箔上に配置することができる (S720) (図 8B 参照)。ビーム形成構成要素は、例えば、IC チップ 160、伝送線路部分 180 (例えば、既に形成された CPW 導電性トレース 182、184 を有するか又は有さない石英部分)、1 つ以上の RF フィードスルー、例えば、同軸フィードスルー 170、及び IC チップ 160 とは異なる機能/材料/サイズの他の IC チップ (図示せず) を含み得る。ビーム形成構成要素のうちのいくつか、例えば、IC チップ 160 のうちのいずれかは、接着箔 810 上に配置される前に取り付けられたヒートスプレッドタブ (例えば、後述する図 11B のヒートスプレッドタブ 1102) を有してもよい。

20

【0040】

次いで、成形材料 152 を、成形プレスを使用して、ビーム形成構成要素の周りの接着箔の表面上、及びビーム形成構成要素の少なくともいくつかの表面上に、(液体又は柔軟な)非硬化状態で適用することができる (S730)。成形材料 152 の例としては、エポキシ成形コンパウンド、液晶ポリマー (LCP)、及びポリイミドなどの他のプラスチックが挙げられる。ここで、成形材料 152 は、箔表面に対して少なくとも最も高い構成要素の高さ、例えば、同軸フィードスルー 170 の厚さで適用され得る。次に、成形材料 152 は、硬化され、任意選択でトリミング/平坦化されて、図 8C に示されるように、埋め込み構成要素構造 154 を備えた中間構造を形成することができる。このようにして、埋め込み構成要素構造 154 は、実質的に平面の対向する主表面 s1、s3 を有するウェハ様構造として形成することができ、ウェハのように更に加工してもよい。

30

【0041】

以下の工程 (S740) において、支持体 820 及び箔 810 は、接着解除ツールを使用して、埋め込み構造 154 から剥離することによって中間構造から除去されてもよく、埋め込み構造 154 は、図 8D に見られるように裏返されてもよい。(図 8D において、ヒートスプレッドタブが IC チップ 160 に取り付けられている場合、タブの厚さは、タブの下面が成形材料 152 の表面 s3 と同一平面上にあるように、事前設定してもよく、又は後でトリミングしてもよいことに留意されたい。)その後、パッドを、ビアが形成される場所、又は他の構成要素への電氣的接触が行われる場所で、構造 154 の対向する表面 s1 及び s3 上に形成することができる (S750)。図 8E に見られるように、相互接続層 155 を介して後続のビアの一部を形成するためのパッド P1、Ps 及び Pg は、パターン金属化によって上面 s1 上に形成される。この処理段階の間に、CPW 導電性トレース 182、184 なしに伝送線路部分 180 が埋め込まれている場合、パッド P1、Ps、Pg が形成されるとき、これらパッドをパターン金属化によって同時に形成してもよい。成形材料 152 を介してビア (例えば、190) の一部を形成するための、及び/又は他の構成要素に接続するためのパッド P3 もまた、下面 s3 上に形成してもよい。ビアホールは、パッド及び成形材料 152 を通して穿孔され、例えば電気めっきを用いて

40

50

導電性材料（Ｓ７６０）により充填され、完成したビア（例えば１９０）を形成することができる。埋め込みプロセスの前に１つの構成要素として同軸フィードスルー１７０を提供する代替として、同軸フィードスルーをこの処理段階で、複数の別個の埋め込み構成要素を使用して形成してもよいことに留意されたい。

【００４２】

次いで、埋め込み構成要素構造１５４の上に、ビア及び相互接続を有する１つ以上のＲＤＬ層１５５を形成することができる（Ｓ７７０）。例えば、第１及び第２のＲＤＬ層１５５ａ、１５５ｂを有する構成では、第１のＲＤＬ層１５５ａは、図８Ｆに示されるように、埋め込み構造１５４の上面ｓ３の上に最初に形成してもよい。後続の工程では、ビアＶ１から層ＲＤＬ層１５５ａを形成し、ＲＤＬ層１５５ａの表面ｓ４に１９８、１６８、１８８などの導電性トレースを形成して、ビーム形成構成要素間の相互接続を完了することができる。その後、第１のＲＤＬ層１５５ｂの上面ｓ４上に第２のＲＤＬ層１５５ｂを形成してもよい。次に、第１及び第２のＲＤＬ層１５５ａ、１５５ｂの両方を通して延在するビアＶｇ及びＶｓを形成することができる。代替的なシーケンスでは、ビアＶ１が形成されるときに、各ビアＶ及びＶｇの下部を最初に、すなわち、第２のＲＤＬ層１５５ｂの形成前に形成してもよい。ビアＶ及びＶｇの上部は、その後、第２のＲＤＬ層１５５ｂが適用された後に形成することができる。

【００４３】

図９は、別の実施形態による、別の例示的なアンテナ装置１００'の部分的なレイアウトを示す。アンテナ装置１００'は、埋め込み構成要素サブアセンブリ１５０'に接着されたアンテナサブアセンブリ１１０'を含んでもよい。アンテナサブアセンブリ１１０'は、アンテナサブアセンブリ１１０と実質的に同じ構造であってもよいが、ＡＤＣ／ＤＡＣ／プロセッサ９１０が取り付けられた又は埋め込まれた拡張誘電体部分１１７を有する。あるいは、ＡＤＣ／ＤＡＣ／プロセッサ９１０は、サブアセンブリ１５０'の拡張部分に取り付けられるか、又はその内部に埋め込まれ、誘電体部分１１７を拡張しなくてもよい。サブアセンブリ１５０'は、上述のものと同様又は同一の構成の少なくとも１つの相互接続層１５５を介して相互接続された埋め込みＩＣチップ１６０'及び埋め込みＩＣチップ９６０を含んでもよい。ＩＣチップ９６０は、ＩＣチップ１６０'とは異なる機能性を有してもよく、及び／又は異なる半導体材料から構成してもよい。一実施例では、ＩＣチップ１６０'は、ＩｎＰトランジスタ（例えば、電力増幅器、低ノイズ増幅器など）を含み、一方、ＩＣチップ９６０は、シリコン又はＳｉＧｅベースのトランジスタ（例えば、位相シフタなどのビーム形成要素）を含む。ＩＣチップ１６０'は、ＲＦ電力増幅器を含んでもよく、ＩＣチップ１６０'について先に説明したやり方で、少なくとも１つの相互接続層１５５内のビアを介してアンテナサブアセンブリ１１０'のアンテナ要素１２０に直接接続してもよい。ＩＣチップ９６０は、拡張信号経路を介してアンテナ要素１２０に接続してもよい。

【００４４】

一例では、ＩＣチップ９６０は、受信機フロントエンド回路、例えば、ＩＣチップ１６０'内及び／又は１つ以上の相互接続層１５５内の導電性トレースを介してアンテナ要素１２０に接続する低ノイズ増幅器（ＬＮＡ）、バンドパスフィルタ位相シフタなどを含む。この場合、所与のＩＣチップ９６０内の受信回路は、１つ以上のアンテナ要素１２０からルーティングされた１つ以上の受信信号を修正（例えば、増幅、位相シフト及び／又はフィルタリング）し、ＩＣチップ１６０'とＩＣチップ９６０との間に配置された結合器／分割器ネットワーク１８０'に修正された受信信号を出力することができる。ＩＣチップ９６０は同様に又は代替的に、ベクトル発生器を含んでもよい。ＩＣチップ９７０、例えば、モデムを、埋め込み構成要素サブアセンブリ１５０'内に埋め込んでもよく、ＡＤＣ／ＤＡＣ／プロセッサ９１０とＩＣチップ９６０及び１６０'との間に接続してもよい。

【００４５】

図１０は、埋め込まれたビーム形成構成要素の少なくとも一部と一体化されたヒートスプレッドタブを有する埋め込み構成要素サブアセンブリ１５０又は１５０'を製造する方法１０００の流れ図である。図１１Ａ～図１１Ｅは、方法１０００における各工程に対応

10

20

30

40

50

する構造を示す断面図である。方法 1 0 0 0 では、支持体アセンブリ 8 3 0 を形成するために、接着箔 8 1 0 が支持体 8 2 0 上に積層され得る (S 1 0 1 0、図 1 1 A)。ヒートスプレッタブは、選択されたビーム形成構成要素の表面、例えば、図 1 1 B の IC チップ 1 6 0 ' に取り付けられたヒートスプレッタブ 1 1 0 2 に取り付けることができる (S 1 0 2 0)。ヒートスプレッタブの厚さ及びプロファイルは、取り付けられたビーム形成構成要素、その所望の動作温度範囲、及びヒートスプレッタブの放熱特性の推定に基づいて選択することができる。

【 0 0 4 6 】

次いで、ビーム形成構成要素 (ヒートスプレッタブ 1 1 0 2 が取り付けられたものを含む) を箔 8 1 0 表面上に配置することができる (S 1 0 3 0、図 1 1 B)。次いで、成形材料 1 5 2 をビーム形成構成要素 (S 1 0 4 0、図 1 1 C) の周りに適用し、硬化させることができる。成形材料 1 5 2 は、例えば、ヒートスプレッタブ 1 1 0 2 の表面を露出するように必要に応じてトリミングしてもよく、したがって、露出したタブ 1 1 0 2 の表面は、成形材料 1 5 2 の主表面 s 3 と同一平面上にあってもよい。同軸フィードスルー 1 7 0 などの他のビーム形成構成要素が、ヒートスプレッタブが取り付けられたビーム形成構成要素よりも高い場合 (高さは箔表面 8 1 0 から測定される)、ヒートスプレッタブは、図 1 1 C に見られるように、表面 s 3 がヒートスプレッタブの露出面及び最も高いビーム形成構成要素 (例えば、1 7 0) の露出面の両方と同一平面上にあるように予め設計することができる。あるいは、ヒートスプレッタブ及び/又は同軸フィードスルー 1 7 0 は、後の表面 s 3 の平坦化プロセスでトリミングされる。このようにして、結果として得られる埋め込み構成要素構造 1 5 4 は、両方とも実質的に平坦である対向する主表面を備えたウェハ様のものにすることができる。

【 0 0 4 7 】

続いて、支持体及び箔は、埋め込み構成要素及び成形材料 (S 1 0 5 0) から剥離され、対向する表面 s 1 及び s 3 を有するウェハ様の埋め込み構成要素構造 1 5 4 (図 1 1 D) を得ることができる。各ビーム形成構成要素の 1 つの主表面は、表面 s 1 と同一平面上にあってもよい。次に、ビア用のパッドを表面 s 1 上に形成することができる (S 1 0 6 0)、ビアが成形材料 1 5 2 を通して形成される場合は、表面 s 3 上にも形成することができる。ビアホールはパッド (S 1 0 7 0) に穿孔され、導電性材料により充填され、DC バイアス及び低周波制御信号用のビアを成形材料に形成することができる。次に、図 1 1 E に示すように、埋め込み構成要素構造 1 5 4 の上に、ビア及び相互接続を有する 1 つ以上の相互接続層 1 5 5 を形成することができる (S 1 0 8 0)。ビア 1 9 0 は、図 1 1 A ~ 図 1 1 E には示されないが、埋め込み構成要素サブアセンブリ 1 5 0 ' 内に形成され、サブアセンブリ 1 5 0 ' について上で説明したのと同じやり方で、IC チップ 1 6 0 '、9 6 0 及び/又は 9 7 0 に接続してもよい。図 1 1 E の実施例では、IC チップ 1 6 0 ' は、一対のビア V 1 間の信号トレース 9 9 8 を含む相互接続を介して IC チップ 9 6 0 に電気接続される。図 8 A ~ 図 8 G の前の例と同様に、単一の相互接続層、又は 3 つ以上の相互接続層は、代替的な設計例において、一対の RDL 層 1 5 5 a、1 5 5 b を代替することができる。

【 0 0 4 8 】

上述のアンテナ装置の実施形態は、低プロファイルで形成することができ、したがって、制約された空間用途において特に有利であり得る。更に、この構造は、低損失要素、例えば、低損失伝送線路及びアンテナ基板を含むのに適しており、ミリ波周波数において特に有益である可能性がある。

【 0 0 4 9 】

本明細書に記載の技術は、その例示的な実施形態を参照して特に示され説明されているが、以下の特許請求の範囲及びそれらの均等物によって定義される特許請求の範囲に記載の主題の趣旨及び範囲から逸脱することなく、形態及び詳細の様々な変更を行うことができることが当業者には理解されよう。

10

20

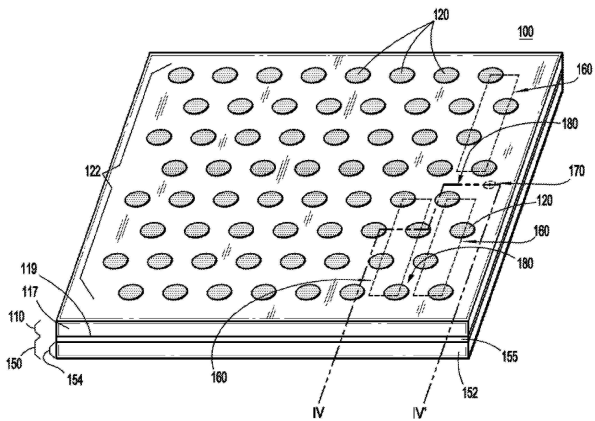
30

40

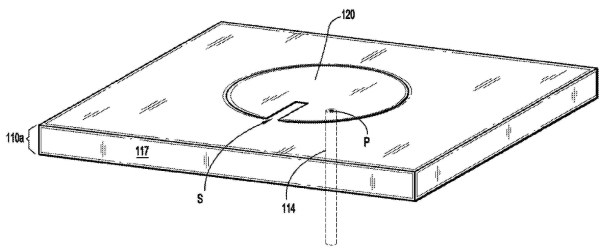
50

【図面】

【図 1】

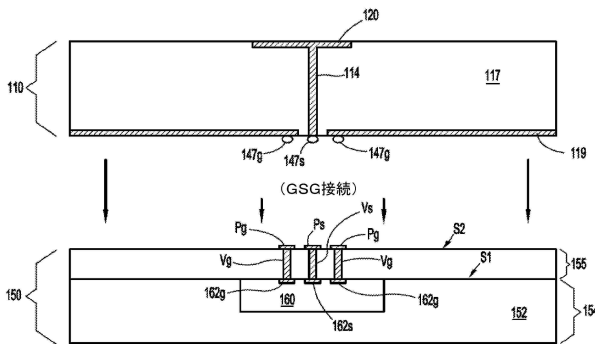


【図 2 A】

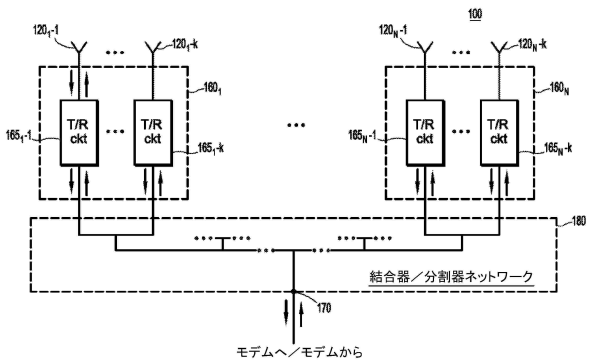


10

【図 2 B】

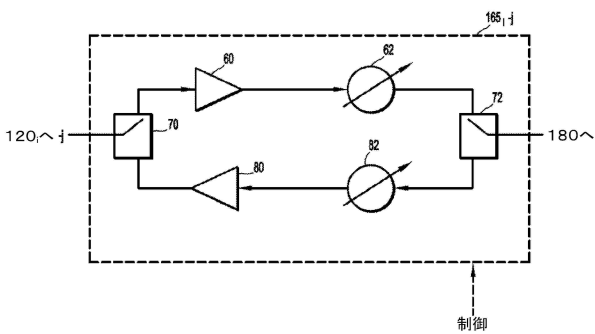


【図 3 A】

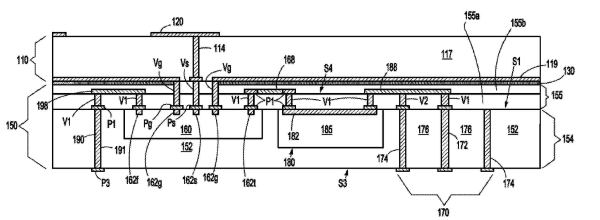


20

【図 3 B】



【図 4】

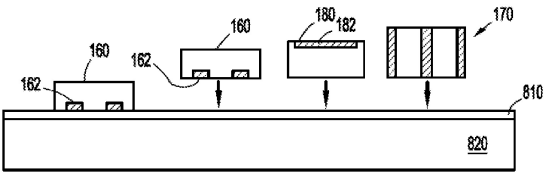


30

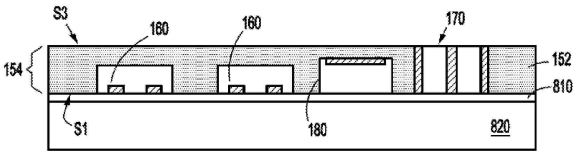
40

50

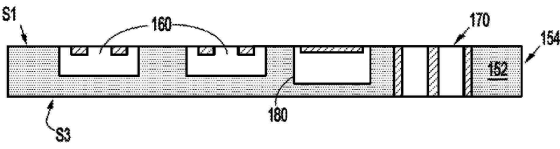
【図 8 B】



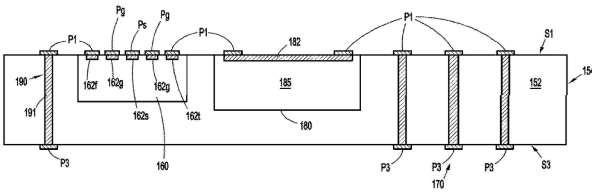
【図 8 C】



【図 8 D】

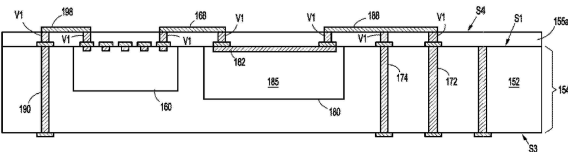


【図 8 E】

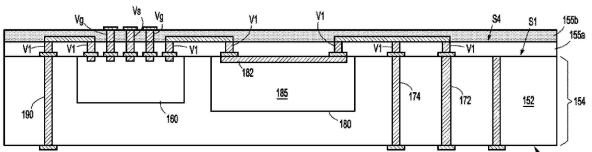


10

【図 8 F】



【図 8 G】



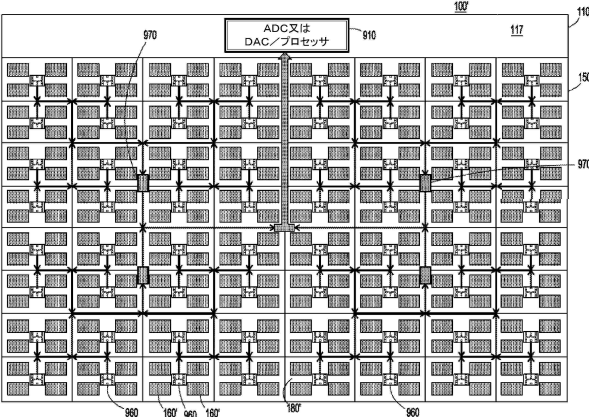
20

30

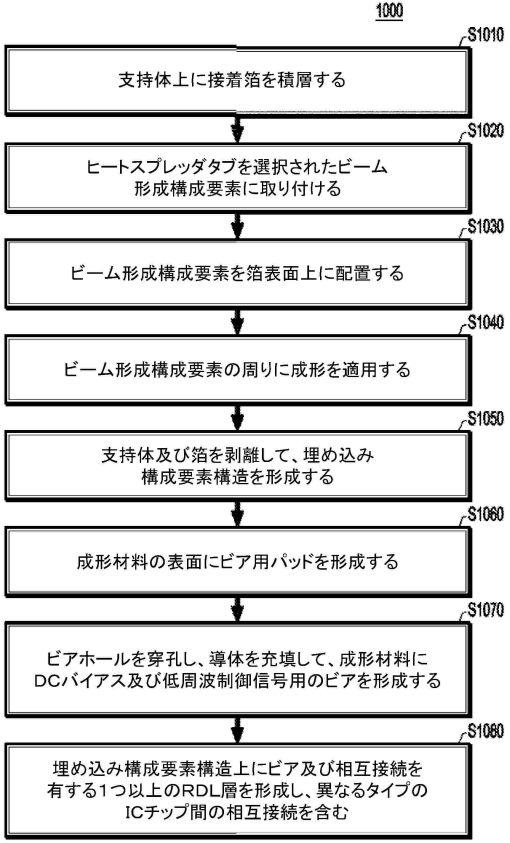
40

50

【図 9】



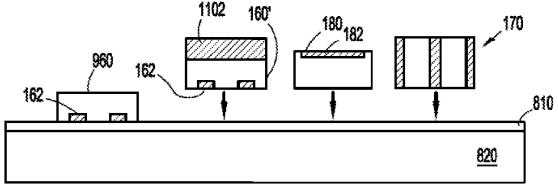
【図 10】



【図 11 A】



【図 11 B】



10

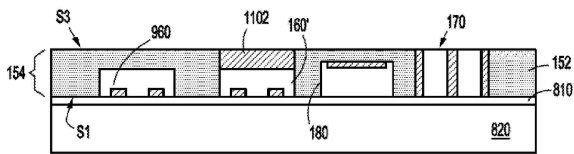
20

30

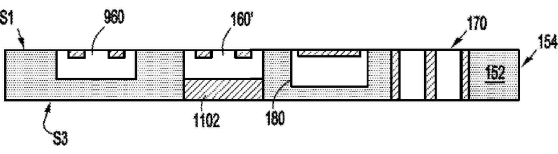
40

50

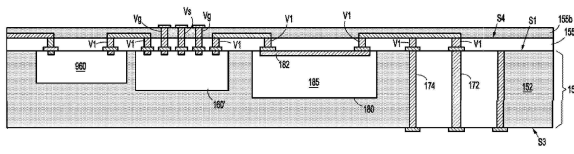
【図 11C】



【図 11D】



【図 11E】



10

20

30

40

50

フロントページの続き

(72)発明者 マシューズ、ダグラス、ジェイ．
 アメリカ合衆国 カリフォルニア州 9 2 0 0 9 カールスバッド，エル カミーノ レアル 6 1 5
 5，ヴィアサット，インコーポレイテッド，パテント デパートメント宛

 審査官 白井 亮
(56)参考文献 国際公開第 2 0 1 7 / 2 2 2 4 7 1 (W O , A 1)
 仏国特許出願公開第 0 2 7 7 3 2 7 2 (F R , A 1)
 米国特許出願公開第 2 0 0 9 / 0 0 4 4 3 9 9 (U S , A 1)
 米国特許出願公開第 2 0 1 9 / 0 0 2 7 8 0 4 (U S , A 1)
 米国特許出願公開第 2 0 1 8 / 0 2 0 5 1 3 4 (U S , A 1)

(58)調査した分野 (Int.Cl. , D B 名)
 H 0 1 Q 2 1 / 0 6
 H 0 1 Q 1 3 / 0 8
 H 0 1 Q 2 3 / 0 0
 H 0 1 P 1 1 / 0 0