



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

261 399

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 21 08 87
(21) PV 6154-87.0

(51) Int. Cl.⁴
G 05 D 23/19,
H 03 K 5/26

(40) Zveřejněno 15 06 88

(45) Vydáno 1.11.1989

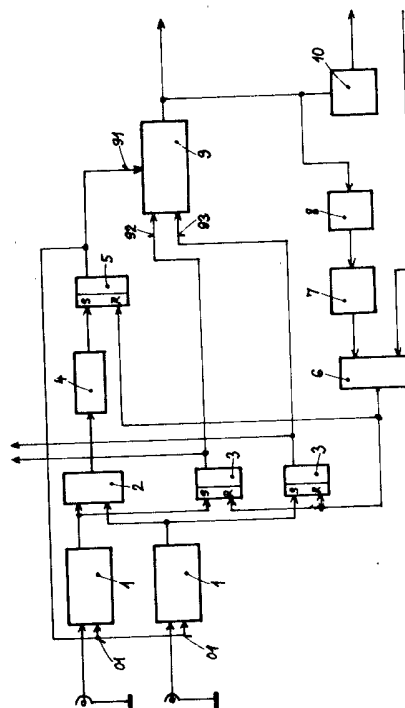
(75)
Autor vynálezu

MALÁT VLADISLAV RNDr. CSc., PODĚBRADY,
WILHELM IVAN ing. CSc., PRAHA

(54)

Řídicí koincidenční jednotka

Je řešen obvod s použitím logických integrovaných obvodů ECL. Součástí je n převodníků proudových logických úrovní na úroveň ECL, kde $n = 2$. Výstup každého z nich je připojen vždy na jeden ze vstupů prvního obvodu logického součtu a na S vstup příslušného z n klopných obvodů. Výstup prvního obvodu logického součtu je přes zpěťovací obvod připojen na S vstup $(n + 1)$. klopného obvodu, jehož výstup je spojen se čtecím vstupem paměti a s hradlovacími vstupy převodníků. Výstup paměti je výstupem signálu žádosti o obsluhu a je též připojen na generátor spouštěcích signálů s n výstupy a zároveň je přes invertor a monostabilní klopný obvod připojen na první vstup druhého obvodu logického součtu, na jehož druhý vstup je veden startovací signál a jehož výstup je spojen s R vstupy všech $(n + 1)$ klopných obvodů. Výstupy n klopných obvodů jsou spojeny s n adresovacími vstupy paměti a jsou též vyvedeny jako čtecí výstupy pro nadřazený systém.



Vynález se týká řídicí koincidenční jednotky na bázi integrovaných obvodů.

Dosud známé obvody pro řízení koincidenčních experimentů, např. TELENEC TC 404-USA nebo POLON 1402-PLR, mají vstupní a rozhodovací část ustavenou ze standardních obvodů TTL, což sebou nese sice výhodu snadné konstrukce, ale nevýhodu v tom, že tyto obvody nejsou schopny pracovat s pulsy kratšími než několik desítek ns. Tím je zároveň omezena rychlost těchto koincidenčních obvodů, což se projeví v omezené četnosti vstupních pulsů, jež je jednotka schopna vyhodnotit.

Uvedené jednotky jsou vzhledem k tomu, že neobsahují paměť, schopny pokládat za koincidenzi jen takovou kombinaci vstupních pulsů, kterou uživatel předem nastaví ovládacími prvky. Variabilita např. v tom, že koincidenzí je buď kombinace prvního a druhého vstupu, nebo prvního, třetího a čtvrtého vstupu, není možná. Vzhledem k tomu ani nelze převést např. do počítače informaci o tom, při jaké kombinaci se tak stalo.

Výše uvedené nedostatky odstraňuje řídicí koincidenční jednotka podle vynálezu. Její podstatou je, že sestává nejméně ze dvou převodníků proudových logických úrovní na úrovně ECL. Výstup každého z nich je připojen jednak na jeden vstup prvního obvodu logického součtu, kde počet vstupů je n a je roven počtu převodníků a jednak na S vstup příslušného klopného obvodu typu R-S, jejichž počet je n a je též roven počtu převodníků. Výstup prvního obvodu logického součtu je přes zpožďovací obvod připojen na vstup $/n+1/-$ ního klopného obvodu typu RS, jehož výstup je připojen jednak na čtecí vstup paměti a jednak na hrad-

lovací vstupy všech převodníků proudových logických úrovní na úrovně ECL. Výstup paměti je výstupem signálu žádosti o obsluhu nadřazeným procesorem a je dále připojen na generátor spouštěcích impulsů s n výstupy. Zároveň je výstup paměti připojen přes invertor a monostabilní obvod na první vstup druhého obvodu logického součtu. Na jeho druhý vstup je připojen výstup startovacího signálu z nadřazeného procesoru. Výstup druhého obvodu logického součtu je spojen s R vstupy všech $/n+1/$ klopných obvodů. Výstupy n klopných obvodů jsou spojeny s adresovacími vstupy paměti a jsou zároveň vyvedeny jako výstupy pro čtení nadřazeným procesorem.

Převodník proudových logických úrovní na úrovně ECL je tvořen dvěma integrovanými přijímači z vedení. Mezi invertující vstup prvního z nich a zem je připojen první rezistor. Neinvertující vstup prvního integrovaného přijímače je spojen přes zpětnovazební rezistor s jeho výstupem a zároveň je napojen na střední vývod prvního děliče. První konec prvního děliče je uzemněn a druhý je připojen na zdroj napájecího napětí, mezi nějž a výstup prvního integrovaného přijímače je zapojen druhý rezistor. Výstup prvního integrovaného přijímače je spojen s neinvertujícím vstupem druhého integrovaného přijímače, na jehož invertující vstup je napojen střední vývod druhého děliče, který má první konec uzemněn a druhý konec spojen se zdrojem hradlovacího signálu. Mezi výstup druhého integrovaného přijímače a napájecí zdroj je zapojen třetí rezistor.

Výhodou řídicí koincidenční jednotky podle vynálezu je, že použitím logických integrovaných obvodů ECL je umožněno pracovat se vstupními pulsy o jeden řád kratšími než dosud, tj. řádově ns. Zapojením převodníku proudových logických úrovní na úrovně ECL podle vynálezu je umožněno vyloučit diskrétní prvky, neboť potřebná hradla jsou vyráběná v integrované verzi. Uplatněním principu porovnání kombinace vstupních pulsů s obsahem libovolně naprogramované paměti odpadají veškerá omezení, týkající se počtu a druhu kombinací. Navíc je umožněno dodatečné čtení této kombinace.

Příklad zapojení řídicí koincidenční jednotky podle vynálezu je blokově uveden na přiloženém výkrese na obr. 1. Na obr. 2 je uspořádání převodníku proudových logických úrovní na úrovni ECL.

V tomto konkrétním případě má řídicí koincidenční jednotka na vstupu dva převodníky 1 proudových logických úrovní na úrovni ECL. Výstup každého tohoto převodníku 1 proudových logických úrovní na úrovni ECL je připojen jednak na jeden vstup prvního obvodu 2 logického součtu a jednak na S vstup příslušného klopného obvodu 3 typu RS. Těchto klopných obvodů 3 je n , kde n odpovídá počtu použitých převodníků 1 proudových logických úrovní na úrovni ECL, tedy v tomto konkrétním případě jsou použity dva klopné obvody 3. Na výstup prvního obvodu 2 logického součtu je připojen zpoždovací obvod 4, jehož výstup je spojen se vstupem $/n+1/-$ ního klopného obvodu 5 typu RS. Výstup $/n+1/-$ ního klopného obvodu 5 je spojen jednak se čtecím vstupem 9l paměti 9 a jednak s hradlovacími vstupy 0l všech převodníků 1 proudových logických úrovní na úrovni ECL. Výstup paměti 9 je výstupem signálu žádosti o obsluhu nadřazeným procesorem. Tento výstup je současně připojen přímo na generátor 10 spouštěcích impulzů a přes inverter 8 a monostabilní obvod 7 na první vstup druhého obvodu 6 logického součtu. Na druhý vstup druhého obvodu 6 logického součtu je připojen výstup startovacího signálu z nadřazeného procesoru. Výstup druhého obvodu 6 logického součtu je spojen s R vstupy všech n klopných obvodů 3, zde tedy se dvěma a současně s R vstupem $/n+1/-$ ního klopného obvodu 5. Výstupy n klopných obvodů 3 jsou spojeny s adresovacími vstupy paměti 9. Tyto výstupy jsou současně vyvedeny jako výstupy pro čtení nadřazeným procesorem.

Při samotném provozu koincidenční řídicí jednotky se nejprve předem provede zápis povolených kombinací do paměti 9. Poté se jednotka uvede do chodu. Výchozí stav je takový, že n klopné obvody 3 a $/n+1/-$ klopný obvod 5 jsou ve stavu s log. 0 na výstupu. Převodníky 1 proudových logických úrovní na úrovni ECL jsou tedy otevřeny. Přejde-li do některého z nich vstupní puls, je převeden na úrovni ECL a přiveden na příslušný vstup

prvního obvodu 2 logického součtu. Jako následek se po zpoždění zpožďovacím obvodem 4 objeví puls i na vstupu S /n+1/-ního klopného obvodu 5 a způsobí přechod jeho výstupu na log 1. Tento stav, který bude trvat až do zrušení impulsem na vstupu R, je rozveden jednak na hradlovací vstupy 01 převodníků 1 proudových logických úrovní na úrovně ECL, které zablokuje a jednak na čtecí vstup 91 paměti 9. Zde způsobí, že na výstupu paměti 9 se objeví hodnota bitu, dříve zapsaného na adresu, jež se právě nachází na adresovacích vstupech 92, 93 paměti 9.

První, startovací, vstupní impuls je však také přiveden na S vstup příslušného z n klopných obvodů 2 a způsobí přechod jeho výstupu na log 1, jež je přivedena na jeden z adresovacích vstupů 92, 93 paměti 9. Podobně tam mohou přijít i log 1 z ostatních n klopných obvodů 2, jestliže na jejich vstupy přišly impulsy v době, kdy byly otevřeny. Na adresových vstupech 92, 93, kterých je tolik, kolik je převodníků 1 proudových logických úrovní na úrovně ECL, je tedy v době příchodu impulsu na čtecí vstup 91 paměti 9 kombinace nul a jedniček, jednoznačně odpovídající kombinaci vstupních pulsů. Čtecím vstupem 91 je paměť 9 aktivována. Je-li na jejím výstupu log 1, znamená to žádost o obsluhu vnějším zařízením, tedy nadřazeným procesorem a vyslání spouštěcích impulsů vybraným spolupracujícím zařízením z generátoru 10 impulsů. Tato obsluha může zahrnovat přečtení adresy vnějším zařízením - tato adresa popisuje typ koincidence. Vnější zařízení pak provede nový start řídicí koincidenční jednotky tím, že přivede impuls do druhého obvodu 6 logického součtu, odkud je přiveden na vstupy R všech klopných obvodů 3 a 5, jejichž výstupy se tak vynulují a jednotka je opět ve výchozím stavu. Je-li po aktivaci paměti 9 na výstupu log 0, není vyslána žádost o obsluhu ani startovací impulsy, ale monostabilní obvod 7 vyšle restartovací impuls do druhého obvodu 6 logického součtu, načež se vše děje jako při restartu z vnějšího zařízení.

Převodník 1 proudových logických úrovní na úrovně ECL je tvořen prvním a druhým integrovaným přijímačem 11 a 12 z vedení. Mezi invertující vstup prvního z nich a zem je připojen první

rezistor 13. Neinvertující vstup prvního integrovaného přijímače 11 je spojen přes zpětnovazební rezistor 14 s jeho výstupem a zároveň je spojen se středním vývodem prvního děliče 15, který má první konec uzemněn a druhý konec má napojen na zdroj napájecího napětí, který zde není nakreslen. Mezi tento zdroj a výstup prvního integrovaného přijímače 11 je zapojen druhý rezistor 16. Výstup prvního integrovaného přijímače 11 je dále spojen s neinvertujícím vstupem druhého integrovaného přijímače 12, na jehož invertující vstup je zapojen střední vývod druhého děliče 17. Druhý dělič 17 je též prvním koncem uzemněn a druhý konec má napojen na zdroj hradlovacího signálu. Mezi výstup druhého integrovaného přijímače 12 a napájecí zdroj je zapojen třetí rezistor 18.

Tento obvod se v řídicí koincidenční jednotce opakuje tolikrát, kolik má vstupů. Jeho funkcí je provést převod logických úrovní vstupního pulsu na úrovně dále použité logiky ECL, je-li na hradlovacím vstupu 01 log 0 a zároveň držet výstup na log 0 ECL, je-li na hradlovacím vstupu 01 log 1 ECL.

Převodník 1 proudových logických úrovní na úrovně ECL je tedy dvoustupňový, kdy hlavní součástí obou stupňů jsou integrované přijímače 11, 12 z vedení, které jsou vyráběny jako integrované obvody ECL. V podstatě to jsou diferenciální zesilovače, pracující zde tak, že na invertující vstup sepřivede logický signál, jehož úrovně mají být posunuty, na neinvertující vstup pak referenční napětí volené tak, aby se dvojnásobným posunutím dosáhlo na výstupu druhého stupně úrovně logiky ECL. Zpětnovazební odpor 14 mezi výstupem a neinvertujícím vstupem prvního integrovaného přijímače 11 tvoří kladnou zpětnou vazbu, urychlující přechody mezi oběma log. stavy na výstupu. Druhý dělič 17 napětí u invertujícího vstupu druhého integrovaného přijímače 12 je napájen ze zdroje napětí, majícího dvě možné hodnoty, odpovídající log 0 a log 1 ECL. V prvním případě je referenční napětí, vytvořené tímto druhým děličem 17 takové, že na výstupu druhého integrovaného přijímače 12 mohou být obě logické úrovně, takže převod úrovní je prováděn. Ve druhém případě jsou napětí na výstupu druhého integrovaného přijímače 12

posunuta do hodnot, odpovídajících vždy $\log \phi$, takže převod úrovní je blokován. První rezistor 13 přizpůsobuje vstupní impedanci celého převodníku a převádí proudové logické úrovně na napěťové. První dělič 15 vytváří pevné referenční napětí pro první stupeň převodníku 1 proudových logických úrovní na úrovni ECL.

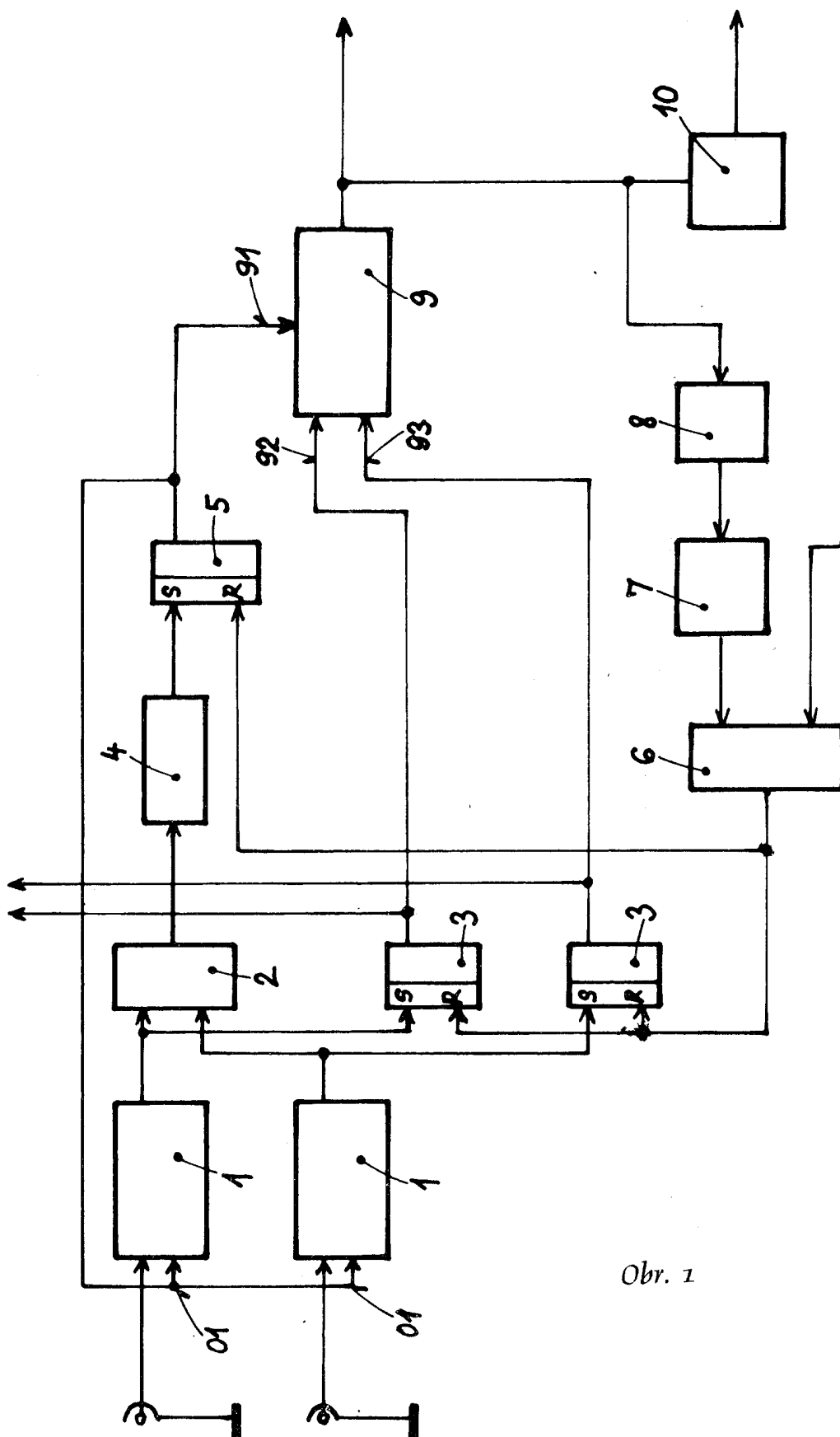
PŘEDMĚT VYNÁLEZU

261 399

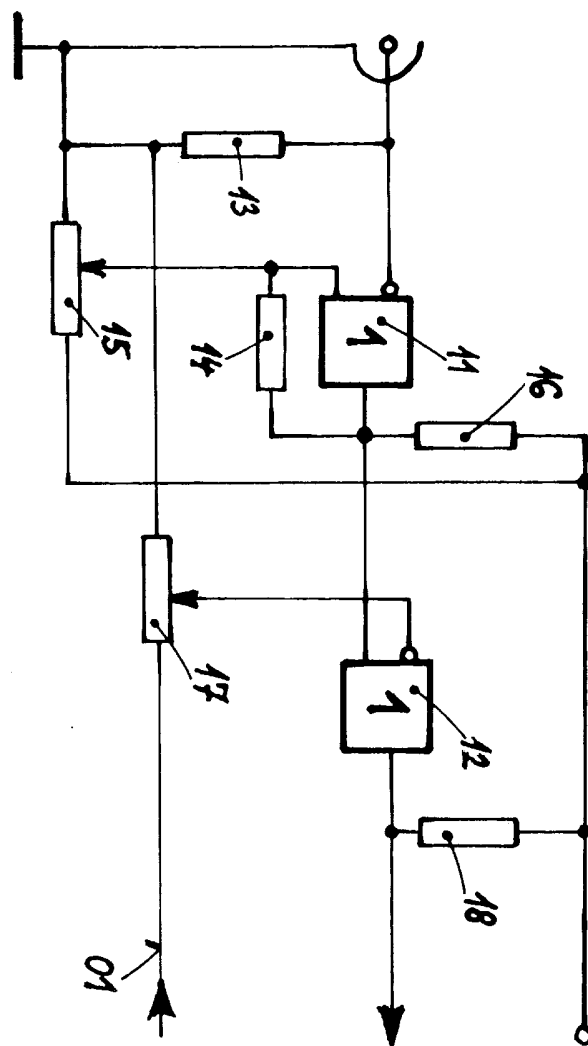
1. Řídicí koincidenční jednotka, vyznačující se tím, že sestává z minimálně dvou převodníků /1/ proudových logických úrovní na úrovni ECL, kde výstup každého z nich je připojen jednak právě na jeden vstup prvního obvodu /2/ logického součtu a jednak na /S/ vstup příslušného klopného obvodu /3/ typu RS, jejichž počet n je roven počtu převodníků /1/ proudových logických úrovní na úrovni ECL, výstup prvního obvodu /2/ logického součtu je přes zpožďovací obvod /4/ připojen na /S/ vstup /n+1/-ního klopného obvodu /5/ typu RS, jehož výstup je připojen jednak na čtecí vstup /91/ paměti /9/ a jednak na hradlovací vstupy /01/ všech převodníků /1/ proudových logických úrovní na úrovni ECL a výstup paměti /9/ je výstupem signálu žádosti o obsluhu nadřazeným procesorem a je dále připojen na generátor /10/ spouštěcích impulsů s n výstupy a zároveň je přes invertor /8/ a monostabilní obvod /7/ připojen na první vstup druhého obvodu /6/ logického součtu, na jehož druhý vstup je připojen výstup startovacího signálu z nadřazeného procesoru a jehož výstup je spojen s R vstupy všech /n+1/ klopných obvodů /3, 5/, přičemž výstupy n klopných obvodů /3/ jsou spojeny s n adresovacími vstupy /92, 93, .../ paměti /9/ a jsou zároveň vyvedeny jako výstupy pro čtení nadřazeným procesorem.
2. Řídicí koincidenční jednotka podle bodu 1, vyznačující se tím, že převodník /1/ proudových logických úrovní na úrovni ECL je tvořen dvěma integrovanými přijímači /11, 12/ z vedení, kde mezi invertující vstup prvního z nich a zem je zapojen první rezistor /13/ a jeho neinvertující vstup je spojen přes zpětnovazební rezistor /14/ s jeho výstupem a zároveň je připojen na střední vývod prvního děliče /15/, jehož první konec je uzemněn a druhý konec je připojen na zdroj napájecího napětí, mezi nějž a výstup prvního integrovaného přijímače /11/ je zapojen druhý rezistor /16/ a dále je výstup prvního integrovaného přijímače /11/ spojen s neinvertujícím vstupem druhého integrovaného přijímače /12/, na jeho invertující vstup je zapojen střední vývod druhého děliče /17/,

jehož první konec je uzemněn a druhý konec je spojen se zdrojem hradlovacího signálu, přičemž mezi výstup druhého integrovaného přijímače /12/ a napájecí zdroj je zapojen třetí rezistor /18/.

2 výkresy



Obr. 1



Obr. 2