



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I479496 B

(45) 公告日：中華民國 104 (2015) 年 04 月 01 日

(21) 申請案號：100129677 (22) 申請日：中華民國 100 (2011) 年 08 月 19 日
 (51) Int. Cl. : G11C29/04 (2006.01) G11C29/52 (2006.01)
 (30) 優先權：2011/08/15 美國 13/210,195
 (71) 申請人：擎泰科技股份有限公司 (中華民國) SKYMEDI CORPORATION (TW)
 新竹市力行一路 10 之 1 號 6 樓
 (72) 發明人：黃漢龍 HUANG, HAN LUNG (TW) ; 周銘宏 CHOU, MING HUNG (TW)
 (74) 代理人：陳達仁
 (56) 參考文獻：
 US 2007/0201274A1 US 2011/0153919A1
 審查人員：謝紀明
 申請專利範圍項數：10 項 圖式數：7 共 27 頁

(54) 名稱

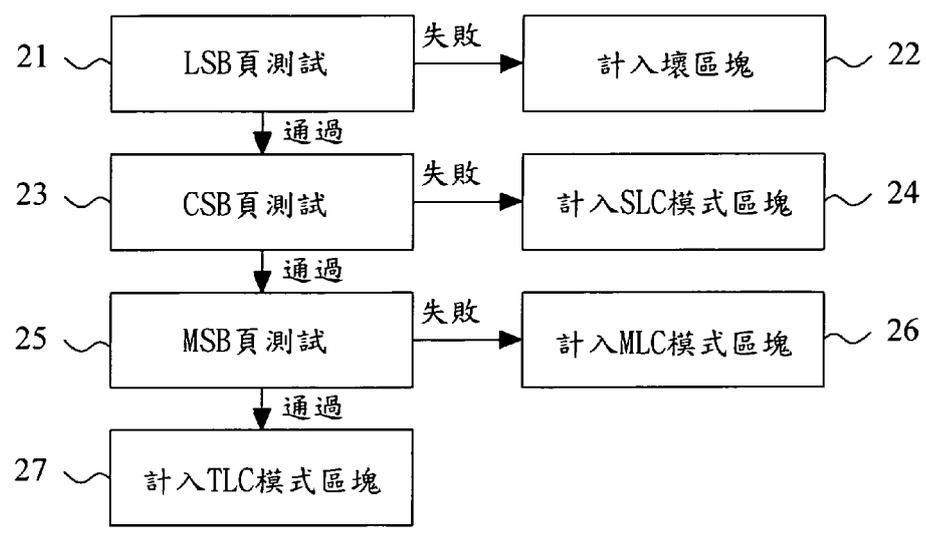
多位元單元非揮發性記憶體的測試方法及多模式配置方法

METHOD OF SORTING A MULTI-BIT PER CELL NON-VOLATILE MEMORY AND A MULTI-MODE CONFIGURATION METHOD

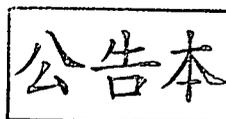
(57) 摘要

一種多位元單元(multi-bit per cell)非揮發性記憶體的測試方法，包含藉由寫入及讀取以測試 n 位元單元(n-bpc)非揮發性記憶體，其包含複數 m-bpc 頁，其中 m 為 1 至 n 之間的正整數。如果 m-bpc 頁經測試失敗，則將失敗 m-bpc 頁所相應區塊計入(m-1)-bpc 區塊，其中每一該 m-bpc 頁最多進行一次的寫入及讀取。當 m 等於 1 時，則 0-bpc 區塊對應至壞區塊。

A method of sorting a multi-bit per cell non-volatile memory comprises programming and reading to test an n-bit-per-cell (n-bpc) non-volatile memory, which has a plurality of m-bpc pages, where m is a positive integer from 1 through n. If the m-bpc page fails the test, counting a block associated with the failed m-bpc page to (m-1)-bpc blocks, wherein each said m-bpc page is subjected to at most one time of programming and reading. When m is equal to 1, the 0-bpc block corresponds to a bad block.



第二圖



申請日: 100.8.19

IPC分類: G11C 29/04 2006.01
G11C 29/52 2006.01

【發明摘要】

【中文發明名稱】 多位元單元非揮發性記憶體的測試方法及多模式配置方法

【英文發明名稱】 METHOD OF SORTING A MULTI-BIT PER CELL
NON-VOLATILE MEMORY AND A MULTI-MODE CONFIGURATION
METHOD

【中文】一種多位元單元 (multi-bit per cell) 非揮發性記憶體的測試方法，包含藉由寫入及讀取以測試 n 位元單元 (n -bpc) 非揮發性記憶體，其包含複數 m -bpc頁，其中 m 為 1 至 n 之間的正整數。如果 m -bpc頁經測試失敗，則將失敗 m -bpc頁所相應區塊計入 $(m-1)$ -bpc區塊，其中每一該 m -bpc頁最多進行一次的寫入及讀取。當 m 等於 1 時，則 0 -bpc區塊對應至壞區塊。

【英文】A method of sorting a multi-bit per cell non-volatile memory comprises programming and reading to test an n -bit-per-cell (n -bpc) non-volatile memory, which has a plurality of m -bpc pages, where m is a positive integer from 1 through n . If the m -bpc page fails the test, counting a block associated with the failed m -bpc page to $(m-1)$ -bpc blocks, wherein each said m -bpc page is subjected to at most one time of programming and reading. When m is equal to 1 , the 0 -bpc block corresponds to a bad block.

【指定代表圖】 第二圖

【代表圖之符號簡單說明】

21~27 步驟

【發明說明書】

【中文發明名稱】 多位元單元非揮發性記憶體之測試方法及多模式配置方法

【英文發明名稱】 METHOD OF SORTING A MULTI-BIT PER CELL
NON-VOLATILE MEMORY AND A MULTI-MODE CONFIGURATION
METHOD

【技術領域】

【0001】 本發明係有關一種非揮發性記憶體，特別是關於一種多位元單元（multi-bit per cell）快閃記憶體的測試方法及多模式配置方法。

【先前技術】

【0002】 快閃記憶體為一種非揮發性固態記憶體裝置，其可以電氣方式進行抹除及寫入。傳統快閃記憶體可於每一記憶單元內儲存單一位元的資訊，因而每一記憶單元具有二可能狀態。此種傳統快閃記憶體因此稱之為單位元單元（single-bit per cell）快閃記憶體。現今快閃記憶體可於每一記憶單元內儲存二或多位元的資訊，因而每一記憶單元具有二個以上的可能狀態。此種快閃記憶體因此稱之為多位元單元（multi-bit per cell）快閃記憶體。

【0003】 多位元單元快閃記憶體，例如三位元單元（3-bit per cell, 3-bpc）快閃記憶體，通常含有缺陷或壞區塊（block）。即使

這些壞區塊無法完全操作於 3-bpc 模式，但卻可能操作於 2-bpc 模式或 1-bpc 模式。因此，並不需要將具缺陷區塊的快閃記憶體晶片予以丟棄。藉由測試 (sorting) 方法，例如藉由寫入及讀取快閃記憶體，可決定具缺陷區塊之快閃記憶體是否可以操作於較低有效位元模式。

【0004】 第一 A 圖顯示傳統三位元單元 (3-bpc) 快閃記憶體之區塊的頁寫入/讀取順序：

00h->01h->02h->03h->04h->05h->06h->07h->...

BDh->BEh->BFh。

【0005】 第一 B 圖顯示傳統快閃記憶體的測試方法之流程圖。根據該流程，快閃記憶體進行 3-bpc 模式測試 (步驟 11)，2-bpc 模式測試 (步驟 12) 及 1-bpc 模式測試 (步驟 13)。於 3-bpc 模式測試中，對低位元頁、中位元頁及高位元頁 (亦即，00h->01h->02h->03h->04h->05h->...BDh->BEh->BFh) 的所有 192 頁進行寫入及讀取。於 2-bpc 模式測試中，對低位元頁及中位元頁 (亦即，00h->01h->02h->03h->04h->06h->07h->...BAh->BBh->BDh) 的所有 128 頁進行寫入及讀取。於 1-bpc 模式測試中，對低位元頁 (亦即，00h->01h->03h->06h->...BAh) 的所有 64 頁進行寫入及讀取。因此，低位元頁總共進行了三次測試，且中位元頁總共進行了二次測試。

【0006】 鑑於傳統方法無法有效且經濟地對快閃記憶體進行測試，因此亟需提出一種新穎機制，用以對多位元快閃記憶體進行測試。

【發明內容】

【0007】 鑑於上述，本發明實施例的目的之一在於提出一種多位元單元非揮發性記憶體（例如快閃記憶體）的測試方法。本實施例更提供一種多模式機制，用以配置一或多快閃記憶體晶片，使得經測試區塊可較佳地操作於個別的模式。

【0008】 根據本發明實施例之一，多位元單元（multi-bit per cell）非揮發性記憶體的測試方法包含藉由寫入及讀取以測試一 n 位元單元（ n -bpc）非揮發性記憶體，其包含複數 m -bpc 頁，其中 m 為 1 至 n 之間的正整數。如果 m -bpc 頁經測試失敗，則將失敗 m -bpc 頁所相應區塊計入 $(m-1)$ -bpc 區塊，其中每一 m -bpc 頁最多進行一次的寫入及讀取。當 m 等於 1 時，則 0-bpc 區塊對應至壞區塊。

【0009】 根據本發明另一實施例，多位元單元非揮發性記憶體的多模式配置方法包含測試至少一 n 位元單元（ n -bpc）非揮發性記憶體，以得到容量訊息；及根據容量訊息以配置該至少一非揮發性記憶體，使得該至少一非揮發性記憶體的區塊分別操作於不同模式，其具有不同的有效位元單元。

【圖式簡單說明】

第一A圖顯示傳統三位元單元（3-bpc）快閃記憶體之區塊的頁寫入/讀取順序。

第一B圖顯示傳統快閃記憶體的測試方法之流程圖。

第二圖顯示本發明實施例之多位元單元非揮發性記憶體的測試方

法之流程圖。

第三A圖顯示根據第二圖流程的第一特定實施例。

第三B圖例示第三A圖的流程圖。

第三C圖顯示第三B圖的簡化流程圖。

第三D圖顯示第三A圖的頁寫入/讀取順序。

第四A圖顯示根據第二圖流程的第二特定實施例。

第四B圖例示第四A圖的流程圖。

第四C圖顯示第四B圖的簡化流程圖。

第五A圖顯示根據第二圖流程的第三特定實施例。

第五B圖例示第五A圖的流程圖。

第六圖顯示根據第二圖流程的第四特定實施例。

第七圖例示多模式機制，用以配置一或多快閃記憶體晶片。

【實施方式】

【0010】 第二圖顯示本發明實施例之多位元單元 (multi-bit per cell) 非揮發性記憶體的測試方法之流程圖。本實施例雖以三位元單元 (3-bpc) 快閃記憶體作為例示，但不限定於此。

【0011】 在本實施例中，記憶體的測試順序係從最低有效位元 (LSB) 頁至最高有效位元 (MSB) 頁。對於三位元單元快閃記憶體而言，記憶體的測試順序係為最低有效位元 (LSB) 頁、中央有效位元 (CSB) 至最高有效位元 (MSB) 頁。在本說明書中，LSB 頁、CSB 頁及 MSB 頁也可分別稱為低位元頁、中位元頁及高位元頁；或

者分別稱為一位元單元 (1-bpc) 頁、二位元單元 (2-bpc) 頁及三位元單元 (3-bpc) 頁。

【0012】參閱第二圖，於步驟 21，藉由寫入及讀取以測試 LSB 頁。如果 LSB 頁未通過測試 (測試失敗)，例如，寫入資料與讀取資料不符合或者錯誤位元數量超過預設值，則失敗 LSB 頁的相應區塊被計入壞 (NG) 區塊 (步驟 22)。如果 LSB 頁通過步驟 21 的測試，則流程進入步驟 23，以進行 CSB 頁的測試。如果 CSB 頁未通過測試 (測試失敗)，則失敗 CSB 頁的相應區塊被計入 1-bpc 模式區塊 (步驟 24)。如果 CSB 頁通過步驟 23 的測試，則流程進入步驟 25，以進行 MSB 頁的測試。如果 MSB 頁未通過測試 (測試失敗)，則失敗 MSB 頁的相應區塊被計入 2-bpc 模式區塊 (步驟 26)，否則，被計入 3-bpc 模式區塊 (步驟 27)。一般來說，在本實施例中，藉由寫入及讀取以測試 n 位元單元 (n -bpc) 非揮發性記憶體，該非揮發性記憶體具有多個 m -bpc 頁， m 為 1 至 n 的正整數。如果 m -bpc 頁經測試失敗，則將失敗 m -bpc 頁相應的區塊計入 $(m-1)$ -bpc 模式區塊，其中每一個 m -bpc 頁最多進行一次的寫入及讀取。當 m 為 1 時，則 0-bpc 區塊對應至壞區塊。根據本實施例的特徵之一，每一頁最多進行一次測試。反觀傳統方法，大部分的頁則進行二次或更多次的測試。因此，本發明的方法較傳統方法有效率且快速。在本說明書中，1-bpc、2-bpc 及 3-bpc 模式也可分別稱為 SLC、MLC 及 TLC 模式。

【0013】第三 A 圖顯示根據第二圖流程的第一特定實施例，第三 B 圖例示第三 A 圖的流程圖，且第三 C 圖顯示第三 B 圖的簡化流

程圖。本實施例的頁寫入/讀取順序如第三 D 圖所示：

00h->01h->03h->06h->...B7h->BAh->02h->04h->...

BDh->05h->08h->...BCh->BEh->BFh。

【0014】一般來說，對於一個給定區塊，於步驟 31 寫入/讀取區塊內的多個 LSB 頁，接著於步驟 32，寫入/讀取區塊內的多個 CSB 頁。最後，於步驟 33，寫入/讀取區塊內的多個 MSB 頁。接著，對於下一區塊（步驟 34）進行上述程序。值得注意的是，下一區塊不一定是實體上或邏輯上的下一區塊。當 LSB 頁測試失敗，則相應的區塊被計入壞區塊（步驟 35），且流程進入下一區塊（步驟 34）。當 CSB 頁測試失敗，則相應的區塊被計入 SLC 模式區塊（步驟 36），且流程進入下一區塊（步驟 34）。當 MSB 頁測試失敗，則相應的區塊被計入 MLC 模式區塊（步驟 37），否則被計入 TLC 模式區塊（步驟 38）且流程進入下一區塊（步驟 34）。值得注意的是，每一頁的讀取/驗證可緊接於該頁的寫入之後。或者，於多頁（例如整個區塊的多個頁）的寫入之後，一併進行該多個頁的讀取/驗證。

【0015】於第三 B 圖中， n 、 p 及 q 分別表示於一給定區塊內，LSB 頁、CSB 頁及 MSB 頁的數量。其中， n 、 p 及 q 可分別等於或小於 LSB 頁、CSB 頁及 MSB 頁的總數量。於圖式中， M 表示區塊的數量，其可等於或小於區塊的總數量。根據本實施例，於執行一區塊內的所有或部分頁之後才切換至下一區塊，因此本實施例方法也稱為先頁（page-first）方法。

【0016】 第四 A 圖顯示根據第二圖流程的第二特定實施例，第四 B 圖例示第四 A 圖的流程圖，且第四 C 圖顯示第四 B 圖的簡化流程圖。本實施例類似於第一實施例，不同的地方如下所述。對於一給定字元線的頁（例如第一 LSB 頁）（步驟 401），寫入/讀取所有（或預設數量的）區塊的該給定字元線之多個頁（步驟 402）。接著，對於下一頁（步驟 403）執行以上程序，並依第三 D 圖所示順序執行，亦即，先執行所有或部分 LSB 頁（步驟 401 至 403），接著執行所有或部分 CSB 頁（步驟 411 至 413），最後，執行所有或部分 MSB 頁（步驟 421 至 423）。當 LSB 頁測試失敗，則相應的區塊被計入壞區塊（步驟 404），且相應區塊可跳過後續的測試（步驟 405）。當 CSB 頁測試失敗，則相應的區塊被計入 SLC 模式區塊（步驟 414），且相應區塊可跳過後續的測試（步驟 415）。當 MSB 頁測試失敗，則相應的區塊被計入 MLC 模式區塊（步驟 424），且相應區塊可跳過後續的測試（步驟 425）。值得注意的是，每一頁的讀取/驗證可緊接於該頁的寫入之後。或者，於多頁（例如所有區塊的第一個 LSB 頁）的寫入之後，一併進行該多個頁的讀取/驗證。

【0017】 根據第四 A 圖至第四 B 圖所示例子，測試所有或部分區塊的第一個 LSB 頁，持續此程序直到測試完第 n 個 LSB 頁。接著，測試所有或部分區塊的第一個 CSB 頁，持續此程序直到測試完第 p 個 CSB 頁。最後，測試所有或部分區塊的第一個 MSB 頁，持續此程序直到測試完第 q 個 MSB 頁。於第四 B 圖中， n 、 p 及 q 分別表示於一給定區塊內，LSB 頁、CSB 頁及 MSB 頁的數量。其中， n 、 p 及 q

可分別等於或小於 LSB 頁、CSB 頁及 MSB 頁的總數量。於圖式中，M 表示區塊的數量，其可等於或小於區塊的總數量。一般來說，在本實施例中，(1) 測試相應於多個區塊的一給定字元線之多個 r-bpc 頁，且 (2) 對相應於另一字元線的多個 r-bpc 頁重複執行步驟 (1)，其中，步驟 (1) 及 (2) 至少執行一次，r 為 1 至 n 之間的整數（例如，對於 3-bpc 快閃記憶體，r 可為 1、2 或 3）。根據本實施例，於執行完某頁相應的所有或部分區塊之後才切換至下一頁，因此本實施例方法也稱為先區塊 (block-first) 方法。

【0018】 第五 A 圖顯示根據第二圖流程的第三特定實施例，且第五 B 圖例示第五 A 圖的流程圖。在本實施例中，對於一給定的字元線 (WL) (例如第一字元線)，從 LSB 頁至 MSB 頁依序寫入/讀取。寫入/讀取相應於該字元線的所有 (或預設數量的) 區塊的多個頁。接著，對於目前字元線的下一字元線，重複執行上述程序。於第五 B 圖中，M 表示區塊的數量，其可等於或小於區塊的總數量。值得注意的是，每一頁的讀取/驗證可緊接於該頁的寫入之後。或者，於多頁 (例如所有區塊的第一個 LSB/CSB/MSB 頁) 的寫入之後，一併進行該多個頁的讀取/驗證。根據本實施例，於執行完某字元線相應的所有或部分區塊之後才切換至下一字元線，因此本實施例方法也稱為先區塊-字元線 (block-WL-first) 方法。

【0019】 第六圖顯示根據第二圖流程的第四特定實施例。本實施例可依照第一 A 圖的頁寫入/讀取，但不限定於此。在本實施例中，對於二給定相鄰字元線 (例如 WL0 及 WL1)，當相應於該二給定相鄰

字元線的二頁已寫入時，則讀取該二頁。例如，如第六圖所示，對於字元線 WL0 及 WL1，當頁 00h 及 01h 已寫入時，則進行讀取；如果讀取測試失敗，則計入壞區塊。當頁 02h、03h 及 04h 已寫入時，則讀取 WL0 及 WL1 相應的頁 02h 及 04h；如果讀取測試失敗，則計入 SLC 模式區塊。當頁 05h、06h、07h 及 08h 已寫入時，則讀取 WL0 及 WL1 相應的頁 05h 及 08h；如果讀取測試失敗，則計入 MLC 模式區塊，否則，計入 TLC 模式區塊。接下來，對於目前二字元線的下二字元線，重複執行上述程序。值得注意的是，二相鄰字元線所相應二頁的讀取/驗證可緊接於該二頁的寫入之後。或者，在多於二頁的寫入之後，一併進行該多個頁的讀取/驗證。

【0020】根據上述實施例所示的流程，為了縮短測試時間，可使用以下的機制。於一實施例中，當一區塊的一頁測試失敗時，於該區塊相應的測試流程即可結束，並將該區塊依第二圖所示流程予以分類。於另一實施例中，僅測試部分區塊或/且部分頁。因此，進行測試的區塊數量並不等於整個快閃記憶體的區塊數量，或/且進行測試的頁數量並不等於整個區塊的頁數量。在又一實施例中，僅測試所有（或部分）區塊的第一或前二 LSB/CSB/MSB 頁，因此得以快速地得到初步區塊訊息，且其具有可接受的精確度。在又一實施例中，僅測試所有（或部分）LSB/CSB 頁及第一或前二 MSB 頁。或者，僅測試部分區塊的所有（或部分）LSB/CSB/MSB 頁以及其他區塊的所有（或部分）LSB 頁。

【0021】 根據上述任一特定實施例，可得到記憶體的容量訊息，例如 3-bpc 模式區塊、2-bpc 模式區塊、1-bpc 模式區塊及壞區塊數量。根據所得到的容量訊息，即可決定快閃記憶體的操作模式。例如，假設快閃記憶體包含 1000 區塊，且 3-bpc 模式區塊、2-bpc 模式區塊、1-bpc 模式區塊及壞區塊數量分別為 120、60、810 及 10。3-bpc 模式、2-bpc 模式及 1-bpc 模式的容量因此分別為 $12\% (=120/1000)$ 、 $12\% (= (120+60) * (2/3) / 1000)$ 及 $33\% (= (120+60+810) * (1/3) / 1000)$ 。由於 1-bpc 模式具有最大的量容，因此決定得知快閃記憶體於 1-bpc 模式可得到較佳的操作。

【0022】 除了上述根據容量訊息以決定出較佳的單模式操作，本發明還提供一種多模式機制，用以配置一或多個快閃記憶體晶片，使得所測試的區塊（例如根據第二圖所示流程所測試得到的區塊）可操作於個別的模式，如第七圖所例示。換句話說，經測試之 1-bpc（或 SLC）模式區塊可操作於 SLC 模式；經測試之 2-bpc（或 MLC）模式區塊可操作於 MLC 模式；經測試之 3-bpc（或 TLC）模式區塊可操作於 TLC 模式。一般來說，快閃記憶體晶片操作在多模式的容量可大於操作在單模式的容量。例如，同樣假設快閃記憶體包含 1000 區塊，且 3-bpc 模式區塊、2-bpc 模式區塊、1-bpc 模式區塊及壞區塊數量分別為 120、60、810 及 10。當使用多模式配置時，3-bpc 模式、2-bpc 模式及 1-bpc 模式的容量分別為 $12\% (=120/1000)$ 、 $4\% (=60 * (2/3) / 1000)$ 及 $27\% (=810 * (1/3) / 1000)$ 。一或多個快閃記

憶體晶片的整體容量則為 43% (=12%+4%+27%)，其遠大於操作在單模式的容量 33%。

【0023】 以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【符號說明】

●	11~13	步驟
	21~27	步驟
	31~38	步驟
	401~405	步驟
	411~415	步驟
	421~425	步驟

【發明申請專利範圍】

【第1項】一種多位元單元（multi-bit per cell）非揮發性記憶體之測試方法，包含：

藉由寫入及讀取以測試一 n 位元單元（ n -bpc）非揮發性記憶體，其包含複數 n 頁相應於一字元線；

如果第 m 頁經測試失敗，則將該失敗第 m 頁所相應區塊計入 $(m-1)$ -bpc區塊，其中 m 為1至 n 之間的正整數；

其中每一該第 m 頁最多進行一次的寫入及讀取，該非揮發性記憶體從第1頁往第 n 頁的順序進行測試。

【第2項】如申請專利範圍第1項所述多位元單元非揮發性記憶體的測試方法，其中當該 m 等於1時且該第1頁經測試失敗，則0-bpc區塊對應至壞區塊。

【第3項】如申請專利範圍第1項所述多位元單元非揮發性記憶體的測試方法，對於一給定區塊，測試複數第1頁，接著測試複數第2頁，直到測試複數第 n 頁，接下來，對該給定區塊的下一區塊重複進行上述步驟。

【第4項】如申請專利範圍第1項所述多位元單元非揮發性記憶體的測試方法，其中

- (1) 測試一給定字元線的複數區塊的複數第 r 頁；及
- (2) 重複步驟（1）以測試另一字元線的複數第 r 頁；

其中，對於介於1至 n 的整數 r ，步驟（1）及（2）被執行至少一次。

【第5項】如申請專利範圍第1項所述多位元單元非揮發性記憶體的測試方法，對於一給定字元線，於一區塊中，從第1頁往第 n 頁的順序進行測試，接著於下一區塊中，依相同順序重複上述測試步驟。

【第6項】如申請專利範圍第1項所述多位元單元非揮發性記憶體之測試方法，對於二給定相鄰字元線，當該二給定相鄰字元線相應之二第 m 頁已寫入，則讀取該已寫入二第 m 頁。

【第7項】一種多位元單元非揮發性記憶體之多模式配置方法，包含：

測試至少一 n 位元單元 (n -bpc) 非揮發性記憶體，以得到容量訊息；及
根據該容量訊息以配置該至少一非揮發性記憶體，使得該至少一非揮發性記憶體的區塊分別操作於不同模式，其具有不同的有效位元單元；

其中該測試步驟包含藉由寫入及讀取以測試該 n 位元單元 (n -bpc) 非揮發性記憶體，其包含複數 n 頁相應於一字元線，其中每一頁最多進行一次的寫入及讀取，該非揮發性記憶體從第1頁往第 m 頁的順序進行測試，其中 m 為1至 n 之間的正整數。

【第8項】如申請專利範圍第7項所述多位元單元非揮發性記憶體之多模式配置方法，其中該容量訊息包含複數 p -bpc區塊的數目，其中 p 為介於0與 n 之間的非負整數。

【第9項】如申請專利範圍第7項所述多位元單元非揮發性記憶體之多模式配置方法，其中該測試步驟包含：

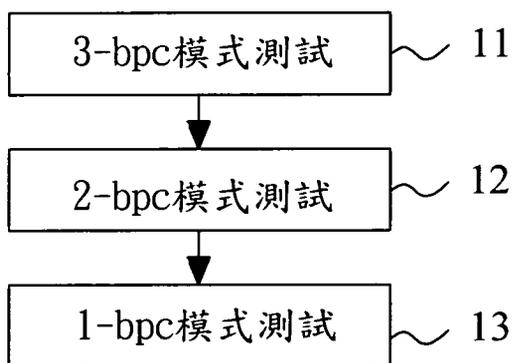
如果該第 m 頁經測試失敗，則將該失敗第 m 頁所相應區塊計入 $(m-1)$ -bpc區塊。

【第10項】如申請專利範圍第9項所述多位元單元非揮發性記憶體之多模式配置方法，其中0-bpc區塊對應至壞區塊。

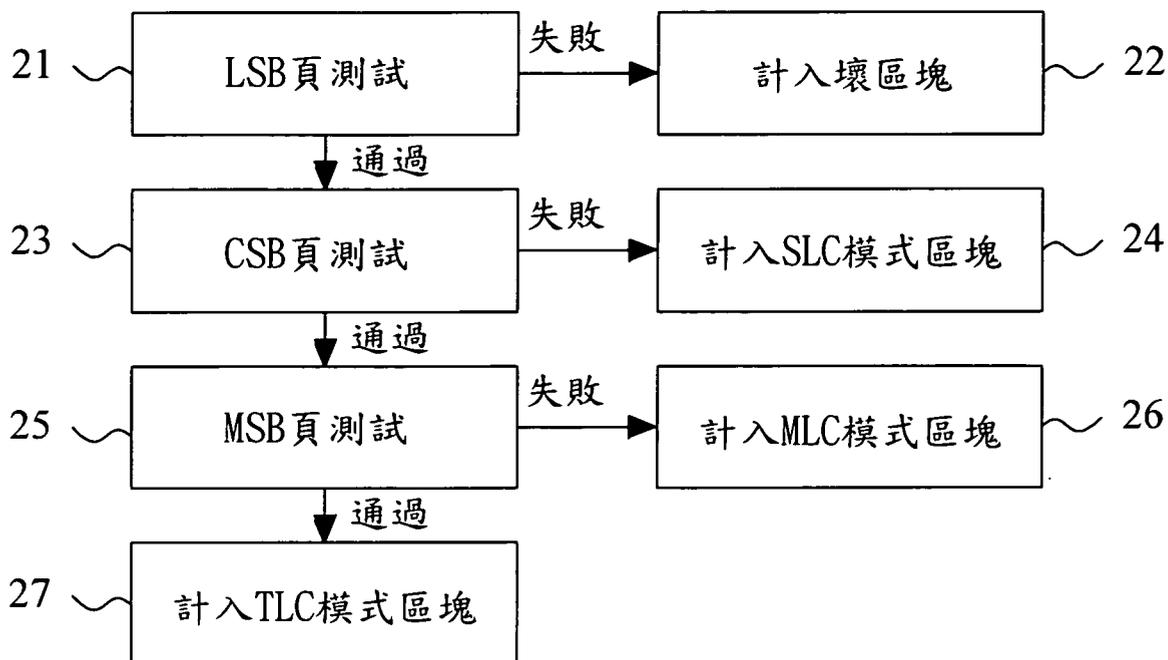
【發明圖式】

	低位元頁 (LSB)	中位元頁 (CSB)	高位元頁 (MSB)
WL0	00h	02h	05h
WL1	01h	04h	08h
WL2	03h	07h	0Bh
WL3	06h	0Ah	0Eh
....		
WL61	B4h	B8h	BCh
WL62	B7h	BBh	BEh
WL63	BAh	BDh	BFh

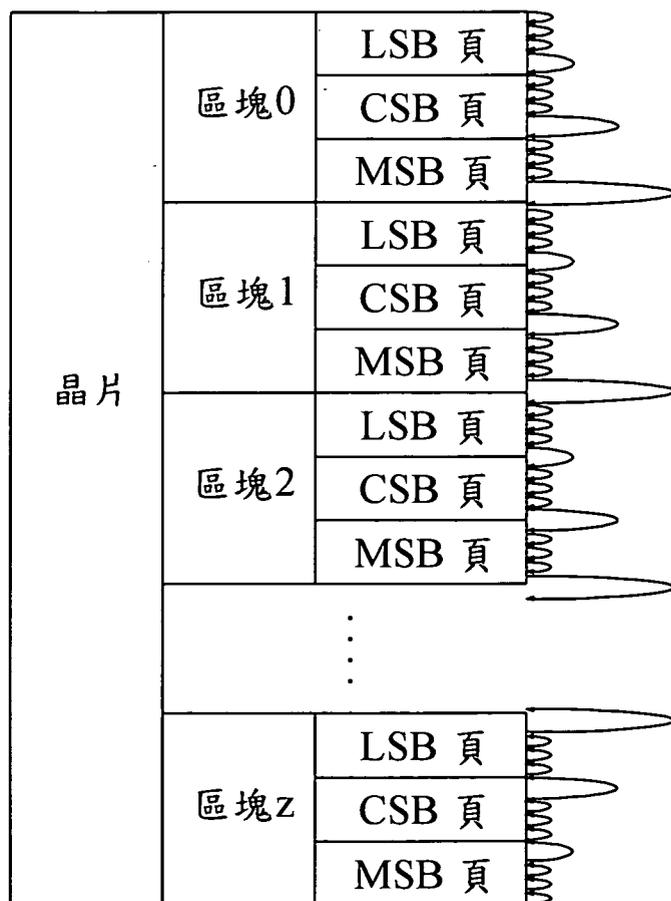
第一A圖



第一B圖

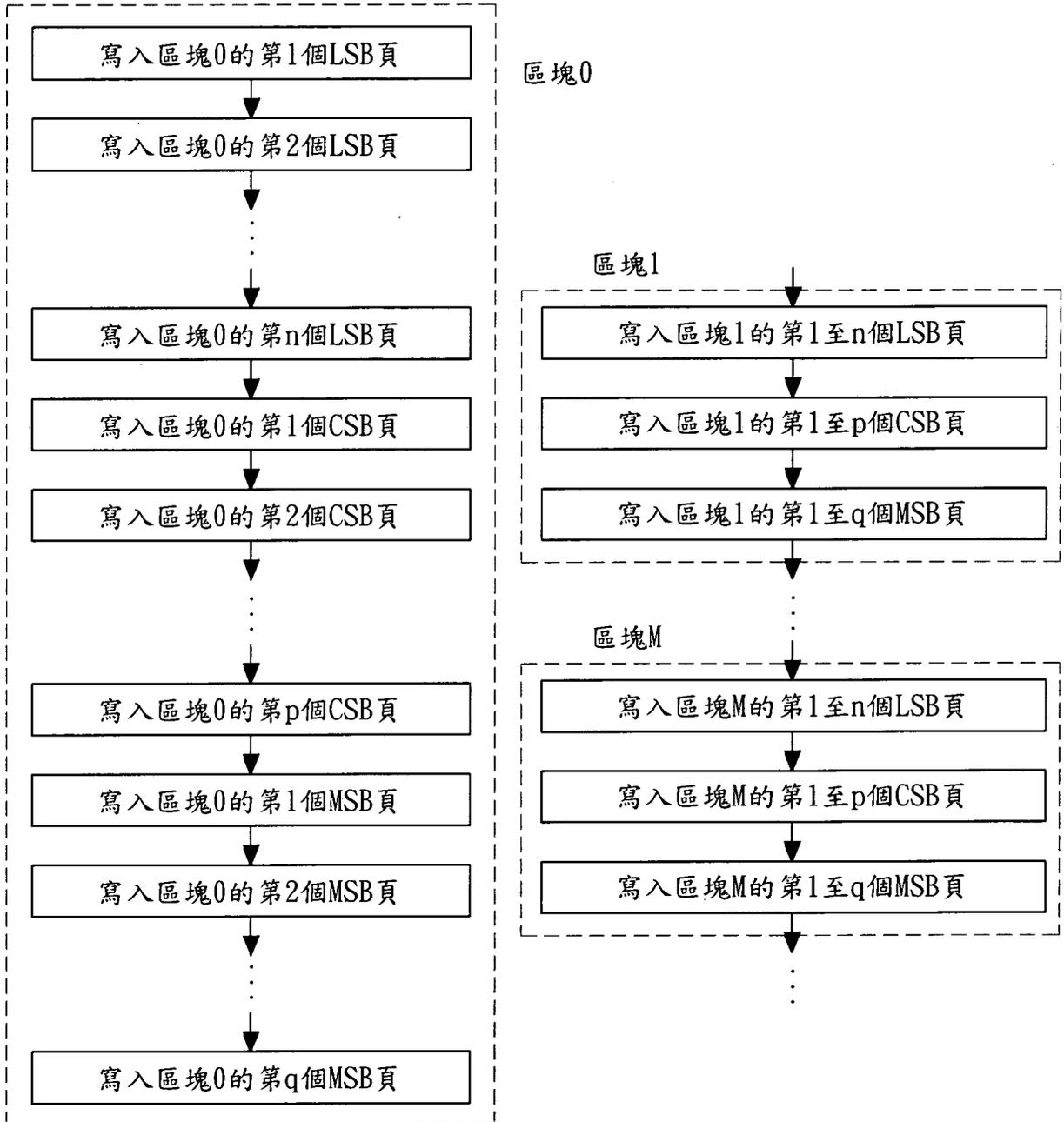


第二圖

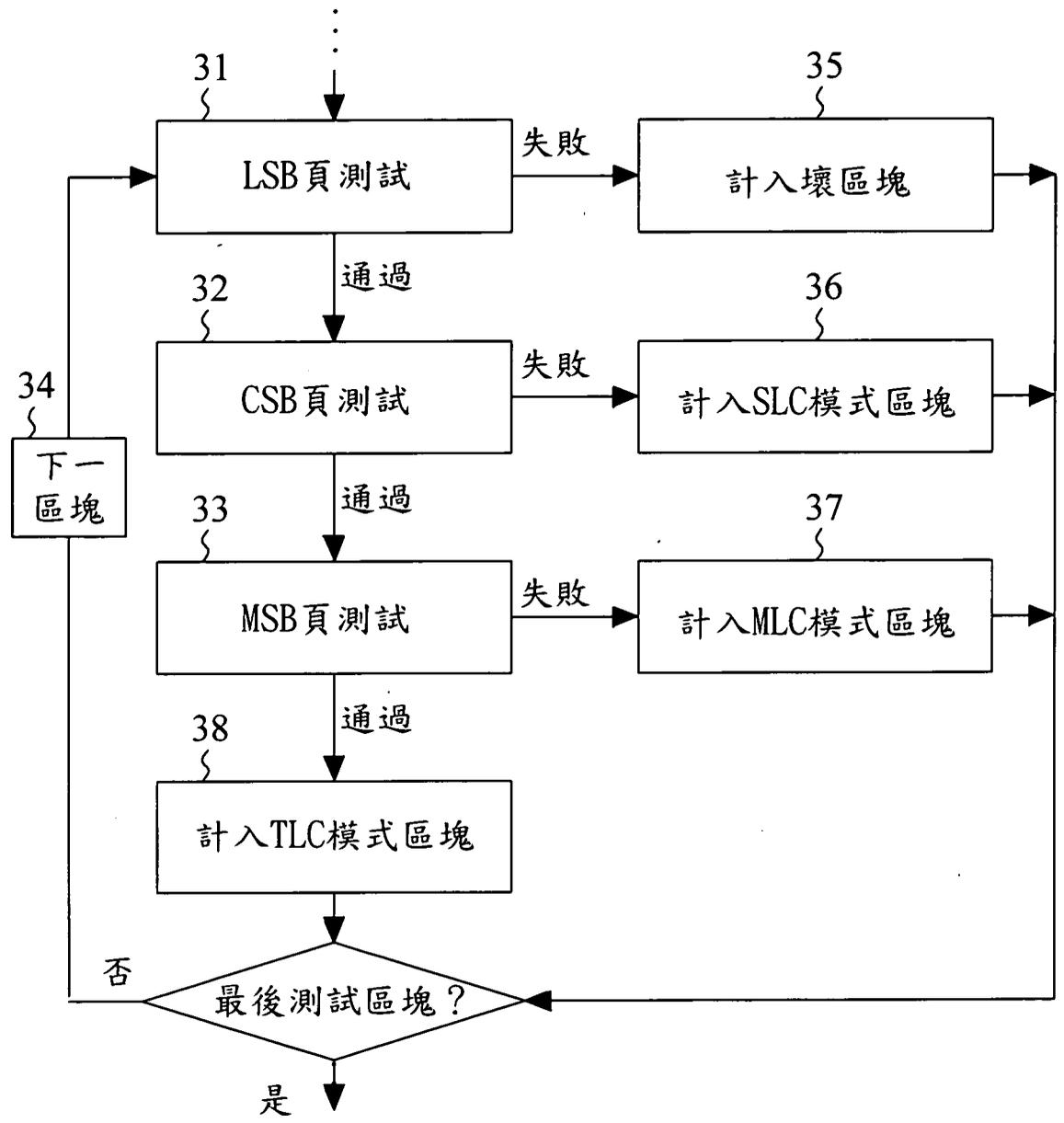


第三A圖

第 2 頁，共 12 頁(發明圖式)



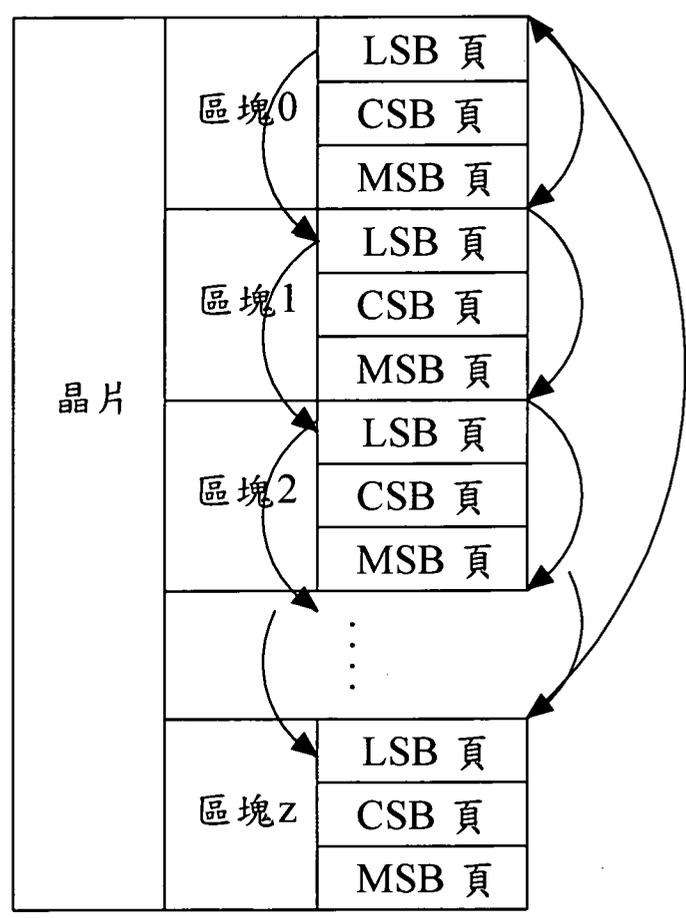
第三B圖



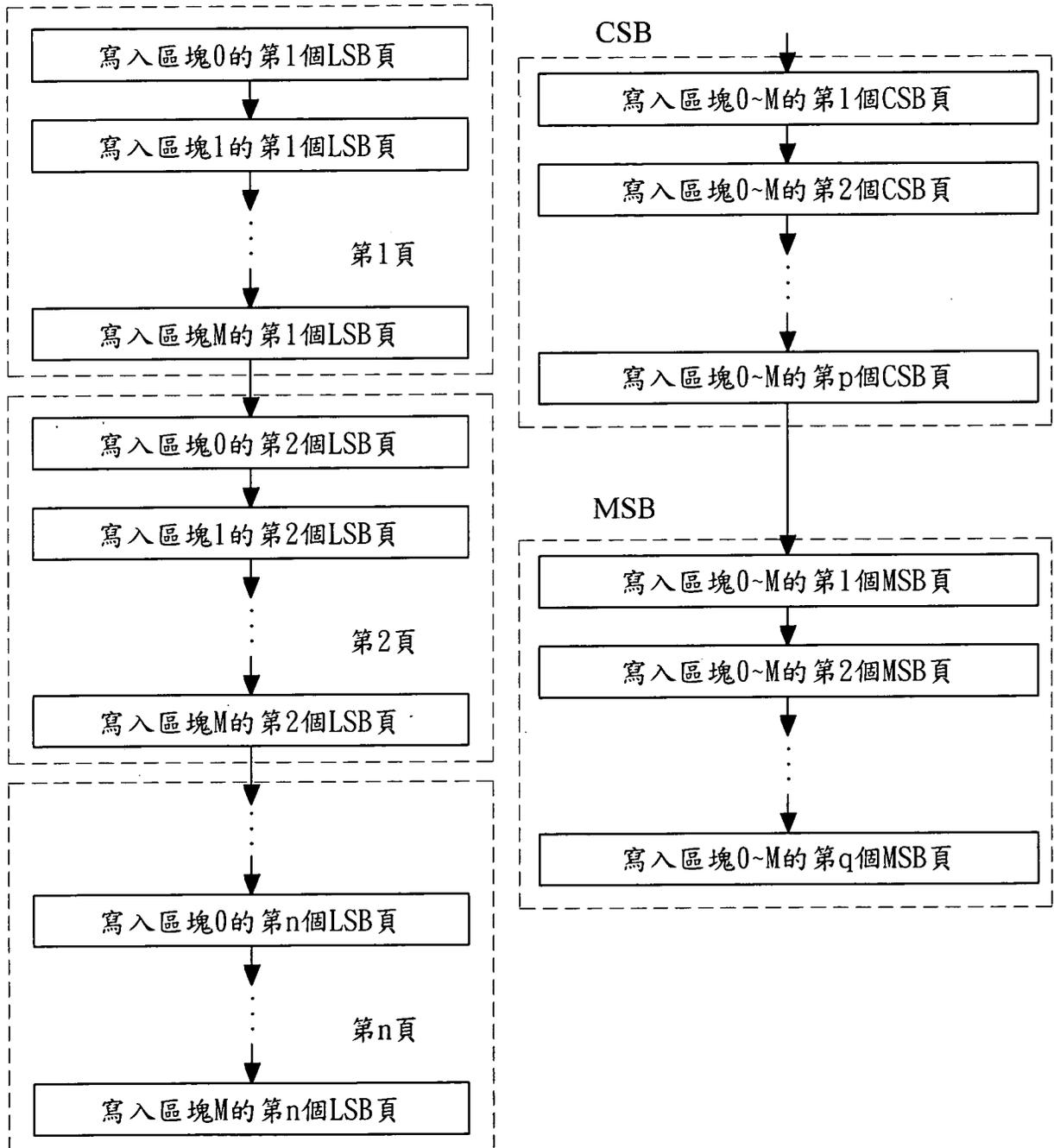
第三C圖

	低位元頁 (LSB)	中位元頁 (CSB)	高位元頁 (MSB)
WL0	00h	02h	05h
WL1	01h	04h	08h
WL3	03h	07h	0Bh
WL6	06h	0Ah	0Eh
....		
WL61	B4h	B8h	BCh
WL62	B7h	BBh	BEh
WL63	BAh	BDh	BFh

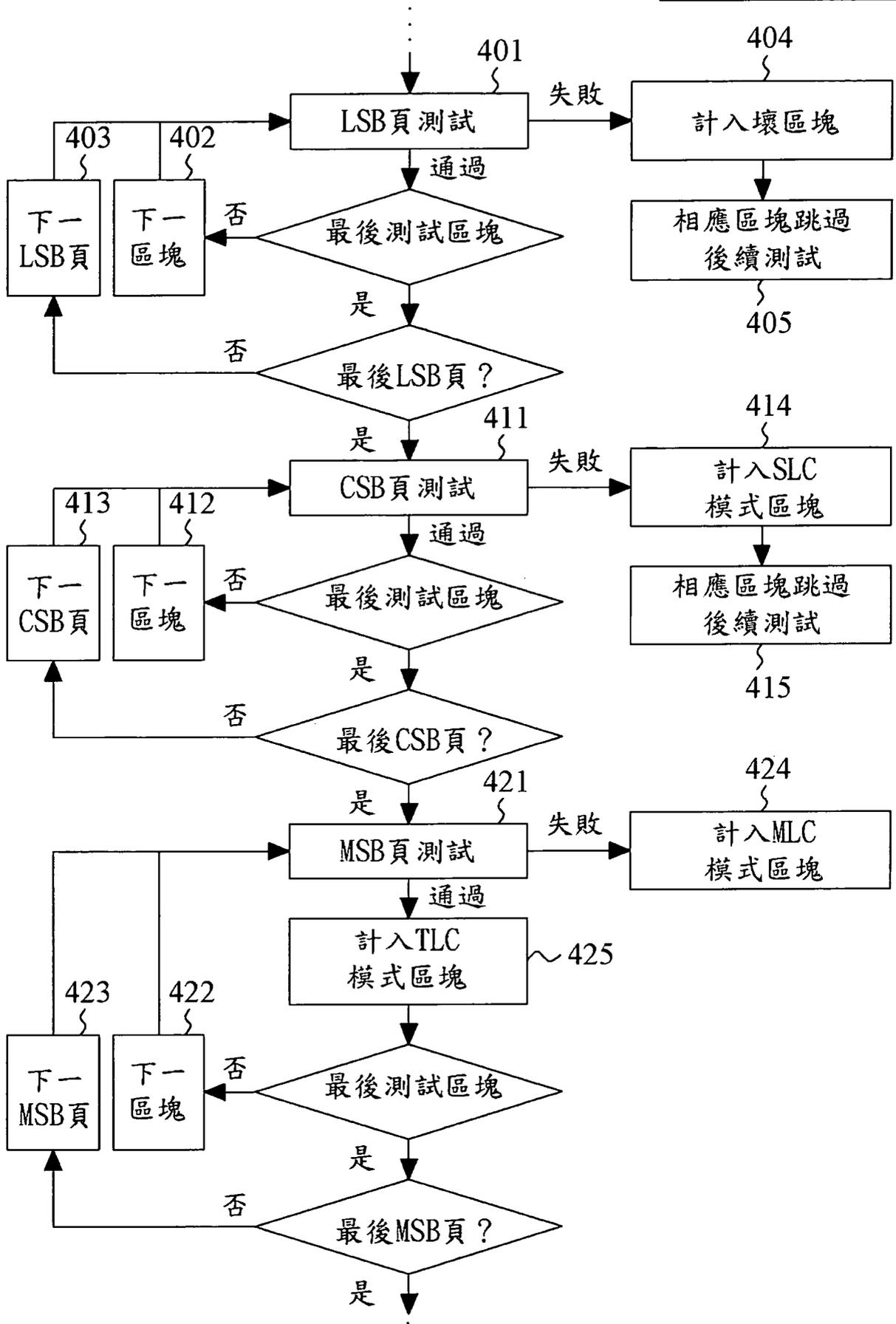
第三D圖



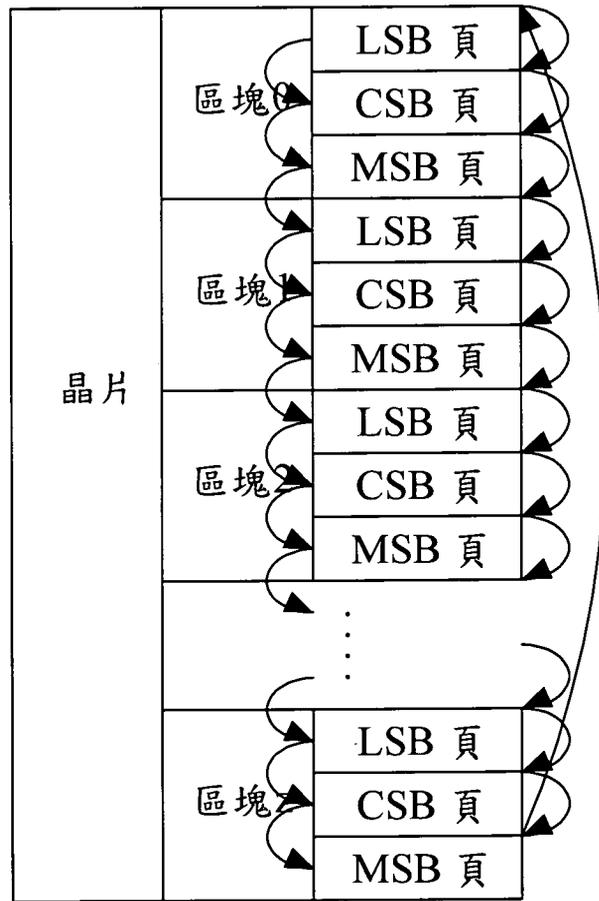
第四A圖



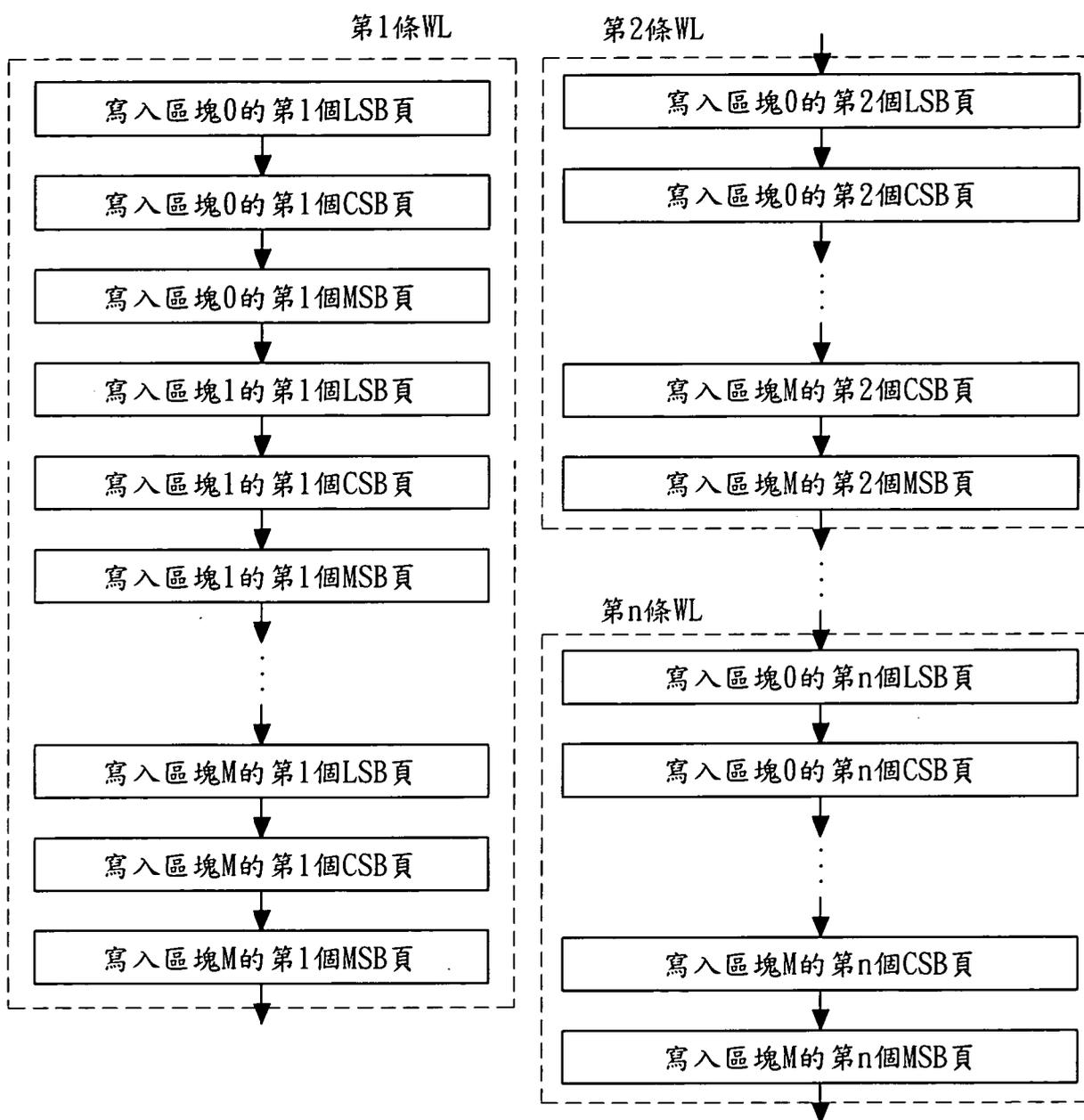
第四B圖



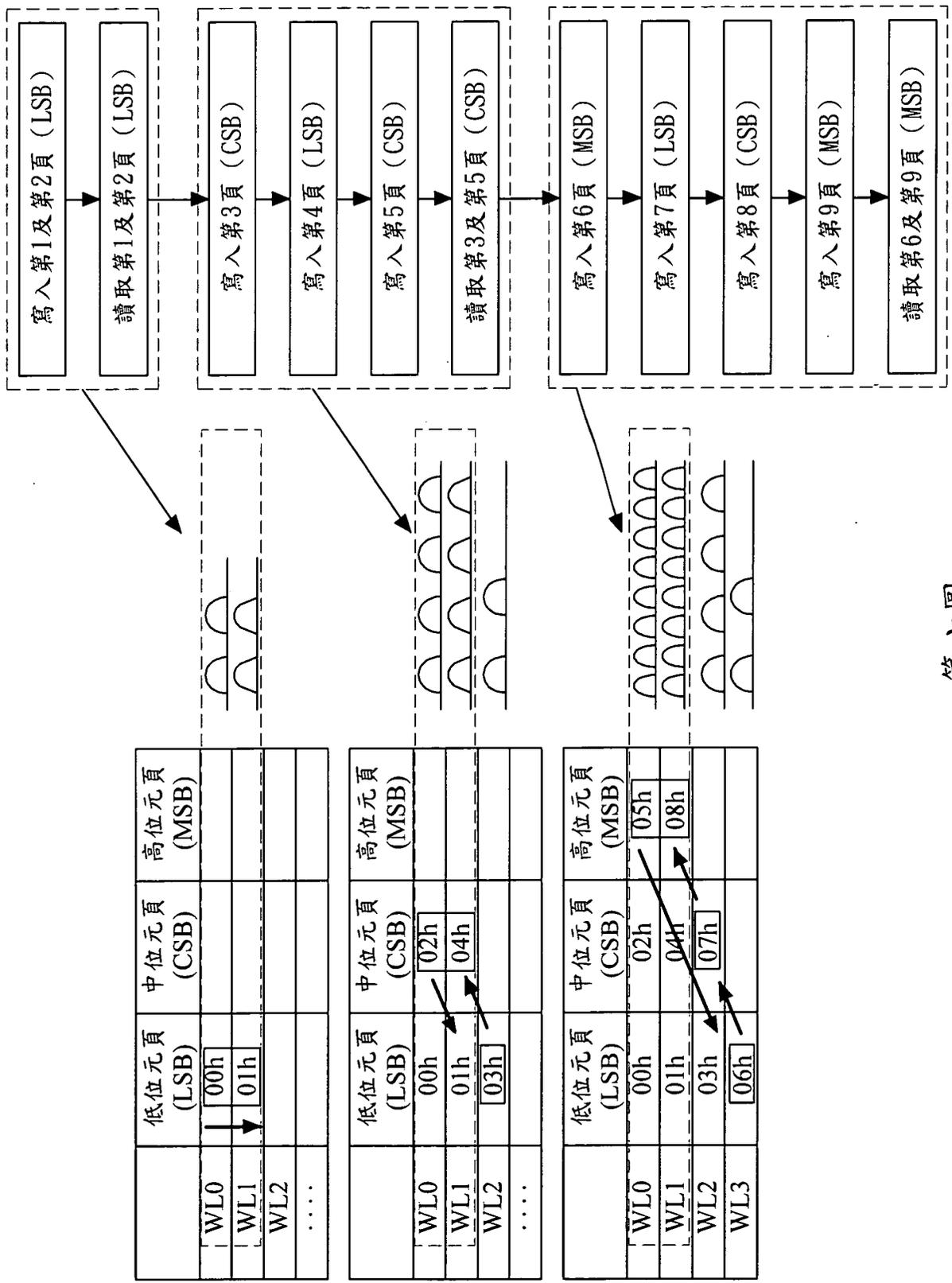
第四C圖



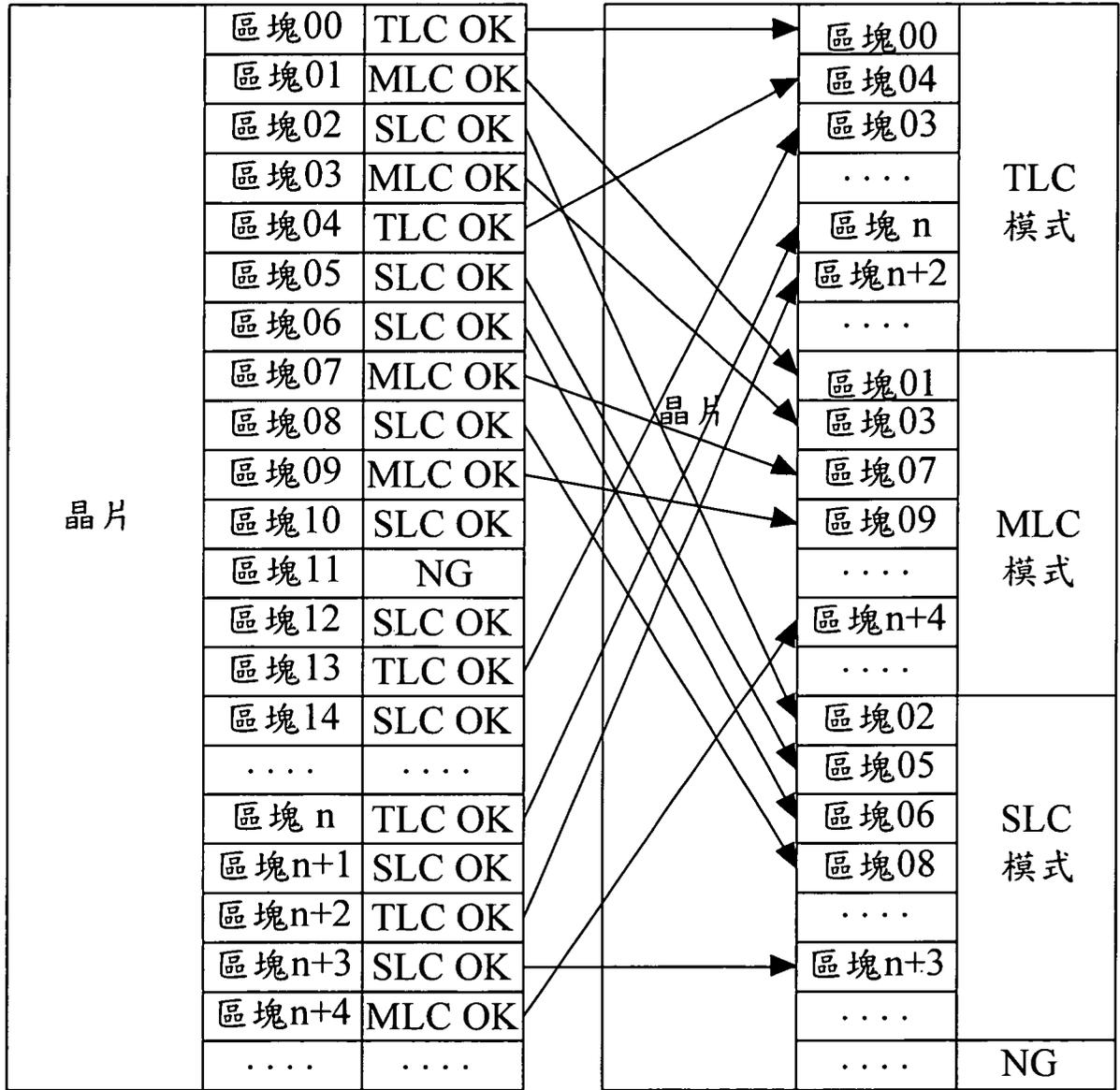
第五A圖



第五B圖



第六圖



第七圖