



# (12) 发明专利

(10) 授权公告号 CN 112261663 B

(45) 授权公告日 2023.06.20

(21) 申请号 202011060384.8  
 (22) 申请日 2020.09.30  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 112261663 A  
 (43) 申请公布日 2021.01.22  
 (73) 专利权人 北京智芯微电子科技有限公司  
 地址 102200 北京市昌平区南邵镇南中路  
 电网产业大厦  
 专利权人 北京智芯半导体科技有限公司  
 国网信息通信产业集团有限公司  
 (72) 发明人 赵东艳 唐晓柯 刘继超 胡毅  
 李德建 李铮  
 (74) 专利代理机构 北京清亦华知识产权代理事  
 务所(普通合伙) 11201  
 专利代理师 欧阳高凤  
 (51) Int. Cl.  
 H04W 16/14 (2009.01)  
 H04B 1/715 (2011.01)  
 H04J 11/00 (2006.01)

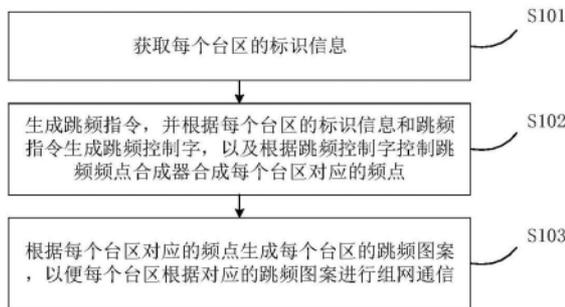
(56) 对比文件  
 CN 103178871 A, 2013.06.26  
 US 5235613 A, 1993.08.10  
 US 2018115344 A1, 2018.04.26  
 CN 101592725 A, 2009.12.02  
 US 7301985 B1, 2007.11.27  
 CN 108832626 A, 2018.11.16  
 CN 102394672 A, 2012.03.28  
 刘世虎. 超视距雷达频率合成器研究与设计.《中国优秀硕士学位论文电子期刊网》.2012,全文.  
 周春良;周芝梅;王连成;冯曦;唐晓柯 .LTE230数字中频发送机的设计.电子设计工程 .2018, (06), 全文.  
 冯建利.跳频保密通信中跳频序列的设计与实现.四川兵工学报.2011, (03), 全文.  
 wang bin et.al.“design of a digitally tunable frequency-hopping filter”.《Journal paper》.2006, (第36期期), 全文.  
 审查员 陈涛

权利要求书1页 说明书7页 附图2页

(54) 发明名称  
 多台区组网时的同频干扰抑制方法、系统及存储介质

(57) 摘要  
 本发明公开了一种多台区组网时的同频干扰抑制方法、系统及存储介质,其中,方法包括以下步骤:获取每个台区的标识信息;生成跳频指令,并根据每个台区的标识信息和跳频指令生成跳频控制字,以及根据跳频控制字控制跳频频点合成器合成每个台区对应的频点;根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信。由此,本发明实施例的多台区组网时的同频干扰抑制方法,通过每个台区对应的频点生成的跳频图案,对每个台区进行区分及跳频组网,从而,降低每个台区的频点重复概率,避免台区之间的同频

干扰,且组网协议简单,有利于实现对每个台区的网络控制和管理。



CN 112261663 B

1. 一种多台区组网时的同频干扰抑制方法,其特征在于,包括以下步骤:  
获取每个台区的标识信息;  
生成跳频指令,并根据所述每个台区的标识信息和所述跳频指令生成跳频控制字,以及根据所述跳频控制字控制跳频频点合成器合成每个台区对应的频点;  
根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信。
2. 如权利要求1所述的多台区组网时的同频干扰抑制方法,其特征在于,通过PN码发生器生成跳频指令,其中,所述PN码发生器采用的伪随机序列为n级m序列。
3. 如权利要求2所述的多台区组网时的同频干扰抑制方法,其特征在于,所述n级m序列与频点数M、跳频图案的长度L和台区数K相关联。
4. 如权利要求3所述的多台区组网时的同频干扰抑制方法,其特征在于,跳频周期为 $T=L*K$ ,m序列的级数n不小于 $\log_2(T)$ ,且满足 $2n>M$ ,所述n级m序列的抽头数r与频点数M相对应,满足 $r=\log_2(M)$ 。
5. 如权利要求2-4中任一项所述的多台区组网时的同频干扰抑制方法,其特征在于,根据所述每个台区的标识信息和所述跳频指令生成跳频控制字,包括:  
在时钟控制下通过PN码发生器产生m序列,并从m序列的n级寄存器间抽取r个抽头,以及在r个寄存器中的状态循环变化时与每个台区的标识信息相加,以获得所述跳频控制字。
6. 一种计算机可读存储介质,其特征在于,其上存储有多台区组网时的同频干扰抑制程序,该同频干扰抑制程序被处理器执行时实现如权利要求1-5中任一项所述的多台区组网时的同频干扰抑制方法。
7. 一种多台区组网时的同频干扰抑制系统,其特征在于,包括:  
获取模块,用于获取每个台区的标识信息;  
生成模块,用于生成跳频指令,并根据所述每个台区的标识信息和所述跳频指令生成跳频控制字,以及根据所述跳频控制字控制跳频频点合成器合成每个台区对应的频点,并根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信。
8. 如权利要求7所述的多台区组网时的同频干扰抑制系统,其特征在于,所述生成模块通过PN码发生器生成跳频指令,其中,所述PN码发生器采用的伪随机序列为n级m序列。
9. 如权利要求8所述的多台区组网时的同频干扰抑制系统,其特征在于,所述n级m序列与频点数M、跳频图案的长度L和台区数K相关联,其中,跳频周期为 $T=L*K$ ,m序列的级数n不小于 $\log_2(T)$ ,且满足 $2n>M$ ,所述n级m序列的抽头数r与频点数M相对应,满足 $r=\log_2(M)$ 。
10. 如权利要求8或9所述的多台区组网时的同频干扰抑制系统,其特征在于,所述生成模块还用于,  
在时钟控制下通过PN码发生器产生m序列,并从m序列的n级寄存器间抽取r个抽头,以及在r个寄存器中的状态循环变化时与每个台区的标识信息相加,以获得所述跳频控制字。

## 多台区组网时的同频干扰抑制方法、系统及存储介质

### 技术领域

[0001] 本发明涉及通信技术领域,尤其涉及一种多台区组网时的同频干扰抑制方法、一种多台区组网时的同频干扰抑制系统和一种计算机可读存储介质。

### 背景技术

[0002] 目前,用电信息采集系统中,相邻的台区是按照电力线的网络拓扑结构划分的,不能严格按照物理距离区分台区。因此,在无线通信的时候会受到相邻台区信号的干扰。

[0003] 这种干扰有可能距离接收机很近,若采用FSK技术,则只能靠碰撞重传解决,若采用LORA技术,则可以采用不同斜率的Chirp调制解决,但是这样就限制了数据速率和带宽的选择,导致在实际应用中组网算法复杂,无线传输参数选取不灵活。若采用时分或频分的方式来避免邻台区干扰,则必须要求相邻台区严格同步和频点调度,需要相邻台区互相通信,增加了系统复杂度。若采用自组网方式设计多簇,通过簇首的选取实现网络的管理和认证,则需要复杂协议支持,更新时间长,系统开销大。

### 发明内容

[0004] 本发明旨在至少在一定程度上解决相关技术中的技术问题之一。为此,本发明的第一个目的在于提出一种多台区组网时的同频干扰抑制方法,能够降低每个台区的频点重复概率,避免台区之间的同频干扰,且组网协议简单,有利于实现对每个台区的网络控制和管理。

[0005] 本发明的第二个目的在于提出一种计算机可读存储介质。

[0006] 本发明的第三个目的在于提出一种多台区组网时的同频干扰抑制系统。

[0007] 为达到上述目的,本发明第一发明实施例的多台区组网时的同频干扰抑制方法,包括以下步骤:获取每个台区的标识信息;生成跳频指令,并根据所述每个台区的标识信息和所述跳频指令生成跳频控制字,以及根据所述跳频控制字控制跳频频点合成器合成每个台区对应的频点;根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信。

[0008] 根据本发明实施例的多台区组网时的同频干扰抑制方法,首先,获取每个台区的标识信息,然后,生成跳频指令,并根据每个台区的标识信息和跳频指令生成跳频控制字,以及根据跳频控制字控制跳频频点合成器合成每个台区对应的频点,最后,根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信。由此,通过每个台区对应的频点生成的跳频图案,对每个台区进行区分及跳频组网,从而,降低每个台区的频点重复概率,避免台区之间的同频干扰,且组网协议简单,有利于实现对每个台区的网络控制和管理。

[0009] 另外,本发明上述实施例的多台区组网时的同频干扰抑制方法,还可以具有如下的附加技术特征:

[0010] 根据本发明的一个实施例,通过PN码发生器生成跳频指令,其中,所述PN码发生器

采用的伪随机序列为n级m序列。

[0011] 根据本发明的一个实施例,所述n级m序列与频点数M、跳频图案的长度L和台区数K相关联。

[0012] 根据本发明的一个实施例,跳频周期为 $T=L*K$ ,m序列的级数n不小于 $\log_2(T)$ ,且满足 $2n>M$ ,所述n级m序列的抽头数r与频点数M相对应,满足 $r=\log_2(M)$ 。

[0013] 根据本发明的一个实施例,根据所述每个台区的标识信息和所述跳频指令生成跳频控制字,包括:在时钟控制下通过PN码发生器产生m序列,并从m序列的n级寄存器间抽取r个抽头,以及在r个寄存器中的状态循环变化时与每个台区的标识信息相加,以获得所述跳频控制字。

[0014] 为达到上述目的,本发明第二方面实施例提出的计算机可读存储介质,其上存储有多台区组网时的同频干扰抑制程序,该同频干扰抑制程序被处理器执行时实现如上所述的多台区组网时的同频干扰抑制方法。

[0015] 根据本发明实施例的计算机可读存储介质,通过处理器执行多台区组网时的同频干扰抑制程序,能够降低每个台区的频点重复概率,避免台区之间的同频干扰,且组网协议简单,有利于实现对每个台区的网络控制和管理。

[0016] 为达到上述目的,本发明第三方面实施例提出的多台区组网时的同频干扰抑制系统,包括:获取模块,用于获取每个台区的标识信息;生成模块,用于生成跳频指令,并根据所述每个台区的标识信息和所述跳频指令生成跳频控制字,以及根据所述跳频控制字控制跳频频点合成器合成每个台区对应的频点,并根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信。

[0017] 根据本发明实施例的多台区组网时的同频干扰抑制系统,通过获取模块获取每个台区的标识信息,以及通过生成模块生成跳频指令,并根据每个台区的标识信息和跳频指令生成跳频控制字,以及根据跳频控制字控制跳频频点合成器合成每个台区对应的频点,并根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信。由此,通过每个台区对应的频点生成的跳频图案,对每个台区进行区分及跳频组网,从而,降低每个台区的频点重复概率,避免台区之间的同频干扰,且组网协议简单,有利于实现对每个台区的网络控制和管理。

[0018] 另外,本发明上述实施例的多台区组网时的同频干扰抑制系统,还可以具有如下的附加技术特征:

[0019] 根据本发明的一个实施例,所述生成模块通过PN码发生器生成跳频指令,其中,所述PN码发生器采用的伪随机序列为n级m序列。

[0020] 根据本发明的一个实施例,所述n级m序列与频点数M、跳频图案的长度L和台区数K相关联,其中,跳频周期为 $T=L*K$ ,m序列的级数n不小于 $\log_2(T)$ ,且满足 $2n>M$ ,所述n级m序列的抽头数r与频点数M相对应,满足 $r=\log_2(M)$ 。

[0021] 根据本发明的一个实施例,所述生成模块还用于,在时钟控制下通过PN码发生器产生m序列,并从m序列的n级寄存器间抽取r个抽头,以及在r个寄存器中的状态循环变化时与每个台区的标识信息相加,以获得所述跳频控制字。

[0022] 本发明附加的方面和优点将在下面的描述中部分给出,部分将从下面的描述中变得明显,或通过本发明的实践了解到。

## 附图说明

- [0023] 图1为根据本发明实施例的多台区组网时的同频干扰抑制方法的流程示意图；
- [0024] 图2为根据本发明一个实施例的多台区组网时的同频干扰抑制方法的流程示意图；
- [0025] 图3为根据本发明一个具体实施例的多台区组网时的同频干扰抑制方法的流程示意图；
- [0026] 图4为根据本发明一个实施例的跳频图案生成结构的原理示意图；
- [0027] 图5为根据本发明一个实施例的PN码生成器的结构示意图；
- [0028] 图6为根据本发明实施例的多台区组网时的同频干扰抑制系统的方框示意图。

## 具体实施方式

[0029] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,旨在用于解释本发明,而不能理解为对本发明的限制。

[0030] 下面参考附图描述本发明实施例的多台区组网时的同频干扰抑制方法、多台区组网时的同频干扰抑制系统和计算机可读存储介质。

[0031] 图1为根据本发明实施例的多台区组网时的同频干扰抑制方法的流程示意图。如图1所示,多台区组网时的同频干扰抑制方法,包括以下步骤:

[0032] S101,获取每个台区的标识信息。

[0033] 可选地,每个台区的标识信息可包括每个台区的ID或预设的台区特定相位初始值。

[0034] S102,生成跳频指令,并根据每个台区的标识信息和跳频指令生成跳频控制字,以及根据跳频控制字控制跳频频点合成器合成每个台区对应的频点。

[0035] 可以理解的是,在合成每个台区对应的频点之后,还可根据每个台区对应的频点形成可用频点集合,从而,每个台区均可共享可用频点集合内的频点资源,以使得多台区之间的频点分布能够具有随机性和均匀性。

[0036] S103,根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信。

[0037] 应理解的是,由于每个台区对应的频点根据跳频控制字控制跳频频点合成器合成,且每个台区的跳频图案根据每个台区对应的频点生成,因此,能够减少每个台区之间的跳频图案相关性,从而,降低邻区频点发生碰撞的概率。

[0038] 由此,根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信,能够降低每个台区的频点重复概率,避免台区之间的同频干扰,且组网协议简单,有利于实现对每个台区的网络控制和管理。

[0039] 进一步地,通过PN码发生器生成跳频指令,其中,PN码发生器采用的伪随机序列为n级m序列。

[0040] 也就是说,PN码发生器基于n级m序列生成跳频指令,以根据每个台区的标识信息和跳频指令生成跳频控制字,从而,根据跳频控制字控制跳频频点合成器合成每个台区对应的频点。

[0041] 进一步地,  $n$ 级 $m$ 序列与频点数 $M$ 、跳频图案的长度 $L$ 和台区数 $K$ 相关联。

[0042] 下面分别对频点数 $M$ 、跳频图案的长度 $L$ 和台区数 $K$ 进行相应的说明:1) 频点数 $M$ :可在470MHz~510MHz频段内等间隔选取,例如,可根据工作带宽对频点数 $M$ 进行相应的设定,取值8、16、32或64;2) 跳频图案的长度 $L$ :与符号持续时间相关,例如,短符号每符号采用一个频点, $L$ 个符号聚合为一组,使用长度为 $L$ 的跳频图案,以及长符号每符号可以划分为 $L$ 段,或多个(小于 $L$ )个长符号聚合为一组,使用长度为 $L$ 的跳频图案,其中,为了充分利用频点资源,可取值 $L=M$ ,另外,同时支持 $L<M$ ;3) 台区数 $K$ :可支持多种取值,例如取值 $K=16$ 。

[0043] 具体而言, $n$ 级 $m$ 序列与频点数 $M$ 、跳频图案的长度 $L$ 和台区数 $K$ 相关联具体体现为:跳频周期为 $T=L*K$ , $m$ 序列的级数 $n$ 不小于 $\log_2(T)$ ,且满足 $2n>M$ , $n$ 级 $m$ 序列的抽头数 $r$ 与频点数 $M$ 相对应,满足 $r=\log_2(M)$ 。

[0044] 以频点数 $M$ 取值64,跳频图案的长度 $L$ 取值为64,台区数取值为16为例,则通过上述计算公式可得, $n=10$ , $r=6$ 。

[0045] 进一步地,如图2所示,根据每个台区的标识信息和跳频指令生成跳频控制字,包括:

[0046] S1021,在时钟控制下通过PN码发生器产生 $m$ 序列,并从 $m$ 序列的 $n$ 级寄存器间抽取 $r$ 个抽头,以及在 $r$ 个寄存器中的状态循环变化时与每个台区的标识信息相加,以获得跳频控制字。

[0047] 可选地,从 $m$ 序列的 $n$ 级寄存器间抽取 $r$ 个抽头的具体方式可包括但不限于相邻抽取和等间隔抽取。

[0048] 具体而言,如图3所示,本发明实施例的多台区组网时的同频干扰抑制方法具体包括以下步骤:

[0049] S1,频率合成。

[0050] 具体地,如图4所示,PN码发生器与跳频频点合成器相连,PN码发生器可选用 $m$ 序列或其它伪随机序列,其中,基于 $m$ 序列的跳频序列是由线性反馈移位寄存器(LFSR)生成,并取 $m$ 序列状态序列的 $r$ 位,以组合形成一个新的序列作为跳频序列,用于控制跳频频点合成器。

[0051] 换言之,如图5所示,基于有限域 $GF(2)$ 上的 $n$ 级 $m$ 序列发生器,以 $r$ 个抽头加权后控制频率合成器,其中,PN码发生器在时钟控制下产生 $m$ 序列, $r$ 个寄存器中的状态循环变化时与每个台区的标识信息相加,每移出1bit,则获得一个跳频控制字,从而,根据频率控制字控制跳频频点合成器合成每个台区对应的频点,其中,生成 $n$ 级 $m$ 序列并进行处理后,每 $\log_2(M)$ 位组合成一个字节,字节对应的十进制数值即频点序号。

[0052] S2,获取当前台区频率列表。

[0053] 需要说明的是,若台区ID最大值小于 $2r$ ,则每个台区的标识信息中的部分位可固定置为0,以及根据参数,每移动1位,输出一个变换方程的 $S$ 值,以作为当前台区的频点序号,直至获得 $L$ 个频点序号,同时,保存当前台区频点列表。

[0054] S3,判断是否遍历全部台区,如果是,则执行步骤S4;如果不是,则执行步骤S1。

[0055] 也就是说,若未遍历全部台区,则重复执行步骤S1和S2,以确保获取全部台区的频点列表。

[0056] S4,保存全部台区频点列表。

[0057] 下面结合本发明的一个具体实施例,对上述执行步骤做进一步的说明。

[0058] 以频点数M取值为64,m序列阶数n取值为10,台区数K取值为16,抽头数取值为6为例,在m序列的10级寄存器中相邻选取6个抽头,并经变换后控制频率合成器的输出。

[0059] m序列生成器附加抽头,变换方程表示为: $S=32*(X3+U5)+16*(X4+U4)+8*(X5+U3)+4*(X6+U2)+2*(X7+U1)+(X8+U0)$ ,上述加法均为模2加,其中,U的取值为0或1,共64种,即最多可以生成64个跳频序列。

[0060] 可以理解的是,由于台区数K=16,因此只需要16个序列,此时,取 $U5=U4=0$ ,从而,计算出的S值与M个频点序号对应,以充分利用频率资源。

[0061] 另外,频率合成器持续输出当前U值对应的S值,例如,根据前述参数和变换方程,每移动1位,输出一个S值,作为当前台区的频点序号,直至获得L个频点序号,同时,保存当前台区的频点列表。

[0062] 然后,取 $U=U+1$ ,并重复前述频点生成步骤,遍历全部台区以获得全部台区的频点序号,直至完成全部K个台区的频点序号列表。

[0063] 需要说明的是,本发明实施例的多台区组网时的同频干扰抑制方法,能够根据输入台区号输出相应的频点,频点重复概率低,避免台区之间同频干扰,同时,组网协议简单,易于网络控制和管理。

[0064] 综上,根据本发明实施例的多台区组网时的同频干扰抑制方法,首先,获取每个台区的标识信息,然后,生成跳频指令,并根据每个台区的标识信息和跳频指令生成跳频控制字,以及根据跳频控制字控制跳频频点合成器合成每个台区对应的频点,最后,根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信。由此,通过每个台区对应的频点生成的跳频图案,对每个台区进行区分及跳频组网,从而,降低每个台区的频点重复概率,避免台区之间的同频干扰,且组网协议简单,有利于实现对每个台区的网络控制和管理。

[0065] 进一步地,本发明实施例还提出了一种计算机可读存储介质,其上存储有多台区组网时的同频干扰抑制程序,该同频干扰抑制程序被处理器执行时实现如本发明上述实施例的多台区组网时的同频干扰抑制方法。

[0066] 综上,根据本发明实施例的计算机可读存储介质,通过处理器执行多台区组网时的同频干扰抑制程序,能够降低每个台区的频点重复概率,避免台区之间的同频干扰,且组网协议简单,有利于实现对每个台区的网络控制和管理。

[0067] 图6为根据本发明实施例的多台区组网时的同频干扰抑制系统的方框示意图。如图6所示,多台区组网时的同频干扰抑制系统100包括:获取模块1和生成模块2。

[0068] 具体地,获取模块1用于获取每个台区的标识信息;生成模块2用于生成跳频指令,并根据每个台区的标识信息和跳频指令生成跳频控制字,以及根据跳频控制字控制跳频频点合成器合成每个台区对应的频点,并根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信。

[0069] 由此,生成模块根据每个台区对应的频点生成每个台区的跳频图案,以便每个台区根据对应的跳频图案进行组网通信,能够降低每个台区的频点重复概率,避免台区之间的同频干扰,且组网协议简单,有利于实现对每个台区的网络控制和管理。

[0070] 进一步地,生成模块2通过PN码发生器生成跳频指令,其中,PN码发生器采用的伪

随机序列为n级m序列。

[0071] 进一步地，n级m序列与频点数M、跳频图案的长度L和台区数K相关联，其中，跳频周期为 $T=L*K$ ，m序列的级数n不小于 $\log_2(T)$ ，且满足 $2n>M$ ，n级m序列的抽头数r与频点数M相对应，满足 $r=\log_2(M)$ 。

[0072] 进一步地，生成模块2还用于，在时钟控制下通过PN码发生器产生m序列，并从m序列的n级寄存器间抽取r个抽头，以及在r个寄存器中的状态循环变化时与每个台区的标识信息相加，以获得跳频控制字。

[0073] 需要说明的是，本发明实施例的多台区组网时的同频干扰抑制系统与前述本发明实施例的多台区组网时的同频干扰抑制方法的具体实施方式一一对应，在此不再赘述。

[0074] 综上，根据本发明实施例的多台区组网时的同频干扰抑制系统，通过获取模块获取每个台区的标识信息，以及通过生成模块生成跳频指令，并根据每个台区的标识信息和跳频指令生成跳频控制字，以及根据跳频控制字控制跳频频点合成器合成每个台区对应的频点，并根据每个台区对应的频点生成每个台区的跳频图案，以便每个台区根据对应的跳频图案进行组网通信。由此，通过每个台区对应的频点生成的跳频图案，对每个台区进行区分及跳频组网，从而，降低每个台区的频点重复概率，避免台区之间的同频干扰，且组网协议简单，有利于实现对每个台区的网络控制和管理。

[0075] 需要说明的是，在流程图中表示或在此以其他方式描述的逻辑和/或步骤，例如，可以被认为是用于实现逻辑功能的可执行指令的定序列列表，可以具体实现在任何计算机可读介质中，以供指令执行系统、装置或设备（如基于计算机的系统、包括处理器的系统或其他可以从指令执行系统、装置或设备取指令并执行指令的系统）使用，或结合这些指令执行系统、装置或设备而使用。就本说明书而言，“计算机可读介质”可以是任何可以包含、存储、通信、传播或传输程序以供指令执行系统、装置或设备或结合这些指令执行系统、装置或设备而使用的装置。计算机可读介质的更具体的示例（非穷尽性列表）包括以下：具有一个或多个布线的电连接部（电子装置），便携式计算机盘盒（磁装置），随机存取存储器（RAM），只读存储器（ROM），可擦除可编程只读存储器（EPROM或闪速存储器），光纤装置，以及便携式光盘只读存储器（CDROM）。另外，计算机可读介质甚至可以是可在其上打印所述程序的纸或其他合适的介质，因为可以例如通过对纸或其他介质进行光学扫描，接着进行编辑、解译或必要时以其他合适方式进行处理来以电子方式获得所述程序，然后将其存储在计算机存储器中。

[0076] 应当理解，本发明的各部分可以用硬件、软件、固件或它们的组合来实现。在上述实施方式中，多个步骤或方法可以用存储在存储器中且由合适的指令执行系统执行的软件或固件来实现。例如，如果用硬件来实现，和在另一实施方式中一样，可用本领域公知的下列技术中的任一项或他们的组合来实现：具有用于对数据信号实现逻辑功能的逻辑门电路的离散逻辑电路，具有合适的组合逻辑门电路的专用集成电路，可编程门阵列（PGA），现场可编程门阵列（FPGA）等。

[0077] 在本说明书的描述中，参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任何

的一个或多个实施例或示例中以合适的方式结合。

[0078] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”、“轴向”、“径向”、“周向”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0079] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。在本发明的描述中,“多个”的含义是至少两个,例如两个,三个等,除非另有明确具体的限定。

[0080] 在本发明中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系,除非另有明确的限定。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0081] 在本发明中,除非另有明确的规定和限定,第一特征在第二特征“上”或“下”可以是第一和第二特征直接接触,或第一和第二特征通过中间媒介间接接触。而且,第一特征在第二特征“之上”、“上方”和“上面”可是第一特征在第二特征正上方或斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”可以是第一特征在第二特征正下方或斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0082] 尽管上面已经示出和描述了本发明的实施例,可以理解的是,上述实施例是示例性的,不能理解为对本发明的限制,本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改、替换和变型。

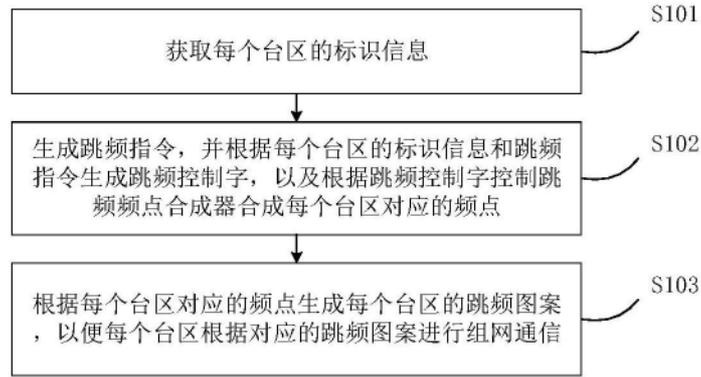


图1

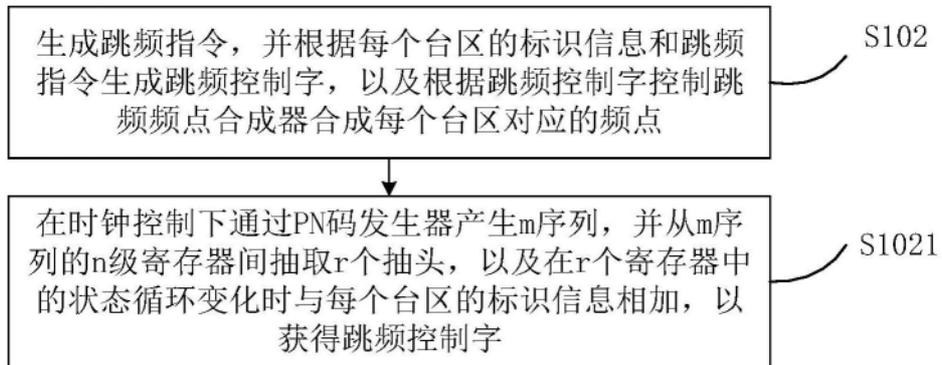


图2

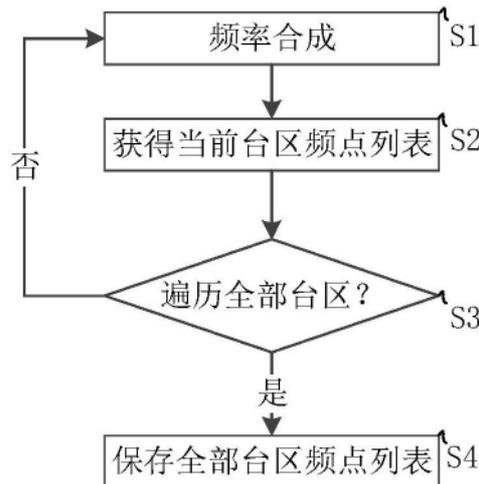


图3

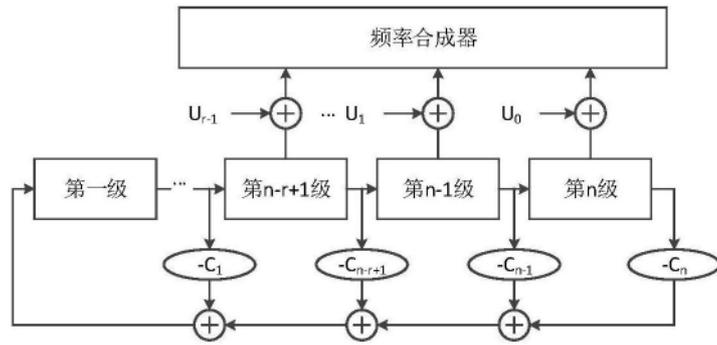


图4

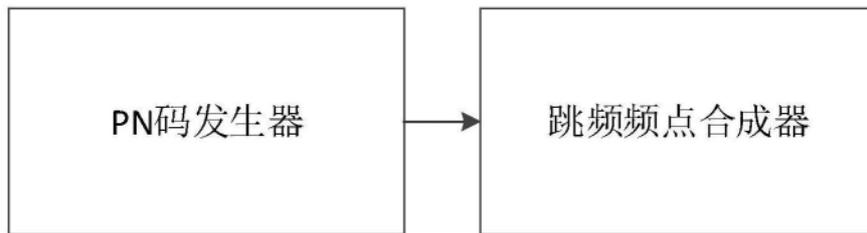


图5



图6