

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
19. August 2010 (19.08.2010)

(10) Internationale Veröffentlichungsnummer
WO 2010/091936 A1

(51) Internationale Patentklassifikation:
H01L 33/00 (2010.01) **H01L 33/22** (2010.01)

Matthias [DE/DE]; Am Protzenweiher 21 b, 93059 Regensburg (DE).

(21) Internationales Aktenzeichen: PCT/EP2010/050742

(74) **Anwalt: EPPING HERMANN FISCHER PATENT-ANWALTSGESELLSCHAFT MBH**; Ridlerstraße 55, 80339 München (DE).

(22) Internationales Anmeldedatum:
22. Januar 2010 (22.01.2010)

(25) Einreichungssprache: Deutsch

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2009 008 223.9
10. Februar 2009 (10.02.2009) DE

(71) **Anmelder** (für alle Bestimmungsstaaten mit Ausnahme von US): **OSRAM Opto Semiconductors GmbH** [DE/DE]; Leibnizstraße 4, 93055 Regensburg (DE).

(72) **Erfinder; und**

(75) **Erfinder/Anmelder** (nur für US): **BAUR, Elmar** [DE/DE]; Lottnerstraße 40, 93049 Regensburg (DE). **BÖHM, Bernd** [DE/DE]; Desingweg 13, 93049 Regensburg (DE). **HEINDL, Alexander** [DE/DE]; Allersdorf 3 b, 93326 Abensberg (DE). **RODE, Patrick** [DE/DE]; Merkurstraße 24, 93051 Regensburg (DE). **SABATHIL,**

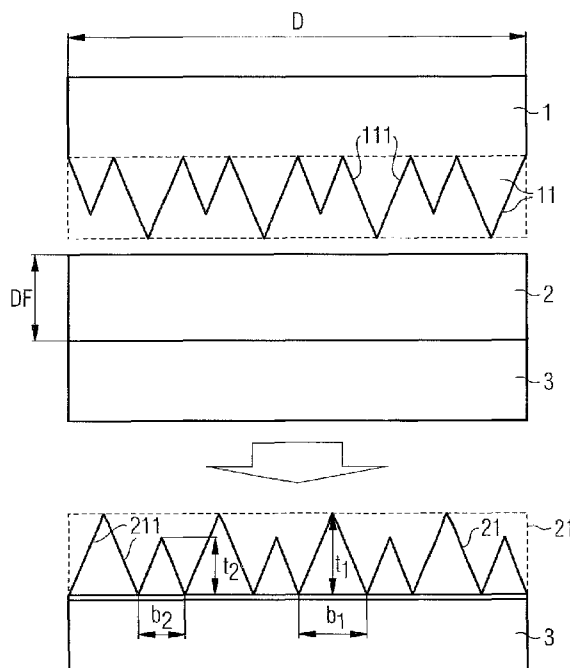
(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI,

[Fortsetzung auf der nächsten Seite]

(54) **Title:** METHOD FOR STRUCTURING A SEMICONDUCTOR SURFACE, AND SEMICONDUCTOR CHIP

(54) **Bezeichnung :** VERFAHREN ZUR STRUKTURIERUNG EINER HALBLEITEROBERFLÄCHE UND HALBLEITER-CHIP

FIG 2



(57) **Abstract:** A method for structuring a semiconductor surface is disclosed. Said method includes the following steps: providing a first wafer (1) that has a structured surface (11); providing a second semiconductor wafer (2); applying a photoresist (2) to the outer surfaces of the second semiconductor wafer (3); structuring the surface of the photoresist (2) facing away from the second semiconductor wafer (3) by impressing the structured surface (11) of the first wafer (1) into the photoresist (2); using a structuring process (6) on the structured surface (21) of the photoresist (2) such that the structure applied to the photoresist (2) is transferred to at least some points on the outer surface (31) of the second semiconductor wafer (3).

(57) **Zusammenfassung:** Es wird ein Verfahren zur Strukturierung einer Halbleiteroberfläche angegeben, mit den folgenden Schritten: Bereitstellen eines ersten Wafers (1), welcher eine strukturierte Oberfläche (11) aufweist; Bereitstellen eines zweiten Halbleiterwafers (3); Aufbringen eines Fotolacks (2) auf die Außenflächen des zweiten Halbleiterwafers (3); Strukturieren der dem zweiten Halbleiterwafer (3) abgewandten Oberfläche des Fotolacks (2) durch Abdrucken der strukturierten Oberfläche (11) des ersten Wafers (1) in den Fotolack (2); Anwendung eines Strukturierungsverfahrens (6) auf die strukturierte Oberfläche (21) des Fotolacks (2), wobei die auf dem Fotolack (2) aufgebrachte Struktur zumindest stellenweise auf die Außenfläche (31) des zweiten Halbleiterwafers (3) übertragen wird.



SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

Beschreibung

Verfahren zur Strukturierung einer Halbleiteroberfläche und Halbleiterchip

5

Es wird ein Verfahren zur Strukturierung einer Halbleiteroberfläche sowie ein Halbleiterchip angegeben.

10 Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2009 008 223.9, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

15 Die Druckschrift DE 103 067 79 A1 beschreibt ein Verfahren zum Aufrauen einer Oberfläche eines Körpers und optoelektronischen Bauelements.

Eine zu lösende Aufgabe besteht darin, ein Verfahren zur Strukturierung einer Halbleiteroberfläche anzugeben, das zeitsparend und darüber hinaus kostengünstig ist.

20

Gemäß zumindest einer Ausführungsform des Verfahrens wird zunächst ein erster Wafer, welcher eine strukturierte Oberfläche aufweist, bereitgestellt. Darüber hinaus wird ein zweiter Halbleiterwafer bereitgestellt. Der erste Wafer und 25 der zweite Halbleiterwafer können nach Art von Scheiben oder Platten ausgebildet sein.

Der erste Wafer weist eine strukturierte Oberfläche auf. „Strukturiert“ heißt in diesem Zusammenhang, dass sich auf 30 der Oberfläche, zum Beispiel an der Oberseite auf einer Deckfläche des ersten Wafers, zumindest stellenweise Erhebungen und Senkungen befinden. Die strukturierte Oberfläche kann zum Beispiel mit vorgefertigten, regelmäßigen

Strukturen, die kontrolliert in die Deckfläche eingebracht sind, gebildet sein. Die Strukturen können relief- oder grabenartig ausgebildet sein.

- 5 Gemäß zumindest einer Ausführungsform des Verfahrens wird in einem nächsten Schritt ein Fotolack auf die Außenflächen des zweiten Halbleiterwafers aufgebracht. Vorzugsweise weist der Fotolack eine Dicke von 1 bis 10 µm auf.
- 10 Gemäß zumindest einer Ausführungsform des Verfahrens wird die dem zweiten Halbleiterwafer abgewandte Oberfläche des Fotolacks durch Abdrucken der strukturierten Oberfläche des ersten Wafers in den Fotolack strukturiert.
- 15 Ist die strukturierte Oberfläche des ersten Wafers der dem zweiten Halbleiterwafer abgewandten Oberfläche des Fotolacks zugewandt, so können der erste Wafer und der zweite Halbleiterwafer derart zusammengeführt und beispielsweise zusammengepresst werden, dass sich die strukturierte
- 20 Oberfläche des ersten Halbleiterwafers in die Oberfläche des Fotolacks zumindest stellenweise abdruckt. „Abdrucken“ heißt diesbezüglich, dass an Stellen, an denen sich auf der Oberfläche des ersten Wafers Erhebungen befinden, sich entsprechende Senkungen auf der Oberfläche des Fotolacks
- 25 abbilden. Gleiches geschieht mit auf der Oberfläche des ersten Wafers befindlichen Senkungen, die als Erhebungen in die Oberfläche des Fotolacks abgebildet werden. Ebenso ist es möglich, dass die strukturierte Oberfläche des ersten Wafers vollständig in die Oberfläche des Fotolacks abgedruckt wird.
- 30 Bei dem Fotolack handelt es sich um ein weiches Material, das sich während des Zusammenpressens der beiden Halbleiterwafer verformen lässt. Nach dem Entfernen des zweiten

Halbleiterwafers vom Fotolack behält dann die strukturierte Oberfläche des Fotolacks ihre Oberflächenstruktur bei. Mit anderen Worten ist der Abdruckvorgang ein Prozess, bei dem die Oberfläche des Fotolacks dauerhaft strukturiert wird.

5

Gemäß zumindest einer Ausführungsform des Verfahrens wird ein Strukturierungsverfahren auf die strukturierte Oberfläche des Fotolacks angewandt, wobei die auf den Fotolack aufgebrachte Struktur zumindest stellenweise auf die Außenfläche des zweiten Halbleiterwafers übertragen wird. Bei der Außenfläche handelt es sich um die dem Fotolack zugewandte Oberfläche des zweiten Halbleiterwafers, die vom Fotolack bedeckt ist. Das heißt, dass sich die auf dem Fotolack befindliche Struktur unter Verwendung des Strukturierungsverfahrens auf die Außenfläche des zweiten Halbleiterwafers zumindest stellenweise überträgt.

Gemäß zumindest einer Ausführungsform des Verfahrens wird zunächst ein erster Wafer bereitgestellt, welcher eine strukturierte Oberfläche aufweist. Auf einen bereitgestellten zweiten Halbleiterwafer wird ein Fotolack auf die Außenflächen des zweiten Halbleiterwafers aufgebracht. In einem nächsten Schritt wird die dem zweiten Halbleiterwafer abgewandte Oberfläche des Fotolacks durch Abdrucken der strukturierten Oberfläche des ersten Wafers in den Fotolack strukturiert. Anschließend wird ein Strukturierungsverfahren auf die strukturierte Oberfläche des Fotolacks angewandt, wobei die auf den Fotolack aufgebrachte Struktur zumindest stellenweise auf die Außenfläche des zweiten Halbleiterwafers übertragen wird.

Das hier beschriebene Verfahren zur Strukturierung einer Halbleiteroberfläche beruht dabei unter anderem auf der

Erkenntnis, dass die Strukturierung einer Halbleiteroberfläche mit großem Aufwand verbunden sein kann und dabei gleichzeitig kostenintensiv ist.

- 5 Um nun auf ein zeitsparendes und kostengünstiges Verfahren zur Strukturierung einer Halbleiteroberfläche zu kommen, macht das hier beschriebene Verfahren von der Idee Gebrauch, zunächst einen ersten Wafer, welcher eine strukturierte Oberfläche aufweist, bereitzustellen. Die strukturierte
- 10 Oberfläche des ersten Wafers dient im folgenden Verfahren als eine Schablone innerhalb des Herstellungsprozesses. Ziel des Verfahrens ist es nun, strukturierte Oberflächen auf Halbleiterwafern unterschiedlicher Materialien aufzubringen. Dazu wird beispielsweise ein zweiter Halbleiterwafer
- 15 bereitgestellt, auf dem ein Fotolack aufgebracht ist. Nach Abdrucken der strukturierten Oberfläche des ersten Wafers in den Fotolack lässt sich nach Anwendung eines Strukturierungsverfahrens die strukturierte Oberfläche des Fotolacks zumindest stellenweise in die Außenfläche des
- 20 zweiten Halbleiterwafers übertragen. Dadurch, dass die strukturierte Oberfläche des ersten Wafers als Schablone mehrfach verwendet werden kann, kann der Vorgang wiederholt werden und so eine Vielzahl von weiteren Halbleiterwafern mit einer aufgetragenen Struktur auf deren jeweiligen
- 25 Außenflächen erzeugt werden. Die Wiederverwendung des ersten Wafers als Schablone für die Aufbringung der Struktur auf die Außenfläche des zweiten Halbleiterwafers führt daher nicht nur zu einem Kostenersparnis im Herstellungsverfahren, sondern ermöglicht ebenso eine schnelle und zeitsparende
- 30 Herstellung.

Gemäß zumindest einer Ausführungsform des Verfahrens ist der erste Wafer ein Halbleiterwafer. Erster und zweiter

Halbleiterwafer sind dann jeweils mit zumindest einem Halbleitermaterial gebildet. Erster und zweiter Halbleiterwafer sind dabei aus voneinander verschiedenen Materialien gebildet.

5

Ferner kann zumindest stellenweise sowohl auf dem ersten als auch auf dem zweiten Halbleiterwafer eine oder mehrere Schichten aus einem Halbleitermaterial epitaktisch abgeschieden sein. Sowohl der erste als auch der zweite

10 Halbleiterwafer können aktive Bereiche zur Emission von elektromagnetischer Strahlung umfassen. Beispielsweise können erster und/oder zweiter Halbleiterwafer eine Vielzahl von Halbleiterchips umfassen, die im Verbund vorliegen.

15 Gemäß zumindest einer Ausführungsform des Verfahrens ist der erste Wafer ein Zwischenträger, der aus einem Kunststoffmaterial gebildet ist. Der Zwischenträger kann nach Art von Platten oder Scheiben ausgebildet sein. Zur Herstellung einer strukturierten Oberfläche des

20 Zwischenträgers wird beispielsweise ein Halbleiterwafer mit einer strukturierten Oberfläche bereitgestellt. Die dem Halbleiterwafer zugewandte Oberfläche des Zwischenträgers wird dann durch Abdrucken der strukturierten Oberfläche des Halbleiterwafers in den Zwischenträger strukturiert.

25

Ist die strukturierte Oberfläche des Halbleiterwafers der Oberfläche des Zwischenträgers zugewandt, so können der Halbleiterwafer und der Zwischenträger derart zusammengeführt und beispielsweise zusammengepresst werden, dass sich die

30 strukturierte Oberfläche des Halbleiterwafers in die Oberfläche des Zwischenträgers zumindest stellenweise abdruckt. Ebenso ist es möglich, dass die strukturierte Oberfläche des Halbleiterwafers vollständig in die Oberfläche

des Zwischenträgers abgedruckt wird. Nach dem Entfernen des Halbleiterwafers von dem Zwischenträger behält dann die strukturierte Oberfläche des Zwischenträgers ihre Oberflächenstruktur bei. Mit anderen Worten ist der Abdruckvorgang ein Prozess, bei dem die Oberfläche des Zwischenträgers dauerhaft strukturiert wird.

Im Strukturierungsverfahren kann nun dieser Zwischenträger als schablonenartige Vorlage dienen und damit einen anderen ersten Wafer, beispielsweise einen kostenintensiven Halbleiterwafer, ersetzen. Der Zwischenträger kann vielfach wiederverwendet werden. Vorzugsweise ist der Zwischenträger mit einem „leicht strukturierbaren“ Material gebildet.

„Leicht strukturierbar“ heißt in diesem Zusammenhang, dass der Zwischenträger vorzugsweise mit einem kunststoffähnlichen und/oder leicht eindruckbaren Material gebildet ist. Vorteilhaft ermöglicht dies eine kostengünstige Massenfertigung.

Gemäß zumindest einer Ausführungsform des Verfahrens weicht der erste Wafer in seinem maximalen Durchmesser um höchstens 20 %, bevorzugt um höchstens 10 %, ganz besonders bevorzugt um höchstens 5 % vom maximalen Durchmesser des zweiten Halbleiterwafers ab. Das heißt, dass die beiden Wafer lateral ungefähr die gleichen oder gleiche Abmessung haben. „Lateral“ bedeutet in diesem Zusammenhang die Abmessung in Bezug auf den maximalen Durchmesser der beiden Halbleiterwafer.

Beispielsweise können die Deckflächen des ersten Wafers und des zweiten Halbleiterwafers oval oder kreisförmig ausgebildet sein. Vorteilhaft wird gewährleistet, dass der erste Wafer und der zweite Halbleiterwafer beim Zusammenführen möglichst deckgleich sind und so Bereiche

sowohl auf dem ersten Wafer als auch auf dem zweiten Halbleiterwafer minimiert werden, die nicht zum Strukturierungsprozess gehören oder beitragen.

- 5 Gemäß zumindest einer Ausführungsform des Verfahrens umfasst der erste Wafer zumindest eine Schicht, die aus einem nitridbasierten Verbindungshalbleitermaterial besteht.
- "Nitridbasiertes Verbindungshalbleitermaterial" bedeutet im vorliegenden Zusammenhang, dass der erste Wafer und/oder die
- 10 beispielsweise im ersten Wafer enthaltene aktive Schicht ein Nitridverbindungshalbleitermaterial, vorzugsweise $\text{Al}_n\text{Ga}_m\text{In}_{1-n-m}\text{N}$ aufweist oder aus diesem besteht, wobei $0 \leq m \leq 1$, $0 \leq n \leq 1$ und $m + n \leq 1$. Dabei muss dieses Material nicht zwingend eine mathematisch exakte Zusammensetzung nach obiger Formel
- 15 aufweisen. Vielmehr kann es beispielsweise ein oder mehrere Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Der Einfachheit halber beinhaltet obige Formel jedoch nur die wesentlichen Bestandteile des Kristallgitters (Al, Ga, In, N), auch wenn diese teilweise durch geringe Mengen weiterer
- 20 Stoffe ersetzt und/oder ergänzt sein können. Beispielsweise ist das Verbindungshalbleitermaterial Aluminium-Gallium-Indium-Nitrid (AlGaInN). Dieses Halbleitermaterial ist insbesondere für Leuchtdioden geeignet, die im ultravioletten bis blauen Spektralbereich elektromagnetische Strahlung
- 25 emittieren.

- Gemäß zumindest einer Ausführungsform des Verfahrens umfasst der zweite Halbleiterwafer zumindest eine Schicht, die aus einem phosphidbasierten Verbindungshalbleitermaterial
- 30 besteht. Äquivalent bedeutet "phosphidbasiertes Verbindungshalbleitermaterial", dass der zweite Halbleiterwafer und/oder die beispielsweise im zweiten Halbleiterwafer enthaltene aktive Schicht, vorzugsweise

$\text{Al}_n\text{Ga}_m\text{In}_{1-n-m}\text{P}$ umfasst, wobei $0 \leq m \leq 1$, $0 \leq n \leq 1$ und $m + n \leq 1$. Dabei muss auch dieses Material nicht zwingend eine mathematisch exakte Zusammensetzung nach obiger Formel aufweisen. Vielmehr kann es ein oder mehrere Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Der Einfachheit halber beinhaltet obige Formel jedoch nur die wesentlichen Bestandteile des Kristallgitters (Al, Ga, In, P), auch wenn diese teilweise durch geringe Mengen weiterer Stoffe ersetzt sein können. Weist der zweite Halbleiterwafer das Verbindungshalbleitermaterial Aluminium-Gallium-Indium-Phosphid (AlGaInP) auf, so wird dieses Verbindungshalbleitermaterial vorteilhaft für Leuchtdioden, die im gelben bis roten Spektralbereich emittieren, verwendet.

Gemäß zumindest einer Ausführungsform des Verfahrens umfasst der zweite Halbleiterwafer zumindest eine Schicht, die aus einem arsenidbasierten Verbindungshalbleitermaterial besteht. Ebenfalls äquivalent bedeutet "arsenidbasiertes Verbindungshalbleitermaterial", dass der zweite Halbleiterwafer und/oder die beispielsweise im zweiten Halbleiterwafer enthaltene aktive Schicht, vorzugsweise $\text{Al}_n\text{Ga}_m\text{In}_{1-n-m}\text{As}$ umfasst, wobei $0 \leq m \leq 1$, $0 \leq n \leq 1$ und $m + n \leq 1$. Auch dieses Material muss nicht zwingend eine mathematisch exakte Zusammensetzung nach obiger Formel aufweisen und kann ein oder mehrere Dotierstoffe sowie zusätzliche Bestandteile aufweisen, die die charakteristischen physikalischen Eigenschaften des $\text{Al}_n\text{Ga}_m\text{In}_{1-n-m}\text{As}$ -Materials im Wesentlichen nicht ändern. Der Einfachheit halber beinhaltet obige Formel jedoch nur die wesentlichen Bestandteile des Kristallgitters (Al, Ga, In, As), auch wenn diese teilweise durch geringe Mengen weiterer Stoffe ersetzt sein können. Weist der zweite Halbleiterwafer

das Verbindungshalbleitermaterial Aluminium-Gallium-Arsenid (AlGaAs) auf, so eignet sich dieses Verbindungshalbleitermaterial besonders zur Erzeugung von infraroter Strahlung.

5

Verbindungshalbleitermaterialien, wie Phosphid-Verbindungshalbleiter und Arsenid-Verbindungshalbleiter, sind zur Ausbildung einer Halbleiterschichtenfolge für effiziente Halbleiterchips, insbesondere von aktiven Bereichen/Schichten hoher Quanteneffizienz, besonders geeignet.

10

Gemäß zumindest einer Ausführungsform des Verfahrens handelt es sich bei dem Strukturierungsverfahren um einen trockenchemischen Ätzprozess. In Betracht kommen

15

beispielsweise Verfahren wie reaktives Ionenätzen (RIE = Reactive Ion Etching), Ionenstrahlätzen (IBE = Ion Beam Etching) sowie chemisch unterstütztes Ionenstrahlätzen (CAIBE = Chemical Assistant Ion Beam Etching) und so weiter.

Beispielsweise kommt es auch in Betracht, als

20

Trockenätzverfahren ein Verfahren unter Verwendung eines Hochdichteplasmas, wie zum Beispiel ein induktiv gekoppeltes Plasmaätzverfahren (ICP = Inductive Coupled Plasma), ECR-Plasma (ECR = Electron Cyclotron Resonance) oder ein Helikonplasma zu verwenden. Trockenätzverfahren haben bei dem vorliegenden Verfahren den Vorteil, eine Vorzugsrichtung beim Ätzen (Anisotropie) aufzuweisen. Aufgrund der Anisotropie können gute Aspektverhältnisse, das heißt sehr steile Strukturen in dem zu ätzenden Körper erzeugt werden.

25

30

Gemäß zumindest einer Ausführungsform des Verfahrens handelt es sich bei dem Strukturierungsverfahren um einen nass-chemischen Ätzprozess. „Nass-chemisch“ bedeutet in diesem Zusammenhang, dass ätzende Flüssigkeiten auf die

strukturierte Oberfläche des Fotolacks aufgebracht werden und der Fotolack über eine chemische Reaktion wegätzt wird.

Gelangt die ätzende Flüssigkeit auf die Außenfläche des zweiten Halbleiterwafers, so entstehen auch in diesem zweiten Halbleiterwafer eingeätzte Strukturen, die je nach Wahl der zu ätzenden Flüssigkeit und je nach Konzentration der ätzenden Bestandteile in der Ätzflüssigkeit eingestellt und gestaltet werden können.

10 Gemäß zumindest einer Ausführungsform des Verfahrens ist die auf die Außenfläche des zweiten Halbleiterwafers abgebildete Struktur pyramidenartig ausgebildet. Das heißt, dass die Außenfläche des zweiten Halbleiterwafers eine Struktur aufweist, die durch eine Vielzahl pyramidenartiger Erhebungen
15 gebildet sein kann. Jede pyramidenartige Erhebung ist ein Polyeder und wird durch eine Mantel-, eine Boden- und eine Deckfläche begrenzt. Die Mantelfläche weist zumindest drei Seitenflächen auf, die zusammenlaufen und die Deckfläche seitlich begrenzen. Die Bodenfläche ist durch die
20 Seitenflächen der pyramidenartigen Erhebung seitlich begrenzt. Die Seitenflächen der pyramidenartigen Erhebung enden in den zweiten Halbleiterwafer und bilden dort die Bodenfläche aus. Boden- und Deckfläche der pyramidenartigen Erhebung stehen sich also gegenüber und sind über die
25 Seitenflächen miteinander verbunden. In einem seitlichen Schnitt durch eine solche pyramidenartige Erhebung weist die pyramidenartige Erhebung zumindest zwei Seitenflächen, eine Deck- und eine Bodenfläche auf. Vorzugsweise sind Deck- und Bodenfläche hexagonal ausgebildet. Vorzugsweise ist das
30 Verhältnis des Flächeninhalts von Deck- zu Bodenfläche $1/5$ oder kleiner.

Um aufrauende Strukturen bei Halbleiterwafern herzustellen, bediente man sich bisher insbesondere in Bezug auf phosphid- und arsenidbasierte Verbindungshalbleitermaterialien eines trockenchemischen Aufrauprozesses. Dabei können trapezartige Aufraustrukturen entstehen. „Trapezartig“ heißt in diesem Zusammenhang, dass beispielsweise, in einem seitlichen Schnitt durch eine solche Aufraustruktur, die Aufraustruktur eine Vielzahl von trapezartigen Erhebungen aufweist. Jede trapezartige Erhebung ist durch zumindest zwei Seitenflächen, einer Deckfläche und einer Bodenfläche gebildet, wobei das Flächengrößenverhältnis von Deck- zu Bodenfläche zumindest ein 4-faches des Flächengrößenverhältnisses von Deck- zu Bodenfläche einer pyramidenartigen Erhebung beträgt.

Für nitridbasierte Verbindungshalbleitermaterialien kann man sich eines anisotropen chemischen Ätzverfahrens bedienen, beispielsweise eines trockenchemischen Ätzprozesses, welches zu pyramidenartigen Strukturen führt.

Die pyramidenartigen Strukturen können bisher bei phosphid- und arsenidbasierten Verbindungshalbleitermaterialien nicht erreicht werden.

Es kann gezeigt werden, dass eine pyramidenartig ausgebildete Strahlungsauskopplfläche eines Halbleiterchips eine erhöhte Auskoppeleffizienz im Vergleich zu einer trapezartig ausgebildeten Struktur der Strahlungsauskopplfläche aufweist. Die Strahlungsauskopplfläche eines Halbleiterchips bildet die Oberfläche, durch die die vom Halbleiterchip erzeugte elektromagnetische Strahlung ausgekoppelt wird. „Auskoppeleffizienz“ ist das Verhältnis von tatsächlich aus dem Halbleiterchip ausgekoppelter Leuchtenergie zu der primär innerhalb des Halbleiterchips erzeugten Leuchtenergie.

Vorteilhaft bietet das hier beanspruchte Verfahren die Möglichkeit, auch in Oberflächen von phosphid- und arsenidbasierten Verbindungshalbleitermaterialien pyramidenartige Strukturen auszubilden.

5

Gemäß zumindest einer Ausführungsform des Verfahrens gilt für die pyramidenartige Struktur ein Verhältnis von Ätztiefe t zu Breite b die Beziehung $0,1 < t/b < 10$. Die Ätztiefe t ist beispielsweise die Strecke entlang einer Oberflächennormalen des zweiten Halbleiterwafers, von der Deckfläche der pyramidenartigen Erhebung bis zu ihrer Bodenfläche. Die Ätztiefe t entspricht daher gleichzeitig der Höhe der pyramidenartigen Erhebung. Betrachtet man eine pyramidenartige Erhebung in einer Seitenansicht, so ist
10
beispielsweise die Breite b als die Kantenlänge der Bodenfläche einer pyramidenartigen Erhebung festgelegt.
15

Das Verhältnis t/b wird vorzugsweise wie folgt gewählt: $0,25 < t/b < 5$, ganz besonders bevorzugt $0,5 < t/b < 2$.

20

Ein solches Tiefen- zu Breitenverhältnis ist besonders vorteilhaft, um die Streuung an einer pyramidenartig ausgebildeten Strahlungsausstrahlungsfläche, beispielsweise eine Strahlungsausstrahlungsfläche eines Halbleiterchips, zu
25
verbessern. Das genannte Ätztiefen- zu Breitenverhältnis kann durch geeignete Wahl des Ätzprozesses sowie beispielsweise durch Beschaffenheit und Dicke des Fotolacks individuell eingestellt werden.

30 Eine Selektivität des Ätzprozesses, bezüglich der Materialien des Fotolacks und des zweiten Halbleiterwafers, wird bevorzugt zu 1:1 eingestellt, so dass die

Oberflächenstrukturierung des Fotolacks in die Außenfläche des zweiten Halbleiterwafers übertragen wird.

Gemäß zumindest einer Ausführungsform des Verfahrens beträgt
5 die Ätztiefe t im zweiten Halbleiterwafer 50 nm bis 2 μm . Es kann gezeigt werden, dass eine derartige Ätztiefe der pyramidenartigen Strukturen die genannten Effekte weiter verstärkt. Die Ätztiefe t kann beispielsweise dadurch erreicht werden, dass ein Ätzprozess mit einer geeigneten
10 Selektivität zwischen dem Fotolack und dem zweiten Halbleiterwafer verwendet wird. Vorzugsweise handelt sich bei der Selektivität um einen Wert von 1:1. Darüber hinaus muss auch die Ätzdauer geeignet gewählt werden, um die gewünschte Ätztiefe zu erreichen. Vorzugsweise wird bei dem hier
15 beschriebenen Verfahren die Fotolackschicht in einer Dicke zwischen 1 und 10 μm aufgebracht. Eine bestimmte Maximaldicke des Fotolacks sollte nicht überschritten werden, um die für das Durchätzen der Fotolackschicht erforderliche Zeitdauer in Grenzen zu halten.

20 Es wird darüber hinaus noch ein Halbleiterchip angegeben, mit einem Halbleiterkörper, der auf phosphid- oder arsenidbasierten Verbindungshalbleitermaterialien basiert.

25 Der Halbleiterkörper weist eine epitaktisch gewachsene Halbleiterschichtenfolge mit zumindest einer zur Erzeugung elektromagnetischer Strahlung aktiven Zone auf.

Gemäß zumindest einer Ausführungsform des Halbleiterchips
30 wird die im Halbleiterkörper erzeugte elektromagnetische Strahlung aus dem Halbleiterchip durch eine Strahlungsaustrittsfläche ausgekoppelt, wobei die Strahlungsaustrittsfläche pyramidenartig strukturiert ist.

Die Strahlungsausstrittsfläche des Halbleiterchips verläuft beispielsweise parallel zur epitaktisch gewachsenen Halbleiterschichtenfolge des Halbleiterkörpers. Die Strahlungsausstrittsfläche ist dabei die dem Halbleiterkörper abgewandte Oberfläche des Halbleiterchips, durch die die vom Halbleiterkörper erzeugte elektromagnetische Strahlung austritt. Ferner ist die Strahlungsausstrittsfläche pyramidenförmig strukturiert. Das heißt, dass die Strahlungsausstrittsfläche eine Vielzahl von pyramidenartig ausgebildeten Erhebungen aufweist. Es kann gezeigt werden, dass solche pyramidenartigen Erhebungen der Strahlungsausstrittsfläche eines Halbleiterchips die Auskoppelleffizienz der elektromagnetischen Strahlung aus einem Halbleiterchip im Vergleich zu beispielsweise trapezartigen Strukturen erhöhen.

Gemäß zumindest einer Ausführungsform des Halbleiterchips kann ein solcher Halbleiterchip mit dem hier beanspruchten Verfahren hergestellt werden. Das heißt, die in Verbindung mit dem Verfahren beschriebenen Merkmale sind auch in Verbindung mit dem Halbleiterchip offenbart.

Im Folgenden werden das hier beschriebene Verfahren sowie ein Halbleiterchip anhand von Ausführungsbeispielen und den dazugehörigen Figuren näher erläutert.

Die Figur 1A zeigt in einer schematischen Schnittdarstellung einen Halbleiterwafer mit einer trapezartig ausgebildeten Außenfläche.

30

Die Figur 1B zeigt in einer schematischen Schnittdarstellung einen Halbleiterwafer mit einer pyramidenartig ausgebildeten Außenfläche eines Halbleiterwafers.

Die Figuren 2 und 3 zeigen einzelne Fertigungsschritte zur Herstellung eines Ausführungsbeispiels durch ein hier beschriebenes Verfahren.

5

Die Figur 4 zeigt in einer schematischen Schnittdarstellung einen Verbund aus einer Vielzahl von Halbleiterchips.

10 Die Figur 5 zeigt einzelne Verfahrensschritte zur Strukturierung eines Zwischenträgers.

In dem Ausführungsbeispiel und den Figuren sind gleiche oder gleich wirkende Bestandteile jeweils mit den gleichen

15 Bezugszeichen versehen. Die dargestellten Elemente sind nicht als maßstabsgerecht anzusehen, vielmehr können einzelne Elemente zum besseren Verständnis übertrieben groß dargestellt sein.

20 In der Figur 1A ist anhand einer schematischen Schnittdarstellung ein Halbleiterwafer 4 gezeigt, der eine trapezartig strukturierte Oberfläche 41 aufweist. Der Halbleiterwafer 4 besteht vorliegend aus phosphid- und/oder arsenidbasierten Verbindungshalbleitermaterialien. Die

25 Oberfläche 41 ist durch eine Vielzahl trapezartiger Erhebungen 411 gebildet. Jede trapezartige Erhebung 411 ist durch jeweils zwei Seitenflächen 401, einer Deckfläche 402 und einer Bodenfläche 403 gebildet. Das Flächenverhältnis der Deckfläche 402 zu der Bodenfläche 403 beträgt zum Beispiel

30 4/5.

Der in Figur 1B gezeigte Wafer 1 ist ein Halbleiterwafer 10 und basiert auf einem nitridbasierten

Verbindungshalbleitermaterial. Eine Oberfläche 11 des Wafers 1 weist eine pyramidenartige Struktur auf. Das heißt, dass die Oberfläche 11 des Wafers 1 aus einer Vielzahl von pyramidenartigen Erhebungen 111 gebildet ist. Im vorliegenden Ausführungsbeispiel löst entlang der Oberfläche 11 des Wafers 1 eine pyramidenartige Erhebung 1111 der Tiefe t_1 und der Breite b_1 jeweils eine pyramidenartige Erhebung 1112 der Tiefe t_2 und Breite b_2 ab, sodass die Oberfläche 11 mit periodisch wiederkehrenden pyramidenartigen Erhebungen 1111 und 1112 gebildet ist. Jede pyramidenartige Erhebung 1111 und 1112 weist ein Tiefen- zu Breitenverhältnis von $t/b=2$ auf. Vorzugsweise beträgt die Ätztiefe der pyramidenartigen Strukturen 111 50 nm bis 2000 nm, bevorzugt 75 nm bis 1500, vorliegend 100 nm bis 1000 nm.

In einer seitlichen Schnittdarstellung einer pyramidenartigen Erhebung 111 ist jede pyramidenartige Erhebung 111 durch jeweils zwei Seitenflächen 101, einer Deckfläche 102 und einer Bodenfläche 103 gebildet. In der Figur 1B ist die Deckfläche derart klein bemessen, dass sie in der Figur 1B als ein Punkt in Form einer Spitze dargestellt ist. Das Flächenverhältnis der Deckfläche 102 zu der Bodenfläche 103 beträgt $1/5$. Vorliegend ist das Flächenverhältnis von Deck- zu Bodenfläche einer trapezartigen Erhebung um den Faktor 4 größer als das einer pyramidenartigen Erhebung.

Es kann gezeigt werden, dass solche pyramidenartigen Erhebungen 111, welche beispielsweise eine Strahlungsausstrittsfläche eines Halbleiterchips bilden, die Auskoppelleffizienz insbesondere im Vergleich zu den in Figur 1A gezeigten trapezförmigen Strukturen 411 erhöhen.

Allerdings konnten bisher solche pyramidenartig ausgebildeten Oberflächen nur bei nitridbasierten Verbindungshalbleitermaterialien erzeugt werden.

- 5 Die Figuren 2 und 3 zeigen einzelne Fertigungsschritte zur Herstellung einer pyramidenartig strukturierten Außenfläche 31 eines Halbleiterwafers 3, welcher aus phosphid- und/oder arsenidbasierten Verbindungshalbleitermaterialien besteht.
- 10 Zunächst wird der Wafer 1 bereitgestellt. Auf den Halbleiterwafer 3 ist eine Fotolackschicht 2 aufgebracht. Die Fotolackschicht 2 weist eine Dicke DF von 1 μm auf. Sowohl der Wafer 1 als auch der Halbleiterwafer 3 sind nach Art von Scheiben ausgebildet, die in einer Draufsicht jeweils eine
- 15 kreisförmige Fläche bilden und dabei einen Durchmesser D aufweisen.

- In einem nächsten Verfahrensschritt wird die pyramidenartig ausgebildete Oberfläche 11 des Wafers 1 in den Fotolack 2
- 20 derart beispielsweise aufgedruckt, dass die pyramidenartig ausgebildete Oberfläche 11 des ersten Wafers 1 in die dem zweiten Halbleiterwafer 3 abgewandte Oberfläche des Fotolacks 2 vollständig abgedruckt ist. Auf der dem zweiten Halbleiterwafer 3 abgewandten Oberfläche des Fotolacks 2 wird
- 25 also die Negativform der strukturierten Oberfläche 11 des ersten Wafers 1 aufgebracht. Nach dem Abdrucken der Struktur wird der Wafer 1 vom Fotolack 2 entfernt und es verbleibt eine pyramidenartig ausgebildete Oberfläche 21 mit pyramidenartigen Erhebungen 211. Die Oberfläche 21 ist also
- 30 die Negativform der Oberfläche 11 und weist damit die gleichen geometrischen Merkmale einer pyramidenartigen Erhebung in Bezug auf Breite b und Tiefe t wie die Oberfläche 11 auf.

Die strukturierte Oberfläche 11 des ersten Wafers 1 dient also als Schablone für die in die Oberfläche des Fotolacks 2 abgedruckte pyramidenartige Struktur 21.

- 5 Vorteilhaft kann der Wafer 1 zur Strukturierung weiterer Fotolackschichten vielfach wiederverwendet werden, was nicht nur zu einer erheblichen Zeitersparnis im Fertigungsprozess führt, sondern sich auch auf den ganzen Herstellungsprozess Kosten sparend auswirkt.

10

- Die Figur 3 zeigt die Anwendung eines Strukturierungsverfahrens 6 auf die pyramidenförmig strukturierte Außenfläche 21 des Fotolacks 2. Vorliegend handelt es sich bei dem Strukturierungsverfahren 6 um einen trockenchemischen Ätzprozess 61. Beispielsweise kann es sich dabei um reaktives Ionenätzen (RIE = Reactive Ion Etching) oder Ionenstrahlätzen (IBE = Ion Beam Etching) handeln. Vorzugsweise handelt es sich bei dem trockenchemischen Ätzprozess 61 um einen Plasmaätzprozess.

20

- An Stellen des zweiten Halbleiterwafers 3, an denen der Fotolack 2 sehr dünn ist, wird der Fotolack 2 schnell weggeätzt. Bereits nach kurzer Ätzdauer ist an den dünn beschichteten Stellen der Fotolack 2 abgetragen, während an anderen, dicker mit Fotolack 2 beschichteten Stellen des zweiten Halbleiterwafers 3 noch Reste des Fotolacks 2 vorhanden sind. An Stellen jedoch, an denen der Fotolack 2 dicker ist, wird eine sehr geringe Äztiefe in den zweiten Halbleiterwafer 3 erreicht. Das heißt, dass nach einer bestimmten Ätzdauer an den dünn mit Fotolack 2 beschichteten Stellen bereits in den zweiten Halbleiterwafer 3 eingeeätzt wird, während an den dicker beschichteten Stellen zumindest stellenweise noch der Fotolack 2 weggeätzt wird.

30

Ist nun eine gewünschte und vorgebbare Struktur einer Außenfläche 31 des zweiten Halbleiterwafers 3 erreicht, so kann der Ätzprozess gestoppt werden. Weiter kann der Ätzprozess durch eine vorgebbare Selektivität bezüglich der Materialien des Fotolacks 2 und des zweiten Halbleiterwafers 3 eingestellt werden. Vorliegend wurde in Bezug auf das Ätzverfahren eine Selektivität von 1:1 gewählt. Das heißt, dass das Ätzverfahren, beispielsweise im Hinblick auf seine Ätzrate, die gleiche Ätzrate sowohl beim Ätzen des Fotolacks 2 als auch beim Ätzen des Halbleiterwafers 3 aufweist. Dies kann zu einer identischen Abbildung der pyramidenartigen Erhebungen 211 der pyramidenartig strukturierten Fotolackschicht 21 auf die Oberfläche des zweiten Halbleiterwafers 3 führen.

Die Figur 3 zeigt den Halbleiterwafer 3 mit der pyramidenartig strukturierten Außenfläche 31. In einer Seitenansicht des Halbleiterwafers 3 weist jede pyramidenartige Erhebung 311 zwei Seitenflächen 301, eine Bodenfläche 302 sowie eine Deckfläche 303 auf. Da eine Selektivität von 1:1 des Ätzprozesses gewählt ist, ist es möglich, die pyramidenförmig strukturierte Außenfläche 31 des zweiten Halbleiterwafers 3 mit den gleichen geometrischen Merkmalen im Hinblick auf Ätztiefen (t_1 und t_2) und Breiten (b_1 und b_2) wie die pyramidenartig strukturierte Oberfläche 11 des ersten Halbleiterwafers 1 auszubilden.

Es resultieren pyramidenförmige Strukturen 311, deren Breite b_1 beziehungsweise b_2 zur Ätztiefe t_1 beziehungsweise t_2 in vorliegendem Ausführungsbeispiel die folgende Beziehung erfüllen: $t/b = 2$.

Die pyramidenartig strukturierte Außenfläche 31 des zweiten Halbleiterwafers 3 ist daher die Negativform der strukturierten Oberfläche 11 des ersten Halbleiterwafers 1.

5 Die Figur 4 zeigt in einer schematischen Schnittdarstellung einen Verbund aus einer Vielzahl von Halbleiterchips 5. Jeder Halbleiterchip 5 weist eine pyramidenartig strukturierte Strahlungsaustrittsfläche 51 auf, die in diesem Ausführungsbeispiel in Bezug auf ihre geometrischen Merkmale
10 wie die strukturierte Außenfläche 31 der Figur 3 ausgebildet ist.

Ferner weist der Halbleiterchip 5 einen Halbleiterkörper 52 zur Erzeugung elektromagnetischer Strahlung auf. Der
15 Halbleiterkörper 52 basiert auf phosphid- oder arsenidbasierten Verbindungshalbleitermaterialien.

Der Halbleiterkörper 52 ist mit einer ersten Halbleiterschicht oder Halbleiterschichtenfolgen 522 und
20 einer zweiten Halbleiterschicht oder Halbleiterschichtenfolge 520 gebildet, wobei zwischen den beiden Halbleiterschichten 520 und 522 eine aktive Zone 521 zur Erzeugung elektromagnetischer Strahlung angeordnet ist. Die Halbleiterschichten oder Halbleiterschichtenfolgen 520 und
25 522 können als Kontaktschichten für den Halbleiterchip 5 dienen.

Die vom Halbleiterkörper 52 erzeugte elektromagnetische Strahlung wird über die pyramidenartig ausgebildete
30 Strahlungsaustrittsfläche 51 aus dem Halbleiterchip 5 ausgekoppelt. Es kann gezeigt werden, dass eine solche pyramidenartig ausgeformte Strahlungsaustrittsfläche 51 die Auskoppelleffizienz im Vergleich, beispielsweise zu einer

trapezartig ausgeformten Auskoppelschicht, um 5 bis 20 % erhöht.

Ferner zeigt die Figur 5 einzelne Verfahrensschritte zur
5 Strukturierung eines Zwischenträgers 12a. Der Zwischenträger 12a ersetzt dann den Wafer 1 als Schablone im Strukturierungsverfahren. Das heißt, die in Verbindung mit den Figuren 1 bis 4 beschriebenen Verfahren können statt mit einem als Halbleiterwafer 1 gestalteten Wafer 1 auch mit dem
10 Zwischenträger 12a als Wafer 1 ausgeführt werden.

Dazu wird die pyramidenartig strukturierte Oberfläche 11a eines Halbleiterwafers 1a in die dem Halbleiterwafer 1a zugewandte Oberfläche des Zwischenträgers 12a abgedruckt und
15 so die pyramidenförmige Oberfläche 120a erzeugt.

Vorteilhaft bietet dies die Möglichkeit, einen zumeist kostenintensiven Halbleiterwafer durch den für gewöhnlich kostengünstigeren Zwischenträger 12a zu ersetzen, der
20 vorteilhaft auch für eine Vielzahl weiterer Strukturierungsverfahren benutzt werden kann. Zur Produktion beispielsweise einer Vielzahl von strukturierten Halbleiteroberflächen werden daher erheblich weniger kostenintensive Halbleiterwafer benötigt, was zu einer
25 deutlichen Kostenersparnis führt.

Die Erfindung ist nicht durch die Beschreibung anhand des Ausführungsbeispiels beschränkt. Vielmehr erfasst die Erfindung jedes neue Merkmal sowie die Kombination von
30 Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder dem Ausführungsbeispiel angegeben ist.

Patentansprüche

1. Verfahren zur Strukturierung einer Halbleiteroberfläche mit den folgenden Schritten:
 - 5 - Bereitstellen eines ersten Wafers (1), welcher eine strukturierte Oberfläche (11) aufweist;
 - Bereitstellen eines zweiten Halbleiterwafers (3);
 - Aufbringen eines Fotolacks (2) auf die Außenflächen des zweiten Halbleiterwafers (3);
 - 10 - Strukturieren der dem zweiten Halbleiterwafer (3) abgewandten Oberfläche des Fotolacks (2) durch Abdrucken der strukturierten Oberfläche (11) des ersten Wafers (1) in den Fotolack (2);
 - Anwendung eines Strukturierungsverfahrens (6) auf die
 - 15 strukturierte Oberfläche (21) des Fotolacks (2), wobei
 - die auf dem Fotolack (2) aufgebrachte Struktur zumindest stellenweise auf die Außenfläche (31) des zweiten Halbleiterwafers (3) übertragen wird.
- 20 2. Verfahren nach Anspruch 1, wobei der erste Wafer (1) ein Halbleiterwafer (10) ist.
3. Verfahren nach Anspruch 1, wobei der erste Wafer (1) ein Zwischenträger (12a) ist,
- 25 der aus einem Kunststoffmaterial gebildet ist.
4. Verfahren nach einem der vorhergehenden Ansprüche, wobei der erste Wafer (1) in seinem maximalen Durchmesser um höchstens 20 % vom maximalen Durchmesser
- 30 des zweiten Halbleiterwafers (3) abweicht.

5. Verfahren nach Anspruch 1, 2 oder 4,
wobei der erste Wafer (1) zumindest eine Schicht
umfasst, die aus einem nitridbasierten
Verbindungshalbleitermaterial besteht.
- 5
6. Verfahren nach den Ansprüchen 1 bis 5,
wobei der zweite Halbleiterwafer (3) zumindest eine
Schicht umfasst, die aus einem phosphidbasierten
Verbindungshalbleitermaterial besteht.
- 10
7. Verfahren nach den Ansprüchen 1 bis 5,
wobei der zweite Halbleiterwafer (3) zumindest eine
Schicht umfasst, die aus einem arsenidbasierten
Verbindungshalbleitermaterial besteht.
- 15
8. Verfahren nach einem der vorhergehenden Ansprüche,
wobei es sich bei dem Strukturierungsverfahren (6) um
einen trockenchemischen Ätzprozess (61) handelt.
- 20
9. Verfahren nach einem der vorhergehenden Ansprüche,
wobei es sich bei dem Strukturierungsverfahren (6) um
einen nasschemischen Ätzprozess handelt.
- 25
10. Verfahren nach einem der vorhergehenden Ansprüche,
wobei die auf die Außenfläche (31) des zweiten
Halbleiterwafers (3) abgebildete Struktur pyramidenartig
ausgebildet ist.
- 30
11. Verfahren nach Anspruch 10,
wobei für die pyramidenartigen Strukturen (311) ein
Verhältnis von Ätztiefe (t) zu Breite (b) gilt: $0,1 < t/b < 10$.

12. Verfahren nach Anspruch 11,
wobei die Ätztiefe (t) in dem zweiten Halbleiterwafer
(3) 50 bis 200 nm beträgt.
- 5 13. Halbleiterchip (5), mit
- einem Halbleiterkörper (52), der auf phosphid- oder arsenidbasierten Verbindungshalbleitermaterialien basiert;
 - einer Strahlungsausstrittsfläche (51), durch die die im
- 10 Halbleiterkörper (52) erzeugte elektromagnetische Strahlung aus dem Halbleiterchip (5) ausgekoppelt wird, wobei die Strahlungsausstrittsfläche (51) pyramidenförmig strukturiert ist.
- 15 14. Halbleiterchip (5) gemäß Anspruch 13,
der mit einem Verfahren gemäß den Ansprüchen 1 bis 11 hergestellt wird.

FIG 1A

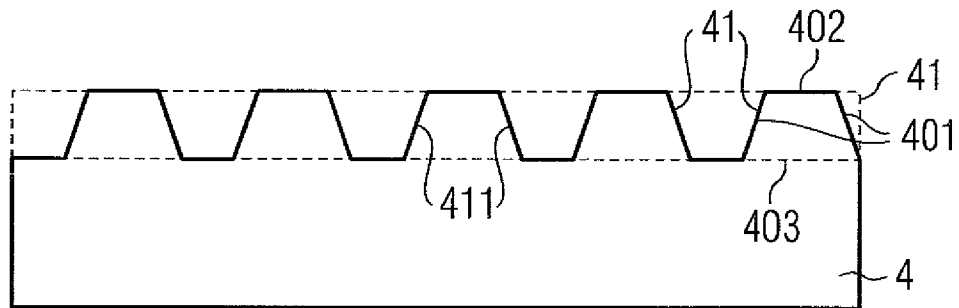


FIG 1B

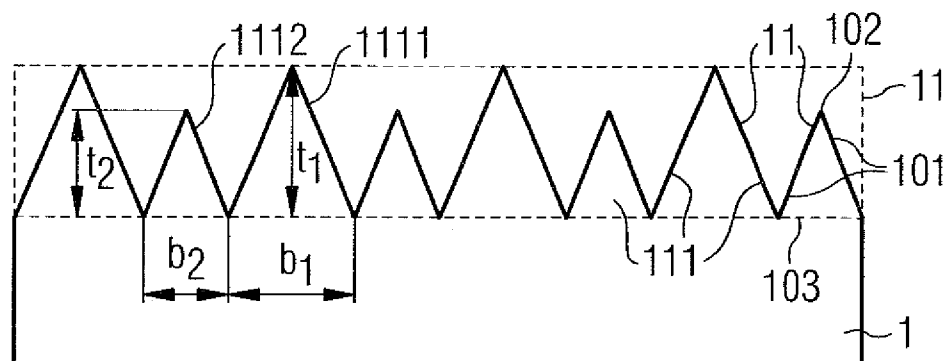


FIG 2

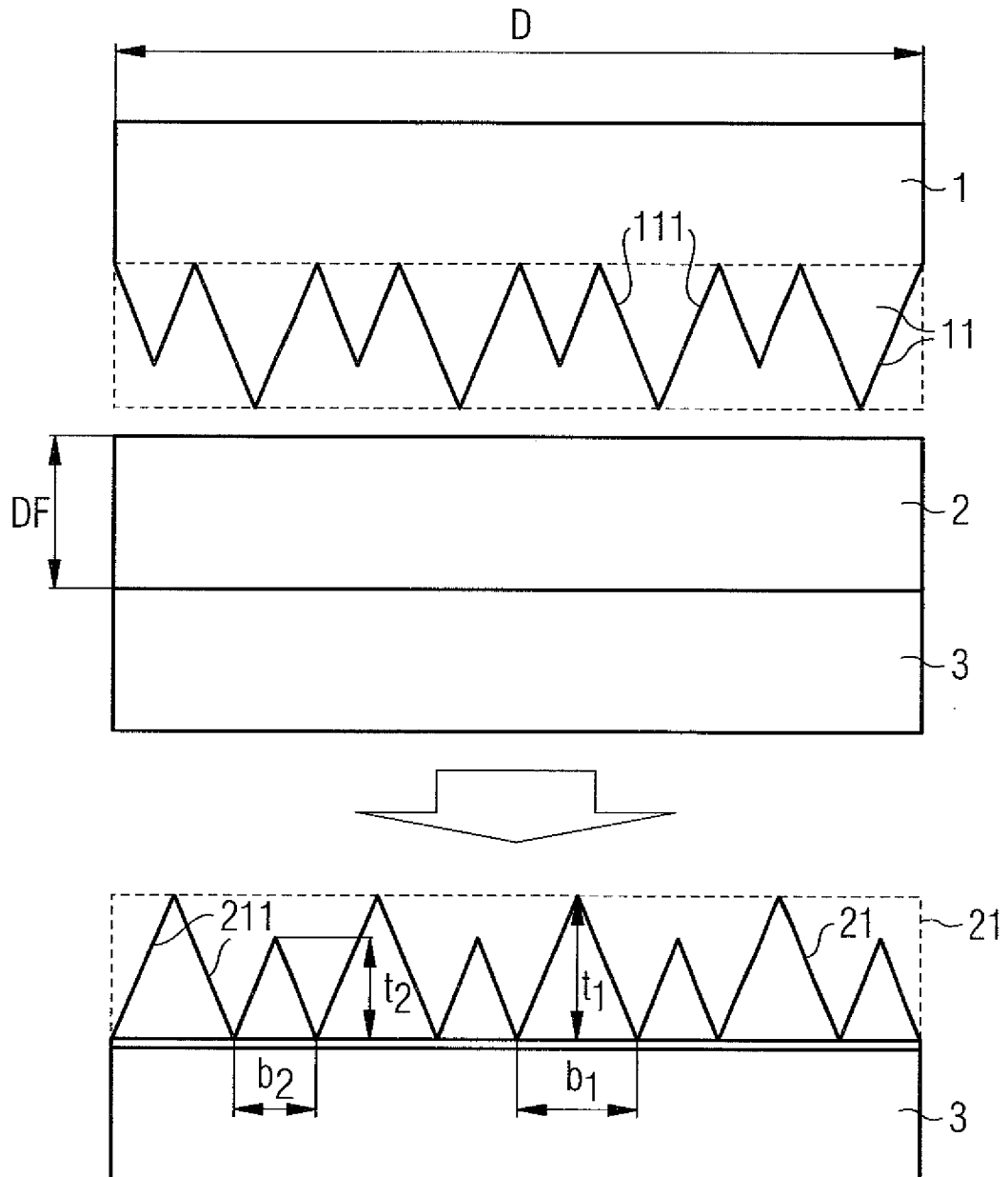


FIG 3

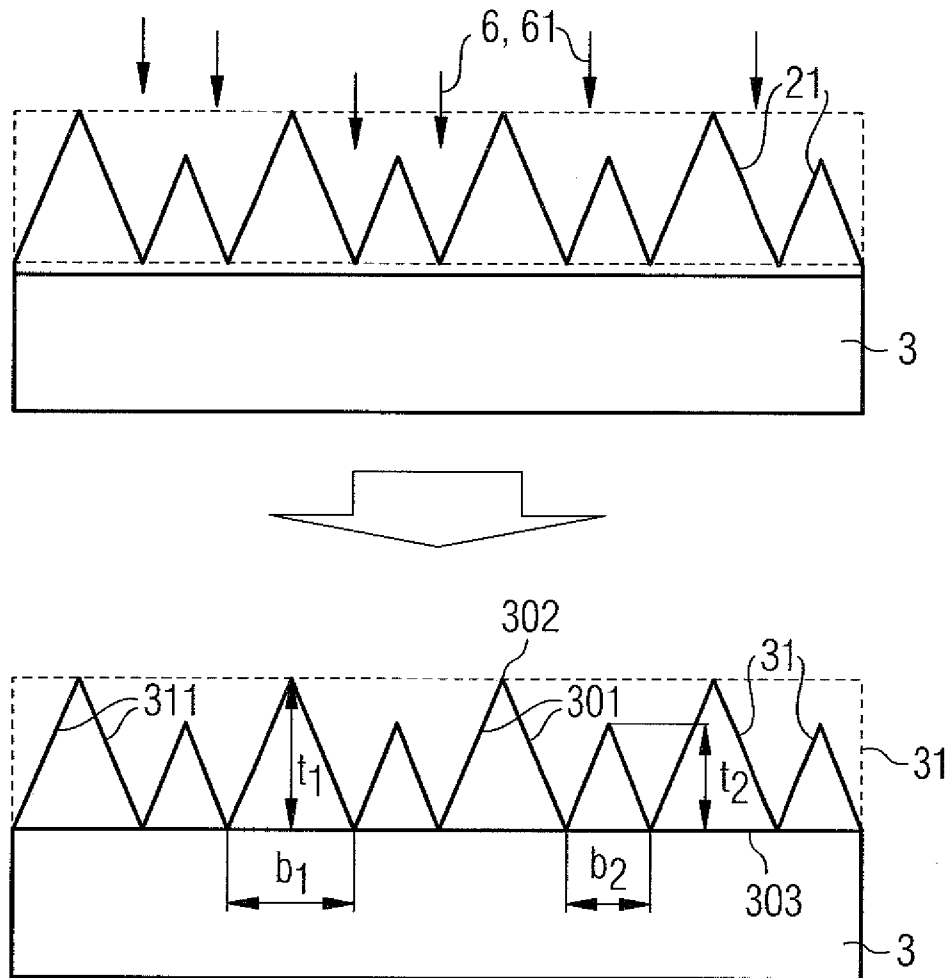


FIG 4

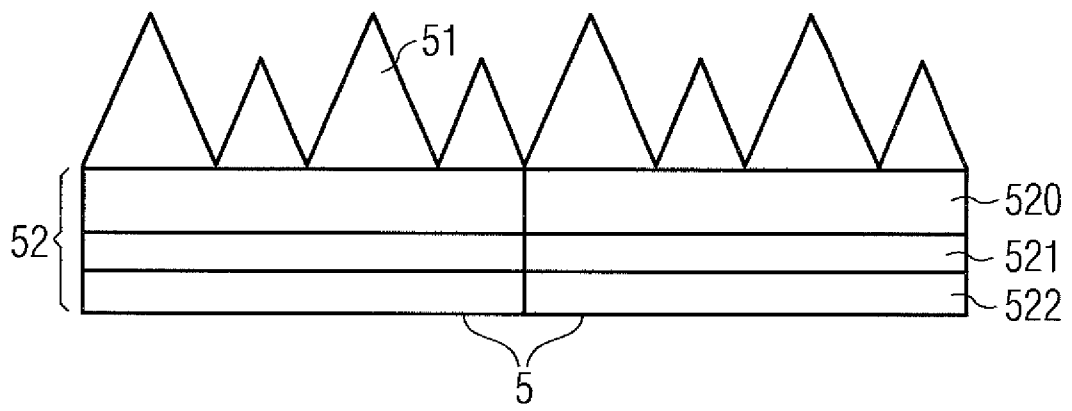
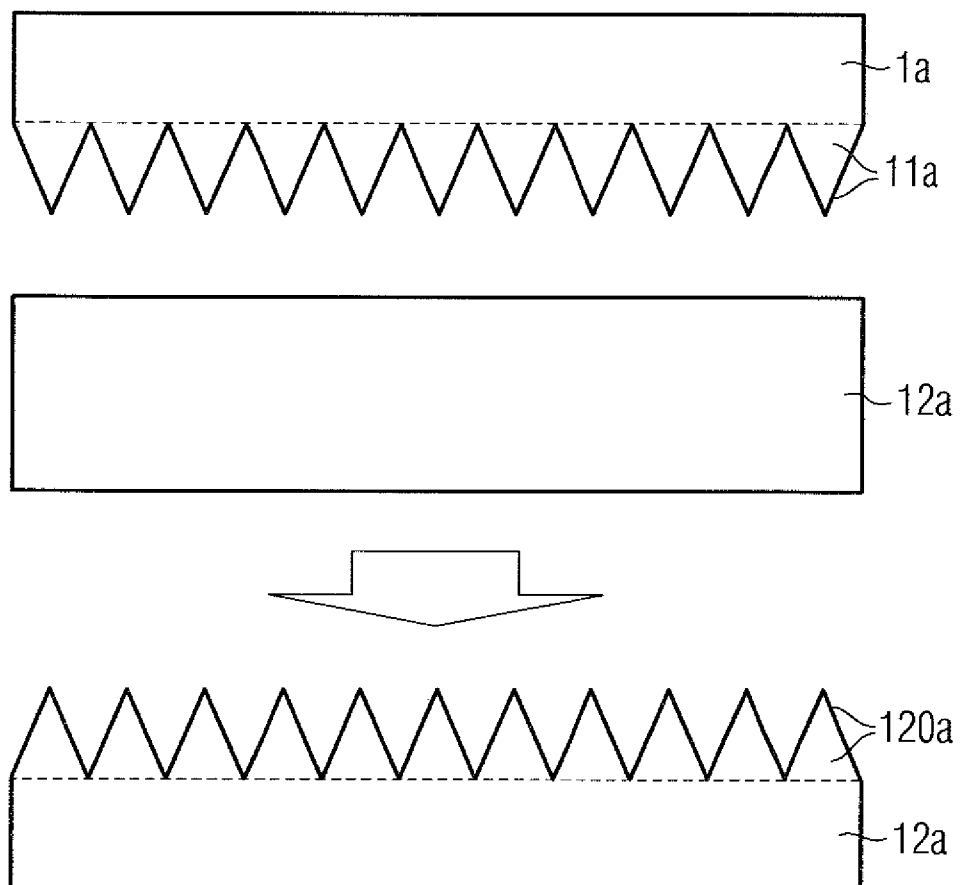


FIG 5



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2010/050742

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/00 H01L33/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC, COMPENDEX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2005/048361 A2 (MATSUSHITA ELECTRIC WORKS LTD [JP]; FUKUSHIMA HIROSHI [JP]; KUBO MASAO) 26 May 2005 (2005-05-26) page 11, paragraph 2 - page 36, paragraph 4 figures 2, 4-6, 8, 10-14	1,2,4, 6-12
X	JP 2006 041415 A (MATSUSHITA ELECTRIC WORKS LTD) 9 February 2006 (2006-02-09) abstract figures 1, 6, 7, and the corresponding description; ----- -/--	1,2,4,8, 9,11,12

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

5 Mai 2010

Date of mailing of the international search report

23/07/2010

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Sauerer, Christof

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2010/050742

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 10 2007 004302 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 3 April 2008 (2008-04-03) page 2/20, paragraph 3 - page 13/20, paragraph 134 figures 4, 5, 8 -----	1,5-10
X	US 2007/045640 A1 (ERCHAK ALEXEI A [US] ET AL) 1 March 2007 (2007-03-01) figures 51-56, 77-80, 85-88 page 21, paragraph 322 - page 25, paragraph 349 -----	1,8,9
X	DE 10 2006 024423 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 16 August 2007 (2007-08-16) page 2/12, paragraph 1 - page 6/12, paragraph 45 figure 2 -----	1,3
X	CHEN T P ET AL: "Recent developments in high brightness LEDs" PROCEEDINGS OF THE SPIE - THE INTERNATIONAL SOCIETY FOR OPTICAL ENGINEERING SPIE - THE INTERNATIONAL SOCIETY FOR OPTICAL ENGINEERING, vol. 6910, 7 February 2008 (2008-02-07), pages 691005-1-691005-10, XP002581106 USA ISSN: 0277-786X the whole document -----	1,6
X	KR 2007 0084768 A (LG ELECTRONICS INC [KR]) 27 August 2007 (2007-08-27) the whole document -----	1

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2010/050742

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see Supplemental sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-12

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

The International Searching Authority has found that the international application contains multiple (groups of) inventions, as follows:

1. Claims 1-12

Method for structuring a semiconductor surface, comprising the following steps:

- providing a first wafer that has a structured surface;
- providing a second semiconductor wafer;
- applying a photoresist to the outer surfaces of the second semiconductor wafer;
- structuring the surface of the photoresist facing away from the second semiconductor wafer by impressing the structured surface of the first wafer into the photoresist;
- using a structuring process on the structured surface of the photoresist, wherein
- the structure applied to the photoresist is transferred to at least some points on the outer surface of the second semiconductor wafer.

2. Claims 13, 14

Semiconductor chip, comprising

- a semiconductor body on the basis of phosphide- or arsenide-based compound semiconductor materials;
- a radiation exit surface by which the electromagnetic radiation produced in the semiconductor body is decoupled out of the semiconductor chip, the radiation exit surface having a pyramidal structure.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2010/050742

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2005048361 A2	26-05-2005	CN 1871713 A EP 1683205 A2 JP 4124102 B2 JP 2005150261 A TW 264834 B US 2007065960 A1	29-11-2006 26-07-2006 23-07-2008 09-06-2005 21-10-2006 22-03-2007
JP 2006041415 A	09-02-2006	NONE	
DE 102007004302 A1	03-04-2008	CN 101542751 A EP 2052419 A2 JP 2010505249 T US 2010038664 A1	23-09-2009 29-04-2009 18-02-2010 18-02-2010
US 2007045640 A1	01-03-2007	NONE	
DE 102006024423 A1	16-08-2007	NONE	
KR 20070084768 A	27-08-2007	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L33/00 H01L33/22

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, INSPEC, COMPENDEX

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 2005/048361 A2 (MATSUSHITA ELECTRIC WORKS LTD [JP]; FUKUSHIMA HIROSHI [JP]; KUBO MASAO) 26. Mai 2005 (2005-05-26) Seite 11, Absatz 2 – Seite 36, Absatz 4 Abbildungen 2, 4-6, 8, 10-14	1,2,4, 6-12
X	JP 2006 041415 A (MATSUSHITA ELECTRIC WORKS LTD) 9. Februar 2006 (2006-02-09) Zusammenfassung figures 1, 6, 7, and the corresponding description;	1,2,4,8, 9,11,12
X	DE 10 2007 004302 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 3. April 2008 (2008-04-03) Seite 2/20, Absatz 3 – Seite 13/20, Absatz 134 Abbildungen 4, 5, 8	1,5-10

-/-



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

5. Mai 2010

Absendedatum des internationalen Recherchenberichts

23/07/2010

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL – 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Sauerer, Christof

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2007/045640 A1 (ERCHAK ALEXEI A [US] ET AL) 1. März 2007 (2007-03-01) Abbildungen 51-56, 77-80, 85-88 Seite 21, Absatz 322 - Seite 25, Absatz 349 -----	1,8,9
X	DE 10 2006 024423 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 16. August 2007 (2007-08-16) Seite 2/12, Absatz 1 - Seite 6/12, Absatz 45 Abbildung 2 -----	1,3
X	CHEN T P ET AL: "Recent developments in high brightness LEDs" PROCEEDINGS OF THE SPIE - THE INTERNATIONAL SOCIETY FOR OPTICAL ENGINEERING SPIE - THE INTERNATIONAL SOCIETY FOR OPTICAL ENGINEERING, Bd. 6910, 7. Februar 2008 (2008-02-07), Seiten 691005-1-691005-10, XP002581106 USA ISSN: 0277-786X das ganze Dokument -----	1,6
X	KR 2007 0084768 A (LG ELECTRONICS INC [KR]) 27. August 2007 (2007-08-27) das ganze Dokument -----	1

Feld Nr. II Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein internationaler Recherchenbericht erstellt:

1. ☐ Ansprüche Nr.
weil sie sich auf Gegenstände beziehen, zu deren Recherche diese Behörde nicht verpflichtet ist, nämlich

2. ☐ Ansprüche Nr.
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, dass eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich

3. ☐ Ansprüche Nr.
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefasst sind.

Feld Nr. III Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Diese Internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. ☐ Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.

2. ☐ Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung solcher Gebühren aufgefordert.

3. ☐ Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.

4. ☒ Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Dieser internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfasst:
1-12

**Bemerkungen hinsichtlich
eines Widerspruchs**

- ☐ Der Anmelder hat die zusätzlichen Recherchegebühren unter Widerspruch entrichtet und die gegebenenfalls erforderliche Widerspruchsgebühr gezahlt.
- ☐ Die zusätzlichen Recherchegebühren wurden vom Anmelder unter Widerspruch gezahlt, jedoch wurde die entsprechende Widerspruchsgebühr nicht innerhalb der in der Aufforderung angegebenen Frist entrichtet.
- ☐ Die Zahlung der zusätzlichen Recherchegebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-12

Verfahren zur Strukturierung einer Halbleiteroberfläche mit den folgenden Schritten:

- Bereitstellen eines ersten Wafers, welcher eine strukturierte Oberfläche aufweist;
 - Bereitstellen eines zweiten Halbleiterwafers;
 - Aufbringen eines Fotolacks auf die Aussenflächen des zweiten Halbleiterwafers;
 - Strukturieren der dem zweiten Halbleiterwafer abgewandten Oberfläche des Fotolacks durch Abdrucken der strukturierten Oberfläche des ersten Wafers in den Fotolack;
 - Anwendung eines Strukturierungsverfahrens auf die strukturierte Oberfläche des Fotolacks, wobei
 - die auf dem Fotolack aufgebrachte Struktur zumindest stellenweise auf die Aussenfläche des zweiten Halbleiterwafers übertragen wird.
-

2. Ansprüche: 13, 14

Halbleiterchip, mit

- einem Halbleiterkörper, der auf phosphid- oder arsenidbasierten Verbindungshalbleitermaterialien basiert;
 - einer Strahlungsausstrittsfläche, durch die die im Halbleiterkörper erzeugte elektromagnetische Strahlung aus dem Halbleiterchip ausgekoppelt wird, wobei die Strahlungsausstrittsfläche pyramidenförmig strukturiert ist.
-

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2010/050742

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 2005048361 A2	26-05-2005	CN 1871713 A	29-11-2006
		EP 1683205 A2	26-07-2006
		JP 4124102 B2	23-07-2008
		JP 2005150261 A	09-06-2005
		TW 264834 B	21-10-2006
		US 2007065960 A1	22-03-2007
JP 2006041415 A	09-02-2006	KEINE	
DE 102007004302 A1	03-04-2008	CN 101542751 A	23-09-2009
		EP 2052419 A2	29-04-2009
		JP 2010505249 T	18-02-2010
		US 2010038664 A1	18-02-2010
US 2007045640 A1	01-03-2007	KEINE	
DE 102006024423 A1	16-08-2007	KEINE	
KR 20070084768 A	27-08-2007	KEINE	