

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-200514

(P2018-200514A)

(43) 公開日 平成30年12月20日(2018.12.20)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 15/177 (2006.01)	G06F 15/177 Z	5B042
G06F 15/173 (2006.01)	G06F 15/173 670	5B045
G06F 11/34 (2006.01)	G06F 15/173 685S	
G06F 11/30 (2006.01)	G06F 11/34 176	
	G06F 11/30 140C	
審査請求 未請求 請求項の数 8 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2017-104085 (P2017-104085)	(71) 出願人	000005223
(22) 出願日	平成29年5月26日 (2017.5.26)		富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100074099
			弁理士 大菅 義之
		(74) 代理人	100133570
			弁理士 ▲徳▼永 民雄
		(72) 発明者	藤森 崇文
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	小林 思無邪
			神奈川県川崎市中原区上小田中4丁目1番1号 株式会社富士通コンピュータテクノロジーズ内
		最終頁に続く	

(54) 【発明の名称】 情報処理装置及びプログラム

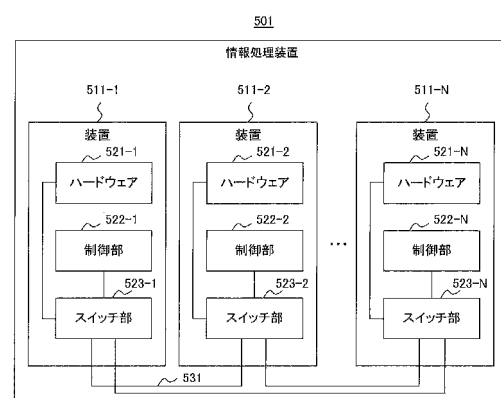
(57) 【要約】

【課題】複数の装置を含む情報処理装置において、1つの装置の制御部が他の装置内のハードウェアから情報を直接取得する。

【解決手段】情報処理装置501は、装置511-1～装置511-Nを含み、装置511-i (i=1～N)は、ハードウェア521-i、制御部522-i、及びスイッチ部523-iを含む。ハードウェア521-iは、情報を出力し、制御部522-iは、ハードウェア521-iを管理し、スイッチ部523-iは、ハードウェア521-i、制御部522-i、及び他の装置511-k (k≠i)の間の接続を切り替える。スイッチ部523-1は、制御部522-1を、装置511-1と装置511-2との間の信号線531に接続する制御を行う。スイッチ部523-2は、ハードウェア521-2を信号線531に接続する制御を行う。そして、制御部522-1は、信号線531を介して、ハードウェア521-2が出力する情報を取得する。

【選択図】 図5

情報処理装置の構成図



【特許請求の範囲】

【請求項 1】

複数の装置を備える情報処理装置であって、
前記複数の装置各々は、

ハードウェアと、

前記ハードウェアを管理する制御部と、

前記ハードウェア、前記制御部、及び前記複数の装置のうち他の装置の間の接続を切り替えるスイッチ部とを含み、

前記複数の装置のうち第 1 装置内のスイッチ部は、前記第 1 装置内の制御部を、前記第 1 装置と前記複数の装置のうち第 2 装置との間の信号線に接続する制御を行い、前記第 2 装置内のスイッチ部は、前記第 2 装置内のハードウェアを前記信号線に接続する制御を行い、前記第 1 装置内の前記制御部は、前記第 2 装置内の前記ハードウェアに接続された前記信号線を介して、前記第 2 装置内の前記ハードウェアが出力する情報を取得することを特徴とする情報処理装置。

10

【請求項 2】

管理装置をさらに備え、

前記管理装置は、前記第 2 装置の識別情報を前記第 1 装置内の前記制御部に通知し、前記第 1 装置の識別情報を前記第 2 装置内の制御部に通知し、

前記第 1 装置内の前記制御部は、前記第 2 装置の識別情報に基づいて、前記第 1 装置内の前記制御部を前記信号線に接続するように、前記第 1 装置内の前記スイッチ部を制御し、

20

前記第 2 装置内の前記制御部は、前記第 1 装置の識別情報に基づいて、前記第 2 装置内の前記ハードウェアを前記信号線に接続するように、前記第 2 装置内の前記スイッチ部を制御することを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】

前記複数の装置各々に含まれるスイッチ部は、前記ハードウェアと前記他の装置との間の接続を切り替える入力側スイッチ部と、前記制御部と前記他の装置との間の接続を切り替える出力側スイッチ部とを含み、

前記第 2 装置内の入力側スイッチ部は、前記第 2 装置内の前記ハードウェアを前記信号線に接続し、

30

前記第 1 装置内の出力側スイッチ部は、前記第 1 装置内の前記制御部を前記信号線に接続することを特徴とする請求項 2 記載の情報処理装置。

【請求項 4】

前記第 1 装置内の前記制御部が前記第 1 装置内のハードウェアが出力する情報を取得する場合、

前記第 1 装置内の入力側スイッチ部は、前記第 1 装置内の前記ハードウェアを、前記第 1 装置内の前記入力側スイッチ部と前記第 1 装置内の前記出力側スイッチ部との間の装置内信号線に接続し、

前記第 1 装置内の前記出力側スイッチ部は、前記第 1 装置内の前記制御部を前記装置内信号線に接続し、

40

前記第 1 装置内の前記制御部は、前記第 1 装置内の前記ハードウェアに接続された前記装置内信号線を介して、前記第 1 装置内の前記ハードウェアが出力する情報を取得することを特徴とする請求項 3 記載の情報処理装置。

【請求項 5】

前記管理装置は、前記第 1 装置内のハードウェアにおけるエラーを検出した場合、前記第 2 装置の識別情報を前記複数の装置のうち第 3 装置内の制御部に通知し、前記第 3 装置の識別情報を前記第 2 装置内の前記制御部に通知し、

前記第 3 装置内の前記制御部は、前記第 2 装置の識別情報に基づいて、前記第 3 装置内の前記制御部を前記第 2 装置と前記第 3 装置との間の信号線に接続するように、前記第 3 装置内のスイッチ部を制御し、

50

前記第 2 装置内の前記制御部は、前記第 3 装置の識別情報に基づいて、前記第 2 装置内の前記ハードウェアを前記第 2 装置と前記第 3 装置との間の前記信号線に接続するように、前記第 2 装置内の前記スイッチ部を制御し、

前記第 3 装置内の前記制御部は、前記第 2 装置と前記第 3 装置との間の前記信号線を介して、前記エラーが検出された後に前記第 2 装置内の前記ハードウェアが出力する情報を取得することを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の情報処理装置。

【請求項 6】

前記第 1 装置内の前記制御部は、前記エラーが検出される前に、前記第 2 装置内の前記ハードウェアから取得した前記情報を、前記第 2 装置内の前記制御部へ送信し、

前記第 2 装置内の前記制御部は、前記第 1 装置内の前記制御部から受信した前記情報を、前記エラーが検出された後に、前記第 3 装置内の前記制御部へ送信することを特徴とする請求項 5 記載の情報処理装置。

【請求項 7】

ハードウェアをそれぞれ含む複数の装置を備える情報処理装置における前記複数の装置のうち第 1 装置内のコンピュータのためのプログラムであって、

前記コンピュータを、前記複数の装置各々に含まれるハードウェアと接続する信号線のうち、識別情報により指定された第 2 装置に対応する信号線に接続するように、前記第 1 装置内のスイッチ部を制御し、

前記第 2 装置に対応する前記信号線を介して、前記第 2 装置内のハードウェアが出力する情報を取得する、

処理を前記コンピュータに実行させるためのプログラム。

【請求項 8】

ハードウェアをそれぞれ含む複数の装置を備える情報処理装置における前記複数の装置のうち第 1 装置と接続された第 2 装置内のコンピュータのためのプログラムであって、

前記第 2 装置内のハードウェアを、前記複数の装置各々に含まれるコンピュータと接続する信号線のうち、識別情報により指定された前記第 1 装置に対応する信号線に接続するように、前記第 2 装置内のスイッチ部を制御する、

処理を前記コンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理装置及びプログラムに関する。

【背景技術】

【0002】

サーバの管理及び監視を行うための標準仕様として、Intelligent Platform Management Interface (IPMI) が知られている。IPMI では、マネジメントボード (Management Board, MMB) 及びベースボードマネジメントコントローラ (Baseboard Management Controller, BMC) を用いて、サーバのハードウェアの管理及び監視が行われる。

【0003】

情報処理システムにおけるサービスプロセッサバス切り替え方式も知られている (例えば、特許文献 1 を参照)。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開昭 61-166670 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

複数のシステムボード (System Board, SB) を含むサーバにおいて、オペレーティングシステム (Operating System, OS) 等がパーティション内の各 SB 上のハードウェア

10

20

30

40

50

から情報を収集することがある。このとき、OS等は、パーティション内のHome SB上のBMCを介して、非Home SB上のBMCから情報を収集するため、情報の収集に時間がかかる。

【0006】

なお、かかる問題は、複数のSBを含むサーバにおけるハードウェアの管理に限らず、複数の装置を含む他の情報処理装置におけるハードウェアの管理においても生ずるものである。

【0007】

1つの側面において、本発明は、複数の装置を含む情報処理装置において、1つの装置の制御部が他の装置内のハードウェアから情報を直接取得することを目的とする。

10

【課題を解決するための手段】

【0008】

1つの案では、情報処理装置は、複数の装置を含み、各装置は、情報を出力するハードウェアと、ハードウェアを管理する制御部と、ハードウェア、制御部、及び他の装置の間の接続を切り替えるスイッチ部とを含む。

【0009】

第1装置内のスイッチ部は、第1装置内の制御部を、第1装置と第2装置との間の信号線に接続する制御を行い、第2装置内のスイッチ部は、第2装置内のハードウェアをその信号線に接続する制御を行う。そして、第1装置内の制御部は、第2装置内のハードウェアに接続された信号線を介して、第2装置内のハードウェアが出力する情報を取得する。

20

【発明の効果】

【0010】

1つの実施形態によれば、複数の装置を含む情報処理装置において、1つの装置の制御部が他の装置内のハードウェアから情報を直接取得することができる。

【図面の簡単な説明】

【0011】

【図1】サーバの構成図である。

【図2】センサ定義情報及びセンサデータを示す図である。

【図3】センサデータ収集処理のシーケンスを示す図である。

【図4】コマンド及び応答を示す図である。

30

【図5】情報処理装置の構成図である。

【図6】情報取得処理のフローチャートである。

【図7】情報処理装置の具体例に対応するサーバの構成図である。

【図8】MMBの機能的構成図である。

【図9】BMCの機能的構成図である。

【図10】入力側スイッチ部及び出力側スイッチ部の構成図である。

【図11】制御信号を示す図である。

【図12】SB#0上のハードウェアにアクセスするスイッチ制御を示す図である。

【図13】SB#1上のハードウェアにアクセスするスイッチ制御を示す図である。

【図14】第1のスイッチ制御処理のシーケンスを示す図である。

40

【図15】第2のスイッチ制御処理のシーケンスを示す図である。

【図16】再構築後にSB#3上のハードウェアにアクセスするスイッチ制御を示す図である。

【図17】再構築後にSB#1上のハードウェアにアクセスするスイッチ制御を示す図である。

【図18】再構築処理のシーケンスを示す図である。

【図19】BMCのハードウェア構成図である。

【発明を実施するための形態】

【0012】

以下、図面を参照しながら、実施形態を詳細に説明する。

50

図 1 は、複数の S B を含むサーバの構成例を示している。図 1 のサーバ 1 0 1 は、S B # 0 ~ S B # 3、M M B # 0、及び M M B # 1 を含む。

【 0 0 1 3 】

M M B # 0 及び M M B # 1 は、冗長構成の M M B であり、ファームウェアを用いて、サーバ 1 0 1 全体の管理及び監視を行う。ユーザは、M M B が提供するユーザインタフェースを介して、1 つ以上の S B 及び 1 つ以上の Input/Output (I O) 資源を選択することで、パーティションを構築することができる。O S 及び Basic Input/Output System (B I O S) は、パーティション単位で動作し、M M B # 0 及び M M B # 1 は、パーティション情報を保持する。

【 0 0 1 4 】

サーバ 1 0 1 内には、1 つ又は複数のパーティションを構築することができる。1 つのパーティションが複数の S B を含む場合、ユーザは、いずれか 1 つの S B を Home S B として設定する。

【 0 0 1 5 】

図 1 の例では、パーティション # 0 は、S B # 0 及び S B # 1 を含み、パーティション # 1 は、S B # 2 のみを含む。S B # 0 は、パーティション # 0 の Home S B であり、S B # 1 は、非 Home S B である。S B # 2 は、パーティション # 1 の Home S B である。

【 0 0 1 6 】

S B # i (i = 0 ~ 3) は、B M C 1 1 2 - i 及びハードウェア 1 1 3 - i を含む。ハードウェア 1 1 3 - i は、Central Processing Unit (C P U) # 0、C P U # 1、メモリ 1 1 4 - i、電圧センサ 1 1 5 - i 等のハードウェアデバイスを含む。B M C 1 1 2 - i は、ハードウェア 1 1 3 - i と Inter-Integrated Circuit (I 2 C) 等の信号線で接続されており、I P M I に準じてハードウェア 1 1 3 - i の管理及び監視を行う。

【 0 0 1 7 】

Home S B の B M C は、センサ定義情報と、その S B 上のハードウェアデバイスが出力するセンサデータとを保持し、非 Home S B の B M C は、その S B 上のハードウェアデバイスが出力するセンサデータのみを保持する。

【 0 0 1 8 】

O S 1 1 1 - j (j = 0 , 1) は、パーティション # j 内の複数の C P U 上で動作し、Keyboard Controller Style (K C S) インタフェースによって、Home S B 上の B M C にアクセスすることができる。また、O S 1 1 1 - j 上で動作するエージェントソフトウェアも、K C S インタフェースによって、Home S B 上の B M C にアクセスすることができる。

【 0 0 1 9 】

B M C 1 1 2 - 0 ~ B M C 1 1 2 - 3、M M B # 0、及び M M B # 1 は、サーバ 1 0 1 内に閉じたプライベートローカルエリアネットワーク (Local Area Network, L A N) によって接続されている。M M B # j (j = 0 , 1) は、プライベートローカルエリアネットワークを介して、B M C 1 1 2 - 0 ~ B M C 1 1 2 - 3 と通信することができ、B M C 1 1 2 - i は、プライベートローカルエリアネットワークを介して、他の B M C 1 1 2 - k (k ≠ i) と通信することができる。

【 0 0 2 0 】

図 2 は、S B # 0 の B M C 1 1 2 - 0 及び S B # 1 の B M C 1 1 2 - 1 が保持する情報の例を示している。Home S B である S B # 0 の B M C 1 1 2 - 0 は、センサ定義情報 2 0 1 及びセンサデータ 2 0 2 - 0 を保持し、非 Home S B である S B # 1 の B M C 1 1 2 - 1 は、センサデータ 2 0 2 - 1 を保持する。

【 0 0 2 1 】

センサ定義情報 2 0 1 は、パーティション # 0 内に存在するすべてのハードウェアデバイスに関する定義情報であり、センサ番号、センサ名、及びセンサ Owner を含む。センサ番号は、ハードウェア 1 1 3 - i に含まれる各ハードウェアデバイスのシリアル番号

10

20

30

40

50

であり、センサ名は、各ハードウェアデバイスの識別情報である。センサOwnerは、各ハードウェアデバイスのセンサデータを保持するBMCのアドレス (Slave address) を表す。BMC112-0のアドレスは“0x20”であり、BMC112-1のアドレスは“0xC2”である。

【0022】

センサデータ202-iは、SB#i上のハードウェアデバイスが出力した情報の履歴であり、センサ番号、センサ名、及びデータを含む。データは、センサ番号及びセンサ名に対応する各ハードウェアデバイスが出力した情報を表す。

【0023】

例えば、センサ番号“1”のハードウェアデバイスのセンサ名は“SB#0 CPU#0”であり、そのセンサOwnerは“0x20”である。そして、センサデータ202-0には、このハードウェアデバイスのデータとして、ハードウェアデバイスの状態を示す“Normal”が記録されている。

【0024】

また、センサ番号“3”のハードウェアデバイスのセンサ名は“SB#1 CPU#0”であり、そのセンサOwnerは“0xC2”である。そして、センサデータ202-1には、このハードウェアデバイスのデータとして、“Normal”が記録されている。

【0025】

センサ定義情報201及びセンサデータ202-iには、CPU#0及びCPU#1の情報以外に、図1のメモリ114-i、電圧センサ115-i等の情報も記録される。

【0026】

OS111-0は、Home SBであるSB#0上のBMC112-0にアクセスし、BMC112-0が保持するセンサ定義情報201に基づいて、パーティション#0内の各ハードウェアデバイスからセンサデータを収集することができる。OS111-0上で動作するエージェントソフトウェアも、OS111-0と同様にして、パーティション#0内の各ハードウェアデバイスからセンサデータを収集することができる。

【0027】

図3は、パーティション#0内におけるセンサデータ収集処理のシーケンスの例を示している。まず、OS111-0は、Home SBであるSB#0上のBMC112-0に対して、Home SB上のハードウェアのセンサデータを取得する取得依頼 (直接コマンド) を発行する (ステップ301)。BMC112-0は、センサ定義情報201のセンサOwnerを参照して、I2CによりSB#0上のハードウェア113-0にアクセスし (ステップ302)、ハードウェア113-0からデータを取得する。そして、BMC112-0は、センサデータ202-0を更新し (ステップ303)、取得したデータを応答データとしてOS111-0へ返信する (ステップ304)。

【0028】

次に、OS111-0は、BMC112-0に対して、非Home SB上のハードウェアのセンサデータを取得する取得依頼 (IPMI標準のSend Messageコマンド) を発行する (ステップ305)。BMC112-0は、センサ定義情報201のセンサOwnerを参照して、SB#1上のハードウェア113-1のセンサデータを取得する取得依頼をBMC112-1へ送信する (ステップ306)。そして、BMC112-0は、コマンドを受け付けたことを示す応答をOS111-0へ返信する (ステップ307)。

【0029】

BMC112-1は、I2Cによりハードウェア113-1にアクセスし (ステップ308)、ハードウェア113-1からデータを取得して、センサデータ202-1を更新する (ステップ309)。そして、BMC112-1は、取得したデータをBMC112-0へ返信し (ステップ310)、BMC112-0は、非Home SBから応答を受信したことを示す通知をOS111-0へ送信する (ステップ311)。

10

20

30

40

50

【0030】

次に、OS 111-0は、BMC 112-0に対して、非Home SB上のハードウェアのセンサデータ（応答データ）が存在するか否かを確認するコマンド（IPMI標準のGet Message Flagコマンド）を発行する（ステップ312）。BMC 112-0は、応答データが存在することを示す応答をOS 111-0へ返信する（ステップ313）。

【0031】

次に、OS 111-0は、BMC 112-0に対して、応答データを取得する取得依頼（IPMI標準のGet Messageコマンド）を発行する（ステップ314）。BMC 112-0は、BMC 112-1から受信したデータを、応答データとしてOS 111-0へ返信する（ステップ315）。 10

【0032】

次に、OS 111-0は、BMC 112-0に対して、Get Messageコマンドを再度発行する（ステップ316）。BMC 112-0は、応答データが存在しないことを示す応答をOS 111-0へ返信する（ステップ317）。

【0033】

このように、Home SB上のハードウェアのセンサデータを取得する処理では、OS 111-0とBMC 112-0の間で発生するインタラクションは1回である。一方、非Home SB上のハードウェアのセンサデータを取得する処理では、複数回のインタラクションが発生する。 20

【0034】

図4は、図3のセンサデータ収集処理において、OS 111-0とBMC 112-0との間で転送されるコマンド及び応答の例を示している。コマンド401は、ステップ301でOS 111-0から発行される取得依頼に対応し、応答402は、ステップ304でBMC 112-0から返信される応答データに対応する。

【0035】

コマンド403は、ステップ305でOS 111-0から発行されるSend Messageコマンドに対応し、応答404は、ステップ307でBMC 112-0から返信される応答に対応する。通知405は、ステップ311でBMC 112-0から送信される通知に対応する。 30

【0036】

コマンド406は、ステップ312でOS 111-0から発行されるGet Message Flagコマンドに対応し、応答407は、ステップ313でBMC 112-0から返信される応答に対応する。

【0037】

コマンド408は、ステップ314でOS 111-0から発行されるGet Messageコマンドに対応し、応答409は、ステップ315でBMC 112-0から返信される応答データに対応する。

【0038】

コマンド410は、ステップ316でOS 111-0から発行されるGet Messageコマンドに対応し、応答411は、ステップ317でBMC 112-0から返信される応答に対応する。 40

【0039】

この例では、コマンド401に対する応答時間は、約3msecであり、コマンド403以降のコマンドシーケンスに対する応答時間は、約30msecである。したがって、非Home SB上のハードウェアのセンサデータを取得する処理では、Home SB上のハードウェアのセンサデータを取得する処理と比較して、約10倍の時間がかかっていることが分かる。コマンドシーケンスに対する応答時間のうち、約18msecは、BMC 112-0からBMC 112-1への問い合わせにかかった時間である。

【0040】 50

例えば、仮想マシンを動作させるハイパーバイザが、複数のS Bを含むパーティション内のセンサデータを収集する際に、非Home S Bからのデータ収集に時間がかかることが原因で、コマンドがタイムアウトすることがある。

【0041】

また、複数のS Bを含むパーティションにおけるエージェントソフトウェアの起動時に、エージェントソフトウェアがパーティション内のセンサデータを収集する際、1 S B当たり50個以上のハードウェアデバイスにアクセスすることもある。この場合、非Home S Bからのデータ収集に時間がかかることが原因で、エージェントソフトウェアの起動タイムアウトが稀に発生する。

【0042】

したがって、OS又はOS上で動作するエージェントソフトウェアが非Home S B上のハードウェアのセンサデータを取得する時間を短縮することが望まれる。

【0043】

図5は、実施形態の情報処理装置の構成例を示している。図5の情報処理装置501は、装置511-1～装置511-N（Nは2以上の整数）を含み、装置511-i（i=1～N）は、ハードウェア521-i、制御部522-i、及びスイッチ部523-iを含む。

【0044】

ハードウェア521-iは、情報を出し、制御部522-iは、ハードウェア521-iを管理し、スイッチ部523-iは、ハードウェア521-i、制御部522-i、及び他の装置511-k（k≠i）の間の接続を切り替える。

【0045】

装置511-1内のスイッチ部523-1は、装置511-1内の制御部522-1を、装置511-1と装置511-2との間の信号線531に接続する制御を行う。装置511-2内のスイッチ部523-2は、装置511-2内のハードウェア521-2を信号線531に接続する制御を行う。そして、装置511-1内の制御部522-1は、装置511-2内のハードウェア521-2に接続された信号線531を介して、ハードウェア521-2が出力する情報を取得する。

【0046】

図6は、図5の装置511-1内の制御部522-1が行う情報取得処理の例を示すフローチャートである。まず、制御部522-1は、制御部522-1を信号線531に接続するように、スイッチ部523-1を制御する（ステップ601）。信号線531は、各装置511-iに含まれるハードウェア521-iと接続する信号線のうち、識別情報により指定された装置511-2に対応する信号線である。そして、制御部522-1は、信号線531を介して、ハードウェア521-2が出力する情報を取得する（ステップ602）。

【0047】

図5の情報処理装置501によれば、1つの装置の制御部が他の装置内のハードウェアから情報を直接取得することができる。

【0048】

図7は、図5の情報処理装置501の具体例に対応するサーバの構成例を示している。図7のサーバ701は、S B # 0～S B # 3、MMB # 0、及びMMB # 1を含む。S B # 0～S B # 3の各々は、図5の装置511-iに対応する。

【0049】

パーティション# 0は、S B # 0及びS B # 1を含み、パーティション# 1は、S B # 2のみを含む。S B # 0は、パーティション# 0のHome S Bであり、S B # 1は、非Home S Bである。S B # 2は、パーティション# 1のHome S Bである。S B # 3は、いずれのパーティションにも属さないReserved S Bに設定されている。

【0050】

10

20

30

40

50

S B # i (i = 0 ~ 3) は、B M C 7 1 2 - i 、ハードウェア7 1 3 - i 、及びスイッチ部7 1 4 - i を含む。B M C 7 1 2 - i 、ハードウェア7 1 3 - i 、及びスイッチ部7 1 4 - i は、図5の制御部5 2 2 - i 、ハードウェア5 2 1 - i 、及びスイッチ部5 2 3 - i にそれぞれ対応する。M M B # j (j = 0 , 1) は、サーバ7 0 1 全体の管理及び監視を行う管理装置に対応する。

【0051】

ハードウェア7 1 3 - i は、C P U # 0 、C P U # 1 、メモリ7 2 1 - i 、電圧センサ7 2 2 - i 等のハードウェアデバイスを含む。B M C 7 1 2 - i は、I P M I に準じて各ハードウェアデバイスの管理及び監視を行う。スイッチ部7 1 4 - i は、スイッチ制御部7 3 1 - i 、入力側スイッチ部7 3 2 - i 、及び出力側スイッチ部7 3 3 - i を含む。

10

【0052】

入力側スイッチ部7 3 2 - i は、I 2 C 等の信号線で、ハードウェア7 1 3 - i と出力側スイッチ部7 3 3 - 0 ~ 出力側スイッチ部7 3 3 - 3 に接続されている。出力側スイッチ部7 3 3 - i は、I 2 C 等の信号線で、B M C 7 1 2 - i と入力側スイッチ部7 3 2 - 0 ~ 入力側スイッチ部7 3 2 - 3 に接続されている。スイッチ制御部7 3 1 - i は、入力側スイッチ部7 3 2 - i 及び出力側スイッチ部7 3 3 - i を切り替えることで、信号線の接続を変更する。

【0053】

B M C 7 1 2 - i は、スイッチ制御部7 3 1 - i とGeneral Purpose Input/Output (G P I O) 等の信号線で接続されている。B M C 7 1 2 - i は、スイッチ制御部7 3 1 - i を介して、入力側スイッチ部7 3 2 - i 及び出力側スイッチ部7 3 3 - i を切り替えることで、S B # 0 ~ S B # 3 のいずれのハードウェア7 1 3 - i に対してもアクセスすることができる。

20

【0054】

図8は、図7のM M B # j の機能的構成例を示している。図8のM M B # j は、通知部8 0 1 - j を含み、サーバ7 0 1 内のパーティション構成を示すパーティション情報8 0 2 - j を保持する。パーティション情報8 0 2 - j は、各パーティションに属するS B # i の識別情報と、各パーティションのH o m e S B を示す識別情報とを含む。通知部8 0 1 - j は、B M C 7 1 2 - 0 ~ B M C 7 1 2 - 3 に対して、パーティション情報8 0 2 - j を通知する。

30

【0055】

図9は、図7のB M C 7 1 2 - i の機能的構成例を示している。図9のB M C 7 1 2 - i は、スイッチ処理部9 0 1 - i を含み、センサ定義情報9 0 2 - i 及びセンサデータ9 0 3 - i を保持する。センサ定義情報9 0 2 - i 及びセンサデータ9 0 3 - i のデータ構造は、図2に示したセンサ定義情報2 0 1 及びセンサデータ2 0 2 - i と同様である。

【0056】

ただし、H o m e S B 上のB M C のセンサデータには、パーティション内のすべてのS B 上のハードウェアが出力したデータが記録される。例えば、H o m e S B であるS B # 0 上のB M C 7 1 2 - 0 のセンサデータ9 0 3 - 0 には、S B # 0 上のハードウェア7 1 3 - 0 が出力したデータだけでなく、非H o m e S B であるS B # 1 上のハードウェア7 1 3 - 1 が出力したデータも記録される。

40

【0057】

センサ定義情報9 0 2 - i 及びセンサデータ9 0 3 - i には、C P U # 0 及びC P U # 1 の情報以外に、図7のメモリ7 2 1 - i 、電圧センサ7 2 2 - i 等の情報も記録される。C P U # 0 、C P U # 1 、及びメモリ7 2 1 - i は、それらのハードウェアデバイスの状態を示すデータを出力する。ハードウェアデバイスの状態は、通常動作 (N o r m a l) 、警告、エラー等であってもよい。

【0058】

電圧センサ7 2 2 - i は、C P U # 0 及びC P U # 1 の動作電圧又は供給電圧を示すデータを出力する。電圧センサ7 2 2 - i は、動作電圧又は供給電圧が閾値を超えたか否か

50

を示すデータを出力してもよい。

【0059】

スイッチ処理部901-iは、MMB#jから通知されたパーティション情報802-jが示すパーティション構成に応じて、スイッチ制御部731-iに対する制御信号の設定を変更する。

【0060】

図10は、図7の入力側スイッチ部732-i及び出力側スイッチ部733-iの構成例を示している。入力側スイッチ部732-iは、スイッチ1001-i～スイッチ1004-iを含む。スイッチ1001-iは、ポートaとハードウェア713-iの間の接続を切り替え、スイッチ1002-iは、ポートbとハードウェア713-iの間の接続を切り替える。スイッチ1003-iは、ポートcとハードウェア713-iの間の接続を切り替え、スイッチ1004-iは、ポートdとハードウェア713-iの間の接続を切り替える。

10

【0061】

出力側スイッチ部733-iは、スイッチ1011-i～スイッチ1014-iを含む。スイッチ1011-iは、ポートAとBMC712-iの間の接続を切り替え、スイッチ1012-iは、ポートBとBMC712-iの間の接続を切り替える。スイッチ1013-iは、ポートCとBMC712-iの間の接続を切り替え、スイッチ1014-iは、ポートDとBMC712-iの間の接続を切り替える。スイッチ1001-iのポートaとスイッチ1011-iのポートAは、装置内信号線によって接続されている。

20

【0062】

BMC712-iは、入力側スイッチ部732-i及び出力側スイッチ部733-iを切り替える制御信号G1～制御信号G4を、スイッチ制御部731-iへ出力する。制御信号G1及び制御信号G2は、出力側スイッチ部733-iを切り替える制御信号であり、制御信号G3及び制御信号G4は、入力側スイッチ部732-iを切り替える制御信号である。

【0063】

スイッチ制御部731-iは、制御信号G1及び制御信号G2に基づいて、制御信号SA～制御信号SDをスイッチ1011-i～スイッチ1014-iへそれぞれ出力する。また、スイッチ制御部731-iは、制御信号G3及び制御信号G4に基づいて、制御信号Sa～制御信号Sdをスイッチ1001-i～スイッチ1004-iへそれぞれ出力する。

30

【0064】

図11は、図10の制御信号G1～制御信号G4の例を示している。図11(a)は、出力側スイッチ部733-iを切り替える制御信号G1及び制御信号G2の例を示している。例えば、制御信号G1及び制御信号G2がともに論理“0”である場合、スイッチ1011-iがONに設定され、スイッチ1012-i～スイッチ1014-iがOFFに設定される。したがって、BMC712-iは、出力側スイッチ部733-iのポートAに接続される。

【0065】

同様にして、制御信号G1が論理“0”であり、制御信号G2が論理“1”である場合、BMC712-iはポートBに接続され、制御信号G1が論理“1”であり、制御信号G2が論理“0”である場合、BMC712-iはポートCに接続される。制御信号G1及び制御信号G2がともに論理“1”である場合、BMC712-iはポートDに接続される。

40

【0066】

図11(b)は、入力側スイッチ部732-iを切り替える制御信号G3及び制御信号G4の例を示している。例えば、制御信号G3及び制御信号G4がともに論理“0”である場合、スイッチ1001-iがONに設定され、スイッチ1002-i～スイッチ1004-iがOFFに設定される。したがって、ハードウェア713-iは、入力側スイッ

50

チ部 7 3 2 - i のポート a に接続される。

【0067】

同様にして、制御信号 G 1 が論理 “ 0 ” であり、制御信号 G 2 が論理 “ 1 ” である場合、ハードウェア 7 1 3 - i はポート b に接続され、制御信号 G 1 が論理 “ 1 ” であり、制御信号 G 2 が論理 “ 0 ” である場合、ハードウェア 7 1 3 - i はポート c に接続される。制御信号 G 1 及び制御信号 G 2 がともに論理 “ 1 ” である場合、ハードウェア 7 1 3 - i はポート d に接続される。

【0068】

図 10 の構成によれば、スイッチ制御部 7 3 1 - i は、入力側スイッチ部 7 3 2 - i によってハードウェア 7 1 3 - i の接続先を切り替えることができ、出力側スイッチ部 7 3 3 - i によって BMC 7 1 2 - i の接続先を切り替えることができる。

10

【0069】

図 12 は、Home SB 上の BMC が同じ SB 上のハードウェアにアクセスする場合のスイッチ制御の例を示している。各 SB # i のポート a ~ ポート d は、入力側スイッチ部 7 3 2 - i のポートを表し、ポート A ~ ポート D は、出力側スイッチ部 7 3 3 - i のポートを表す。

【0070】

SB # 0 のポート A は、SB # 0 のポート a に接続されており、ポート B は、SB # 1 のポート b に接続されており、ポート C は、SB # 2 のポート c に接続されており、ポート D は、SB # 3 のポート d に接続されている。

20

【0071】

SB # 1 のポート A は、SB # 1 のポート a に接続されており、ポート B は、SB # 2 のポート b に接続されており、ポート C は、SB # 3 のポート c に接続されており、ポート D は、SB # 0 のポート d に接続されている。

【0072】

SB # 2 のポート A は、SB # 2 のポート a に接続されており、ポート B は、SB # 3 のポート b に接続されており、ポート C は、SB # 0 のポート c に接続されており、ポート D は、SB # 1 のポート d に接続されている。

【0073】

SB # 3 のポート A は、SB # 3 のポート a に接続されており、ポート B は、SB # 0 のポート b に接続されており、ポート C は、SB # 1 のポート c に接続されており、ポート D は、SB # 2 のポート d に接続されている。

30

【0074】

各 SB # i 上の BMC 7 1 2 - i は、SB # 0 ~ SB # 3 のポート A ~ ポート D とポート a ~ ポート d との間の接続関係を示す情報を保持している。

【0075】

図 12 の例では、パーティション # 0 の Home SB である SB # 0 上の BMC 7 1 2 - 0 は、ポート A に接続され、ハードウェア 7 1 3 - 0 は、ポート a に接続されている。したがって、BMC 7 1 2 - 0 は、同じ SB # 0 上のハードウェア 7 1 3 - 0 にアクセスして、各ハードウェアデバイスからデータを取得することができる。

40

【0076】

例えば、ハードウェア 7 1 3 - 0 内の複数のハードウェアデバイスがバスに接続されている場合、BMC 7 1 2 - 0 は、それらのハードウェアデバイスのアドレスを順番に指定することで、それぞれのハードウェアデバイスからデータを取得する。

【0077】

図 13 は、Home SB 上の BMC が非 Home SB 上のハードウェアにアクセスする場合のスイッチ制御の例を示している。この例では、SB # 0 上の BMC 7 1 2 - 0 は、ポート B に接続され、非 Home SB である SB # 1 上のハードウェア 7 1 3 - 1 は、ポート b に接続されている。したがって、BMC 7 1 2 - 0 は、SB # 1 上のハードウェア 7 1 3 - 1 にアクセスして、各ハードウェアデバイスからデータを取得することが

50

できる。

【0078】

図14は、パーティション#0の構築時に入力側スイッチ部を切り替える第1のスイッチ制御処理のシーケンスの例を示している。まず、MMB#0の通知部801-0は、Home SBであるSB#0上のBMC712-0に対して、パーティション#0に属するSBの識別情報を通知する(ステップ1401)。これにより、パーティション#0に属するSBの識別情報として、“SB#0”及び“SB#1”が通知される。

【0079】

次に、通知部801-0は、BMC712-0に対して、SB#0がパーティション#0のHome SBであることを通知する(ステップ1402)。Home SBであることを通知されたBMC712-0のスイッチ処理部901-0は、制御信号(G3, G4)を(0, 0)に設定して、スイッチ制御部731-0へ出力する(ステップ1403)。

10

【0080】

スイッチ制御部731-0は、制御信号Saによりスイッチ1001-0をONに設定し、制御信号Sb～制御信号Sdによりスイッチ1002-0～スイッチ1004-0をOFFに設定する。これにより、図12に示したように、SB#0上のハードウェア713-0が、入力側スイッチ部732-0のポートaを介して、出力側スイッチ部733-0のポートAに接続される。

【0081】

次に、通知部801-0は、非Home SBであるSB#1上のBMC712-1に対して、Home SBの識別情報“SB#0”を通知する(ステップ1404)。識別情報“SB#0”を通知されたBMC712-1のスイッチ処理部901-1は、制御信号(G3, G4)を(0, 1)に設定して、スイッチ制御部731-1へ出力する(ステップ1405)。

20

【0082】

スイッチ制御部731-1は、制御信号Sbによりスイッチ1002-1をONに設定し、制御信号Sa、制御信号Sc、及び制御信号Sdにより、スイッチ1001-1、スイッチ1003-1、及びスイッチ1004-1をOFFに設定する。これにより、図12に示したように、SB#1上のハードウェア713-1が、入力側スイッチ部732-1のポートbを介して、SB#0上の出力側スイッチ部733-0のポートBに接続される。

30

【0083】

このように、通知部801-0がHome SBであるSB#0の識別情報をBMC712-1に通知することで、BMC712-1は、ハードウェア713-1がSB#0に接続されるように、入力側スイッチ部732-1を切り替えることができる。

【0084】

図15は、パーティション#0におけるセンサデータ収集時に出力側スイッチ部を切り替える第2のスイッチ制御処理のシーケンスの例を示している。まず、OS711-0は、Home SBであるSB#0上のBMC712-0に対して、パーティション#0のハードウェアのセンサデータを取得する取得依頼を発行する(ステップ1501)。

40

【0085】

BMC712-0のスイッチ処理部901-0は、制御信号(G1, G2)を(0, 0)に設定して、スイッチ制御部731-0へ出力する(ステップ1502)。そして、スイッチ制御部731-0は、制御信号SAによりスイッチ1011-0をONに設定し、制御信号SB～制御信号SDによりスイッチ1012-0～スイッチ1014-0をOFFに設定する。これにより、図12に示したように、BMC712-0が、出力側スイッチ部733-0のポートAを介して、ハードウェア713-0に接続される。

【0086】

次に、BMC712-0は、ハードウェア713-0にアクセスして(ステップ150

50

3)、ハードウェア713-0からデータを取得し、取得したデータをセンサデータ903-0に記録する(ステップ1504)。これにより、センサデータ903-0が更新される。

【0087】

次に、スイッチ処理部901-0は、制御信号(G1, G2)を(0, 1)に設定して、スイッチ制御部731-0へ出力する(ステップ1505)。そして、スイッチ制御部731-0は、制御信号SBによりスイッチ1012-0をONに設定し、制御信号SA、制御信号SC、及び制御信号SDにより、スイッチ1011-0、スイッチ1013-0、及びスイッチ1014-0をOFFに設定する。これにより、図13に示したように、BMC712-0が、出力側スイッチ部733-0のポートBを介して、SB#1上のハードウェア713-1に接続される。

10

【0088】

このように、通知部801-0が非Home SBであるSB#1の識別情報をBMC712-0に通知することで、BMC712-0は、BMC712-0がSB#1に接続されるように、出力側スイッチ部733-0を切り替えることができる。

【0089】

次に、BMC712-0は、ハードウェア713-1にアクセスして(ステップ1506)、ハードウェア713-1からデータを取得し、取得したデータをセンサデータ903-0に記録する(ステップ1507)。これにより、センサデータ903-0が更新される。

20

【0090】

次に、BMC712-0は、取得したデータを、SB#1上のBMC712-1へ送信し(ステップ1508)、BMC712-1は、BMC712-0から受信したデータを、センサデータ903-1に記録する(ステップ1509)。これにより、センサデータ903-1がセンサデータ903-0と同期する。そして、BMC712-0は、ハードウェア713-0及びハードウェア713-1から取得したデータを、OS711-0へ返信する(ステップ1510)。

【0091】

このように、図7の構成によれば、Home SBのBMCは、Home SB上のハードウェアだけでなく、非Home SB上のハードウェアからもセンサデータを直接取得することができる。したがって、OS又はOS上で動作するエージェントソフトウェアからの取得依頼に対して、非Home SB上のBMCを経由することなく、パーティション内のすべてのハードウェアのデータを返信することが可能になる。これにより、パーティション内のセンサデータを収集する時間が短縮される。

30

【0092】

図15のセンサデータ収集処理によれば、図3及び図4のセンサデータ収集処理と比較して、収集時間が約10分の1に短縮され、単一のSBのみからなるサーバと同等の収集時間になることが期待できる。収集時間が短縮されることによって、ハイパーバイザのコマンドのタイムアウト、エージェントソフトウェアの起動タイムアウト等の発生が抑止される。

40

【0093】

ところで、図7のパーティション#0及びパーティション#1の構成は、動的に変更することが可能である。例えば、パーティション#0のHome SBであるSB#0上でハードウェア713-0のエラーが検出された場合、Reserved SBに設定されているSB#3を用いて、パーティション#0が復旧される。この場合、SB#3及びSB#1によってパーティション#0が再構築され、Home SBがSB#0からSB#3に変更される。

【0094】

図16は、再構築されたパーティション#0において、SB#3上のBMC712-3がSB#3上のハードウェア713-3にアクセスする場合のスイッチ制御の例を示して

50

いる。BMC 7 1 2-3 をポート A に接続し、ハードウェア 7 1 3-3 をポート a に接続することで、BMC 7 1 2-3 は、同じ SB # 3 上のハードウェア 7 1 3-3 にアクセスして、各ハードウェアデバイスからデータを取得することができる。

【0095】

図 17 は、再構築されたパーティション # 0 において、BMC 7 1 2-3 が非 Home SB である SB # 1 上のハードウェア 7 1 3-1 にアクセスする場合のスイッチ制御の例を示している。BMC 7 1 2-3 をポート C に接続し、ハードウェア 7 1 3-1 をポート c に接続することで、BMC 7 1 2-3 は、SB # 1 上のハードウェア 7 1 3-1 にアクセスして、各ハードウェアデバイスからデータを取得することができる。

【0096】

図 18 は、パーティション # 0 におけるエラー発生時に Home SB を変更する再構築処理のシーケンスの例を示している。MMB # 0 は、サーバ 7 0 1 全体の監視を行っており、図 15 と同様のシーケンスによって、各パーティションにおけるセンサデータを収集する（ステップ 1801）。そして、MMB # 0 は、SB # 0 上のハードウェア 7 1 3-0 に含まれるハードウェアデバイスのエラーを検出し（ステップ 1802）、BMC 7 1 2-0 に対して縮退処理を指示する（ステップ 1803）。

【0097】

BMC 7 1 2-0 は、縮退処理を行って、MMB # 0 へ応答を返信する（ステップ 1804）。これ以降、BMC 7 1 2-0 は、SB # 0 上のハードウェア 7 1 3-0 にのみアクセスする。

【0098】

次に、MMB # 0 は、SB # 0 をパーティション # 0 から切り離し、SB # 3 を新たな Home SB としてパーティション # 0 に組み込んで、パーティション # 0 を再起動する（ステップ 1805）。このとき、MMB # 0 は、図 14 と同様のシーケンスによって、パーティション # 0 を再起動する。

【0099】

まず、MMB # 0 の通知部 8 0 1-0 は、SB # 3 上の BMC 7 1 2-3 に対して、パーティション # 0 に属する SB の識別情報である“SB # 3”及び“SB # 1”を通知する。次に、通知部 8 0 1-0 は、BMC 7 1 2-3 に対して、SB # 3 がパーティション # 0 の Home SB であることを通知する。

【0100】

BMC 7 1 2-3 のスイッチ処理部 9 0 1-3 は、制御信号（G3, G4）を（0, 0）に設定して、スイッチ制御部 7 3 1-3 へ出力する。スイッチ制御部 7 3 1-3 は、制御信号 Sa によりスイッチ 1 0 0 1-3 を ON に設定し、制御信号 Sb～制御信号 Sd によりスイッチ 1 0 0 2-3～スイッチ 1 0 0 4-3 を OFF に設定する。これにより、図 16 に示したように、SB # 3 上のハードウェア 7 1 3-3 が、入力側スイッチ部 7 3 2-3 のポート a を介して、出力側スイッチ部 7 3 3-3 のポート A に接続される。

【0101】

次に、通知部 8 0 1-0 は、SB # 1 上の BMC 7 1 2-1 に対して、Home SB の識別情報“SB # 3”を通知する。BMC 7 1 2-1 のスイッチ処理部 9 0 1-1 は、制御信号（G3, G4）を（1, 0）に設定して、スイッチ制御部 7 3 1-1 へ出力する。

【0102】

スイッチ制御部 7 3 1-1 は、制御信号 Sc によりスイッチ 1 0 0 3-1 を ON に設定し、制御信号 Sa、制御信号 Sb、及び制御信号 Sd により、スイッチ 1 0 0 1-1、スイッチ 1 0 0 2-1、及びスイッチ 1 0 0 4-1 を OFF に設定する。これにより、図 16 に示したように、SB # 1 上のハードウェア 7 1 3-1 が、入力側スイッチ部 7 3 2-1 のポート c を介して、SB # 3 上の出力側スイッチ部 7 3 3-3 のポート C に接続される。

【0103】

10

20

30

40

50

その後、SB#3上のBMC712-3は、SB#1上のハードウェア713-1のセンサデータ903-1を引き継ぐため、BMC712-1に対して、センサデータ903-1を要求する（ステップ1806）。そして、BMC712-1は、センサデータ903-1をBMC712-3へ送信する。BMC712-3は、BMC712-1から受信したセンサデータ903-1を、センサデータ903-3に記録する（ステップ1807）。これにより、センサデータ903-3にセンサデータ903-1が追加される。

【0104】

パーティション#0が再起動された後、OS711-0は、図15と同様のシーケンスによって、パーティション#0におけるセンサデータを収集する。まず、OS711-0は、BMC712-3に対して、パーティション#0のハードウェアのセンサデータを取得する取得依頼を発行する。

10

【0105】

BMC712-3のスイッチ処理部901-3は、制御信号（G1，G2）を（0，0）に設定して、スイッチ制御部731-3へ出力する。そして、スイッチ制御部731-3は、制御信号SAによりスイッチ1011-3をONに設定し、制御信号SB～制御信号SDによりスイッチ1012-3～スイッチ1014-3をOFFに設定する。これにより、図16に示したように、BMC712-3が、出力側スイッチ部733-3のポートAを介して、ハードウェア713-3に接続される。

【0106】

次に、BMC712-3は、ハードウェア713-3にアクセスして、ハードウェア713-3からデータを取得し、取得したデータをセンサデータ903-3に記録する。

20

【0107】

次に、スイッチ処理部901-3は、制御信号（G1，G2）を（1，0）に設定して、スイッチ制御部731-3へ出力する。そして、スイッチ制御部731-3は、制御信号SCによりスイッチ1013-3をONに設定し、制御信号SA、制御信号SB、及び制御信号SDにより、スイッチ1011-3、スイッチ1012-3、及びスイッチ1014-3をOFFに設定する。これにより、図17に示したように、BMC712-3が、出力側スイッチ部733-3のポートCを介して、SB#1上のハードウェア713-1に接続される。

【0108】

次に、BMC712-3は、ハードウェア713-1にアクセスして、ハードウェア713-1からデータを取得し、取得したデータをセンサデータ903-3に記録する。

30

【0109】

次に、BMC712-3は、取得したデータを、SB#1上のBMC712-1へ送信し、BMC712-1は、BMC712-3から受信したデータを、センサデータ903-1に記録する。そして、BMC712-3は、ハードウェア713-3及びハードウェア713-1から取得したデータを、OS711-0へ返信する。

【0110】

図1のサーバ101及び図7のサーバ701の構成は一例に過ぎず、サーバの用途又は条件に応じて、一部の構成要素を省略又は変更してもよい。例えば、SBの個数は4個に限られず、サーバは任意の個数のSBを含むことができる。パーティションの個数は2個に限られず、サーバは任意の個数のパーティションを含むことができる。1つのパーティションに属するSBの個数は、3個以上であってもよい。冗長構成のMMBを用いない場合は、MMB#0又はMMB#1を省略することができる。

40

【0111】

各SB上には、CPU、メモリ、及び電圧センサ以外のハードウェアデバイスが搭載されていてもよい。例えば、ハードウェアデバイスとして温度センサが搭載されている場合、温度センサは、CPUの温度を示すデータ、又はCPUの温度が閾値を超えたか否かを示すデータを出力する。ハードウェアデバイスが出力するデータは、そのハードウェアデバイスの状態、電圧、及び温度に限られず、SBの識別情報等であってもよい。

50

【0112】

図5の情報処理装置501の構成は一例に過ぎず、情報処理装置501の用途又は条件に応じて、一部の構成要素を省略又は変更してもよい。

【0113】

図8のMMBの構成は一例に過ぎず、サーバ701の構成又は条件に応じて、一部の構成要素を省略又は変更してもよい。図9のBMCの構成は一例に過ぎず、サーバ701の構成又は条件に応じて、一部の構成要素を省略又は変更してもよい。

【0114】

図10の入力側スイッチ部732-i及び出力側スイッチ部733-iの構成は一例に過ぎず、サーバ701の構成又は条件に応じて、一部の構成要素を省略又は変更してもよい。入力側スイッチ部732-i及び出力側スイッチ部733-iのポートの個数は、サーバ701内のSBの個数に応じて変更される。

10

【0115】

図6のフローチャートは一例に過ぎず、情報処理装置501の構成又は条件に応じて一部の処理を省略又は変更してもよい。図3、図14、図15、及び図18のシーケンスは一例に過ぎず、サーバの構成又は条件に応じて一部の処理を省略又は変更してもよい。

【0116】

図2のセンサ定義情報及びセンサデータと図3のコマンド及び応答は一例に過ぎず、これらの情報は、サーバ101の構成又は条件に応じて変化する。図11の制御信号は一例に過ぎず、BMC712-i及びスイッチ制御部731-iの仕様に応じて、別の制御信号を用いてもよい。

20

【0117】

図12、図13、図16、及び図17のポート間の接続は一例に過ぎず、ポート間の接続は、入力側スイッチ部732-i及び出力側スイッチ部733-iのポートの個数に応じて変化する。

【0118】

図19は、図7のBMC712-iとして用いられる情報処理装置（コンピュータ）のハードウェア構成例を示している。図19のBMC712-iは、CPU1901、メモリ1902、及びインタフェース回路1903～インタフェース回路1905を含む。

【0119】

メモリ1902は、例えば、Read Only Memory（ROM）、Random Access Memory（RAM）、フラッシュメモリ等の半導体メモリであり、処理に用いられるプログラム及びデータを格納する。メモリ1902は、図9のセンサ定義情報902-i及びセンサデータ903-iを記憶することができる。

30

【0120】

CPU1901（プロセッサ）は、例えば、メモリ1902を利用してプログラムを実行することにより、ハードウェア713-iの管理及び監視を行う。CPU1901は、プログラムを実行することにより、図9のスイッチ処理部901-iとしても動作する。

【0121】

オペレータ又はユーザは、不図示の可搬型記録媒体にプログラム及びデータを格納しておき、それらをメモリ1902にロードして使用することができる。可搬型記録媒体としては、メモリデバイス、フレキシブルディスク、光ディスク、光磁気ディスク等が用いられる。可搬型記録媒体は、Compact Disk Read Only Memory（CD-ROM）、Digital Versatile Disk（DVD）、Universal Serial Bus（USB）メモリ等であってもよい。

40

【0122】

このように、処理に用いられるプログラム及びデータを格納するコンピュータ読み取り可能な記録媒体は、メモリ1902又は可搬型記録媒体のような、物理的な（非一時的な）記録媒体である。

【0123】

インタフェース回路1903は、プライベートローカルエリアネットワーク等の通信ネ

50

ットワークに接続され、M S B # j 又は他の B M C 7 1 2 - k (k ≠ i) と通信する。B M C 7 1 2 - i は、プログラム及びデータを外部の装置からインタフェース回路 1 9 0 3 を介して受信し、それらをメモリ 1 9 0 2 にロードして使用することができる。

【0124】

インタフェース回路 1 9 0 4 は、K C S インタフェース等の信号線に接続され、O S 又は O S 上で動作するエージェントソフトウェア等と通信する。インタフェース回路 1 9 0 5 は、I 2 C 等の信号線を介して出力側スイッチ部 7 3 3 - i に接続され、ハードウェア 7 1 3 - i 又はハードウェア 7 1 3 - k (k ≠ i) と通信する。インタフェース回路 1 9 0 6 は、G P I O 等の信号線に接続され、スイッチ制御部 7 3 1 - i と通信する。

【0125】

なお、図 1 9 の B M C 7 1 2 - i の構成は一例に過ぎず、サーバ 7 0 1 の構成又は条件に応じて一部の構成要素を省略又は変更してもよい。

【0126】

開示の実施形態とその利点について詳しく説明したが、当業者は、特許請求の範囲に明確に記載した本発明の範囲から逸脱することなく、様々な変更、追加、省略をすることができるであろう。

【符号の説明】

【0127】

1 0 1、7 0 1 サーバ
 1 1 1 - 0、1 1 1 - 1 O S
 1 1 2 - 0 ~ 1 1 2 - 3 B M C
 1 1 3 - 0 ~ 1 1 3 - 3、5 2 1 - 1 ~ 5 2 1 - N、7 1 3 - 0 ~ 7 1 3 - 3 ハードウェア
 1 1 4 - 0 ~ 1 1 4 - 3、7 2 1 - 0 ~ 7 2 1 - 3 メモリ
 1 1 5 - 0 ~ 1 1 5 - 3、7 2 2 - 0 ~ 7 2 2 - 3 電圧センサ
 2 0 1、9 0 2 - i センサ定義情報
 2 0 2 - 0、2 0 2 - 1、9 0 3 - i センサデータ
 4 0 1、4 0 3、4 0 6、4 0 8、4 1 0 コマンド
 4 0 2、4 0 4、4 0 7、4 0 9、4 1 1 応答
 4 0 5 通知
 5 0 1 情報処理装置
 5 1 1 - 1 ~ 5 1 1 - N 装置
 5 2 2 - 1 ~ 5 2 2 - N 制御部
 5 2 3 - 1 ~ 5 2 3 - N、7 1 4 - 0 ~ 7 1 4 - 3 スイッチ部
 5 3 1 信号線
 7 3 1 - 0 ~ 7 3 1 - 3 スイッチ制御部
 7 3 2 - 0 ~ 7 3 2 - 3 入力側スイッチ部
 7 3 3 - 0 ~ 7 3 3 - 3 出力側スイッチ部
 8 0 1 - j 通知部
 8 0 2 - j パーティション情報
 9 0 1 - i スイッチ処理部
 1 0 0 1 - i ~ 1 0 0 4 - i、1 0 1 1 - i ~ 1 0 1 4 - i スイッチ
 1 9 0 1 C P U
 1 9 0 2 メモリ
 1 9 0 3 ~ 1 9 0 6 インタフェース回路

10

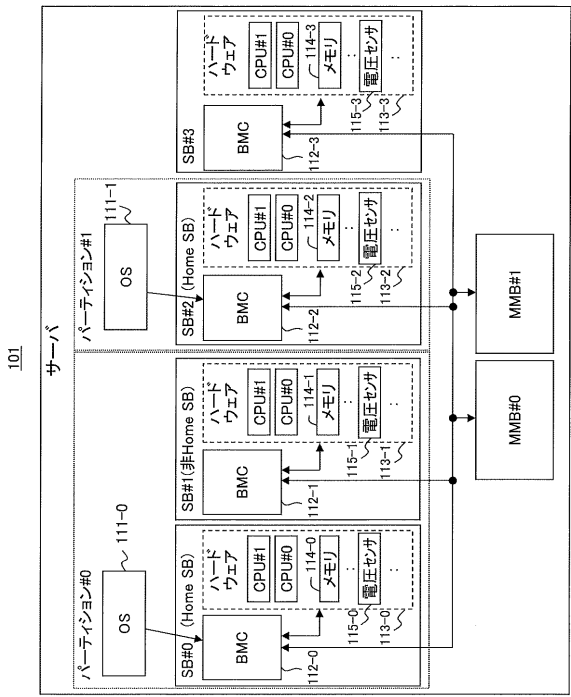
20

30

40

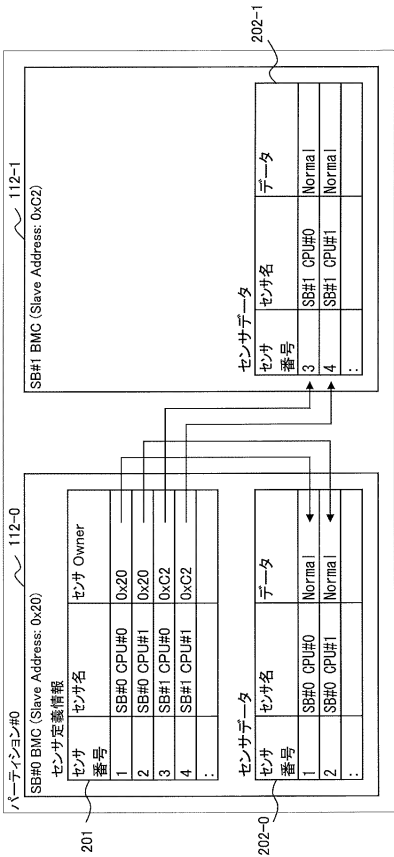
【図 1】

サーバの構成図



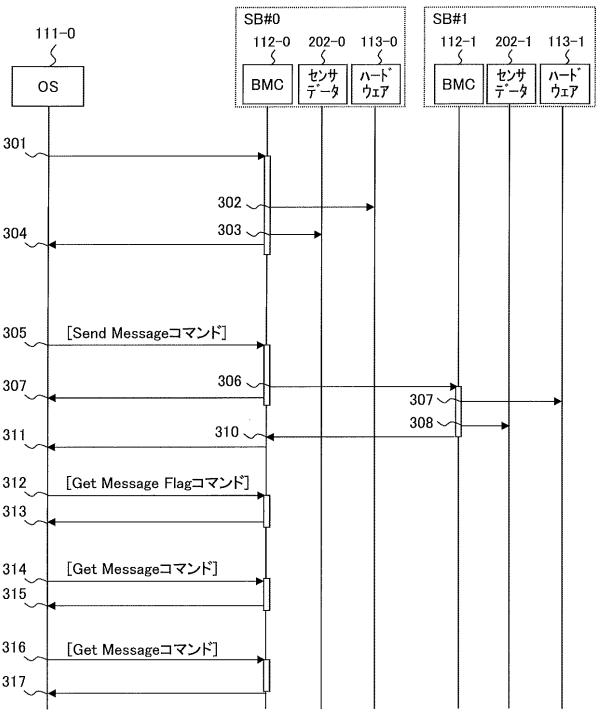
【図 2】

センサ定義情報及びセンサデータを示す図



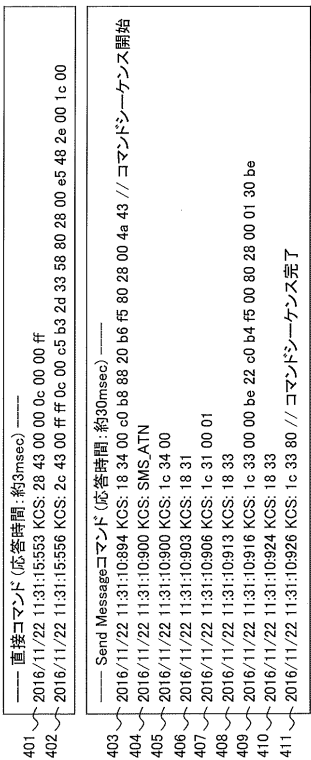
【図 3】

センサデータ収集処理のシーケンスを示す図



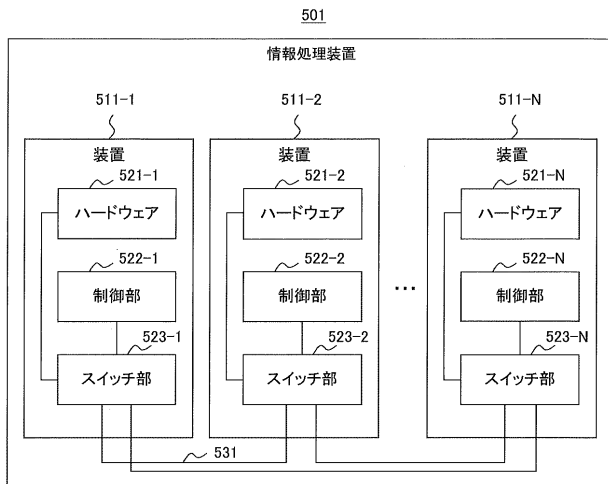
【図 4】

コマンド及び応答を示す図



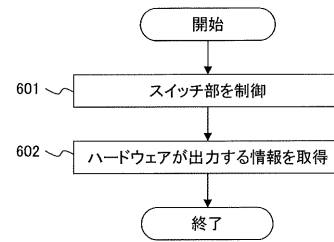
【図 5】

情報処理装置の構成図



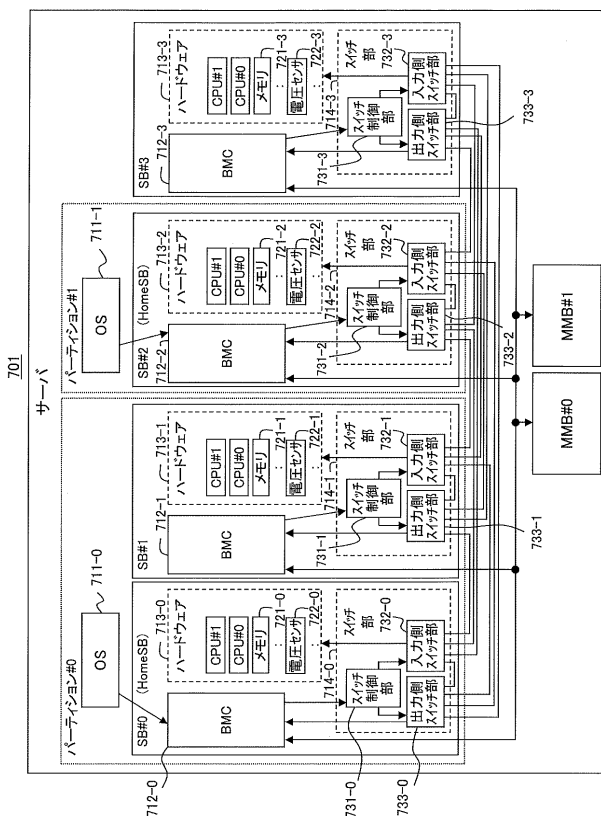
【図 6】

情報取得処理のフローチャート



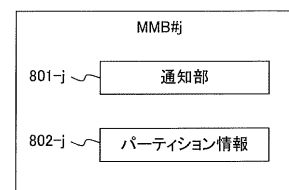
【図 7】

情報処理装置の具体例に対応するサーバの構成図



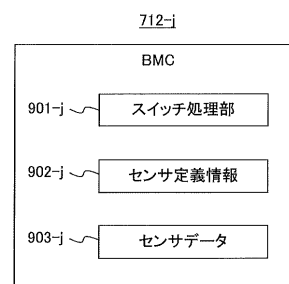
【図 8】

MMBの機能的構成図

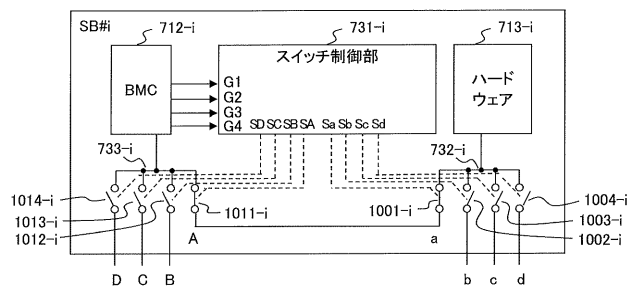


【図 9】

BMCの機能的構成図



【図 1 0】
入力側スイッチ部及び出力側スイッチ部の構成図



【図 1 1】
制御信号を示す図

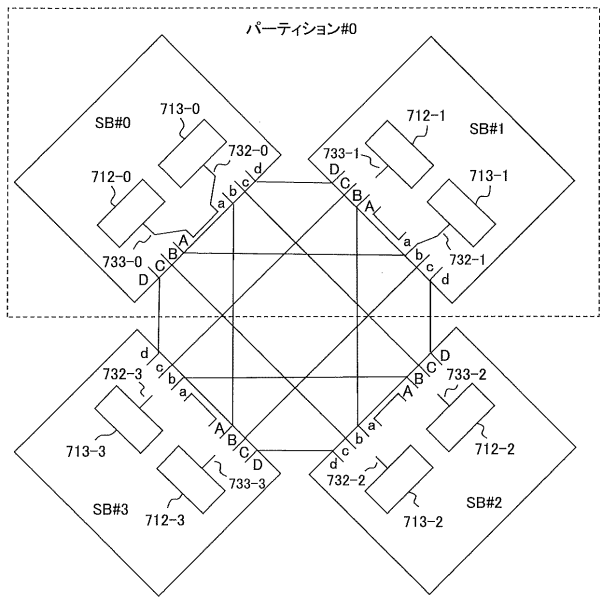
(a)

出力側スイッチ部 制御信号		接続先 ポート
G1	G2	
0	0	A
0	1	B
1	0	C
1	1	D

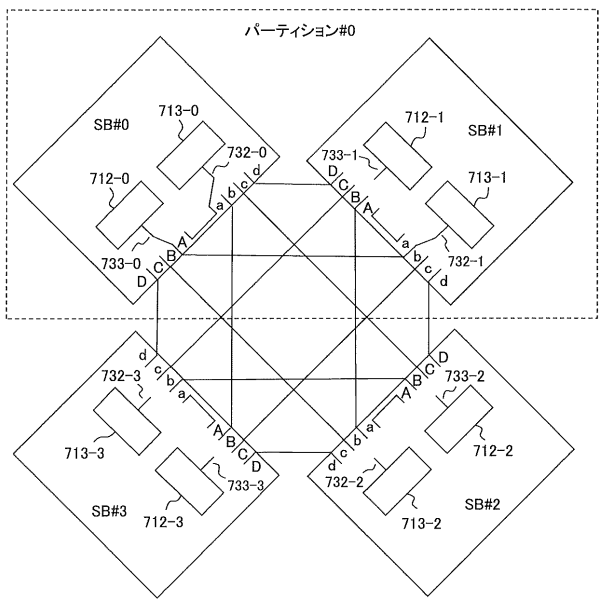
(b)

入力側スイッチ部 制御信号		接続先 ポート
G3	G4	
0	0	a
0	1	b
1	0	c
1	1	d

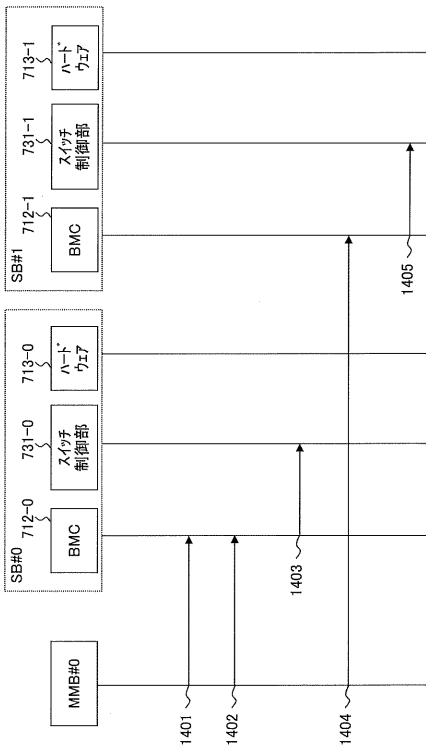
【図 1 2】
SB#0上のハードウェアにアクセスするスイッチ制御を示す図



【図 1 3】
SB#1上のハードウェアにアクセスするスイッチ制御を示す図

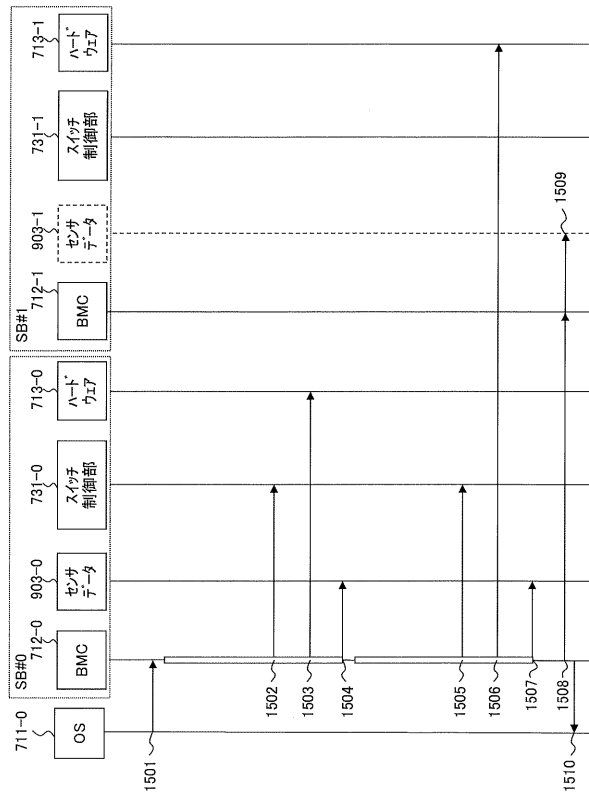


【図 1 4】
第1のスイッチ制御処理のシーケンスを示す図



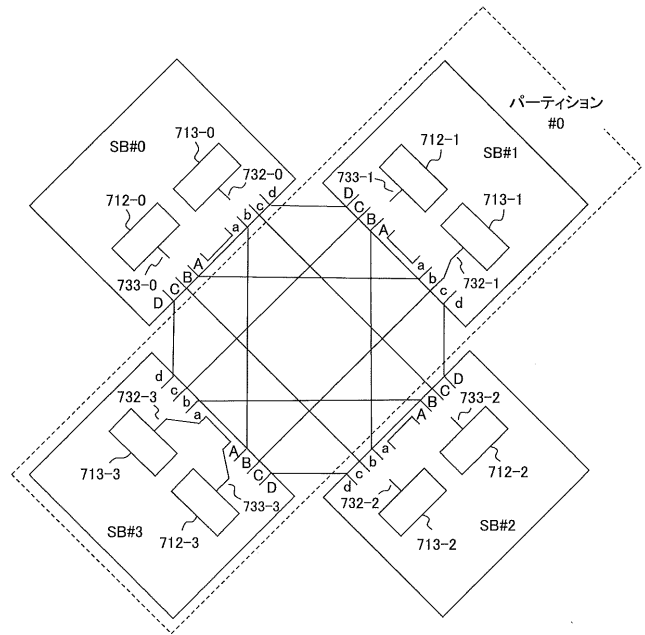
【図 15】

第2のスイッチ制御処理のシーケンスを示す図



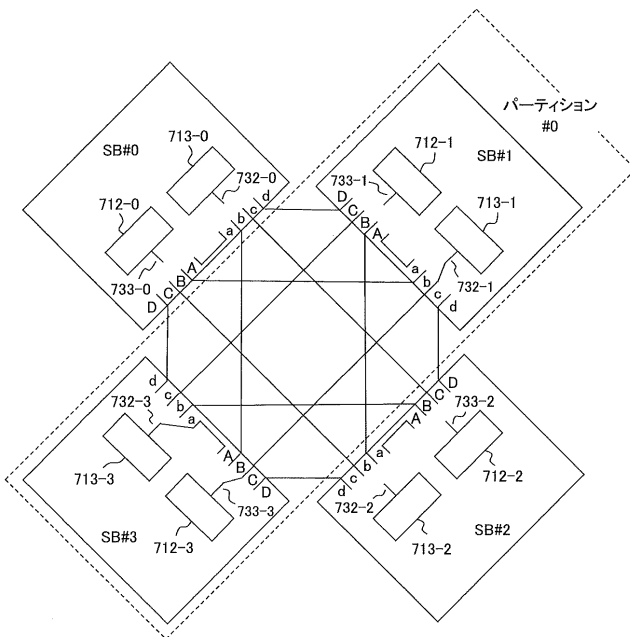
【図 16】

再構築後にSB#3上のハードウェアにアクセスするスイッチ制御を示す図



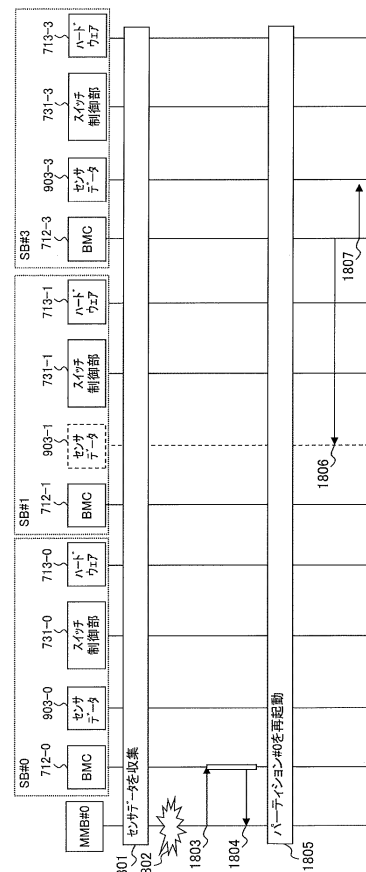
【図 17】

再構築後にSB#1上のハードウェアにアクセスするスイッチ制御を示す図



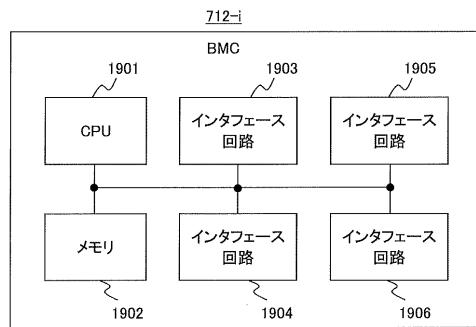
【図 18】

再構築処理のシーケンスを示す図



【図 19】

BMCのハードウェア構成図



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 6 F 11/30	1 4 0 A
	G 0 6 F 11/30	1 5 8

F ターム(参考) 5B042 GA11 GA22 GC02 GC12 MA08 MC38
5B045 BB15 JJ08