(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4649121号
(P4649121)
(45)発行日　平成23年3月9日(2011.3.9)　(24)登録日　平成22年12月17日(2010.12.17)

(51)Int.Cl.　F I
HO1J 9/02 (2006.01)　HO1J 9/02 E

請求項の数 9　(全 21 頁)

(21)出願番号　特願2004-147763(P2004-147763)
(22)出願日　平成16年5月18日(2004.5.18)
(65)公開番号　特開2005-331586(P2005-331586A)
(43)公開日　平成17年12月2日(2005.12.2)
審査請求日　平成19年4月16日(2007.4.16)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100085006
弁理士　世良　和信
(74)代理人　100100549
弁理士　川口　嘉之
(74)代理人　100106622
弁理士　和久田　純一
(72)発明者　染谷　雄一
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　山口　剛

最終頁に続く

(54)【発明の名称】駆動装置、電子源の製造方法

(57)【特許請求の範囲】
【請求項１】
格子状に配された複数の列配線と複数の行配線との交差部ごとに設けられ、前記列配線と前記行配線とに結線された導電性膜の各々に電子放出部を形成するために、前記列配線と前記行配線との間に電圧を印加する、電子源製造用の駆動装置であって、
前記列配線から前記行配線へと電流が流れるように、前記列配線と前記行配線との間に、電圧を印加するための第１給電回路と、
前記行配線から前記列配線へと電流が流れるように、前記列配線と前記行配線との間に、電圧を印加するための第２給電回路と、
前記第１給電回路と前記第２給電回路とを制御する制御部と、を備え、
前記第１給電回路と前記第２給電回路の各々は、ＦＥＴを主素子とする電子負荷を有し、
前記制御部は、前記第１給電回路と前記第２給電回路の各々が有する前記電子負荷を制御することにより、前記列配線と前記行配線との間に電圧を印加する給電回路を前記第１給電回路と前記第２給電回路との間で切り替えるとともに、前記列配線と前記行配線との間に印加する電圧を調整する
ことを特徴とする駆動装置。
【請求項２】
前記制御部は、前記第１給電回路と前記第２給電回路の各々が有する前記電子負荷を制御する信号を前記電子負荷の各々に出力し、

前記電子負荷の各々は、差動アンプを有し、
前記信号と前記ＦＥＴのドレイン電圧とが、前記差動アンプに入力され、
前記差動アンプの出力が、前記ＦＥＴのゲート電極に入力される
ことを特徴とする請求項１に記載の駆動装置。
【請求項３】
前記第１給電回路は、前記列配線に接続される第１電子負荷と、前記行配線に接続される第２電子負荷と、を有し、
前記第２給電回路は、前記行配線に接続される第３電子負荷と、前記列配線に接続される第４電子負荷と、を有し、
前記第１給電回路と前記第２給電回路は、前記第１～第４電子負荷をスイッチとするＨブリッジ回路を構成している
ことを特徴とする請求項１又は２に記載の駆動装置。
【請求項４】
単極性の電源を備え、
前記第１給電回路と前記第２給電回路は、前記電源を共用する
ことを特徴とする請求項３に記載の駆動装置。
【請求項５】
単極性の電源と、
前記電源の正極または負極を選択的に接地するスイッチと、
を備え、
前記第１電子負荷は前記正極に接続されており、前記第４電子負荷は前記負極に接続されており、前記第２電子負荷および前記第３電子負荷は接地されている
ことを特徴とする請求項３に記載の駆動装置。
【請求項６】
単極性の電源と、
前記電源の正極または負極を選択的に接地するスイッチと、
を備え、
前記第１給電回路は、前記列配線に接続される第１電子負荷と、前記行配線に接続される第２電子負荷と、を有し、
前記第２給電回路は、接地された第３電子負荷と、前記列配線とに接続される第４電子負荷と、を有し、
前記第１電子負荷は前記正極に接続されており、
前記第２電子負荷と前記第３電子負荷とは直列に接続されており、
前記第４電子負荷は前記負極に接続されている
ことを特徴とする請求項１又は２に記載の駆動装置。
【請求項７】
前記電源は電圧可変型であって
前記制御部は、前記電源の電圧を制御する
ことを特徴とする請求項４乃至６のいずれか１項に記載の駆動装置。
【請求項８】
前記列配線または前記行配線に流れる電流を測定する測定部を備え、
前記制御部は、前記測定部が測定した電流の値に基づいて、前記列配線と前記行配線との間に印加する電圧を調整する
ことを特徴とする請求項１乃至７のいずれか１項に記載の駆動装置。
【請求項９】
格子状に配された複数の列配線と複数の行配線との交差部ごとに設けられ、前記列配線と前記行配線に結線された導電性膜の各々に、電子放出部を形成する、電子源の製造方法であって、
請求項１乃至８のいずれか１項に記載の駆動装置を、前記複数の列配線と前記複数の行配線に接続して、前記複数の列配線と前記複数の行配線との間に電圧を印加する工程を有

する
ことを特徴とする電子源の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、画像表示装置に用いられる電子源の駆動装置、および、電子源の製造方法に関する。
【背景技術】
【０００２】
近年、表面伝導型放出素子等の電子放出素子（冷陰極素子）を利用した画像表示装置の研究が進められている。この種の画像表示装置では、図２１に示すように、格子状に配された多数の列配線１０１および行配線１０２と、列配線１０１と行配線１０２の交差部１０３（ただし、両配線の間には絶縁層が設けられている。）それぞれにおいて両配線に結線された電子放出素子１０４と、を備えた電子源基板１００が用いられる。
【０００３】
図２２は、電子放出素子１０４の製造工程を示している。まず、列配線１０１、行配線１０２それぞれに素子電極１０５，１０６を形成し、両素子電極１０５，１０６の間に素子膜（導電性膜）１０７を形成する（素子膜形成工程）。次に、適当なガス雰囲気中において素子膜１０７にパルス電圧を印加することで、素子膜１０７に微小な亀裂を生じさせる（フォーミング工程）。そして、適当なガス雰囲気中で素子膜１０７に両極性のパルス電圧を周期的に印加し、素子膜１０７の亀裂付近にカーボンを成長させる（活性化工程）。これにより素子膜１０７に電子放出部１０８が形成される。
【０００４】
フォーミング工程や活性化工程において用いられる駆動装置としては、図２３に示すものが知られている。なお、図２３は１つの素子に係る駆動回路を抜き出して模式的に示したものであり、実際には、素子ごと、つまり列配線と行配線の組ごとに駆動装置が設けられる。この駆動装置は、概略、列配線１０１と行配線１０２のそれぞれに接続される正負両極性のアンプ２０１，２０２と、各アンプ２０１，２０２に接続される正負の定電圧電源２０３，２０４，２０５，２０６と、アンプ２０１，２０２を制御する制御部２０７とを備えて構成される。そして、制御部２０７でアンプ２０１，２０２を適宜制御することにより、電子放出素子１０４に通電する電流の方向を切り替え可能である。
【０００５】
しかしながら、上記構成の駆動装置においては、次に挙げるような問題がある。
【０００６】
（１）フォーミング・活性化工程においては、総量で最大数百アンペアもの大電流が要求される場合がある。したがって、電子源製造用の駆動装置には画像表示用のものとは比較にならないほどの大容量電源が必要とされる。それゆえ、上記駆動装置のように列配線側・行配線側それぞれに正負両極の電源を設ける構成では、装置の大型化および装置コストの増大が切実な問題となる。
【０００７】
（２）また、アンプにおける電源電圧と出力電圧の差は熱損失と等しく、その値は数キロワットにも及ぶ場合がある。これは電力効率と冷却設備の点で不利である。
【０００８】
（３）図２１のような単純マトリクス型の電子源基板では、配線抵抗等の影響により電圧降下が発生する。つまり、駆動装置が一定の電圧を印加したとしても、給電口（列配線／行配線の端子）からの距離に応じて、素子印加電圧（実際に素子に印加される電圧）の値にばらつきが生じる。しかも、フォーミング・活性化工程においては、亀裂やカーボンの成長に応じて素子膜抵抗が変化するので、電圧降下値が経時的に変化することになる。それゆえ、電子源製造時には、給電口毎にパルス電圧の波高を適切に制御して、電圧降下を補償することが重要となる。このパルス電圧の制御に関しては、画像表示装置の大画面

化・高精細化に伴ってより高速かつ安定した制御が求められるようになってきているが、従来の駆動装置ではその要求に応えることが難しい。

【０００９】

ところで、電源の単極化を図る一般的な手法として、Ｈブリッジ回路なる構成が知られている。図２４にＨブリッジ回路の原理を示す。Ｈブリッジ回路は２つの給電回路をＨ型に組み合わせたものであり、スイッチ３０１，３０２のみをオンするとＡ方向に電流が流れ、スイッチ３０３，３０４のみをオンするとＢ方向に電流が流れる仕組みである。このような回路構成によれば、単極の電源により両方向の通電ができるので、電源を削減することができる。なお、特許文献１には、Ｈブリッジに類似した回路構成を有する駆動装置が開示されており、ＦＥＴのスイッチング動作により通電方向を切り替えている。ただし、この駆動装置はあくまでも画像表示用のものであり、単純に通電方向を切り替えることができるにすぎない。上述した（２），（３）等の問題から、そのまま電子源製造用に転用することは困難である。

【特許文献１】特開平９－９０９０４号公報

【発明の開示】

【発明が解決しようとする課題】

【００１０】

本発明は上記実情に鑑みてなされたものであって、その目的とするところは、高速かつ安定したパルス電圧制御が可能な電子源の駆動装置を提供することにある。

【００１１】

また、本発明の他の目的は、大型の電子源の製造に好適に用いることができる電子源の駆動装置および電子源の製造方法を提供することである。

【課題を解決するための手段】

【００１２】

上記目的を達成するために、本発明は以下の構成を採用する。

【００１３】

すなわち、本発明の第一態様に係る駆動装置は、格子状に配された複数の列配線と複数の行配線との交差部ごとに設けられ、前記列配線と前記行配線とに結線された導電性膜の各々に電子放出部を形成するために、前記列配線と前記行配線との間に電圧を印加する、電子源製造用の駆動装置であって、

前記列配線から前記行配線へと電流が流れるように、前記列配線と前記行配線との間に、電圧を印加するための第１給電回路と、

前記行配線から前記列配線へと電流が流れるように、前記列配線と前記行配線との間に、電圧を印加するための第２給電回路と、

前記第１給電回路と前記第２給電回路とを制御する制御部と、を備え、

前記第１給電回路と前記第２給電回路の各々は、ＦＥＴを主素子とする電子負荷を有し、

前記制御部は、前記第１給電回路と前記第２給電回路の各々が有する前記電子負荷を制御することにより、前記列配線と前記行配線との間に電圧を印加する給電回路を前記第１給電回路と前記第２給電回路との間で切り替えるとともに、前記列配線と前記行配線との間に印加する電圧を調整する。

【００１４】

また、本発明の第二態様に係る電子源の製造方法は、格子状に配された複数の列配線と複数の行配線との交差部ごとに設けられ、前記列配線と前記行配線に結線された導電性膜の各々に、電子放出部を形成する、電子源の製造方法であって、上記駆動装置を、前記複数の列配線と前記複数の行配線に接続して、前記複数の列配線と前記複数の行配線との間に電圧を印加する工程を有する。

【発明の効果】

【００１５】

本発明によれば、高速かつ安定したパルス電圧制御が可能となる。したがって、大画面

の画像表示装置に用いられるような大型の電子源を良好に製造可能である。

【発明を実施するための最良の形態】

【００１６】

まず、図１～図４を参照して、本発明に係る駆動装置の第１～第４の実施形態を説明する。以下に述べる駆動装置は、単純マトリクス型の電子源基板の製造（特に、フォーミング工程や活性化工程）に好適に用いられるものである。すなわち、本駆動装置は、格子状に配された複数の列配線および行配線と、列配線と行配線の交差部それぞれにおいて両配線に結線された素子と、を備えた電子源基板に接続され、素子に両極の電圧を印加するためのものである。

【００１７】

なお、図１～図４では、１つの素子に係る駆動回路を抜き出して模式的に示している。また、各図において、共通する構成部分には同一の符号を付すものとする。

【００１８】

（第１実施形態）

図１は、第１実施形態に係る駆動装置の回路構成を示している。この駆動装置は、概略、単極性の電圧可変型電源Ｖ、電子負荷（Ｘｐ）１、電子負荷（Ｙｐ）２、電子負荷（Ｙｎ）３、電子負荷（Ｘｎ）４、および、電子負荷１～４を制御する制御部５を備える。そして、これら４つの電子負荷１～４を可変抵抗と模したスイッチとしてＨブリッジ回路が構成されている。

【００１９】

上記構成において、電子負荷１および電子負荷２が導通し、かつ、電子負荷３および電子負荷４が電気的に開放状態にあるときに、「電源Ｖ→電子負荷１→列配線１１→素子１３→行配線１２→電子負荷２→電源Ｖ（ＧＮＤ）」という経路からなる第１給電回路が形成される。この第１給電回路により、列配線１１から行配線１２へと電流を流すパルス電圧（第１電圧）を印加することができる。

【００２０】

一方、電子負荷３および電子負荷４が導通し、かつ、電子負荷１および電子負荷２が電気的に開放状態にあるときに、「電源Ｖ→電子負荷３→行配線１２→素子１３→列配線１１→電子負荷４→電源Ｖ（ＧＮＤ）」という経路からなる第２給電回路が形成される。この第２給電回路により、行配線１２から列配線１１へと電流を流すパルス電圧（第２電圧）を印加することができる。

【００２１】

図５（ａ）は、電子負荷の一構成例を示している。電子負荷２０は、ＦＥＴ（電界効果トランジスタ）２１を主素子とするものであり、具体的には、ＦＥＴ２１と差動アンプ２２とから構成される。図５（ａ）の例では、電圧制御信号ＣｍＱとＦＥＴ２１のドレイン電圧とが差動アンプ２２に入力され、差動アンプ２２の出力がＦＥＴ２１のゲート電極に入力されるような構成となっている。

【００２２】

電子負荷２０において、差動アンプ２２に電圧制御信号ＣｍＱを与えると、ＦＥＴ２１のドレイン電圧（ソース・ドレイン間電圧）ＶＱが差動アンプ２２にフィードバックされる。よって、電圧制御信号ＣｍＱとドレイン電圧ＶＱの電位差が限りなくゼロに近づくように、差動アンプ２２の出力がＦＥＴ２１のゲートを制御することになる。

【００２３】

負荷２３（図１の素子１３に対応する。）に印加される電圧Ｖｓは、電源の電圧Ｖｃｃからドレイン電圧ＶＱを引いた値になる。

Ｖｓ＝Ｖｃｃ－ＶＱ

【００２４】

上述の通り、電圧制御信号ＣｍＱが与えられたときは、ＶＱ＝ＣｍＱとなるため、結果として印加電圧Ｖｓは、

Ｖｓ＝Ｖｃｃ－ＣｍＱ

となる。これから、負荷２３に印加される印加電圧Ｖｓは電圧制御信号ＣｍＱにより制御できることがわかる。

【００２５】

すなわち、図５（ｂ）に模式的に示したように、ＦＥＴ２１は電圧制御信号により抵抗値を調整可能な、電子的な可変抵抗として把握することができる。また、電圧制御信号が入力されないときは、ドレイン電流（ソース・ドレイン間電流）が流れない状態（電気的な開放状態）となることから、ＦＥＴ２１はフロート型オンオフスイッチとして捉えることもできる。

【００２６】

電子負荷をバイポーラ型トランジスタでなくＦＥＴで構成したことの利点としては、一つに、電子負荷の発熱量が小さくなることが挙げられる。ゲートを完全にオンしたときのドレイン・ソース間の最小残留電圧Ｖｄｓ（ドレイン電圧ＶＱの下限）は、バイポーラ型トランジスタでは約２．５Ｖかそれ以上である。これに対して、ＦＥＴではＶｄｓがおよそ１Ｖ以下であり、少なくとも２Ｖを確保すれば安定した制御が可能である。従って、ＦＥＴではドレイン電圧ＶＱを小さくでき、ＦＥＴ中で消費される熱（ＶＱと電流との積）を低減することが可能となる。しかも、Ｖｓ＝Ｖｃｃ－ＶＱであるから、ＶＱが小さくなるほど、電源の電圧Ｖｃｃを小さくすることができるというメリットもある。

【００２７】

また、二点目として、高速な電圧制御が可能になることが挙げられる。ＦＥＴの応答速度は非常に高速であり、これを主素子とする電子負荷としては１μｓ前後の動作速度を得ることができる。よって、応答の立ち上がりや立ち下がりを考慮しても、幅１０μｓ以下のパルス電圧の制御を十分安定して行うことができるようになる。

【００２８】

なお、図５（ａ）は、電子負荷の基本的構成を示したものにすぎない。駆動回路全体の構成、電子負荷内で必要な電流や電圧、あるいは、パルス電圧制御の態様等に応じて、回路構成に適宜変更を加えてもよい。ＦＥＴを主素子として用いた電子負荷であれば、上記効果を奏することができる。

【００２９】

本実施形態では、このような構成の電子負荷２０を、図１の駆動装置の各電子負荷１～４として用いている。そして、電子源製造時（フォーミング・活性化工程）には、制御部５が電圧降下補償を考慮した電圧制御信号を各電子負荷１～４に与え、素子に印加するパルス電圧を適宜制御する。このとき、制御部５は、素子に印加すべき電圧に応じて電源Ｖの電圧も制御する。

【００３０】

具体的には、制御部５は、電圧制御信号を電子負荷１，２に与えるか電子負荷３，４に与えるかを選択することで、パルス電圧の極性を切り替える。また、電圧制御信号の電位によりパルス電圧の波高を制御し、電圧制御信号の長さによりパルス電圧の幅を制御する。さらに、制御部５は、印加する電圧の最大値と、電子負荷の最小残留電圧とから、電源Ｖで供給すべき電圧の値を求め、電源Ｖの電圧を必要最低限の値に抑えるのである。

【００３１】

以上述べた駆動装置によれば、高速かつ安定したパルス電圧制御が可能となる。したがって、大画面の画像表示装置に用いられるような大型の電子源を良好に製造可能である。

【００３２】

また、列配線側の給電回路と行配線側の給電回路とで電源を共用することで電源数を削減できるので、装置の小型化および装置コストの低減を図ることができる。

【００３３】

さらに、電力効率を向上し、消費電力および発熱の低減を図ることができる。

【００３４】

（第２実施形態）

図２は、第２実施形態に係る駆動装置の回路構成を示す図である。この駆動装置は、単

極性の電圧可変型電源Ｖ、４つの電子負荷１～４、および、電子負荷１～４を制御する制御部５（図示略）を備え、電子負荷１～４をスイッチとしてＨブリッジ回路が構成されている点で、第１実施形態のものと共通する。ただし、第１実施形態では、電源Ｖの負極が接地されていたのに対し、本実施形態では、スイッチ（ＤｉｒＮ，ＤｉｒＰ）６によって電源Ｖの正極または負極を選択的に接地できる点と、第１実施形態では電子負荷３と電源Ｖの正極とが接続されていたのに対し、本実施形態では、電子負荷２，３がともに接地されている点とが異なる。なお、スイッチ６としては半導体スイッチを好適に用いることができる。

【００３５】

上記構成において、制御部５が電子負荷１，２をオンにし、スイッチ（ＤｉｒＰ）６により電源Ｖの負極側を接地すると、第１給電回路が形成され、列配線１１から行配線１２へと電流を流すパルス電圧（第１電圧）が印加される。逆に、電子負荷３，４をオンにし、スイッチ（ＤｉｒＮ）６により電源Ｖの正極側を接地すると、第２給電回路が形成され、素子には逆方向の電流が流れる。

【００３６】

したがって、第２実施形態の構成によっても、第１実施形態と同様の作用効果が得られる。加えて、第２実施形態の構成によれば、次のような利点もある。

【００３７】

行配線側の電子負荷２，３をともに接地する構成（例えば、基板のＧＮＤ配線に接続する。）であるため、電子負荷２，３と電源Ｖとの間を物理的配線で接続する必要がなくなる。つまり、行配線側の電子負荷に対する電源配線を無くすことができる。

【００３８】

また、列配線側と行配線側の互いの回路部分の電気的機能が物理的に分離するとともに、列配線側では電子負荷１と電子負荷４とが同一電流を扱う対称回路をなし、行配線側でも電子負荷２と電子負荷３とが対称回路をなしているので、扱いが容易である。

【００３９】

（第３実施形態）

図３は、第３実施形態に係る駆動装置の回路構成を示す図である。この駆動装置は、第２実施形態の構成において、電子負荷２と行配線１２の間、および、電子負荷３と行配線１２の間に、ダイオード７，８を設けたものである。

【００４０】

第２実施形態の構成では、電子負荷２，３を構成するＦＥＴの寄生ダイオード（図３の破線参照）により、行配線１２がＧＮＤと短絡するおそれがある。そこで、本実施形態では、逆流抑制部としてのダイオード７，８を設けることで、電子負荷２から行配線１２に向かう方向および行配線１２から電子負荷３に向かう方向に電流が流れること（電流の逆流）を抑制し、行配線１２とＧＮＤの短絡防止を図っている。したがって、より安定したパルス電圧制御が可能となる。

【００４１】

（第４実施形態）

図４は、第４実施形態に係る駆動装置の回路構成を示す図である。この駆動装置は、第２実施形態の構成を変形し、行配線１２側の電子負荷２，３を直列に配置したものである。具体的には、電子負荷３の一方の端子が接地され、電子負荷３の他方の端子と行配線１２の間に電子負荷２が接続されている。

【００４２】

この構成によると、各電子負荷２，３のＦＥＴの寄生ダイオードを利用して、「行配線１２→電子負荷２→ＧＮＤ」という経路と「ＧＮＤ→電子負荷３→行配線１２」という経路とが確保されるとともに、電流の逆流（行配線１２とＧＮＤの短絡）が抑制される。したがって、第３実施形態と同様、安定したパルス電圧制御が可能である。しかも、逆流抑制用のダイオードを別途設ける必要がないので、第３実施形態に比べて回路構成が簡易になるとともに、消費電力を低減することができるという利点がある。

【００４３】
では次に、本発明に係る駆動装置のより具体的な実施例について説明する。なお、以下に述べる実施例１は上記第１実施形態を具体化したものであり、実施例２は第２実施形態を具体化したものである。実施例で参照する図においても、図１～図５と共通する構成部分には同一の符号を付すものとする。
【実施例１】
【００４４】
図６は、実施例１に係る駆動装置の構成を示す図である。図６では、電子源基板３０に駆動装置を接続した様子を示している。電子源基板３０は、ｍ本の列配線１１とｎ本の行配線１２とでｍ×ｎ個の表面伝導型放出素子１３（ただし、この時点では素子膜の状態であり、電子放出部は形成されていない。）を結線した単純マトリクス型電子源である。ハイビジョンテレビのような大画面・高精細な画像表示装置に用いられる電子源基板では、ｍ、ｎのオーダーが数百～数千にもなる。以下、列配線をＸ配線、列配線側をＸ側、行配線をＹ配線、行配線側をＹ側のように記載する。
【００４５】
駆動装置は、複数のＸ側給電部Ａｘ１，Ａｘ２，・・・と、複数のＹ側給電部Ａｙ１，Ａｙ２，・・・（以下、全てのＸ側給電部、Ｙ側給電部に共通する説明では、単に「Ｘ側給電部Ａｘ」、「Ｙ側給電部Ａｙ」という。）と、複数の単極性電圧可変型電源Ｖ１，Ｖ２，・・・（以下、全ての電源に共通する説明では、単に「電源Ｖ」という。）と、制御部５とを備える。制御部５はＣＰＵ、Ｄ／Ａコンバータ、Ｉ／Ｏ、Ａ／Ｄコンバータ等から構成されている。制御部５とＸ側給電部ＡｘおよびＹ側給電部Ａｙとの間は、指令値バスラインで接続されており、制御部５から各給電部に対して電圧制御信号が与えられる。また、制御部５は指令値バスラインを介して各電源Ｖの電圧を調整する信号も与える。また、制御部５は、各給電部の給電点に接続された電流検出ラインを有しており、各配線に流れる電流を検出可能である。
【００４６】
Ｘ側給電部Ａｘはａ本のＸ配線に接続されており、Ｙ側給電部Ａｙはｃ本飛びにｂ本のＹ配線に接続されている。つまり、Ｘ側給電部Ａｘ、Ｙ側給電部Ａｙともに、複数の配線に対して同時に給電を行う。なお、図６では、ａ＝５，ｂ＝４，ｃ＝３の例を示しているが、これに限るものではない。
【００４７】
本実施例では、Ｘ側給電部Ａｘ１，Ａｘ２およびＹ側給電部Ａｙ１～Ａｙ４は１つの電源Ｖ１を共用している。電源の共用については後述する。
【００４８】
上記駆動装置から１つの素子に係る回路構成を抜き出したものが、図７である。同図に示すように、Ｘ側給電部Ａｘは２つの電子負荷１，４からなり、Ｙ側給電部Ａｙは２つの電子負荷２，３からなる。また、電子負荷１はＦＥＴ；Ｑ１、差動アンプＡｘＰからなり、電子負荷４はＦＥＴ；Ｑ２、差動アンプＡｘＮからなり、電子負荷２はＦＥＴ；Ｑ４、差動アンプＡｙＰからなり、電子負荷３はＦＥＴ；Ｑ３、差動アンプＡｙＮからなる。つまり、実施例１の駆動装置は、上記第１実施形態（図１）で説明したものと同様のＨブリッジ回路である。
【００４９】
この回路において、差動アンプＡｘＰ，ＡｙＰにそれぞれ電圧制御信号Ｃｍｘ，Ｃｍｙを与えると、「電源Ｖ→電子負荷１（ＦＥＴ；Ｑ１）→Ｘ配線１１→素子１３→Ｙ配線１２→電子負荷２（ＦＥＴ；Ｑ４）→ＧＮＤ」という経路からなる第１給電回路により、正方向（第１方向）に電流が流れる。図８は、第１給電回路の構成を抜粋して示したものである。図中の符号Ｓ，Ｄはソース電極、ドレイン電極を表している。電圧制御信号Ｃｍｘ，Ｃｍｙとして電圧Ｖｘ，Ｖｙが与えられると、素子１３に対して（実際は、Ｘ配線１１の給電口とＹ配線１２の給電口の間に）電圧Ｖｓ（Ｖｓ＝Ｖｘ－Ｖｙ）が印加される。
【００５０】

逆に、差動アンプＡｙＮ，ＡｘＮにそれぞれ電圧制御信号Ｃｍｘ，Ｃｍｙを与えると、「電源Ｖ→電子負荷３（ＦＥＴ；Ｑ３）→Ｙ配線１２→素子１３→Ｘ配線１１→電子負荷４（ＦＥＴ；Ｑ２）→ＧＮＤ」という経路からなる第２給電回路により、負方向（第２方向）に電流が流れる。図９は、第２給電回路の構成を抜粋したものである。第１給電回路の場合と逆極性の電圧Ｖｓ（Ｖｘ－Ｖｙ）が素子１３に印加されることがわかる。

【００５１】

上記構成により、電圧制御信号Ｃｍｘ，Ｃｍｙの電位および長さを制御することで、素子１３（素子膜）に対して任意の波高、幅、極性のパルス電圧を印加することが可能となる。なお、実際の制御では、Ｘ側給電部Ａｘをオンした状態で、オンにするＹ側給電部Ａｙを順次切り替えることで、基板全体の素子を順番に駆動する。つまり、オンになったＸ側給電部ＡｘとＹ側給電部Ａｙの組で、図７で示した回路が形成されることになる。

【００５２】

（対面給電）

大型の電子源基板の場合は、図１０に示すように、対面給電を行うことも好ましい。Ｘ側給電部ＡｘをＸ配線１１の上下の両端に接続し、Ｙ側給電部ＡｙをＹ配線１２の左右の両端に接続することで、配線の両側から同一の電圧を印加するのである。

【００５３】

単純マトリクス型配線では配線抵抗の影響による電圧降下が避けられず、給電口から遠くなるほど配線上の電位が放物線状に小さくなる。このため、基板上の個々の素子膜に一定電圧を印加するには、Ｘ側、Ｙ側の電子負荷を調整し、電圧降下分を上乗せした（補償した）電圧を給電する必要がある。このとき電源電圧は印加電圧の必要最大値に合わせる必要があることから、電圧降下の補正量（補償電圧）が大きくなるほど電源電圧を高く設定しなければならず、結果として電子負荷周辺回路での電力ロスが大きくなる。また補償電圧の差異が基板内回路における不意な回り込み電圧を生じさせ、素子特性の劣化を招くおそれもある。

【００５４】

そこで、対面給電により同一電圧を配線の左右または上下から供給すると、電圧降下が配線の中央部分で最大となり、しかも、片側からの流入電流が１／２となる。したがって、片給電の場合と比較して電圧降下の補償電圧が大幅に小さくなり、電力ロスの低減や回り込み電圧の抑制を図ることができる。更にＸ側給電部ＡｘとＹ側給電部Ａｙの数がそれぞれ１／２に削減できる。

【００５５】

また、Ｙ配線１２に対して対面給電を行う場合には、図１０に示すように、Ｘ側給電部Ａｘを対称位置にある上下左右４カ所のＸ配線１１に接続することも好ましい（並列給電という）。これにより、Ｘ側給電部Ａｘの数を更に半分、即ち当初の１／４に削減でき、駆動装置の小型化とコスト低減を図ることができる。

【００５６】

（パルス電圧制御）

次に、制御部５におけるパルス電圧制御について説明する。

【００５７】

制御部５は、各電子負荷１～４に適宜電圧制御信号を与えることにより、両極性のパルス電圧を発生させる。図１１にパルス波形の一例を示す。この例では、正／負のパルス電圧が周期Ｔで繰り返し印加される。なお、このパルス形状精度は最小でマイクロ秒単位の再現精度を必要とする場合がある。

【００５８】

ところで、全素子膜にパルスを同時印加すると、大電流による大きな熱が発生しフォーミングや活性化プロセスを阻害したり、基板上の温度分布のばらつきによる応力で物理的破損を誘発したりするおそれがある。また素子膜数に比例した大きな電源電流が必要となり、好ましくない。

【００５９】

したがって、図１２に示すように、周期Ｔの中でＹ配線毎にパルスの印加タイミングを順次ずらしていくことが好ましい（ローリング方式という）。図１２の場合、Ｙ配線２０本を一つのローリンググループとしており、基板上のＹ配線２０本置きに同一波形が印加される。

【００６０】

たとえばＹ配線の総数が８００本の場合であれば、Ｙ１，Ｙ２１，Ｙ４１，・・・，Ｙ７６１，Ｙ７８１のＹ配線に同時にパルスが印加されることになる。ローリンググループ数は８００／２０＝４０個となる。従って一つの素子膜に流れる電流をＩｓとすると、Ｘ配線１本に流れる総電流は４０×Ｉｓとなる。対面給電の場合、１つのＸ配線給電口からはその半分の２０×Ｉｓを給電すればよい。

【００６１】

このようにローリング方式を採用することで、Ｘ配線に流れる電流を微小にできるので、図６に示したようにＸ配線をａ本束ねて給電することも十分可能である。この束ね数は、給電口接続部分の物理的構造や、電圧降下補償の許容誤差などから決定すればよい。なお、Ｘ側給電部Ａｘの数は、Ｘ配線数ｍを束ね数ａで割った数（ｍ／ａ）、さらに並列給電を採用した場合はその１／４（ｍ／ａ／４）となる。

【００６２】

図１３はパルス波形の他の例を示している。この例では、経時的にパルス波高、パルス幅、そしてパルスのタイミングを変化させている。すなわち、初回は、正パルスと負パルスを組み合わせたパルスＰ１を印加し、次に、パルスＰ１の負パルスの波高を２倍したパルスＰ２を印加し、次に、パルスＰ２の正パルスの波高および幅を２倍し、かつ、極性切り替え間隔を２倍したパルスＰ３を印加している。制御部５がアナログ指令である電圧制御信号を適宜生成することで、任意のパルス波形を発生させることができる。

【００６３】

（束ね給電）

ところで図６ではＹ配線をｂ本束ねて給電している。（この時、上記のローリンググループ数は１／ｂとなる。）Ｙ配線を束ねる目的は、Ｙ側給電部Ａｙの数を減らすことにある。ただし束ね数は次の様に制限される。

【００６４】

（１）Ｙ配線の給電口との接続は熊手状のプローブピンを採用することがある。フォーミングや活性化の工程中はプローブピンが電気的に接触していることが必須であるが、その接触確認はＹ配線に電圧を印加した状態で電流値を検査することにより行われる。しかしＹ配線一本の端から端までの抵抗値のばらつきが大きいと、電流値の減少が「プローブピンの接触不良」によるものか「抵抗値のばらつき」によるものか区別ができないことがある。

【００６５】

６本束ねを例に説明する。Ｙ配線抵抗値が１０Ω±１０％であったとすると、６本束ね時の並列抵抗値の最大値は１１Ω／６＝１．８３Ωとなる。一方、プローブピンが１本外れて５本束ねになってしまった場合の並列抵抗値の最小値は９Ω／５＝１．８０Ωとなる。このように抵抗値が近似すると、電流測定によるプローブの外れ検出が疑わしくなるのである。

【００６６】

これに対して４本束ねであれば、並列抵抗値の最大値は１１Ω／４＝２．７５Ωであり、プローブピンが外れて３本束ねになってしまった場合の並列抵抗値の最小値は９Ω／３＝３．００Ωとなり、その差が明確化する。従って１０％のばらつきがある時の束ねの上限は４本が適当であることが分かる。

【００６７】

（２）隣接するＹ配線を束ねると、活性化工程における素子膜の発熱が相互に悪影響を及ぼし、素子膜の特性が劣化することがある。この問題は、適当に間隔を空けてｃ本飛びに束ねると回避できる。しかし前述した様にＸ配線でも放物線状に電圧が降下する為に、

間隔を空け過ぎると素子膜への印加電圧の差異が過大になる。よって、発熱の影響を回避し、かつ、電圧降下補償の許容誤差に収まるような範囲内で、束ね数が決定される。

【００６８】

（電圧降下補償）

次に電圧降下の補償について詳しく説明する。

【００６９】

Ｙ配線の中央における電圧降下値ΔＶｘ（絶対値）は、

・Ｙ配線に対し対面給電を行い、Ｙ配線上の電圧電流分布は左右対称である

・素子間の部分配線の抵抗値は、すべての部分配線で同一である

・素子に流れる電流は、すべての素子で同一である

と仮定することにより、

ΔＶｘ＝（１／８）×Ｉｙａ×Ｒｙａ　　（式１）

と近似することができる。ここで、ＩｙａはＹ配線に流れる電流であり、ＲｙａはＹ配線全体の抵抗値である。

【００７０】

電圧降下値はＹ配線の端部に近づくにつれて放物線状に小さくなり、両端ではゼロになる。よって、ΔＶｘが求まれば、Ｙ配線上の各交差部における電圧降下値（Ｘ配線抵抗に起因する分）を算出できる。ここでＲｙａは既知であるので、Ｙ配線に流れる電流Ｉｙａを検出しさえすれば、（式１）により、補償すべき電圧降下値を算出可能であることがわかる。

【００７１】

同様にして、Ｘ配線の中央における電圧降下量ΔＶｙは、

ΔＶｙ＝（１／８）×Ｉｘａ×Ｒｘａ　　（式２）

で近似でき（ＩｘａはＸ配線に流れる電流であり、ＲｘａはＸ配線全体の抵抗値である。）、Ｘ配線に流れる電流Ｉｘａを検出することで、Ｙ配線抵抗に起因する分の電圧降下値を算出可能である。

【００７２】

なお、（式１）、（式２）の誤差はそれぞれ「ｍ／（ｍ×ｍ）」、「ｎ／（ｎ×ｎ）」程度であり、ハイビジョンテレビなどの大画面・高精細画像形成装置ではｍ，ｎが数百～数千程度になるので、誤差は無視できる。

【００７３】

ところで、フォーミング～活性化工程では、素子膜へのカーボン付着量の増加に伴い、素子膜抵抗が経時的に下降していく。すると（式１）、（式２）のＩｙａ，Ｉｘａが増加する為に、電圧降下の最大値ΔＶｘ，ΔＶｙ、すなわち個々の給電部における補償電圧ΔＶｘｍ，ΔＶｙｍは経時的に増加する。

【００７４】

この様子の例を図１４に示す。これは活性化の時間経過に伴う電圧降下値（補償電圧）の平均推移を示している。初期ｔ１→中期ｔ２→後期ｔ３と進むにしたがい、補償電圧ΔＶｘｍのピーク値がΔＶｘｔ１→ΔＶｘｔ２→ΔＶｘｔ３のように増加していることがわかる。

【００７５】

カーボンの付着量は数マイクロ秒から数百マイクロ秒程度の単位で時々刻々と変化し、それに伴い電圧降下値も変動する。よって、配線に流れる電流Ｉｙａ，Ｉｘａの測定値をフィードバックして電子負荷の抵抗値の調整を行う高速フィードバック制御が有効となる。

【００７６】

図１５に電圧降下のフィードバック制御に係る構成を示す。図１５では、給電回路に直列に抵抗Ｒｆｂを挿入し、この抵抗Ｒｆｂによる発生電圧を検出することにより、配線に流れる電流を測定している。つまり、抵抗Ｒｆｂは電流測定部として機能する。電流測定値は電流検出ラインを通じて制御部５のＡＤコンバータに入力される。制御部５は、（式

１）あるいは（式２）を用いて電流測定値から補償電圧を計算し、その補償電圧を加味した電圧制御信号ＣｍＱをＤＡコンバータを介して給電部に出力する。これにより電子負荷の抵抗値（ドレイン電圧）が調整され、電圧降下が補償された電圧を素子に印加することができる。

【００７７】

図１６は、図１５の変形例であり、配線に流れる電流Ｉｙａ，Ｉｘａを直接制御する構成例である。制御部は電流指令を発生し、その後の制御は全てハードウェアに依る為に、マイクロ秒単位の高速制御を期待できる。

【００７８】

図１５、図１６何れの場合も、電圧降下の経時的変化に対する高い応答性が要求されるところ、本実施例では電子抵抗をＦＥＴで構成しているので十分な応答性を得ることができる。

【００７９】

なお、本実施例では電流検出に直列抵抗回路を用いたが、ホール素子を用いた絶縁型の回路も一般に市販されており、１０ｋＨｚ以上の応答性、双極対応、発熱しない等の点からも積極的な採用の選択肢に入る。

【００８０】

（電源）

次に電源について説明する。電子源基板が大型化する場合、電源の必要電流は数百アンペアに達する事がある。これは一般的な市販電源の容量を超えている。また、電源出力配線材の電圧降下の問題も生ずる。それらへの対策や、電子負荷のＦＥＴによる熱消費の抑制の為に、図６の電源Ｖ１，Ｖ２，・・・の様に、電源容量を分割して複数個設置する事が望まれる。実際には例えばＸ側給電部Ａｘ１～Ａｘ２０およびＹ側給電部Ａｙ１～Ａｙ５０には電源Ｖ１を接続し、Ｘ側給電部Ａｘ２１～Ａｘ４０およびＹ側給電部Ａｙ５１～Ａｙ１００には電源Ｖ２を接続し、・・・という具合である。

【００８１】

本実施例では、電圧可変型の電源を用いており、制御部５は、各給電部で必要とされる電圧（電圧降下補償後の電圧）に応じて適宜電源電圧を制御する。たとえば、補償電圧の小さい活性化初期では電源電圧を小さく設定し、補償電圧の増大に応じて電源電圧を大きくしていく。また、図１７に示すように、基板端部にいくほど補償電圧ΔＶｘｍが小さくなるので、基板の端部における電源は、中央部における電源よりも電圧を低く設定する。

【００８２】

このように、電圧可変型の電源Ｖを用い、印加電圧Ｖｓが低い場合には電源電圧を低く設定する事で、電子負荷の発生熱量を大幅に下げられる。図１７の斜線部分は、従来の定電圧電源と比べて削減される発生熱量を示している。

【実施例２】

【００８３】

図１８は、実施例２に係る駆動装置の回路構成を示す図である。図１８では、１つの素子に係る部分を抜き出して示している。同図に示すように、Ｘ側給電部Ａｘは２つの電子負荷１，４からなり、Ｙ側給電部Ａｙは２つの電子負荷２，３からなる。また、電子負荷１はＦＥＴ；Ｑ５、差動アンプＡｘＰからなり、電子負荷４はＦＥＴ；Ｑ７、差動アンプＡｘＮからなり、電子負荷２はＦＥＴ；Ｑ８、差動アンプＡｙＰからなり、電子負荷３はＦＥＴ；Ｑ６、差動アンプＡｙＮからなる。そして、電源Ｖの正極または負極を選択的に接地する半導体スイッチＳＷｄｉｒが設けられ、ＦＥＴ；Ｑ６とＦＥＴ；Ｑ８のソースが接地されている。つまり、実施例２の駆動装置は、上記第２実施形態（図２）で説明したものと同様のＨブリッジ回路である。

【００８４】

この回路において、差動アンプＡｘＰ，ＡｙＰにそれぞれ電圧制御信号Ｃｍｘ，Ｃｍｙを与えると、「電源Ｖ→電子負荷１（ＦＥＴ；Ｑ５）→Ｘ配線１１→素子１３→Ｙ配線１２→電子負荷２（ＦＥＴ；Ｑ８）→ＧＮＤ」という経路からなる第１給電回路により、正

方向に電流が流れる。図１９は、第１給電回路の構成を抜粋して示したものである。電圧制御信号Ｃｍｘ，Ｃｍｙとして電圧Ｖｘ，Ｖｙが与えられると、素子１３に対して電圧Ｖｓ（Ｖｓ＝Ｖｘ－Ｖｙ）が印加されることがわかる。

【００８５】

逆に、差動アンプＡｙＮ，ＡｘＮにそれぞれ電圧制御信号Ｃｍｘ，Ｃｍｙを与えると、「電源Ｖ→電子負荷３（ＦＥＴ；Ｑ６）→Ｙ配線１２→素子１３→Ｘ配線１１→電子負荷４（ＦＥＴ；Ｑ７）→ＧＮＤ」という経路からなる第２給電回路により、負方向に電流が流れる。図２０は、第２給電回路の構成を抜粋したものである。第１給電回路の場合と逆極性の電圧Ｖｓ（Ｖｘ－Ｖｙ）が素子１３に印加されることがわかる。

【００８６】

本実施例の回路構成には次のようなメリットがある。

【００８７】

（１）Ｘ側給電部ＡｘとＹ側給電部Ａｙの電気的機能が物理的に分離する。更に電子負荷１と電子負荷４の組、電子負荷２と電子負荷３の組がそれぞれ同一電流を扱う対称回路となるので扱い易い。

【００８８】

（２）Ｙ側給電部Ａｙと電源Ｖとの間の物理的配線が無くなる。ＧＮＤ配線は基板の物理固定ネジ部で自動接続される。

【００８９】

（３）Ｙ側給電部Ａｙの電源Ｖに対する短絡事故の危険が無い。例えば実施例１では、もしＦＥＴ；Ｑ３，Ｑ４が同時にオンするタイミングがあると、ＦＥＴ；Ｑ３，Ｑ４は短絡事故を発生して破損するので防止策が必要であるのに対し、本実施例の構成ではそのような防止策が不要である。

【図面の簡単な説明】

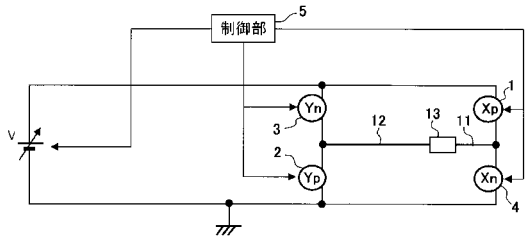
【００９０】

【図１】第１実施形態の駆動装置の回路構成を示す図。
【図２】第２実施形態の駆動装置の回路構成を示す図。
【図３】第３実施形態の駆動装置の回路構成を示す図。
【図４】第４実施形態の駆動装置の回路構成を示す図。
【図５】電子負荷の一構成例を示す図。
【図６】実施例１の駆動装置の構成を示す図。
【図７】図６の駆動装置における１素子に係る回路構成を示す図。
【図８】図７の駆動装置における第１給電回路を示す図。
【図９】図７の駆動装置における第２給電回路を示す図。
【図１０】対面給電を示す図。
【図１１】パルス波形の一例を示す図。
【図１２】ローリング方式を示す図。
【図１３】パルス波形の他の例を示す図。
【図１４】活性化の時間経過に伴う電圧降下値（補償電圧）の平均推移を示す図。
【図１５】電圧降下のフィードバック制御に係る構成を示す図。
【図１６】電圧降下のフィードバック制御に係る他の構成を示す図。
【図１７】電源の設定電圧を説明するための図。
【図１８】実施例２の駆動装置における１素子に係る回路構成を示す図。
【図１９】図１８の駆動装置における第１給電回路を示す図。
【図２０】図１８の駆動装置における第２給電回路を示す図。
【図２１】単純マトリクス型の電源基板を示す図。
【図２２】電子放出素子の製造工程を示す図。
【図２３】従来の駆動装置の構成を示す図。
【図２４】Ｈブリッジ回路の原理を示す図。

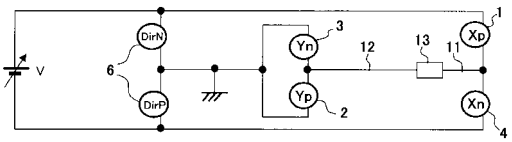
【符号の説明】

【００９１】
１　電子負荷（第１電子負荷）
２　電子負荷（第２電子負荷）
３　電子負荷（第３電子負荷）
４　電子負荷（第４電子負荷）
５　制御部
６，ＳＷｄｉｒ　スイッチ
７，８　ダイオード（逆流抑制部）
１１　列配線（Ｘ配線）
１２　行配線（Ｙ配線）
１３　素子
２０　電子負荷
２１，Ｑ１～Ｑ８　ＦＥＴ
２２，ＡｘＰ，ＡｙＰ，ＡｘＮ，ＡｙＮ　差動アンプ
３０　電子源基板
Ａｘ，Ａｘ１～Ａｘ４　Ｘ側給電部
Ａｙ，Ａｙ１～Ａｙ４　Ｙ側給電部
Ｖ，Ｖ１，Ｖ２　電圧可変型電源
ＣｍＱ，Ｃｍｘ，Ｃｍｙ　電圧制御信号

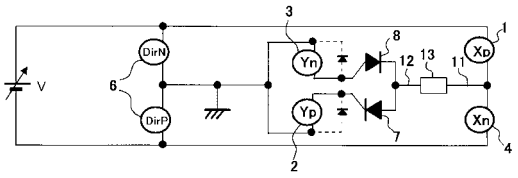
【図１】



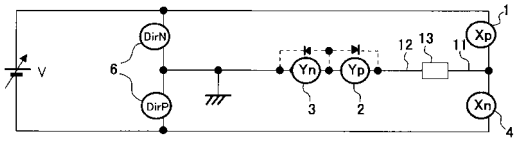
【図２】



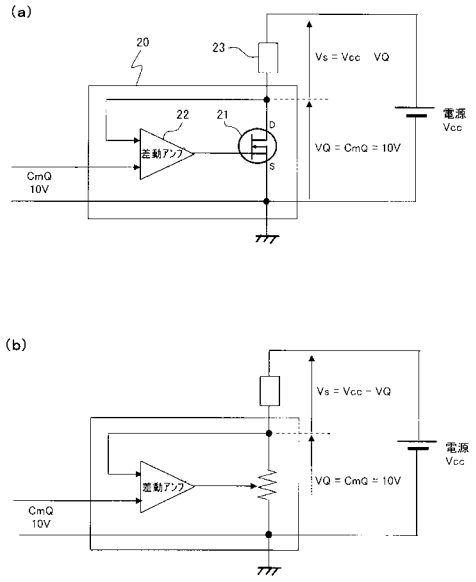
【図３】


V
DirN
DirP
Yn
Yp
Xp
Xn
1
2
3
4
6
7
8
11
12
13

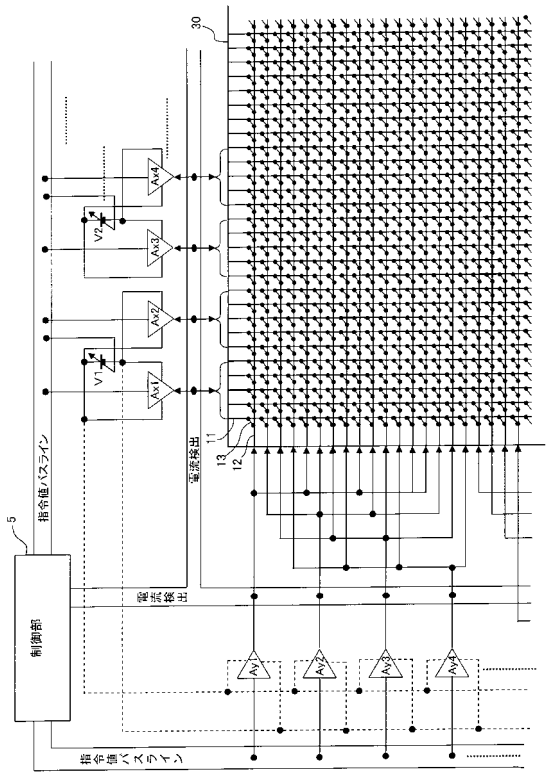
【図４】


V
DirN
DirP
Yn
Yp
Xp
Xn
1
2
3
4
6
11
12
13

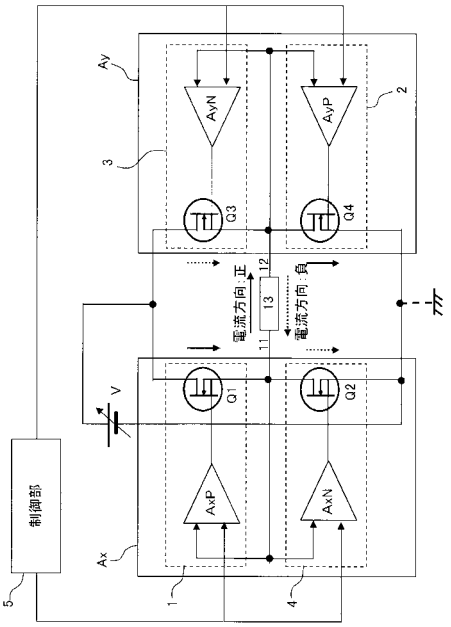
【図５】


(a)
20
23
22
21
D
S
差動アンプ
Vs = Vcc VQ
VQ = CmQ = 10V
電源
Vcc
CmQ
10V
(b)
Vs = Vcc − VQ
VQ = CmQ = 10V
差動アンプ
電源
Vcc
CmQ
10V

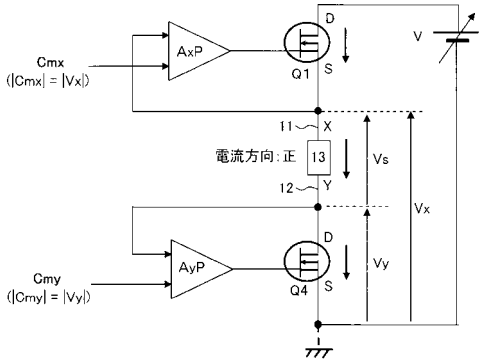
【図６】


30
指令値バスライン
電流検出
制御部
5
11
12
13
V1
V2
Ax1
Ax2
Ay1
Ay2
Ay3
Ay4

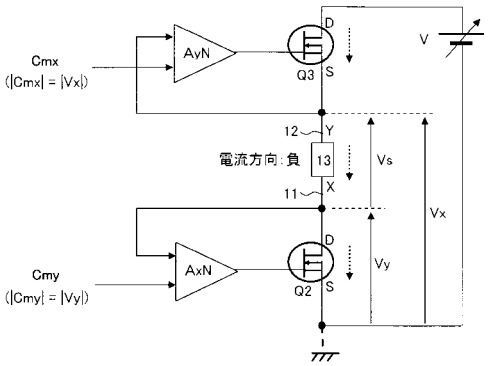
【図７】


Ay
AyN
AyP
Q3
Q4
2
3
12
13
11
電流方向：正
電流方向：負
V
Q1
Q2
AxP
AxN
制御部
Ax
5
1
4

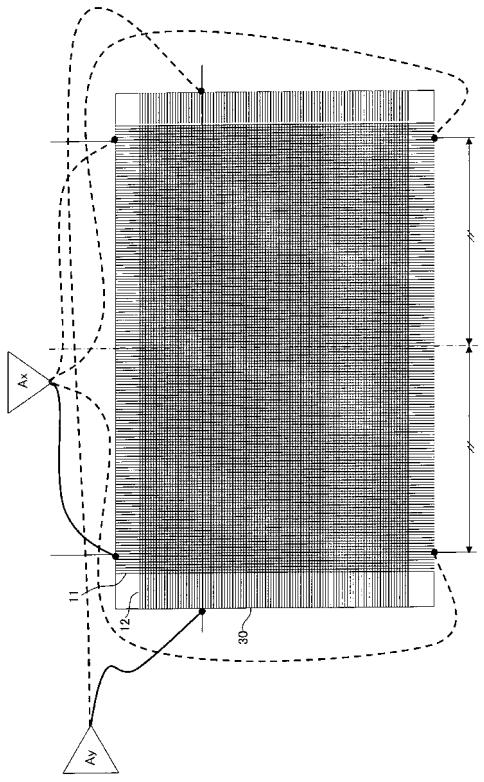
【図８】


Cmx
(|Cmx| = |Vx|)
AxP
Q1
D
S
V
11
X
電流方向：正
13
12
Y
Vs
Vx
Cmy
(|Cmy| = |Vy|)
AyP
Q4
Vy

【図９】


Cmx
(|Cmx| = |Vx|)
AvN
Q3
D
S
V
12
Y
電流方向：負
13
Vs
11
X
Vx
Cmy
(|Cmy| = |Vy|)
AxN
Q2
Vy

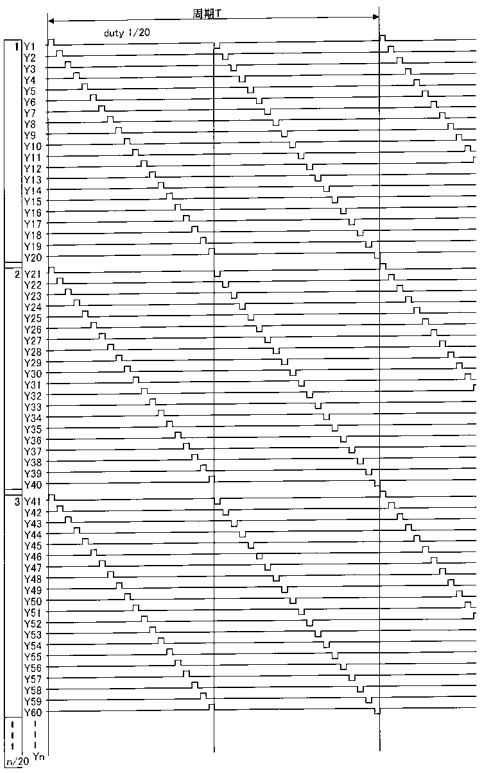
【図１０】


Ax
11
12
30
Ay

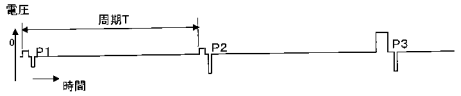
【図１１】



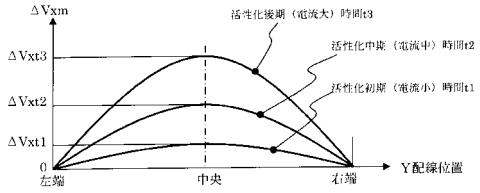
【図１２】



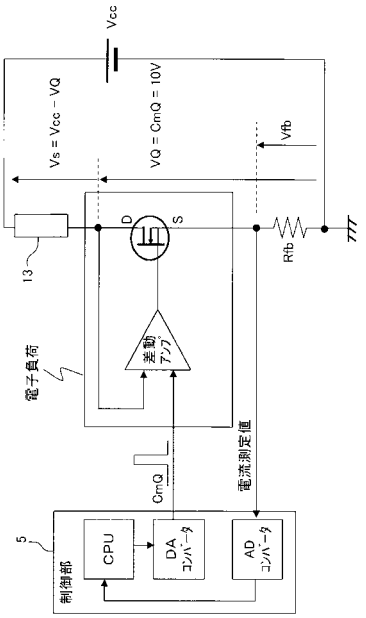
【図１３】



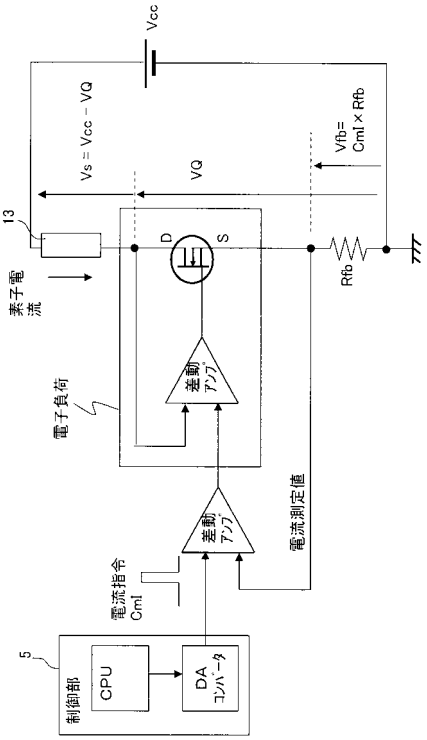
【図１４】



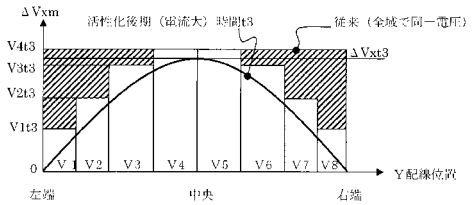
【図１５】



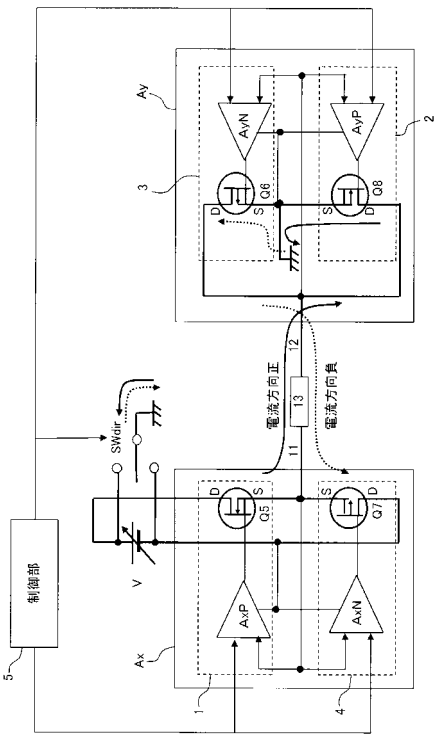
【図１６】



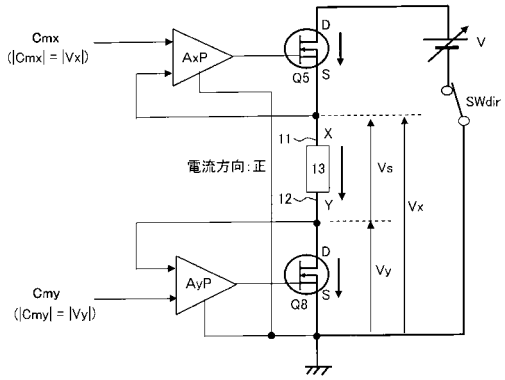
【図１７】



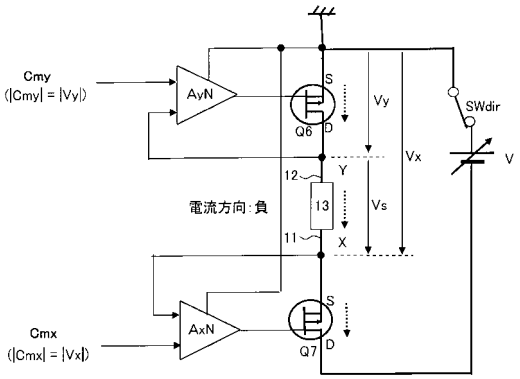
【図１８】



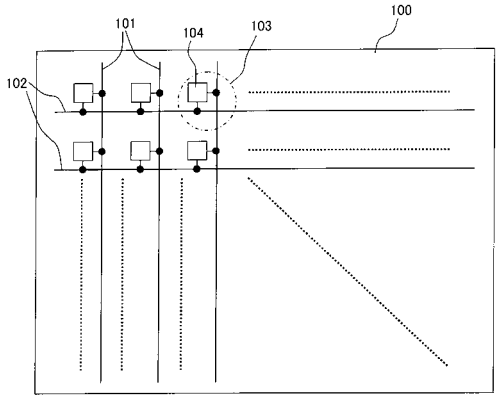
【図１９】



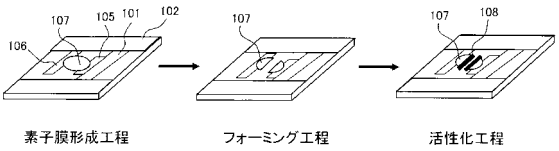
【図２０】



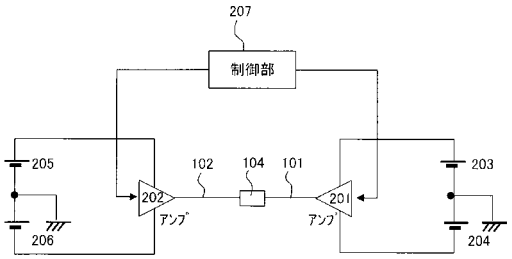
【図２１】



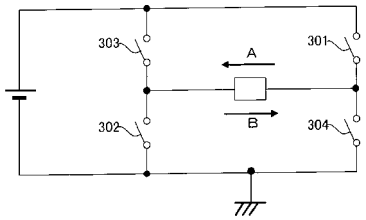
【図２２】



【図２３】


207
制御部
205
206
202
アンプ
102
104
101
201
アンプ
203
204

【図２４】


303
301
A
302
B
304

フロントページの続き

(56)参考文献 特開平１１－０５４０２７（ＪＰ，Ａ）
特開平０７－１７６２６５（ＪＰ，Ａ）
特開平０８－２６４１１２（ＪＰ，Ａ）
特開平０９－２９８０２９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｊ　　９／０２
Ｈ０１Ｊ　　１／３０－　１／３１６
Ｈ０１Ｊ　２９／０４
Ｈ０１Ｊ　３１／１２