

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2010-16594

(P2010-16594A)

(43) 公開日 平成22年1月21日 (2010.1.21)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/335 (2006.01)	H04N 5/335 E	4M118
H01L 27/146 (2006.01)	H01L 27/14 E	5C024

審査請求 未請求 請求項の数 18 O L (全 19 頁)

(21) 出願番号	特願2008-174320 (P2008-174320)	(71) 出願人	306037311
(22) 出願日	平成20年7月3日 (2008.7.3)		富士フイルム株式会社
			東京都港区西麻布2丁目26番30号
		(74) 代理人	100115107
			弁理士 高松 猛
		(74) 代理人	100132986
			弁理士 矢澤 清純
		(72) 発明者	大田 基在
			神奈川県足柄上郡開成町牛島577番地
			富士フイルム株式会社内
		Fターム (参考)	4M118 AA05 AB01 BA07 CA14 CB05
			FA06 GA10
			5C024 AX01 AX06 CX06 GX03 GY31
			HX23 HX41

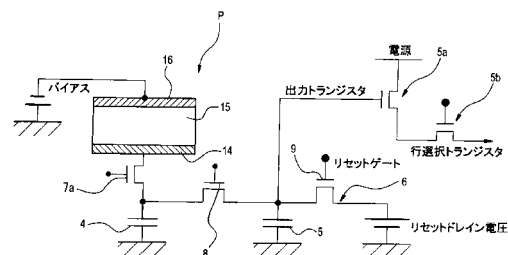
(54) 【発明の名称】 撮像装置及び固体撮像素子の駆動方法

(57) 【要約】

【課題】半導体基板上方の光電変換素子で発生した電荷を読み出す際、光電変換素子と半導体基板との接続部に電荷が残留してしまうのを防ぐ。

【解決手段】基板1上方に積層された一対の電極14, 16とこれに挟まれる光電変換層15とを含む光電変換素子Pをそれぞれ有する複数の画素を含む固体撮像素子30と、固体撮像素子30を駆動する駆動部35とを備える撮像装置であって、該画素が、基板1内に設けられ電極14と電気的に接続される接続部3と、接続部3に隣接して設けられ該接続部3の電位に対して電位障壁となる電位障壁部7と、電位障壁部7に隣接して設けられ光電変換層15で発生した電荷が接続部3及び電位障壁部7を介して蓄積される第一の電荷蓄積部4と、第一の電荷蓄積部4に蓄積された電荷に応じた信号を出力するMOSトランジスタにより構成される信号出力回路とを含み、駆動部35は、電位障壁部7の電位を可変制御する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

半導体基板上方に積層された一对の電極とこれに挟まれる光電変換層とを含む光電変換素子をそれぞれ有する複数の画素を含む固体撮像素子と、前記固体撮像素子を駆動する駆動手段とを備える撮像装置であって、

前記画素が、前記半導体基板内に設けられ、前記一对の電極の一方と電気的に接続される接続部と、前記半導体基板内に前記接続部に隣接して設けられ、該接続部の電位に対して電位障壁となる電位障壁部と、前記半導体基板内に前記電位障壁部に隣接して設けられ、前記光電変換層で発生した電荷が前記接続部及び前記電位障壁部を介して蓄積される第一の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷に応じた信号を出力する信号出力回路とを含み、

前記駆動手段は、前記電位障壁部の電位を可変制御して、前記接続部と前記電位障壁部を同電位にする同電位駆動を行う撮像装置。

【請求項 2】

請求項 1 記載の撮像装置であって、

前記駆動手段が、前記同電位駆動時、前記電位障壁部の電位が該同電位駆動開始直前の前記接続部の電位よりも高く又は低くなるように制御し、該制御によって前記接続部から溢れた不要電荷を、前記信号出力回路を構成するリセットトランジスタのドレインに排出する撮像装置。

【請求項 3】

請求項 2 記載の撮像装置であって、

前記駆動手段が、前記接続部と前記電位障壁部を同電位にした状態で前記固体撮像素子の露光を開始し、前記露光の終了と共に、前記電位障壁部の電位を、前記露光中の電位よりも低く又は高くする撮像装置。

【請求項 4】

請求項 2 又は 3 記載の撮像装置であって、

前記同電位駆動時において設定する前記電位障壁部の電位を決定する電位決定モードを有し、

前記駆動手段は、前記電位決定モード時、前記光電変換層から前記接続部に入射光に応じた電荷が流れ込まない状態とし、この状態で前記電位障壁部の電位を所定の値 " V_{on} " にしたときに前記第一の電荷蓄積部に蓄積される電荷に応じた信号を前記信号出力回路から出力させる駆動を、前記駆動を 1 回行う毎に前記所定の値 " V_{on} " を " V_{step} " だけ増加又は減少させて、全ての前記画素の前記信号出力回路から前記信号が出力されるようになるまで繰り返し行い、全ての前記画素の前記信号出力回路から前記信号が出力された時点での前記所定の値 " V_{on} " を、前記同電位駆動時に設定する前記電位障壁部の電位とする撮像装置。

【請求項 5】

請求項 4 記載の撮像装置であって、

前記電位決定モードを、電源が投入されたときに実行する撮像装置。

【請求項 6】

請求項 4 記載の撮像装置であって、

前記電位決定モードを、電源投入後、一定時間毎に実行する撮像装置。

【請求項 7】

請求項 1 ~ 6 のいずれか 1 項記載の撮像装置であって、

前記画素が、前記半導体基板内に設けられ、前記信号出力回路を構成する出力トランジスタのゲートに接続された第二の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷を前記第二の電荷蓄積部に転送する電荷転送手段とを備える撮像装置。

【請求項 8】

請求項 7 記載の撮像装置であって、

前記第一の電荷蓄積部が埋め込み型の蓄積部である撮像装置。

【請求項 9】

請求項 1 ~ 8 のいずれか 1 項記載の撮像装置であって、
前記光電変換層が有機材料で構成されている撮像装置。

【請求項 10】

半導体基板上方に積層された一对の電極とこれに挟まれる光電変換層とを含む光電変換素子をそれぞれ有する複数の画素部を含む固体撮像素子の駆動方法であって、

前記画素が、前記半導体基板内に設けられ、前記一对の電極の一方と電氣的に接続される接続部と、前記半導体基板内に前記接続部に隣接して設けられ、該接続部の電位に対して電位障壁となる電位障壁部と、前記半導体基板内に前記電位障壁部に隣接して設けられ、前記光電変換層で発生した電荷が前記接続部及び前記電位障壁部を介して蓄積される第一の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷に応じた信号を出力する信号出力回路とを含み、

前記電位障壁部の電位を可変制御して、前記接続部と前記電位障壁部を同電位にする同電位駆動ステップを有する固体撮像素子の駆動方法。

【請求項 11】

請求項 10 記載の固体撮像素子の駆動方法であって、

前記同電位駆動ステップでは、前記電位障壁部の電位が該ステップ開始直前の前記接続部の電位よりも高く又は低くなるように制御し、該制御によって前記接続部から溢れた不要電荷を、前記信号出力回路を構成するリセットトランジスタのドレインに排出する固体撮像素子の駆動方法。

【請求項 12】

請求項 11 記載の固体撮像素子の駆動方法であって、

前記接続部と前記電位障壁部を同電位にした状態で前記固体撮像素子の露光を開始し、前記露光の終了と共に、前記電位障壁部の電位を、前記露光中の電位よりも低く又は高くする固体撮像素子の駆動方法。

【請求項 13】

請求項 11 又は 12 記載の固体撮像素子の駆動方法であって、

前記同電位駆動ステップにおいて設定する前記電位障壁部の電位を決定する際、前記光電変換層から前記接続部に入射光に応じた電荷が流れ込まない状態とし、この状態で前記電位障壁部の電位を所定の値 " V_{on} " にしたときに前記第一の電荷蓄積部に蓄積される電荷に応じた信号を前記信号出力回路から出力させる駆動を、前記駆動を 1 回行う毎に前記所定の値 " V_{on} " を " V_{step} " だけ増加又は減少させて、全ての前記画素の前記信号出力回路から前記信号が出力されるようになるまで繰り返し行い、全ての前記画素の前記信号出力回路から前記信号が出力された時点での前記所定の値 " V_{on} " を、前記同電位駆動ステップにおいて設定する前記電位障壁部の電位とする固体撮像素子の駆動方法。

【請求項 14】

請求項 13 記載の固体撮像素子の駆動方法であって、

前記電位の決定を、前記固体撮像素子を搭載する撮像装置の電源が投入されたときに実行する固体撮像素子の駆動方法。

【請求項 15】

請求項 13 記載の固体撮像素子の駆動方法であって、

前記電位の決定を、前記固体撮像素子を搭載する撮像装置の電源投入後、一定時間毎に実行する固体撮像素子の駆動方法。

【請求項 16】

請求項 10 ~ 15 のいずれか 1 項記載の固体撮像素子の駆動方法であって、

前記画素が、前記半導体基板内に設けられ、前記信号出力回路を構成する出力トランジスタのゲートに接続された第二の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷を前記第二の電荷蓄積部に転送する電荷転送手段とを備える固体撮像素子の駆動方法。

【請求項 17】

請求項 16 記載の固体撮像素子の駆動方法であって、
前記第一の電荷蓄積部が埋め込み型の蓄積部である固体撮像素子の駆動方法。

【請求項 18】

請求項 10 ~ 17 のいずれか 1 項記載の固体撮像素子の駆動方法であって、
前記光電変換層が有機材料で構成されている固体撮像素子の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板上方に積層された一対の電極とこれに挟まれる光電変換層とを含む光電変換素子をそれぞれ有する複数の画素を含む固体撮像素子と、前記固体撮像素子を駆動する駆動手段とを備える撮像装置に関する。

10

【背景技術】

【0002】

特許文献 1 には、MOS トランジスタ回路による信号読み出し回路が形成された半導体基板と、半導体基板の上に積層され入射光量に応じた電荷を発生する光電変換膜と、半導体基板の表面に設けられ電荷を半導体基板の表面に導く配線が接続される接続部と、接続部に近接して設けられ接続部の電荷に対して一定電位障壁となる電位障壁手段と、電位障壁手段に近接して設けられ信号読み出し回路を構成する出力トランジスタのゲートに接続される電荷蓄積部とを備える固体撮像素子が開示されている。

【0003】

20

このような構成によれば、光電変換膜で発生した電荷を出力トランジスタのゲートにスムーズに流し、出力トランジスタのゲートから見て、電荷が蓄積する部分の実効的な静電容量が小さくなり、信号電圧が大きくなり、高感度の出力信号を得ることができる。

【0004】

図 9 は、特許文献 1 に開示された固体撮像素子の動作を説明するための図であり、半導体基板内の断面ポテンシャルを示した図である。

固体撮像素子の 1 画素から信号を得るには、まず、電荷蓄積部に蓄積されていた電荷をリセットドレインに排出してリセットする（時刻 T_0 ）。このとき、図示したように、電荷蓄積部内にはリセット動作に伴って発生するノイズ電荷であるリセットノイズ N_1 が蓄積される。リセットが完了すると光電変換膜の露光が開始され、この露光によって発生した電荷 Q が接続部から電位障壁を通して電荷蓄積部へと蓄積される（時刻 T_1 ）。そして、この露光期間中に電荷蓄積部に蓄積された電荷量に応じた信号が信号読み出し回路から出力される。信号出力後は、時刻 T_2 に示すように再びリセット動作が行われ、電荷蓄積部にはリセットノイズ N_2 が蓄積されて、この状態で次の露光が開始される。

30

【0005】

固体撮像素子から出力される信号を処理する信号処理回路には、信号に対して相関二重サンプリング処理を施す相関二重サンプリング（CDS）回路が含まれる。この CDS 回路では、リセットノイズに応じた信号と、リセットノイズが含まれる電荷に応じた信号との 2 つをサンプリングし、双方の差分を取ることで、リセットノイズを除去することが行われる。

40

【0006】

時刻 T_1 で得られた撮像信号から、時刻 T_0 で得られたリセットノイズ N_1 に応じた信号を減算することで、リセットノイズを完全に除去することが可能である。このような処理を行うには、CDS 回路において、時刻 T_0 の時点で固体撮像素子から出力される信号をサンプリングし（サンプリング SP_1 ）、時刻 T_2 の時点で固体撮像素子から出力される信号をサンプリングして（サンプリング SP_2 ）、双方の差分を取る必要がある。しかし、サンプリング SP_1 からサンプリング SP_2 までの時間は露光期間と同じであり、CDS 回路は全画素からの信号を順次処理する必要があるため、このような時間間隔で信号をサンプリングしていると、固体撮像素子から出力されてくる信号に対して処理が追いつかなくなってしまう。

50

【 0 0 0 7 】

そこで、従来では、時刻 T_1 の時点でサンプリングした信号から、時刻 T_2 の時点でサンプリング（サンプリング SP_3 ）した信号を減算することで、リセットノイズの除去を行っている（完全には除去できないが一部は除去できる）。サンプリング SP_2 とサンプリング SP_3 の時間間隔は露光期間に比べて十分に短いため、全画素からの信号に対して CDS 処理を問題なく行うことができる。

【 0 0 0 8 】

【特許文献 1】特開 2 0 0 5 - 2 6 8 4 7 7 号公報

【 発 明 の 開 示 】

【 発 明 が 解 決 し よ う と す る 課 題 】

10

【 0 0 0 9 】

接続部の電位を決定する電荷は、熱拡散により、接続部から電荷蓄積部へと常に流れ出ている。一方で、接続部には、配線や光電変換膜等の部材が接続されているため、この部材を介して光電変換膜で発生した電荷が流れ込んだり、接続部と基板の接合部分で発生した電荷が流れ込んだりしてくる。このため、接続部からの熱拡散による電荷の流出は、熱拡散によって接続部から流出する単位時間当たりの電荷量（電流量）と、配線等を介して接続部に流入してくる単位時間当たりの電荷量とが一致したとき（このときを平衡状態という）に、見かけ上、停止する。

【 0 0 1 0 】

時刻 t （＜平衡状態に到達する時間 t_{eq} ）までに、接続部から熱励起により周辺領域に拡散する電荷総量 ΔQ は次式（1）で示される。

20

$$\Delta Q = I_n (1 + \alpha t) \cdots (1)$$

ただし、 α は比例係数

【 0 0 1 1 】

図 9 の時刻 T_0 に示すように、平衡状態になった結果、電位障壁と接続部が同電位となっていれば理想的であり、このような画素も存在するが、平衡状態において接続部の電位が電位障壁の電位よりも高くなってしまいう画素も存在する。図 1 0 は、このような画素のポテンシャルを示したものである。図 1 0 に示すように、接続部の電位を決定する電荷は、 ΔQ だけ減少して、接続部の電位が電位障壁よりも高くなってしまふ。

【 0 0 1 2 】

30

図 1 0 に示した状態で露光を開始すると、光電変換膜で発生した電荷 Q の一部が接続部に残留するため、電荷蓄積部に移動する電荷量、即ち外部に読み出される信号量は、 ΔQ 分減少し、残像の原因となる。

【 0 0 1 3 】

更に、入射光量に対する信号出力特性は、接続部の電位、つまり接続部のポテンシャル井戸の深さに依存し、ポテンシャル井戸の深さは、接続部の電荷の熱拡散量に依存し、熱拡散量は接続部に流れ込む電流量に依存し、接続部に流れ込む電流量は光電変換膜から接続部に流れ込む電流量に依存し、ポテンシャル井戸の深さが時間と共に変動することから、入射光量に対する信号出力が一意に決まらず、単純に予めの補正情報を保持し、それを用いてリニアリティ補正を行うということが出来ない。

40

【 0 0 1 4 】

本発明は、上記事情に鑑みてなされたものであり、半導体基板上方に設けられた光電変換素子を含む固体撮像素子を有する撮像装置において、光電変換素子と半導体基板との接続部に電荷が残留してしまうのを防いで残像を防止すると共にリニアリティ補正を可能にすることを目的とする。

【課題を解決するための手段】

【 0 0 1 5 】

本発明の撮像装置は、半導体基板上方に積層された一対の電極とこれに挟まれる光電変換層とを含む光電変換素子をそれぞれ有する複数の画素を含む固体撮像素子と、前記固体撮像素子を駆動する駆動手段とを備える撮像装置であって、前記画素が、前記半導体基板

50

内に設けられ、前記一对の電極の一方と電気的に接続される接続部と、前記半導体基板内に前記接続部に隣接して設けられ、該接続部の電位に対して電位障壁となる電位障壁部と、前記半導体基板内に前記電位障壁部に隣接して設けられ、前記光電変換層で発生した電荷が前記接続部及び前記電位障壁部を介して蓄積される第一の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷に応じた信号を出力する信号出力回路とを含み、前記駆動手段は、前記電位障壁部の電位を可変制御して、前記接続部と前記電位障壁部を同電位にする同電位駆動を行う。

【0016】

この構成により、電位障壁部の電位を変えることで接続部と電位障壁部を同電位にした状態で露光を行うことが可能となり、露光中に光電変換層で発生した電荷の一部が接続部に残留するのを防いで、残像の発生を防ぐことができる。又、露光開始時の接続部の電位が（電位障壁部と同電位となることにより）既知となるため、出力信号の基準レベルを設定することができる。この結果、入射光量に対する信号出力特性のリニアリティ補正が可能となり、信号出力特性を線形にすることができる。

10

【0017】

本発明の撮像装置は、前記駆動手段が、前記同電位駆動時、前記電位障壁部の電位が該同電位駆動開始直前の前記接続部の電位よりも高く又は低くなるように制御し、該制御によって前記接続部から溢れた不要電荷を、前記信号出力回路を構成するリセットトランジスタのドレインに排出する。

20

【0018】

この構成により、接続部の電位と電位障壁部の電位を同一にした状態で露光を行うことが可能となる。

【0019】

本発明の撮像装置は、前記接続部と前記電位障壁部を同電位にした状態で前記固体撮像素子の露光を開始し、前記露光の終了と共に、前記電位障壁部の電位を、前記露光中の電位よりも低く又は高くする。

【0020】

この構成により、信号読み出し期間中に接続部から第一の電荷蓄積部に電荷が流入するのを防ぐことができ、ノイズを低減することができる。

30

【0021】

本発明の撮像装置は、前記同電位駆動時において設定する前記電位障壁部の電位を決定する電位決定モードを有し、前記駆動手段は、前記電位決定モード時、前記光電変換層から前記接続部に入射光に応じた電荷が流れ込まない状態とし、この状態で前記電位障壁部の電位を所定の値“ V_{on} ”にしたときに前記第一の電荷蓄積部に蓄積される電荷に応じた信号を前記信号出力回路から出力させる駆動を、前記駆動を1回行う毎に前記所定の値“ V_{on} ”を“ V_{step} ”だけ増加又は減少させて、全ての前記画素の前記信号出力回路から前記信号が出力されるようになるまで繰り返し行い、全ての前記画素の前記信号出力回路から前記信号が出力された時点での前記所定の値“ V_{on} ”を、前記同電位駆動時に設定する前記電位障壁部の電位とする。

40

【0022】

この構成により、同電位駆動時、全ての画素において、電位障壁部の電位を接続部の電位よりも高く又は低くなるように制御することができ、全ての画素で接続部と電位障壁部を同電位にすることができる。

【0023】

本発明の撮像装置は、前記電位決定モードを、電源が投入されたときに実行する。

【0024】

電源が投入された時点では接続部の電位が安定しているため、電源投入時に電位の決定を行うことで、その決定精度を向上させることができる。

【0025】

本発明の撮像装置は、前記電位決定モードを、電源投入後、一定時間毎に実行する。

50

【 0 0 2 6 】

接続部の電位は撮像装置の使用時間によって変動するため、一定時間毎に電位を決定することで、接続部での残留電荷の発生を常に防止することができる。

【 0 0 2 7 】

本発明の撮像装置は、前記画素が、前記半導体基板内に設けられ、前記信号出力回路を構成する出力トランジスタのゲートに接続された第二の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷を前記第二の電荷蓄積部に転送する電荷転送手段とを備える。又、前記第一の電荷蓄積部が埋め込み型の蓄積部である。

【 0 0 2 8 】

この構成により、リセットノイズを正確に除去することが可能となる。又、第一の電荷蓄積部から第二の電荷蓄積部に電荷を完全転送することができる。

10

【 0 0 2 9 】

本発明の撮像装置は、前記光電変換層が有機材料で構成されている。

【 0 0 3 0 】

本発明の固体撮像素子の駆動方法は、半導体基板上方に積層された一对の電極とこれに挟まれる光電変換層とを含む光電変換素子をそれぞれ有する複数の画素部を含む固体撮像素子の駆動方法であって、前記画素が、前記半導体基板内に設けられ、前記一对の電極の一方と電気的に接続される接続部と、前記半導体基板内に前記接続部に隣接して設けられ、該接続部の電位に対して電位障壁となる電位障壁部と、前記半導体基板内に前記電位障壁部に隣接して設けられ、前記光電変換層で発生した電荷が前記接続部及び前記電位障壁部を介して蓄積される第一の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷に応じた信号を出力する信号出力回路とを含み、前記電位障壁部の電位を可変制御して、前記接続部と前記電位障壁部を同電位にする同電位駆動ステップを有する。

20

【 0 0 3 1 】

本発明の固体撮像素子の駆動方法は、前記同電位駆動ステップでは、前記電位障壁部の電位が該ステップ開始直前の前記接続部の電位よりも高く又は低くなるように制御し、該制御によって前記接続部から溢れた不要電荷を、前記信号出力回路を構成するリセットトランジスタのドレインに排出する。

【 0 0 3 2 】

本発明の固体撮像素子の駆動方法は、前記接続部と前記電位障壁部を同電位にした状態で前記固体撮像素子の露光を開始し、前記露光の終了と共に、前記電位障壁部の電位を、前記露光中の電位よりも低く又は高くする。

30

【 0 0 3 3 】

本発明の固体撮像素子の駆動方法は、前記同電位駆動ステップにおいて設定する前記電位障壁部の電位を決定する際、前記光電変換層から前記接続部に入射光に応じた電荷が流れ込まない状態とし、この状態で前記電位障壁部の電位を所定の値“ V_{on} ”にしたときに前記第一の電荷蓄積部に蓄積される電荷に応じた信号を前記信号出力回路から出力させる駆動を、前記駆動を1回行う毎に前記所定の値“ V_{on} ”を“ V_{step} ”だけ増加又は減少させて、全ての前記画素の前記信号出力回路から前記信号が出力されるようになるまで繰り返し行い、全ての前記画素の前記信号出力回路から前記信号が出力された時点での前記所定の値“ V_{on} ”を、前記同電位駆動ステップにおいて設定する前記電位障壁部の電位とする。

40

【 0 0 3 4 】

本発明の固体撮像素子の駆動方法は、前記電位の決定を、前記固体撮像素子を搭載する撮像装置の電源が投入されたときに実行する。

【 0 0 3 5 】

本発明の固体撮像素子の駆動方法は、前記電位の決定を、前記固体撮像素子を搭載する撮像装置の電源投入後、一定時間毎に実行する。

【 0 0 3 6 】

本発明の固体撮像素子の駆動方法は、前記画素が、前記半導体基板内に設けられ、前記

50

信号出力回路を構成する出力トランジスタのゲートに接続された第二の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷を前記第二の電荷蓄積部に転送する電荷転送手段とを備える。又、前記第一の電荷蓄積部が埋め込み型の蓄積部である。

【0037】

本発明の固体撮像素子の駆動方法は、前記光電変換層が有機材料で構成されている。

【発明の効果】

【0038】

本発明によれば、半導体基板上方に設けられた光電変換素子を含む固体撮像素子を有する撮像装置において、光電変換素子と半導体基板との接続部に電荷が残留してしまうのを防いで残像を防止すると共にリニアリティ補正を可能にすることができる。

10

【発明を実施するための最良の形態】

【0039】

以下、本発明の実施形態について図面を参照して説明する。

【0040】

(第一実施形態)

図1は、本発明の第一実施形態である固体撮像素子の1画素分の断面模式図である。本実施形態の固体撮像素子は、図1に示す1画素を同一平面上で1次元状又は二次元状に複数配置した構成となっている。以下では、図1に示す1画素を、行(水平)方向とこれに直交する列(垂直)方向に二次元状に配列した構成を例にして説明する。

図1に示す固体撮像素子は、半導体基板であるp型シリコン基板1(以下、基板1という)と、基板1上方にゲート絶縁膜2及び絶縁層10を介して積層された光電変換素子Pとを備える。

20

【0041】

光電変換素子Pは、絶縁層10上に形成された下部電極14と、下部電極14上に形成された光電変換層15と、光電変換層15上に形成された上部電極16とを含む構成となっている。

【0042】

上部電極16には、その上方から被写体からの入射光が入射される。上部電極16は、光電変換層15に入射光を入射させる必要があるため、入射光に対して透明なITO等の導電性材料で構成される。上部電極16は、全画素で共通の一枚構成であるが、画素毎に分割してあっても良い。

30

【0043】

下部電極14は、画素毎に分割された薄膜であり、透明又は不透明の導電性材料(ITOやアルミニウム等)で構成される。

【0044】

光電変換層15は、入射光のうちの特定の波長域を吸収して、吸収した光量に応じた電荷を発生する有機又は無機の光電変換材料で構成された層である。光電変換層15を、緑色の波長域の光を吸収してこれに応じた電荷を発生する光電変換材料(例えばキナクリドン)で構成することで、可視光モノクロ撮像が可能となる。光電変換層15を、赤外の波長域の光を吸収してこれに応じた電荷を発生する光電変換材料(例えばフタロシアニン系有機材料やナフタロシアニン系有機材料)で構成することで、赤外光モノクロ撮像が可能となる。

40

【0045】

基板1内には下部電極14と電気的に接続されたn型不純物層からなる接続部3が設けられている。接続部3と下部電極14とは、ゲート絶縁膜2及び絶縁層10内に埋設された導電性材料からなるコンタクト配線11によって接続されている。

【0046】

接続部3の隣には、接続部3と反対導電型のp型の電位障壁部7が設けられている。電位障壁部7は、接続部3に対して電位障壁となる電位障壁手段として機能する。

【0047】

50

電位障壁部 7 の隣には、コンタクト配線 1 1 から接続部 3 に達し、ここから電位障壁部 7 を通って移動してきた電荷を蓄積するための第一の電荷蓄積部 4 が設けられている。第一の電荷蓄積部 4 は、接続部 3 と同じ導電型の n 型不純物層で構成されている。

【0048】

第一の電荷蓄積部 4 の表面には、第一の電荷蓄積部 4 と反対導電型の p 型不純物を注入してなる p 型不純物層 4 a が形成されている。第一の電荷蓄積部 4 の表面に p 型不純物層 4 a を形成しておくことで、第一の電荷蓄積部 4 が基板最表面ではなく基板内部に設けられた所謂埋め込み型となり、基板内部に電荷が蓄積される。この結果、基板表面で発生する暗電流の混入を抑制することができ、S/N を向上させることができる。又、第一の電荷蓄積部 4 および p 型不純物層 4 a の不純物濃度を調整して第一の電荷蓄積部 4 を完全空乏化することで、所謂完全転送が可能になる。

10

【0049】

電位障壁部 7 上方には、接続部 3 をソースとし、第一の電荷蓄積部 4 をドレインとするトランジスタのゲート電極 7 a が、ゲート絶縁膜 2 を介して設けられている。このゲート電極 7 a は、外部から可変の電圧が印加されるようになっており、ここから、電位障壁部 7 の電位を可変制御できるようになっている。以下、ゲート電極 7 a をバリアゲート 7 a という。

【0050】

第一の電荷蓄積部 4 の隣には少し離間して第二の電荷蓄積部 5 が設けられている。第二の電荷蓄積部 5 は、接続部 3 と同じ導電型の n 型不純物層で構成されている。

20

【0051】

第一の電荷蓄積部 4 と第二の電荷蓄積部 5 との間の基板 1 上方には、第一の電荷蓄積部 4 をソースとし、第二の電荷蓄積部 5 をドレインとするトランジスタのゲート電極 8 が、ゲート絶縁膜 2 を介して設けられている。このゲート電極 8 は、第一の電荷蓄積部 4 に蓄積された電荷を第二の電荷蓄積部 5 に転送する電荷転送手段として機能する。以下、ゲート電極 8 を転送ゲート 8 という。この転送ゲート 8 に高電圧の電荷転送パルスが印加されると、第一の電荷蓄積部 4 に蓄積された電荷が第二の電荷蓄積部 5 に転送される。第一の電荷蓄積部 4 を完全空乏化することが好ましく、このようにすることで、第一の電荷蓄積部 4 にある電荷は第二の電荷蓄積部 5 に完全転送される。

【0052】

30

第二の電荷蓄積部 5 の隣には少し離間して、接続部 3 と同じ導電型の n 型不純物層からなるリセットドレイン 6 が設けられている。第二の電荷蓄積部 5 とリセットドレイン 6 との間の基板 1 上方には、第二の電荷蓄積部 5 をソースとし、リセットドレイン 6 をドレインとするリセットトランジスタのゲート電極（以下、リセットゲートという）9 が、ゲート絶縁膜 2 を介して設けられている。リセットゲート 9 に高電圧のリセットパルスを印加すると、第二の電荷蓄積部 5 に蓄積された電荷がリセットドレイン 6 へと排出される。

【0053】

基板 1 には、更に、第二の電荷蓄積部 5 に蓄積された電荷に応じた信号を出力する MOS トランジスタからなる信号出力回路が、画素毎に設けられている。この信号出力回路には、上記リセットトランジスタも含まれる。

40

【0054】

図 2 は、図 1 に示す 1 画素分の等価回路を示した図である。

図 2 に示すように、信号出力回路は、リセットトランジスタの他に出力トランジスタ 5 a と行選択トランジスタ 5 b とを備える。出力トランジスタ 5 a は、そのゲートが第二の電荷蓄積部 5 に接続され、そのドレインが電源に接続され、そのソースが行選択トランジスタ 5 b のドレインに接続されている。出力トランジスタ 5 a は、第二の電荷蓄積部 5 に蓄積された電荷の電荷量に応じた電圧信号を出力するものである。

【0055】

行選択トランジスタ 5 b は、そのゲートに行選択パルスが印加されると、出力トランジスタ 5 a から出力された電圧信号を信号線に出力する。各画素に設けられた信号出力回路

50

に行選択パルスが行毎に順次印加されることで、全ての画素から信号が出力される。

【 0 0 5 6 】

図 3 は、第一実施形態の固体撮像素子を搭載する撮像装置の構成例を示した図である。

図 3 に示す撮像装置は、図 1 に示す画素をアレイ状に配置した固体撮像素子 3 0 と、固体撮像素子 3 0 の各画素から得られる信号に相関二重サンプリング (C D S) 処理を行ってリセットノイズを除去する C D S 回路 3 1 と、 C D S 回路 3 1 の出力信号をデジタル信号に変換する A / D 変換器 3 2 と、 A / D 変換器 3 2 から出力されるデジタル信号に所定のデジタル信号処理を施して画像データを生成するデジタル信号処理部 3 3 と、デジタル信号処理部 3 3 で生成された画像データが記録される記録メディア 3 4 と、固体撮像素子 3 0 を駆動する駆動部 3 5 と、撮像装置全体を統括制御するシステム制御部 3 6 とを備える。尚、固体撮像素子 3 0 、 C D S 回路 3 1 、 及び A / D 変換器 3 2 は 1 チップ (1 I C) の中に組み込まれていても良い。

10

【 0 0 5 7 】

駆動部 3 5 は、バリアゲート 7 a への電圧印加制御、リセットゲート 9 へのリセットパルス印加制御、電荷転送ゲート 8 への電荷転送パルス印加制御、行選択トランジスタ 5 b への行選択パルス印加制御等を行う。

【 0 0 5 8 】

このように構成された撮像装置のスルー画像を得るための撮影、動画撮影、 A E ・ A F を行うための撮影等を行う撮影モード時の動作について説明する。以下では、取り扱い電荷を電子として説明する。このため、以降で説明に用いるポテンシャル図は、図中の上から下に向かって電位が高くなっているものとして図示している。

20

図 4 は、第一実施形態の固体撮像素子の行方向に並ぶ画素からなるライン (i ライン目) の各画素における撮影モード時の動作を示す図であり、各時刻における基板 1 内の断面ポテンシャルを示した図である。

i ライン目の各画素における前フレームの露光期間によって光電変換層 1 5 で発生した電荷に応じた信号の出力が完了した後、 i ライン目の各画素の基板 1 内のポテンシャルは時刻 $T_0[i]$ に示すような初期状態となる。

【 0 0 5 9 】

初期状態とは、 i ライン目の各画素の電位障壁部 7 の電位が露光期間中に設定される露光電位 (初期状態における接続部 3 の電位よりも高い電位、この値は後述する電位決定モードで予め決められた値) よりも十分に低い第一の電位となるように i ライン目の各画素のバリアゲート 7 a に第一の電圧が印加されており、 i ライン目の各画素の転送ゲート 8 に電荷転送パルスが印加されておらず、 i ライン目の各画素のリセットゲート 9 にリセットパルスが印加されていない状態である。初期状態では、第 2 の電荷蓄積部 5 に、初期状態の直前に行われたリセット動作によるリセットノイズ N_1 が蓄積されている。

30

【 0 0 6 0 】

初期状態から、駆動部 3 5 は、電位障壁部 7 の電位が露光電位となるように、 i ライン目の各画素のバリアゲート 7 a に第二の電圧 (> 第一の電圧) を印加すると共に、 i ライン目の各画素の転送ゲート 8 に電荷転送パルスを印加し、 i ライン目の各画素のリセットゲート 9 にリセットパルスを印加する。これにより、接続部 3 と電位障壁部 7 は同電位となり、接続部 3 に存在していた不要電荷及びリセットノイズ N_1 がリセットドレイン 6 へと排出される (時刻 $T_1[i]$) 。

40

【 0 0 6 1 】

次に、駆動部 3 5 は、 i ライン目の各画素の転送ゲート 8 への電荷転送パルスの印加と、 i ライン目の各画素のリセットゲート 9 へのリセットパルスの印加を停止する。これを以って露光期間 (スルー画像等の画像の生成を行うための露光を行う期間) が開始され、光電変換層 1 5 で発生した電荷 Q が接続部 3 に到達し、この電荷 Q が電位障壁部 7 を介して第一の電荷蓄積部 4 へと蓄積される (時刻 $T_2[i]$) 。このとき、第二の電荷蓄積部 5 には、直前のリセット動作によるリセットノイズ N_2 のみが蓄積された状態となる。

【 0 0 6 2 】

50

設定された露光期間の終了時刻になると、駆動部 35 は i ライン目の各画素のバリアゲート 7a に第一の電圧を印加して電位障壁部 7 の電位を初期状態のときの値に戻す。このとき、接続部 3 と電位障壁部 7 には大きな電位差（露光電位と第一の電位の差に等しい）が発生するため、接続部 3 からの熱拡散による第一の電荷蓄積部 4 への電荷の流入は無視できるほどに微量となる。尚、露光電位と第一の電位の差は、接続部 3 から第一の電荷蓄積部 4 に流入する電流量が無視できるほど小さくなるような値に設定しておけば良い。

【0063】

駆動部 35 は、電位障壁部 7 の電位を初期状態の値に戻した後、 i ライン目の各画素の第二の電荷蓄積部 5 に存在しているリセットノイズ N_2 に応じたりセットノイズ信号（dark）を信号出力回路から出力させる（時刻 $T_3[i]$ ）。このリセットノイズ信号（dark）は CDS 回路 31 にてサンプリングされる。

10

【0064】

次に、駆動部 35 は、 i ライン目の各画素の転送ゲート 8 に電荷転送パルス（ $T_4[i]$ ）を印加して、 i ライン目の各画素の第一の電荷蓄積部 4 に蓄積されていた電荷 Q を第二の電荷蓄積部 5 に転送する（時刻 $T_4[i]$ ）。

【0065】

電荷 Q の転送が完了した後、駆動部 35 は、 i ライン目の各画素の第二の電荷蓄積部 5 に存在している電荷（ $Q + N_2$ ）に応じた撮像信号（sig）を信号出力回路から出力させる。この撮像信号（sig）は CDS 回路 31 にてサンプリングされ、（sig）-（dark）の処理が行われてリセットノイズ N_2 に応じた信号だけが除去される。

20

【0066】

次に、駆動部 35 は、 i ライン目の各画素のリセットゲート 9 にリセットパルス（ $T_5[i]$ ）を印加する。これにより、 i ライン目の各画素の第二の電荷蓄積部 5 に存在していた電荷（ $Q + N_2$ ）はリセットドレイン 6 に排出される（時刻 $T_5[i]$ ）。そして、駆動部 35 は、 i ライン目の各画素の転送ゲート 8 への電荷転送パルスの印加と、 i ライン目の各画素のリセットゲート 9 へのリセットパルスの印加を停止し（時刻 $T_6[i]$ ）、初期状態に戻る。

【0067】

駆動部 35 は、 $T_0[i] \sim T_6[i]$ までの駆動を、 i の値が異なる各ライン毎にタイミングをずらしながら行う。

【0068】

尚、時刻 $T_4[i]$ で撮像信号（sig）を出力させた後、転送ゲート 8 への電荷転送パルスの印加を停止して時刻 $T_6[i]$ の状態にしても良い。

30

【0069】

以上のように、本実施形態の撮像装置によれば、バリアゲート 7a に印加する電圧を可変制御することで、接続部 3 と電位障壁部 7 を同電位にした状態で露光を行うことが可能となり、露光中に光電変換層 15 で発生した電荷 Q の一部が接続部 3 に残留するのを防いで、残像の発生を防ぐことができる。又、露光開始時の接続部 3 の電位が（電位障壁部 7 と同電位になることにより）既知となるため、出力信号の基準レベルを設定することができる。この結果、入射光量に対する信号出力特性のリニアリティ補正が可能となり、信号出力特性を線形にすることができる。

40

【0070】

尚、接続部 3 と電位障壁部 7 に電位差がある状態で露光が行われると、光電変換層 15 からどれだけの電荷 Q が入力されたのか判断がつかなくなる。その結果、入射光量に対する信号出力特性に線形性が保てなくなる。又、図 4 に示した初期状態において、接続部 3 の電位は、それまでに接続部 3 を通った電荷 Q の量や暗電流電荷の量、時間等によって随時変動する。このため、入射光量に対する出力特性に規則性がなくなり、リニアリティ補正が行えない状態となる。しかも、画素毎にこの電位は変動する。

【0071】

これに対して、本駆動方法を採用すれば、接続部 3 と電位障壁部 7 が同電位となった状態で露光が行われるため、信号の基準レベルが設定可能となる。このため、入射光量に対

50

する信号出力特性に線形性を保つことは出来ないが、入射光量に対する出力特性に規則性を持たせることができ、リニアリティをシステムの的に補正することは可能となる。

【0072】

図5は、第一実施形態の駆動方式を採用した場合の信号蓄積時間に対する信号出力特性の概念図である。

予め、本特性を撮像システムに記録しておけば、システムの的にリニアリティ補正が可能となり、入射光量に対する信号出力特性を線形にすることができる。熱励起による放出電流量は時間と共に指数関数的に減少（（式1）参照）し、放出電流量が、接続部3に流れ込む電流量（暗電流＋被写体に応じた信号電流）と釣り合った時に熱平衡状態に達し、熱励起による放出電流量は見かけ上0となる。よって、入力信号に対する出力特性も図5のように信号蓄積時間の関数となる。このように、信号蓄積時間（露光時間）と出力電荷量を知ることができれば、図5に示したグラフから、信号電流量を知ることができるため、リニアリティ補正が可能となる。

【0073】

又、本実施形態の撮像装置によれば、露光期間に発生した電荷を一時的に記憶しておく第一の電荷蓄積部4が設けられているため、リセットノイズ信号（dark）のサンプリングと、撮像信号（sig）のサンプリングとを図4の時刻 $T3[i]$ と $T4[i]$ の間の、固体撮像素子の露光期間よりも短い微小な時間間隔でサンプリングすることができ、撮像信号に含まれるリセットノイズに起因するノイズ信号を正確に除去することが可能となる。

【0074】

又、本実施形態の固体撮像素子によれば、光電変換素子Pが基板1内ではなく基板1上方に設けられているため、第一の電荷蓄積部4を追加するだけの十分なスペースを基板1内に確保することができる。基板1内にフォトダイオードを形成する一般的な固体撮像素子の場合、第一の電荷蓄積部4を基板内に追加してしまうと、フォトダイオードのためのスペースを維持することが難しくなり、感度の低下が懸念されてしまう。又、感度を維持しようとするれば、画素数の低下やチップサイズの増大等が懸念されてしまう。本実施形態の固体撮像素子によればこのような懸念が生じることはない。

【0075】

尚、上述した効果を得るためには、全ての画素において、接続部3と電位障壁部7を同電位にできるように露光電位を予め決定しておかなければならない。以下では、この露光電位の決定方法を説明する。

【0076】

本実施形態の撮像装置は、露光電位を決定するための電位決定モードを有しており、所定のタイミングでこの電位決定モードが実行される。

【0077】

図6は、第一実施形態の撮像装置の電位決定モード時の動作を説明するためのフローチャートである。

電位決定モードが開始されると、駆動部35は、光電変換層15から接続部3に入射光に応じた電荷（つまり、光がない状態で発生する暗電流電荷以外の電荷）が流れ込まない状態にする（ステップS1）。このような状態の実現方法としては、固体撮像素子30を完全に遮光するメカニカルシャッタが撮像装置に搭載されている場合は、このメカニカルシャッタを閉じる制御を行う方法がある。又は、光電変換層15に印加される実効電圧がゼロとなるように、上部電極16に印加するバイアス電圧を制御する方法がある。

【0078】

次に、システム制御部36が、図4に示した時刻 $T1[i]$ のときに設定すべき電位障壁部7の露光電位（ V_{on} ）を初期値である（ V_{def} ）に設定し（ステップS2）、駆動部35にシーケンスAを実行させる（ステップS3）。

【0079】

図7は、図6に示すシーケンスA実行時の撮像装置の動作を示す図であり、各時刻にお

10

20

30

40

50

ける基板 1 内の断面ポテンシャルを示した図である。

図 7 に示す例では、時刻 T_0 で全てのラインの画素が初期状態となっている。この初期状態は図 4 の時刻 $T_0[i]$ の状態と同じである。図 7 の例では、第二の電荷蓄積部 5 にリセットノイズ N_3 が蓄積されている。初期状態から、駆動部 35 は、 $i (= 1)$ ライン目の各画素のリセットノイズ N_3 に応じたりセットノイズ信号（基準レベル）を信号出力回路から出力させる（時刻 $T_1[i]$ ）。この基準レベルは CDS 回路 31 にてサンプリングされる。

【0080】

次に、駆動部 35 は、 $i (= 1)$ ライン目の各画素の電位障壁部 7 の電位が (V_{def}) となるように、 $i (= 1)$ ライン目の各画素のバリアゲート 7a に電圧を印加すると共に、 $i (= 1)$ ライン目の各画素の転送ゲート 8 に電荷転送パルス印加し、この状態で、 $i (= 1)$ ライン目の各画素の第二の電荷蓄積部 5 に蓄積されている電荷に応じた信号（確認レベル）を信号出力回路から出力させる（時刻 $T_2[i]$ ）。この確認レベルは CDS 回路 31 にてサンプリングされ、（確認レベル）-（基準レベル）の処理が行われて、処理後の信号がシステム制御部 36 に入力される。

【0081】

次に、駆動部 35 は、 $i (= 1)$ ライン目の各画素のリセットゲート 9 にリセットパルス印加する。これにより、 $i (= 1)$ ライン目の各画素の第二の電荷蓄積部 5 に存在していた電荷はリセットドレイン 6 に排出される（時刻 $T_3[i]$ ）。そして、駆動部 35 は、 $i (= 1)$ ライン目の各画素の転送ゲート 8 への電荷転送パルスの印加と、 $i (= 1)$ ライン目の各画素のリセットゲート 9 へのリセットパルスの印加を停止する（時刻 $T_4[i]$ ）。

【0082】

駆動部 35 は、上述したような、 $T_1[i] \sim T_4[i]$ までの駆動を i の値を 1 つずつ増やして行ってライン毎に順次行って初期状態に戻る。

【0083】

初期状態での接続部 3 の電位が (V_{def}) よりも低ければ、時刻 $T_2[i]$ の時点で、接続部 3 から第二の電荷蓄積部 5 に不要電荷が移動するため、 CDS 回路 31 からはこの不要電荷に応じた信号が暗電流として出力される。一方、初期状態での接続部 3 の電位が (V_{def}) よりも高ければ、時刻 $T_2[i]$ の時点で、接続部 3 から第二の電荷蓄積部 5 に不要電荷は移動しないため、 CDS 回路 31 から暗電流は出力されない。

【0084】

図 6 に戻り、システム制御部 36 は、シーケンス A 実行後に全ての画素から暗電流が出力されたかどうかを判定する（ステップ S4）。暗電流が出力されていない画素があった場合（ステップ S4：NO）、システム制御部 36 は、電位 (V_{on}) を下記式（2）にしたがって、初期値から (V_{step}) だけ大きくした値に再設定し（ステップ S5）、ステップ S3 に処理を戻す。

【0085】

$$(V_{on}) = (V_{def}) + (V_{step}) \times N \cdots (2)$$

ここで、 N は、ステップ S4 で “NO” と判定した回数

【0086】

全ての画素から暗電流が出力されていた場合（ステップ S4：YES）、システム制御部 36 は、現時点で設定している (V_{on}) を、撮影モード時に設定する露光電位として決定する（ステップ S6）。駆動部 35 は、撮影モード時、ステップ S6 で決定された露光電位及び既定の第一の電位のいずれかとなるように、バリアゲート 7a に印加する電圧を制御する。

【0087】

このような方法で露光電位を決定することにより、図 4 の時刻 $T_1[i]$ の時点で、全ての画素において接続部 3 と電位障壁部 7 を同電位にすることができる。

【0088】

10

20

30

40

50

尚、電位決定モードは、撮像装置の製造現場における調整工程時に実行したり、ユーザが電源を投入した時に実行したり、電源投入後は一定期間毎に実行したりするようにすることが好ましい。

【0089】

(第二実施形態)

第一実施形態では、露光期間中に発生した電荷を、第一の電荷蓄積部4に一時的に蓄積するものとする。リセットノイズを正確に除去できるものとした。しかし、リセットノイズの除去精度を求めないのであれば、第一の電荷蓄積部4を設けない構成としても、第一実施形態の駆動方式を採用することは可能である。

【0090】

第二実施形態の撮像装置に搭載される固体撮像素子は、図1に示した固体撮像素子において、転送ゲート8をリセットゲート9に変更し、第二の電荷蓄積部5をリセットドレイン6に変更し、第一の電荷蓄積部4に出力トランジスタ5aのゲートを接続した構成となっている。尚、この構成にする場合、第一の電荷蓄積部4表面のp型不純物層4aは削除する。

【0091】

このように構成された固体撮像素子を搭載する撮像装置の撮影モード時の動作について説明する。

図8は、第二実施形態の固体撮像素子のiライン目の各画素における撮影モード時の動作を示す図であり、各時刻における基板1内の断面ポテンシャルを示した図である。

iライン目の各画素における前フレームの露光期間によって光電変換層15で発生した電荷に応じた信号の出力が完了して、第一の電荷蓄積部4に蓄積された電荷のリセット動作が行われた後のiライン目の各画素の基板1内のポテンシャルは時刻 $T_0[i]$ に示すような初期状態となる。

【0092】

初期状態とは、iライン目の電位障壁部7の電位が露光期間中に設定される露光電位よりも十分に低い第一の電位となるようにiライン目の各画素のバリアゲート7aに第一の電圧が印加されており、iライン目の各画素のリセットゲート9にリセットパルスが印加されていない状態である。初期状態では、第一の電荷蓄積部4に、初期状態の前に行われたリセット動作によるリセットノイズNが蓄積されている。

【0093】

初期状態から、駆動部35は、電位障壁部7の電位が初期状態における接続部3の電位よりも高い露光電位となるように、iライン目の各画素のバリアゲート7aに第二の電圧(>第一の電圧)を印加すると共に、iライン目の各画素のリセットゲート9にリセットパルスを印加する。これにより、接続部3と電位障壁部7は同電位となり、接続部3に存在していた不要電荷及びリセットノイズNがリセットドレインへと排出される(時刻 $T_1[i]$)。

【0094】

次に、駆動部35は、iライン目の各画素のリセットゲート9へのリセットパルスの印加を停止する。これを以って露光期間が開始され、光電変換層15で発生した電荷Qが接続部3に到達し、この電荷Qが電位障壁部7を介して第一の電荷蓄積部4へと蓄積される(時刻 $T_2[i]$)。

【0095】

設定された露光期間の終了時刻になると、駆動部35はiライン目の各画素のバリアゲート7aに第一の電圧を印加して、電位障壁部7の電位を初期状態のときの値に戻す。このとき、接続部3と電位障壁部7には大きな電位差が発生するため、接続部3からの熱拡散による第一の電荷蓄積部4への電荷の流入は無視できるほどに微量となる。

【0096】

駆動部35は、電位障壁部7の電位を初期状態の値に戻した後、iライン目の各画素の第一の電荷蓄積部4に蓄積されている電荷(Q+N)に応じた撮像信号(sig)を信号

10

20

30

40

50

出力回路から出力させる（時刻 $T3[i]$ ）。この撮像信号（ sig ）は CDS 回路 31 にてサンプリングされる。

【0097】

次に、駆動部 35 は、 i ライン目の各画素のリセットゲート 9 にリセットパルスを印加する。これにより、 i ライン目の各画素の第一の電荷蓄積部 4 に存在していた電荷（ $Q+N$ ）はリセットドレイン 6 に排出される（時刻 $T4[i]$ ）。そして、駆動部 35 は、 i ライン目の各画素のリセットゲート 9 へのリセットパルスの印加を停止する。これにより、第一の電荷蓄積部 4 には、リセットノイズ N' が蓄積される。

【0098】

次に、駆動部 35 は、 i ライン目の各画素のリセットノイズ N' に応じたりセットノイズ信号（ $dark$ ）を信号出力回路から出力させる（時刻 $T5[i]$ ）。このリセットノイズ信号（ $dark$ ）は CDS 回路 31 にてサンプリングされ、時刻 $T3[i]$ で得られた（ sig ）から該（ $dark$ ）が減算されて、リセットノイズの除去が行われ、初期状態に戻る。

【0099】

駆動部 35 は、 $T0[i] \sim T5[i]$ までの駆動を、 i の値が異なる各ライン毎にタイミングをずらしながら行う。

【0100】

このように、特許文献 1 に示したような従来構造であっても、電位障壁部 7 の電位を可変制御することで、残像を防止して高画質の撮影が可能となる。

【0101】

尚、カラー固体撮像素子の高感度化を目指すためには、光電変換層 15 の分光特性がブロードなものよりも、ある特定の波長領域の光のみを吸収し光電変換するタイプのものの方が有利である。なぜなら、分光特性がブロードなタイプは、カラー画像を取得する場合において色分解を行うためにカラーフィルタを用いる必要があるために、カラーフィルタを透過する光以外の光はフィルタに吸収され利用できないのに対し、ある特定の波長領域の光（例えば緑光）のみを吸収し光電変換するタイプのものは、その他の光（青光、赤光）を透過する為、例えば吸収光の異なる光電変換層を積層するなどの工夫を行えば、透過光を利用可能となり、光利用効率向上によって高感度化に有利となるからである。このため、第一実施形態及び第二実施形態で説明した光電変換層 15 は、有機材料によって構成することが、撮像素子の高感度化を図る上で望ましい。

【0102】

又、有機材料で構成した光電変換層は、無機材料で構成した光電変換層に比べて厚みが薄い（300nm程度）ため、光電変換層の容量が大きくなる。つまり、接続部 3 に付随する容量が大きくなるため、熱拡散による流出電荷量 ΔQ も相対的に大きくなる（ $Q = CV$ より）。故に、上述した駆動方式は、有機材料で構成された光電変換層を用いた場合に大きな効果を発揮する。

【0103】

又、ここまで、信号出力回路が nMOS トランジスタ回路によって構成される場合を例に、ポテンシャル図を用いて駆動方法を説明してきたが、信号出力回路が pMOS トランジスタ回路であっても nMOS の場合と極性が逆になる以外は考え方は全く同じであるため、説明を省略する。ちなみに、光電変換層 15 からの電荷が電子である場合は nMOS にて信号読み出し回路を形成し、正孔である場合は pMOS にて信号読み出し回路を形成すれば良い。

【0104】

又、以上の説明では、取り扱い電荷を電子としたが、これを正孔とした場合には、上記説明で用いた各ポテンシャル図を、図中の下から上に向かって電位が高くなっているものとして見れば良い。つまり、上記説明において、電位の大小関係を逆に読めば良い。又、上記説明において、n 型層と p 型層を全て逆にすれば良い。又、電位決定モードにおいては、ステップ S5 において、式（2）の代わりに下記式（3）を用いて V_{on} を再設定

すれば良い。

$$(V_{on}) = (V_{def}) - (V_{step}) \times N \quad \cdots (3)$$

ここで、Nは、ステップS4で“NO”と判定した回数

【図面の簡単な説明】

【0105】

【図1】本発明の第一実施形態である固体撮像素子の1画素分の断面模式図

【図2】図1に示す1画素分の等価回路を示した図

【図3】第一実施形態の固体撮像素子を搭載する撮像装置の構成例を示した図

【図4】第一実施形態の固体撮像素子を搭載する撮像装置の撮影モード時の動作を示す図

【図5】第一実施形態の駆動方式を採用した場合の信号蓄積時間に対する信号出力特性の概念図 10

【図6】第一実施形態の撮像装置の電位決定モード時の動作を説明するためのフローチャート

【図7】図6に示すシーケンスA実行時の撮像装置の動作を示す図

【図8】第二実施形態の固体撮像素子を搭載する撮像装置の撮影モード時の動作を示す図

【図9】特許文献1に開示された固体撮像素子の動作を説明するための図

【図10】熱拡散による接続部電位の変動を示した図

【符号の説明】

【0106】

1 シリコン基板 20

3 接続部

4 第一の電荷蓄積部

7 電位障壁部

14 下部電極

15 光電変換層

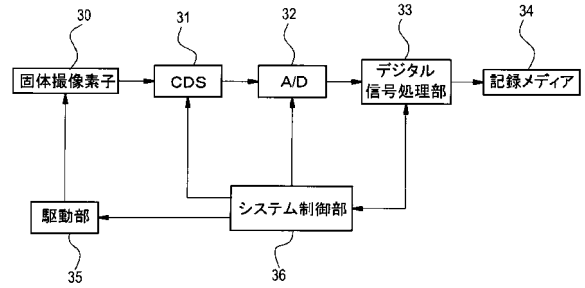
16 上部電極

P 光電変換素子

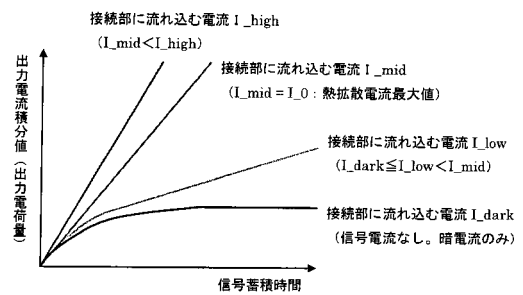
30 固体撮像素子

35 駆動部

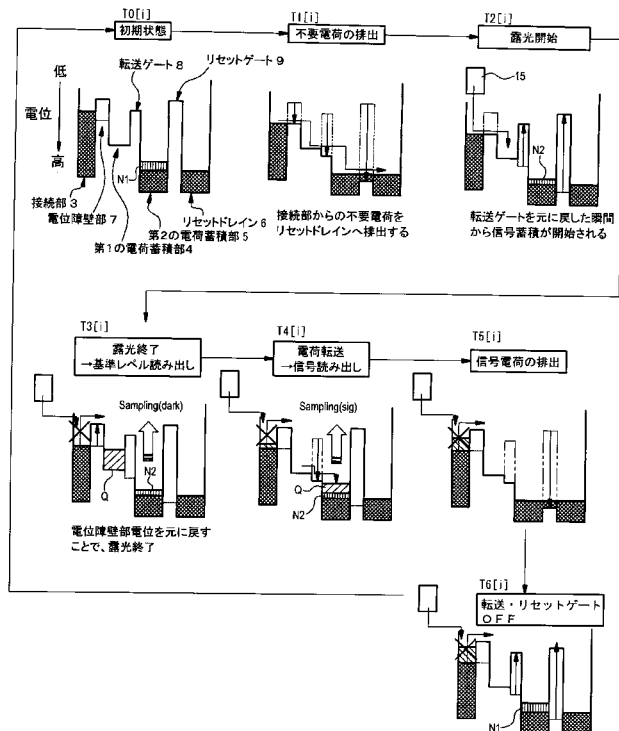
【 図 3 】



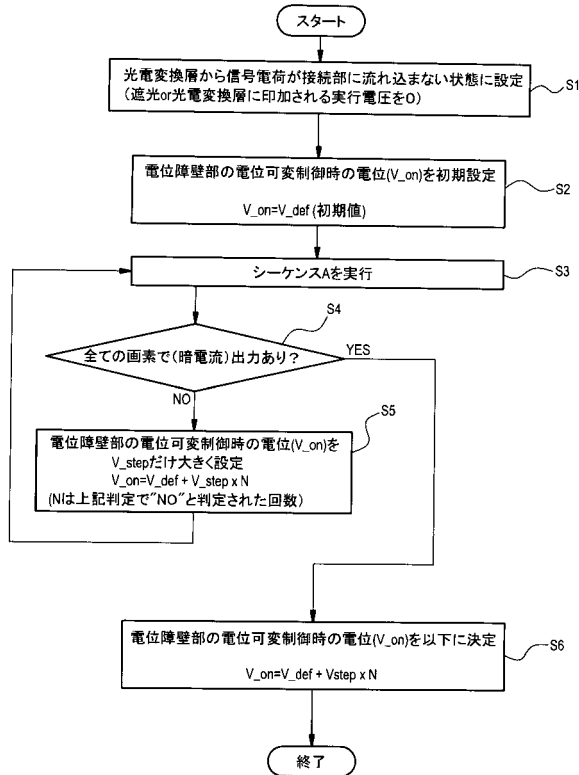
【 図 5 】



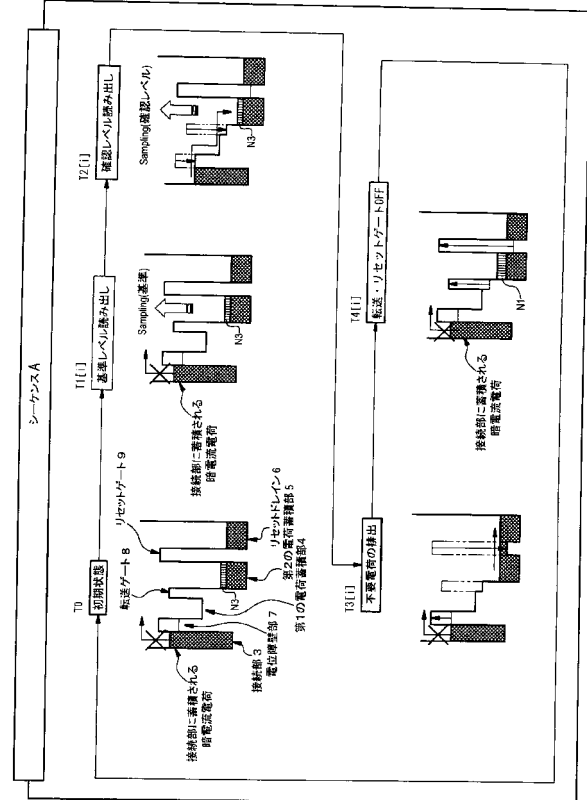
【 図 5 】



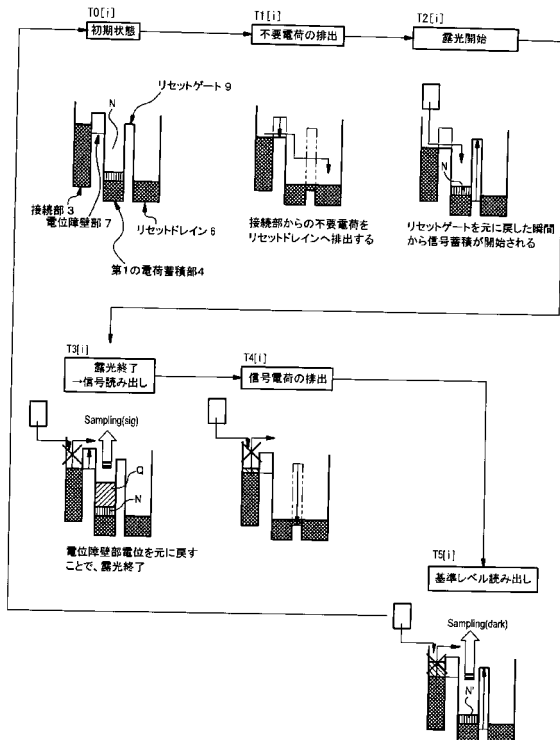
【図6】



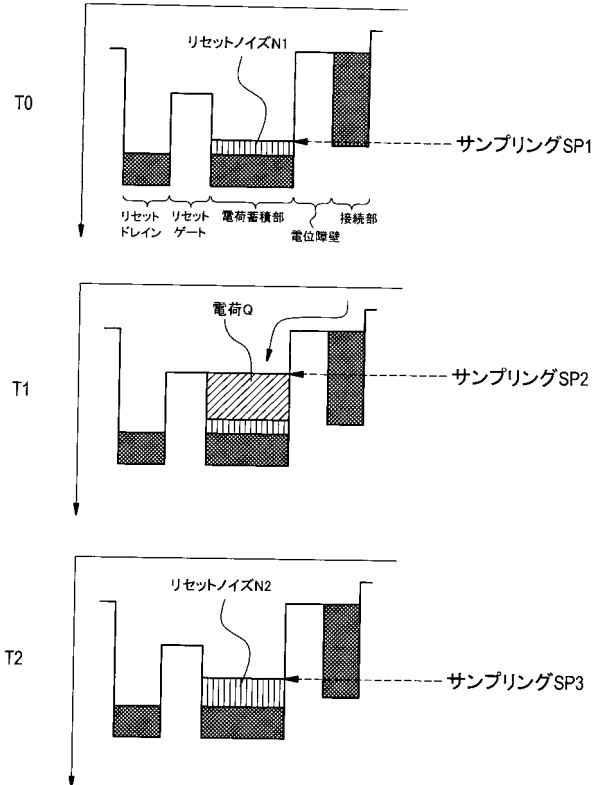
【図7】



【図8】



【図9】



【図 10】

