

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96119384

※ 申請日期：96.5.30

※IPC 分類：G11C 7/10 (2006.01)

606F 13/00 (2006.01)

一、發明名稱：(中文/英文)

為達成較緊密之臨界電壓分佈的非揮發性記憶體非即時重程式化之系統及方法

SYSTEM AND METHOD FOR NON-REAL TIME REPROGRAMMING
OF NON-VOLATILE MEMORY TO ACHIEVE TIGHTER
DISTRIBUTION OF THRESHOLD VOLTAGES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

1. 朱蒂 布魯諾

BRUNER, JUDY

2. 梅根 康普特

COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

尼馬 蒙克萊西

MOKHLESI, NIMA

國 籍：(中文/英文)

伊朗 IRAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年06月22日；11/425,790

2. 美國；2006年06月22日；11/425,794

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於非揮發性記憶體。

【先前技術】

半導體記憶體已愈加風行地用於多種電子裝置中。舉例而言，非揮發性半導體記憶體被用於蜂巢式電話、數位相機、個人數位助理、行動計算裝置、非行動計算裝置及其他裝置中。在最為風行的非揮發性半導體記憶體當中有電子可抹除可程式化唯讀記憶體(EEPROM)及快閃記憶體。與傳統之全特徵EEPROM相比，在快閃記憶體(亦為一種類型之EEPROM)的情況下，可在一個步驟中抹除整個記憶體陣列之內容或記憶體之一部分之內容。

傳統EEPROM及快閃記憶體均利用浮動閘極，該浮動閘極定位於半導體基板中之一通道區域上方且與該通道區域絕緣。該浮動閘極係位於源極區域與汲極區域之間。控制閘極提供於浮動閘極之上方且與浮動閘極絕緣。如此形成之電晶體的臨界電壓受保持於浮動閘極上之電荷量的控制。亦即，在開啟電晶體以允許在其源極與汲極之間進行傳導之前，必須施加至控制閘極的最小電壓量係由浮動閘極上的電荷位準控制。

某些EEPROM及快閃記憶體裝置具有儲存元件，該等儲存元件利用浮動閘極來儲存兩個範圍之電荷，且因此可在兩種狀態(例如，抹除狀態與程式化狀態)之間進程式化/抹除。此類快閃記憶體裝置有時稱為二進制快閃記憶體裝

置，因為每一儲存元件均可儲存一個資料位元。

多狀態(亦稱作多位階)快閃記憶體裝置係藉由識別多個相異的容許/有效程式化臨界電壓範圍而建構。每一相異臨界電壓範圍對應於編碼於記憶體裝置中之該組資料位元之預定值。舉例而言，當每一儲存元件可置放在對應於四個相異臨界電壓範圍之四個離散電荷帶中之一者中時，該儲存元件便可儲存兩個資料位元。

一般地，在程式操作中施加至控制閘極之程式電壓(V_{pgm})作為量值隨時間增加的一系列脈衝而施加。在一種可能方法中，脈衝之量值隨著每一連續脈衝而增加預定步長(例如，0.4 V)。 V_{pgm} 可施加至快閃儲存元件之控制閘極。在程式脈衝之間的時期中，進行驗證操作。亦即，在連續程式化脈衝之間讀取並行地加以程式化之一組儲存元件中之每一儲存元件的程式化位準，以判定其係等於抑或大於元件被程式化至的驗證位準。對於多狀態快閃儲存元件陣列而言，可對儲存元件之每一狀態執行驗證步驟，以判定儲存元件是否已達到其資料關聯驗證位準。舉例而言，能夠在四個狀態中儲存資料之多狀態儲存元件可能需要對三個比較點執行驗證操作。

當程式化EEPROM或快閃記憶體裝置(諸如「反及」(NAND)快閃記憶體裝置)時，一般將程式電壓施加至控制閘極上且使位元線接地，從而使得將來自儲存元件之通道的電子注入至浮動閘極中。當電子累積於浮動閘極中時，浮動閘極變為帶負電荷，且儲存元件之臨界電壓升高以使

得儲存元件處於程式化狀態中。可在題為 "Source Side Self Boosting Technique For Non-Volatile Memory" 之美國專利 6,859,397 及題為 "Detecting Over Programmed Memory" 之美國專利申請案公開案 6,917,542 中找到關於此程式化的更多資訊，該等申請案之全部內容以引用的方式併入本文中。

然而，如題為 "High density non-volatile flash memory without adverse effects of electric field coupling between adjacent floating gates" 且以引用方式併入本文中之美國專利 5,867,429 中所述，在選定之儲存元件之程式化過程中，相鄰儲存元件可由於場效應耦合而使其電荷狀態發生改變。一般而言，在場效應耦合的情況下，由於儲存於相鄰儲存元件中之電荷量發生變化而引起儲存元件之臨界電壓之偏移。舉例而言，給定字線上之儲存元件可受到與同一字線上及相鄰字線上之儲存元件的電容耦合之影響。與鄰近儲存元件最強之耦合使得先前程式化儲存元件之臨界電壓偏移得更高。一組儲存元件之臨界電壓分佈同樣變寬。此係不當的，尤其對多位階儲存元件而言，在該等多位階儲存元件中較緊密之臨界電壓分佈係有利的。

【發明內容】

本發明藉由提供一種以減少電容耦合之方式來操作非揮發性儲存器的系統及方法來解決上述及其他問題。

在一實施例中，操作非揮發性儲存器包括在初始程式化中經由字線程式化非揮發性儲存元件，其中自第一字線開

始且連續進行至每下一條字線，直至到達最後一條字線。在完成初始程式化之後，經由字線重程式化非揮發性儲存元件。舉例而言，初始程式化及重程式化可對非揮發性儲存元件區塊進行。

可分別在初始程式化及重程式化中利用第一及第二組臨界電壓(V_{TH})驗證位準來程式化非揮發性儲存元件，其中第二組 V_{TH} 電壓驗證位準之每一者相對於第一組 V_{TH} 驗證位準中之對應位準而升高。以此方式，儲存元件之 V_{TH} 在重程式化中僅以遞增方式偏移。此外，為了管理計算負載，重程式化可由管理電路作為後臺過程而執行，此時，管理電路原本將處於待用模式中。此外，可基於管理電路之可用性而以一或多個開始-中止-恢復循環開始、暫時中止並隨後恢復重程式化。重程式化可逐頁發生，以使得重程式化在一頁資料結束時中止而在下一頁開始時恢復。旗標位元可用來指示對於每一頁而言是否均發生重程式化，從而允許追蹤每一頁之程式化狀態。旗標位元亦可用於區塊位準上以允許區塊位準追蹤。頁位準上之旗標位元亦可提供區塊位準追蹤。

此外，與初始程式化相比，在重程式化中可施加更高的導通電壓(V_{pass})至未選定之字線。在重程式化中，因為駐於汲極側字線下之儲存元件不再抹除，所以，對於此刻可程式化至高臨界電壓之此等儲存元件而言，達到反轉狀況必須耗費更多的 V_{pass} 升壓電位。因此，在重程式化中增加之 V_{pass} 可係有幫助的。

在另一實施例中，操作非揮發性儲存器包括：利用第一 V_{TH} 讀取位準讀取一組非揮發性儲存元件之第一部分；根據該讀取來判定錯誤計數，諸如，藉由利用錯誤校正及/或偵測碼；及，若錯誤計數超過臨界值，則利用不同於第一 V_{TH} 讀取位準之第二 V_{TH} 讀取位準重新讀取非揮發性儲存元件之第一部分。因此，可對非揮發性儲存元件之第一部分是否僅經受初始程式化作出假設，在此情況下，若用第二 V_{TH} 讀取位準替代第一 V_{TH} 讀取位準來讀取第一部分，則便將偵測到許多錯誤。或，可假設非揮發性儲存元件之第一部分業已經受重程式化，在此情況下，若用第一 V_{TH} 讀取位準替代第二 V_{TH} 讀取位準來讀取第一部分，則便可偵測到許多錯誤。若假設不正確，則用替代性 V_{TH} 讀取位準重新讀取非揮發性儲存元件之第一部分。此外，可在初始讀取試圖中利用在讀取第一部分時被判定為正確的相同 V_{TH} 讀取位準來讀取非揮發性儲存元件之第二部分。非揮發性儲存元件之部分可儲存各別頁的資料，以使得程式化在逐頁的基礎上進行，且正確的 V_{TH} 讀取位準被判定並用於每一頁。

在又一實施例中，操作非揮發性儲存器包括：在初始程式化中經由字線程式化非揮發性儲存元件，以使得，當程式化與給定字線相關聯之非揮發性儲存元件時，將第一導通電壓施加至至少一條其他字線；及，在完成初始程式化之後，經由字線重程式化非揮發性儲存元件，以使得，當程式化與字線之給定一者相關聯之非揮發性儲存元件時，

將不同於第一導通電壓之第二導通電壓施加至該至少一條其他字線。舉例而言，出於上述原因，第二導通電壓可高於第一導通電壓。

提供用於操作非揮發性儲存器及非揮發性儲存系統之對應方法。非揮發性儲存系統包括一組非揮發性儲存元件，及如本文所述用於操作該組非揮發性儲存元件之一或多個電路。

【實施方式】

適合於實施本發明之非揮發性記憶體系統之一實例利用 NAND 快閃記憶體結構，其中多個電晶體串聯地配置於 NAND 串中之兩個選擇閘極之間。圖 1 為展示一個 NAND 串之俯視圖。圖 2 為其等效電路。圖 1 及圖 2 所繪之 NAND 串包括四個電晶體 100、102、104 及 106，該等電晶體串聯地夾於第一選擇閘極 120 與第二選擇閘極 122 之間。選擇閘極 120 及 122 將 NAND 串分別連接至位元線接點 126 及源極線接點 128。藉由分別施加適當電壓至控制閘極 120CG 及 122CG 而控制選擇閘極 120 及 122。電晶體 100、102、104 及 106 中之每一者具有控制閘極及浮動閘極。具體言之，電晶體 100 包括控制閘極 100CG 及浮動閘極 100FG，電晶體 102 包括控制閘極 102CG 及浮動閘極 102FG，電晶體 104 包括控制閘極 104CG 及浮動閘極 104FG，而電晶體 106 包括控制閘極 106CG 及浮動閘極 106FG。控制閘極 100CG、102CG、104CG 及 106CG 分別連接至字線 WL3、WL2、WL1 及 WL0。在一可能設計中，電晶體 100、102、104 及 106 每一

者均為儲存元件，亦稱為單元或儲存元件。在其他設計中，儲存元件可包括多個電晶體，或可不同於圖1及圖2中所繪之彼等儲存元件。選擇閘極120連接至汲極選擇線SGD，而選擇閘極122連接至源極選擇線SGS。

圖3提供上文所述之NAND串之橫截面圖。NAND串之電晶體形成於p井區域140中。每一電晶體包括堆疊閘極結構，該結構包括控制閘極(100CG、102CG、104CG及106CG)及浮動閘極(100FG、102FG、104FG及106FG)。浮動閘極形成於處在氧化膜或其他介電膜上之p井的表面上。控制閘極位於浮動閘極上方，其中一多晶矽間介電層使控制閘極與浮動閘極分離。儲存元件(100、102、104及106)之控制閘極形成字線。在相鄰儲存元件之間共用N+摻雜層130、132、134、136及138，藉此將儲存元件彼此串列連接以形成NAND串。此等N+摻雜層形成儲存元件之每一者之源極及汲極。舉例而言，N+摻雜層130充當電晶體122之汲極及電晶體106之源極，N+摻雜層132充當電晶體106之汲極及電晶體104之源極，N+摻雜層134充當電晶體104之汲極及電晶體102之源極，N+摻雜層136充當電晶體102之汲極及電晶體100之源極，而N+摻雜層138充當電晶體100之汲極及電晶體120之源極。N+摻雜層126連接至該NAND串之位元線，而N+摻雜層128連接至多個NAND串之共同源極線。

四個電晶體在圖1至圖3之NAND串中之使用僅提供為一實例，因為用於本文所述技術之NAND串可具有四個以下

或四個以上儲存元件。舉例而言，某些NAND串將包括八個、十六個、三十二個、六十四個或更多的儲存元件。

舉例而言，本發明可用於由(例如)Fowler-Nordheim穿隧進行程式化及抹除之裝置。本發明亦可應用於利用三層介電質(諸如，由氧化矽、氮化矽及氧化矽(ONO)形成之介電質)替代浮動閘極來儲存電荷之裝置。由ONO形成之三層介電質夾於導電控制閘極與儲存元件通道上方之半導體基板的表面之間。本發明亦可應用於用(例如)小型導電材料島狀物(諸如，奈米晶體)替代浮動閘極作為電荷儲存區域之裝置。此等記憶體裝置可與基於浮動閘極之NAND快閃裝置以類似方式進行程式化及抹除。

圖4為描述三個NAND串之電路圖。使用NAND結構之快閃記憶體系統的典型架構將包括若干NAND串。舉例而言，在具有較多NAND串之記憶體陣列中展示三個NAND串420、440及460。該等NAND串之每一者包括兩個選擇電晶體及四個儲存元件。舉例而言，NAND串420包括選擇電晶體422及427以及儲存元件423至426，NAND串440包括選擇電晶體442及447以及儲存元件443至446，NAND串460包括選擇電晶體462及467以及儲存元件463至466。每一NAND串藉由其選擇電晶體(例如，選擇電晶體427、447或467)而連接至源極線。選擇線SGS用於控制源極側選擇閘極。藉由受控於汲極選擇線SGD之選擇電晶體422、442、462等將各個NAND串420、440及460連接至各別位元線421、441及461。在其他實施例中，選擇線未必需要共

用。字線 WL3 連接至儲存元件 423、443 及 463 之控制閘極。字線 WL2 連接至儲存元件 424、444 及 464 之控制閘極。字線 WL1 連接至儲存元件 425、445 及 465 之控制閘極。字線 WL0 連接至儲存元件 426、446 及 466 之控制閘極。可以看出，每一位元線及各別 NAND 串包含儲存元件之陣列或組之行。字線 (WL3、WL2、WL1 及 WL0) 包含該陣列或組之列。每一字線連接列中之每一儲存元件的控制閘極。舉例而言，字線 WL2 連接至儲存元件 424、444 及 464 之控制閘極。實際上，字線上可存在數千個儲存元件。

每一儲存元件可儲存資料。舉例而言，當儲存一個位元的數位資料時，將儲存元件之可能臨界電壓 (V_{TH}) 之範圍分成兩個範圍，對其指派邏輯資料 "1" 及 "0"。在 NAND 型快閃記憶體之一實例中， V_{TH} 在抹除儲存元件之後為負，且定義為邏輯 "1"。程式操作之後的 V_{TH} 為正，且定義為邏輯 "0"。當 V_{TH} 為負且試圖讀取時，儲存元件將開啟以指示邏輯 "1" 被儲存。當 V_{TH} 為正且試圖進行讀取操作時，儲存元件將不開啟，此指示邏輯 "0" 被儲存。儲存元件亦可儲存多個位準之資訊，例如，多個位元之數位資料。在此情況下， V_{TH} 值之範圍分成資料位準之數目。舉例而言，若儲存四個位準之資訊，則將有四個 V_{TH} 範圍指派給資料值 "11"、"10"、"01" 及 "00"。在 NAND 型記憶體之一實例中，抹除操作後之 V_{TH} 為負，且定義為 "11"。正 V_{TH} 值用於狀態 "10"、"01" 及 "00"。程式化至儲存元件中之資料與元件之

臨界電壓範圍之間的特殊關係視儲存元件所採用之資料編碼方案而定。舉例而言，美國專利第6,222,762號及美國專利申請案公開案2004/0255090描述了用於多狀態快閃儲存元件之多種資料編碼方案，該等案之全部內容以引用的方式併入本文中。

美國專利第5,386,422號、第5,522,580號、第5,570,315號、第5,774,397號、第6,046,935號、第6,456,528號及第6,522,580號中提供NAND型快閃記憶體及其操作之相關實例，該等案之每一者均以引用的方式併入本文中。

當程式化快閃儲存元件時，將程式電壓施加至儲存元件之控制閘極，且使與儲存元件相關聯之位元線接地。將來自通道之電子注入至浮動閘極中。當電子累積於浮動閘極中時，浮動閘極變為帶負電，且儲存元件之 V_{TH} 上升。為了將程式電壓施加至正被程式化之儲存元件的控制閘極，將彼程式電壓施加於適當字線上。如上所述，彼字線亦連接至共用同一字線之其他NAND串之每一者中的一個儲存元件。舉例而言，當程式化圖4之儲存元件424時，亦將程式電壓施加至儲存元件444及464之控制閘極。

然而，當程式化及讀取給定儲存元件及與給定儲存元件具有某種程度之耦合的其他儲存元件(諸如，共用同一字線或位元線之彼等儲存元件)時，儲存於儲存元件中之電荷可發生偏移。具體言之，儲存電荷位準之偏移由於儲存元件之間的場耦合而發生。因為積體電路製造技術之改良使儲存元件之間的空間減小，所以此問題更加嚴重。此問

題最顯著地發生於不同時間上程式化之兩組鄰近儲存元件之間。一組儲存元件經程式化以增加對應於一組資料之電荷位準。在利用第二組資料程式化第二組儲存元件之後，讀取自第一組儲存元件之電荷位準由於第二組儲存元件與第一組儲存元件之電容耦合而常常與程式化之電荷位準顯得不同。因此，耦合效應視程式化儲存元件之順序而定，且因此視程式化中橫穿字線之順序而定。NAND串一般但並非總是自源極側向汲極側程式化，其中，開始於源極側字線上，且繼續進行至汲極側字線，一次一條字線。

舉例而言，給定儲存元件上之電容耦合效應可由同一字線中及同一NAND串中之其他儲存元件引起。舉例而言，儲存元件444可為包括沿字線WL2之其他交替儲存元件的第一組儲存元件之部分，其儲存一頁資料。儲存元件424及464可為儲存另一頁資料之第二組儲存元件之部分。當在儲存元件444之後程式化第二組儲存元件時，便將存在與儲存元件444之電容耦合。與在字線上之直接相鄰儲存元件之耦合最強，該等直接相鄰儲存元件為儲存元件424及464。

類似地，若在儲存元件444之後程式化處於同一NAND串440上之儲存元件，則儲存元件444可受到該等儲存元件之程式化之影響。對於儲存元件444而言，與在NAND串上之直接相鄰儲存元件之耦合最強，該等直接相鄰儲存元件為儲存元件443及/或445。舉例而言，若按446、445、444、443的順序程式化NAND串440中之儲存元件，則儲存元件

將用於控制快閃記憶體裝置之命令資料輸入至控制器518。命令資料通知快閃記憶體請求何種操作。將輸入命令傳送至作為控制電路515之部分的狀態機516。狀態機516控制行控制電路504、列控制電路506、c-源極控制電路510、p井控制電路508及資料輸入/輸出緩衝器512。狀態機516亦可輸出快閃記憶體之狀態資料，諸如READY(準備)/BUSY(忙)或PASS(通過)/FAIL(失敗)。

控制器518連接至主機系統或可與主機系統(諸如，個人電腦、數位相機、個人數位助理及類似設備)相連。該控制器與主機通信，主機起始命令(諸如)以將資料儲存至記憶體陣列502或自記憶體陣列502讀取資料且提供或接收此資料。控制器518將此等命令轉換成命令信號，該等命令信號可由作為控制電路515之部分的命令電路514轉譯及執行。命令電路514與狀態機516相通信。控制器518一般包含緩衝記憶體，用於寫入至儲存元件陣列502或自儲存元件陣列502讀取之資料。

一例示性記憶體系統包括一個積體電路，該積體電路包括：控制器518；及，一或多個積體電路晶片，其每一者包含一記憶體陣列以及關聯控制電路、輸入/輸出電路及狀態機電路。存在將系統之記憶體陣列及控制器電路一起整合於一或多個積體電路晶片上之趨勢。記憶體系統可作為主機系統之部分嵌入，或可包括於以可移除方式插入至主機系統中之記憶卡或其他封裝中。此卡可包括整個記憶體系統(例如，包括控制器)，或僅包括具有關聯周邊電路

之記憶體陣列，其中控制器或控制功能嵌入於主機中。因此，控制器可嵌入於主機中，或包括於可移除之記憶體系統內。

在某些實施例中，可組合圖5之某些組件。此外，在多種設計中，可將圖5之組件中除儲存元件陣列502以外之一或多者視為管理電路。舉例而言，一或多個管理電路可包括控制電路、命令電路、狀態機、列控制電路、行控制電路、井控制電路、源極控制電路或資料I/O電路中之任一者或組合。

圖6提供圖5之儲存元件陣列502之例示性結構。描述被分為1,024個區塊之NAND快閃EEPROM。可將資料程式化至不同區塊中，且同時自不同區塊讀取資料。在抹除操作中，同時抹除儲存於每一區塊中之資料。在一設計中，區塊是可同時抹除之儲存元件的最小單元。在此實例中，於每一區塊中存在劃分為偶數行及奇數行的8,512個行。亦將位元線劃分為偶數位元線(BLe)及奇數位元線(BLo)。展示了四個儲存元件，其串聯連接而形成NAND串。儘管展示了在每一NAND串中包括四個儲存元件，然可利用多於或少於四個的儲存元件。一般地，可在每一NAND串中提供多達32或64個儲存元件。NAND串之一個端子經由選擇電晶體SGD而連接至對應位元線，而另一端子經由第二選擇電晶體SGS連接至c-源極線。

在讀取及程式化操作之一組態中，同時選擇4,256個儲存元件。選定之儲存元件具有同一字線及同一種位元線

地，從而使得偵測 V_{TH} 是否高於 0 V。在用於雙位階儲存元件之驗證操作中，將選定之字線 WL2 連接至(例如) 0.8 V，以使得驗證 V_{TH} 是否已達到至少 0.8 V。源極及 p 井係處於 0 V。將選定之位元線(假定為偶數位元線(BLe))預充電至(例如) 0.7 V 之位準。若 V_{TH} 高於字線上之讀取或驗證位準，則與關注之儲存元件相關聯之位元線(BLe)的電位位準便由於非導電儲存元件而保持高位準。另一方面，若 V_{TH} 低於讀取或驗證位準，則因為導電儲存元件使位元線放電，所以相關位元線(BLe)之電位位準便降低至低位準(例如，小於 0.5 V)。儲存元件之狀態可因此由連接至位元線之電壓比較器感測放大器而偵測。

根據此項技術中已知的技術執行上文所述之抹除、讀取及驗證操作。因此，熟習此項技術者可改變所闡述之許多細節。亦可利用此項技術中已知的其他抹除、讀取及驗證技術。

如上所述，每一區塊均可劃分為許多頁。在一方法中，一頁為一程式化單位。在一些實施例中，個別頁可劃分為片段，且該等片段可包含隨著基本程式化操作而一次寫入的最少數目之儲存元件。一或多頁資料一般儲存於一系列儲存元件中。一頁可儲存一或多個區段。一區段包括使用者資料及附加項資料，諸如，根據區段之使用者資料而計算出的錯誤校正碼(ECC)。控制器之一部分在資料程式化至陣列中時計算 ECC，且在自陣列讀取資料時亦利用 ECC 檢查資料。或者，可將 ECC 及/或其他附加項資料儲存於其所

從屬之與使用者資料不同的頁乃至不同的區塊中。在其他設計中，記憶體裝置之其他部分(諸如，狀態機)可計算ECC。

使用者資料之區段一般為512個位元組，此對應於磁碟驅動器中之磁區之大小。附加項資料一般為額外的16至20個位元組。一區塊可包括許多頁，例如，8、32、64或更多的頁。

重程式化

提供一種程式化技術，其中起初程式化一組儲存元件，且隨後進行至少一次重程式化。舉例而言，該組可為儲存元件區塊，該區塊可作為一單位進行抹除。或，該組可關聯於不必作為一單位進行抹除的一組字線。在初始程式化中，程式化該組儲存元件。此外，可在初始程式化及重程式化中將儲存元件程式化至不同的 V_{TH} 位準。在初始程式化及重程式化中可利用任何程式化技術，包括但不限於下文結合圖7A與圖7B、圖10及圖11A至圖11C所述之彼等程式化技術。在初始程式化中程式化該組儲存元件之後，發生重程式化，其中將該組中之元件程式化至(例如)所要之最終 V_{TH} 。在初始程式化與重程式化之間並不抹除儲存元件。

在一方法中，當自儲存元件讀取資料時，第一組 V_{TH} 讀取位準可用於在初始程式化中僅程式化一次的儲存元件，而第二組 V_{TH} 讀取位準可用於亦已重程式化之儲存元件。第二組之對應值可高於第一組。或者，可在每一種情況下

利用相同組 V_{TH} 讀取位準。此外，任何兩個相鄰 V_{TH} 狀態之間的電壓容限應大得足以容納許多寄生現象，包括耦合、程式干擾、讀取干擾、儲存元件及系統雜訊、突增、程式化雜訊及長期電荷滯留。另一寄生現象為資料型樣敏感效應，此係關於先前程式化之儲存元件之具體資料值(例如， V_{TH} 值)的效應。由於至少耦合及突增將減少且尚未重程式化之彼等頁將不久便進行重程式化，所以重程式化可允許減小相鄰 V_{TH} 狀態之間的容限，從而使得無額外容限必須致力於非程式化頁之長期滯留問題。此外，經重程式化之頁提供較緊密之 V_{TH} 分佈，該等 V_{TH} 分佈為此等頁開闢容限。淨效應在於可減小記憶體 V_{TH} 窗，從而允許較小之程式化電壓且減少程式干擾。

圖 7A 描繪在多狀態裝置中自抹除狀態直接程式化至程式化狀態的情況下之一例示組 V_{TH} 分佈。在此情況下，每一儲存元件在由 E、A、B 及 C 所表示之四種資料狀態下儲存兩個資料位元。E 描繪經抹除之儲存元件之第一 V_{TH} 分佈，而 A、B 及 C 則描述經程式化之儲存元件之三種 V_{TH} 分佈。在一設計中，E 分佈中之 V_{TH} 值為負的，而 A、B 及 C 中之 V_{TH} 值為正的。每一相異 V_{TH} 範圍對應於該組資料位元之預定值。程式化至儲存元件中之資料與儲存元件之 V_{TH} 位準之間的具體關係視儲存元件所採用之資料編碼方案而定。一實例將 "11" 指派給 V_{TH} 範圍 E (狀態 E)，將 "10" 指派給 V_{TH} 範圍 A (狀態 A)，將 "00" 指派給 V_{TH} 範圍 B (狀態 B)，並將 "01" 指派給 V_{TH} 範圍 C (狀態 C)。然而，在其他設計中，利

偏移可為每一狀態之臨界電壓分佈之約一半。所以，若狀態 "A" 之臨界電壓分佈一般為 0.8 V 寬，則可利用 0.4 V 的偏移。因此，若 V_{val} 為 0.6 V，則 V_{va2} 可為 1.0 V。對於每一狀態而言驗證位準之間的增量無需相同。在重程式化之後，每一狀態之 V_{TH} 分佈之下端基於遞增式較高臨界電壓驗證位準而上移，以使得 V_{TH} 分佈變緊。因此，可起初程式化一組儲存元件，且在完成初始程式化之後，可重程式化該組儲存元件，以達成圖 7B 之變緊密 V_{TH} 分佈。

詳言之，重程式化減小每一狀態之 V_{TH} 值的耦合誘發擴展，因為，與初始程式化中所附加之電荷量相比，更小的電荷量附加至儲存元件。此外，若儲存元件之 V_{TH} 由於耦合而在此刻高於其原來在初始程式化中被初始程式化且鎖定時的 V_{TH} ，則其在重程式化中被鎖定之前需要較少程式化。又，給定儲存元件之相鄰者在重程式化中不會經歷其 V_{TH} 值的顯著耦合誘發偏移。結果，儲存元件可在重程式化中更為準確地程式化至所要之最終 V_{TH} 。重程式化減輕所有類型之耦合效應，無論係由字線與字線耦合、位元線與位元線耦合還是由與對角相鄰儲存元件之耦合所引起。此外，若儲存元件由於程式化行為之不一致性或由於與最後一個驗證操作相關聯之雜訊而被過度程式化，則其在重程式化中便需要較少程式化脈衝來達到所要之最終狀態。重程式化僅將少量電荷置放於正被程式化之每一儲存元件中。因為在重程式化中 V_{TH} 變化較小，所以，與初始程式化相比，鎖定事件一般較早地在較低控制閘極程式脈衝電

壓下發生。可參看圖8及圖9而進一步瞭解重程式化之益處。

圖8描繪用於程式化非揮發性儲存器之一系列程式化脈衝。在普通程式化方法中，將程式電壓 V_{pgm} 以一系列脈衝施加至儲存元件之控制閘極。在一種可能方法中，脈衝之量值在每一連續脈衝增加預定步長(例如，0.4 V)的情況下進行增加。 V_{pgm} 可施加至快閃記憶體元件之控制閘極(或，在某些情況下施加至引導閘極)。 V_{pgm} 提供為量值隨時間增加的一系列脈衝。在程式脈衝之間的時期中，進行驗證操作。亦即，經並行程式化之一組儲存元件(諸如，字線上之特定儲存元件)之每一儲存元件的程式化位準在連續程式化脈衝之間讀取，以判定其係等於抑或大於儲存元件被程式化至的驗證位準。對於多狀態快閃記憶體元件陣列而言，可對元件之每一狀態執行驗證步驟，以判定儲存元件是否已達到其資料關聯驗證位準。舉例而言，能夠在四個狀態中儲存資料之多狀態儲存元件可能需要對三個比較點執行驗證操作。

若儲存元件並未在給定數目之脈衝之後達到所要程式位準(此按照慣例係固定的)，則宣告錯誤狀況。 V_{pgm} 之量值(包括初始值、電壓步長(若適用)及待於宣告錯誤狀況之前施加的脈衝之最大數目)的選擇涉及多種因素之間的折衷。詳言之，若初始值或步長過大，則某些記憶體元件可能會被過度程式化，從而導致不準確的 V_{TH} ，而若初始值或步長過小則會導致更長的程式化時間。一般地，非揮發

性記憶體之使用者希望記憶體較快地進程式化。此外，將不同記憶體元件程式化至所要狀態所需的脈衝之數目可不同。較慢記憶體元件將需要較多脈衝，而較快記憶體元件將需要較少脈衝。為了具有足夠的容限或緩衝以使得晶粒分揀良率係可接受的，一般容許相對較大數目的 V_{pgm} 脈衝。舉例而言，在 90 nm 裝置中，儘管多狀態記憶體元件裝置中之大多數上部頁可在十八個脈衝內進程式化，然脈衝之最大容許數目可設定為(例如)二十四個，以提供六個脈衝的容限。

舉例而言，假設初始程式化中給定儲存元件在第16個程式脈衝時達到驗證位準且被鎖定而無法接收其他 V_{pgm} 脈衝，正如所指示的。可參看圖9而瞭解每一 V_{pgm} 脈衝下儲存元件之臨界電壓變化(ΔV_{TH})，其中圖9描繪通常的非揮發性儲存元件之線性及非線性程式化型態(regime)。在初始 V_{pgm} 脈衝中，儲存元件處於非線性型態中，其中 V_{TH} 之增加相對於程式化脈衝之數目而言為非線性的。基本上，施加至控制閘極之電壓不足以允許發生穿隧。當施加額外 V_{pgm} 脈衝時， ΔV_{TH} 緩慢增加，直至其達到線性程式化型態，其中 ΔV_{TH} 隨著後續 V_{pgm} 脈衝變得大致恆定。在此型態中， V_{pgm} 增加 1 V 理論上使得 V_{TH} 增加 1 V。程式化雜訊及讀取雜訊往往使 V_{TH} 之增加量隨機化。又，耗盡效應往往在 V_{pgm} 每增加 1 V 的情況下將線性型態中之 ΔV_{TH} 減小至小於 1 V 之值。舉例而言，在線性型態中， $\Delta V_{TH}/\Delta V_{pgm}$ 可接近於 0.8。然而，一旦處於線性型態中，儲存元件便在

初始程式化中隨著每一額外 V_{pgm} 脈衝而迅速達到鎖定 V_{TH} (驗證位準)。較快程式化儲存元件將比較慢程式化儲存元件先達到線性型態。視開始 V_{pgm} 之值而定，某些極快儲存元件可在第一較少 V_{pgm} 脈衝下以更快的速率進行程式化，直至其減慢而接近線性型態。開始 V_{pgm} 可能需要設定為足夠地低以避免此情形。

在重程式化中，儲存元件之 V_{TH} 僅需要增加相對較小的值，諸如，0.4 V。一般地，儲存元件在重程式化中將處於非線性型態中。在大多數情況下，吾人預期，重程式化中比初始程式化中需要一或多個較少程式化脈衝來達到較高鎖定 V_{TH} 。在所提供之實例中，儲存元件在重程式化中於第15個 V_{pgm} 脈衝時達到鎖定 V_{TH} ，比初始程式化中早一個脈衝。

舉例而言，在目前實例中，假設 V_{TH} 在初始程式化及重程式化中如表1及表2所示分別隨著 V_{pgm} 而變化。儲存元件自具有 -2 V 之 V_{TH} 之狀態E程式化至狀態A，對於初始程式化而言狀態A具有 1.1 V 之鎖定 V_{TH} (V_{val} ，圖7A)，而對於重程式化而言狀態A具有 1.3 V 之鎖定 V_{TH} (V_{va2} ，圖7B)。為了簡單起見， V_{pgm} 之步長在此實例中為 1.0 V。可以看出，儲存元件在初始程式化中於第16個脈衝之後鎖定，此時其 V_{TH} 首次超過 1.1 V。儲存元件在重程式化中於第15個脈衝之後鎖定，此時其 V_{TH} 首次超過 1.3 V。

表 1

V _{pgm} 脈衝數目：	V _{TH} (V)：	ΔV _{TH} (V)，脈衝至脈衝：
1-12	-2	0
13	-1.5	0.5
14	-0.75	0.75
15	0.25	1.0
16	1.25	1.0

表 2

V _{pgm} 脈衝數目：	V _{TH} (V)：	ΔV _{TH} (V)，脈衝至脈衝：
1-14	1.25	0
15	1.35	0.1

因此，當在重程式化中於非線性型態下操作時，效果類似於利用較小 V_{pgm}步長，因為，比起初始程式化而言，V_{TH}以更小步長輕輕上升至所要值。此避免突增，且允許對 V_{TH}進行較為精細之控制。結果，可達成較為緊密且較為準確的 V_{TH}分佈。

將結合圖 10及圖 11A至圖 11C而論述可利用的其他例示性程式化技術。

圖 10說明程式化一多狀態儲存元件之二遍式技術的一實例，其中該多狀態儲存元件儲存資料以用於兩個不同的資料頁：下部頁及上部頁。描繪四種狀態：狀態 E(11)、狀態 A(10)、狀態 B(00)及狀態 C(01)。對於狀態 E而言，兩個頁皆儲存"1"。對於狀態 A而言，下部頁儲存"0"，而上部

後續資料時，系統將隨後程式化上部頁。在又一方法中，系統可在程式化下部頁之模式中開始寫入，且若隨後接收足夠資料來填充字線之儲存元件中之所有或大多數元件，則轉換為全序列程式化模式。由發明者Sergy A. Gorobets及Yan Li在2004年12月14日申請的題為"Pipelined Programming of Non-Volatile Memories Using Early Data"之美國專利申請案第11/013,125號中揭示了此類方法之更多細節，該案之全部內容以引用的方式併入本文中。

一旦完成初始程式化，圖10之相對較寬 V_{TH} 分佈便類似於圖7A之 V_{TH} 分佈。之後，可執行重程式化，從而使圖10之相對較寬 V_{TH} 分佈變緊密至與圖7B之 V_{TH} 分佈相類似的 V_{TH} 分佈。

圖11A至圖11C描繪用於程式化非揮發性記憶體之另一過程，其藉由以下方式減少浮動閾極至浮動閾極之耦合：對於任一特定儲存元件，在針對先前頁寫入至鄰近儲存元件之後，相對於一特定頁而寫入至彼特定儲存元件。所示之過程係針對初始程式化及重程式化執行。

在一例示性實施例中，非揮發性儲存元件之每一者利用四個資料狀態儲存兩個資料位元。舉例而言，假設狀態E為抹除狀態而狀態A、B及C為程式化狀態。狀態E儲存資料11，狀態A儲存資料01，狀態B儲存資料10，而狀態C儲存資料00。此係非格雷(Gray)編碼之一實例，因為兩個位元在鄰近狀態A與B之間變化。亦可利用資料至物理資料狀態之其他編碼。每一儲存元件儲存來自兩個資料頁之位

元。出於參考之目的，將此等資料頁稱為上部頁及下部頁；然而，其可被給予其他標記。對於狀態A而言，上部頁儲存位元0，而下部頁儲存位元1。對於狀態B而言，上部頁儲存位元1，而下部頁儲存位元0。對於狀態C而言，兩個頁均儲存位元資料0。程式化過程具有兩個步驟，該兩個步驟發生於初始程式化及重程式化中。在第一步驟中，程式化下部頁。若下部頁將保持資料1，則儲存元件狀態保持於狀態E下。若資料將程式化至0，則升高儲存元件之 V_{TH} ，以使得將儲存元件程式化至狀態B'。所以，圖11A展示將儲存元件自狀態E程式化至狀態B'，狀態B'表示轉變狀態B；所以，將驗證點描述為 $V_{vb'}$ ，其低於圖11C中所述之 V_{vb1} 。

在一設計中，在一儲存元件自狀態E程式化至狀態B'之後，相對於其下部頁而程式化鄰近字線上之其相鄰儲存元件。在程式化相鄰儲存元件之後，浮動閘極至浮動閘極之耦合效應將升高考慮中之儲存元件之視 V_{TH} ，該儲存元件在狀態B'中。此將具有如下影響：使狀態B'之 V_{TH} 分佈變寬至圖11B所繪之 V_{TH} 分佈。當程式化上部頁時，將至少部分地糾正 V_{TH} 分佈之此視變寬。

圖11C描繪程式化上部頁之過程。若儲存元件處於抹除狀態E中且上部頁將保持於1，則儲存元件將保持於狀態E中。若儲存元件處於狀態E中且其上部頁將程式化至0，則將升高儲存元件之 V_{TH} ，以使得儲存元件處於狀態A中。若儲存元件處於具有中間 V_{TH} 分佈之狀態B'中且上部頁將保

持於1，則儲存元件將程式化至最終狀態B。若儲存元件處於具有中間 V_{TH} 分佈之狀態B'中且上部頁資料將變為資料0，則將升高儲存元件之 V_{TH} ，以使得儲存元件處於狀態C中。圖11A至圖11C所繪之過程減少浮動閘極至浮動閘極之耦合效應，因為相鄰儲存元件之僅上部頁程式化將對給定儲存元件之視 V_{TH} 產生影響。替代狀態編碼之一實例為在上部頁資料為1時，自中間 V_{TH} 分佈移至狀態C，而在上部頁資料為0時移至狀態B。儘管圖11A至圖11C相對於四個資料狀態及兩個資料頁提供一實例，然所教示之概念可應用於具有四個以上或以下狀態及兩個以上或以下頁之其他實施例。可在2005年4月5日申請之題為"Compensating For Coupling During Read Operations Of Non-Volatile Memory"的美國專利申請案第11/099,133號中找到關於多種程式化方案及浮動閘極至浮動閘極之耦合的更多細節。

雖然圖11A至圖11C之程式化技術減少耦合效應，但由於相鄰儲存元件之上部頁程式化而仍會產生某些耦合。因此，圖11C之 V_{TH} 分佈仍然寬於必要的。為了解決此問題，一旦完成初始程式化，便可執行重程式化，從而產生與圖7B之 V_{TH} 分佈相類似的較緊密 V_{TH} 分佈。

圖12為一流程圖，其描述利用初始程式化及重程式化來程式化非揮發性儲存元件區塊之過程的一實施例。雖然該過程係就儲存元件區塊來描述的，但其一般可應用於任何組儲存元件。在步驟1200處，開始區塊之初始程式化，諸如，回應於用以儲存資料之命令開始區塊之初始程式化。

在步驟1205處，利用諸如Vval、Vvbl及Vvc1(圖7A)之第一較低組臨界電壓(V_{TH})驗證位準，例如，藉由將其載入至控制器之工作記憶體中。另外，利用第一較低導通電壓Vpass1。下文將結合圖14至圖14F而進一步論述在初始程式化及重程式化中不同導通電壓的使用。在步驟1210處，程式化區塊中之第一資料頁，且，在步驟1215處，相應地為該頁設定旗標位元(頁旗標1)。請注意，在一方法中，可於步驟1210處在第一資料頁之程式化中設定頁旗標。

在一可能方法中，諸如一個以上旗標之資訊可用來記住區塊之部分(諸如，頁)之程式化狀態。此類旗標為程式化狀態資訊之形式。程式化狀態資訊可指示頁是否已經受程式化及/或重程式化，以使得控制器可判定哪些頁需要重程式化而哪些頁可跳過。旗標應具有足夠的詳盡度以傳達所要資訊。舉例而言，每頁一個位元足以在僅存在一個重程式化循環時指示頁是否已發生重程式化。旗標可(例如)儲存於字線之儲存有頁之儲存元件的一者中。用於每一頁之旗標可為一位元或一組位元。

另外或其他方面，可提供區塊位準下之旗標以指示作為整體之儲存元件區塊或其他單位是否已完成重程式化。在一方法中，區塊旗標可為兩個位元，其中一個位元指示初始程式化是否完成，而另一位元指示重程式化是否完成。若執行一次以上重程式化，則額外位元可用於每一額外重程式化。當區塊旗標儲存於程式化區塊之外部時，可利用區塊旗標。

一般而言，無需區塊旗標，因為區塊中之第一及最後一個經程式化頁之頁旗標可用來指示區塊是否已程式化或重程式化。舉例而言，第一程式化頁之第一位元及最後一個程式化頁之對應第一位元可指示是否已發生初始程式化。若第一程式化頁之位元指示第一程式化頁尚未執行初始程式化，則可斷定區塊之任何部分均未執行初始程式化。若位元指示第一程式化頁已執行初始程式化但最後一個頁尚未執行，則可斷定區塊之一部分已執行初始程式化。若最後一個程式化頁之位元指示最後一個頁已執行初始程式化，則可斷定整個區塊已執行初始程式化。

類似地，第一程式化頁之第二位元及最後一個程式化頁之對應第二位元可指示是否發生重程式化。若第一程式化頁之位元指示第一程式化頁尚未執行重程式化，則可斷定區塊之任何部分均未執行重程式化。若位元指示第一程式化頁已執行重程式化但最後一個程式化頁尚未執行，則可斷定區塊之一部分已執行重程式化。若最後一個程式化頁之位元指示最後一個程式化頁已執行重程式化，則可斷定整個區塊已執行重程式化。

當尚未重程式化整個區塊時，便利用較低讀取電壓，而對於業已重程式化整個區塊的情況而言，便利用較高讀取電壓。當區塊部分重程式化時，控制器可執行業已經過二進制編碼之旗標儲存元件之二進制讀取，以判定用以讀取頁之適當字線讀取電壓。在一方法中，較低讀取電壓用於尚未重程式化之頁，而較高電壓用於業已重程式化之頁。

單個多位階儲存元件之不同狀態之每一者可用於儲存程式化狀態資訊，以便可指定多個旗標值。或，區塊旗標可利用指示區塊是否已重程式化的單個位元。一般而言，區塊旗標可編碼於二進制或多位階儲存元件中，且可駐於同一區塊內，例如，存在於區塊之第一頁中或另一區塊或位置中。在一可能方法中，對於多位階儲存元件而言，旗標位元可利用(例如)作為最遠離狀態之狀態E及C，以提供較大可靠性。

因此，在步驟1215處，為當前程式化頁設定頁旗標(頁旗標1)，以指示其程式化狀態。設定旗標包括：若其現有狀態所識別之程式化狀態資訊係正確的，則便將該旗標保留於彼狀態下。舉例而言，一個位元可指示頁是否已重程式化。在初始程式化之後，該位元將保留於此狀態下。在重程式化之後，該位元改變至零值。

在判定步驟1220處，對區塊是否已完成初始程式化作出判定。舉例而言，此可藉由如下方式判定：判定區塊中之最後一條字線(諸如，NAND串之區塊中之汲極側字線)上之儲存元件何時程式化。若初始程式化尚未完成，則在步驟1225處程式化下一資料頁，且在步驟1215處為彼下一頁設定指示僅執行初始程式化之頁旗標(頁旗標1)；亦即，重程式化尚未執行。程式化每一連續頁，直至區塊完成初始程式化，此時，在一方法中可在步驟1230處為區塊設定區塊旗標(區塊旗標1)，且，在步驟1235處開始重程式化。此區塊旗標為程式化狀態資訊之形式。或者，如前所述，無

需利用區塊旗標。請注意，在一方法中，可在最後一個資料頁之程式化(步驟1225)中設定區塊旗標。在步驟1240處，利用諸如 V_{va2} 、 V_{vb2} 及 V_{vc2} (圖7B)之第二較高組臨界電壓(V_{TH})驗證位準。另外，利用第二較高導通電壓 V_{pass2} 或第二較高組導通電壓。

在判定步驟1245處，對其他任務是否擱置中作出判定。若存在其他擱置中任務，則在步驟1250處開始等待，直至不存在其他擱置中任務。一般而言，為了避免效能損失，當管理區塊之程式化之至少一個電路(諸如，圖5之控制電路515)已進入待用模式且無其他擱置中任務或至少無其他擱置中的較高優先級任務時，便可在非即時基礎上發生重程式化。亦即，重程式化不必緊跟於初始程式化之後，且一旦開始，其在重程式化所有儲存元件時不必持續進行。舉例而言，在暫時停止且隨後重新開始重程式化下一資料頁之前，可一次重程式化整數個資料頁，例如，一或多個頁。在區塊完成重程式化之前可多次發生停止及重新開始。因此，在管理非揮發性儲存元件之區塊或其他單位之程式化的至少一個電路進入待用模式之後，及/或當不存在其他擱置中的較高優先級任務時，可於不同時間上執行重程式化。或者，重程式化可在即時基礎上發生，緊接於初始程式化之後及/或自開始連續進行至結束。

具體言之，當不存在用以讀取或寫入資料之其他擱置中請求或不存在其他擱置中的較高優先級任務(諸如，包括廢料收集或整理之任務)時，便可發生重程式化。所以，

重程式化可作為後臺過程而發生，該後臺過程在資源可用時執行，並且視資源允許而發生及停止。舉例而言，設想一下數位相機中之非揮發性儲存器。當使用者拍照時，控制器便在初始程式化中忙於將影像資料儲存於非揮發性儲存器之至少第一區塊中，此後，在使用者決定拍攝另一張照片之前一般存在等待時間。可在此等待時間中執行重程式化。若使用者在重程式化完成之前拍攝另一張照片，則可暫時中止重程式化，以允許(例如)在第二區塊之初始程式化中寫入新的影像資料。一旦此完成，便可恢復第一區塊之重程式化。之後，可起始第二區塊之重程式化。對於一個以上區塊而言亦可並行發生重程式化。類似地，若使用者將相機電源關閉，則可暫時中止重程式化，直至相機重新開機且並未忙於另一任務。

在步驟1255處，利用新的 V_{TH} 驗證位準及導通電壓來重程式化第一資料頁，且，在步驟1260處，為該頁設定頁旗標(頁旗標2)，例如，用以指示該頁已發生重程式化。頁旗標為程式化狀態資訊之形式。請注意，在一方法中，可於步驟1255處在資料頁之程式化中設定頁旗標。在判定步驟1265處，若區塊已完成重程式化，則可在一方法中於步驟1270處為區塊設定區塊旗標(區塊旗標2)，且重程式化完成。區塊旗標為程式化狀態資訊之形式。或者，如前所述，無需利用區塊旗標。請注意，在一方法中，可於資料頁之程式化中設定區塊旗標。另外，在步驟1285處重程式化下一資料頁，除非判定步驟1275處其他任務擱置中，在

此情況下，於步驟1280處實施等待。重程式化區塊中之每一連續頁且在步驟1260處設定頁旗標，直至區塊之重程式化完成。一般而言，可在頁邊界上中止及重新開始重程式化。若使用者試圖在程式化一頁之中途關閉裝置，則關閉將會延緩，直至當前頁之程式化完成。實際上，此時期不到一秒，所以對使用者而言並不明顯。圖13為一流程圖，其描述利用一系列程式化脈衝程式化非揮發性儲存器之過程的一實施例。該過程可用於程式化資料頁，例如，如圖12之步驟1210、1225、1255及1285所指示的。一般同時對多條字線(諸如，一區塊)進行抹除過程，同時在逐條字線的基礎上進行程式化。一並參見圖5，在步驟1300處，由控制電路515發出"資料載入"命令，且將其輸入至命令電路514，從而允許將資料輸入至資料輸入/輸出緩衝器512。該輸入資料被辨識為命令，且由狀態機516經由輸入至命令電路514之命令鎖存信號而予以鎖存。在步驟1305處，將指定頁位址之位址資料自控制器或主機輸入至列控制器或解碼器506。該輸入資料被辨識為頁位址，且經由受到輸入至命令電路514之位址鎖存信號之影響的狀態機516進行鎖存。在步驟1310處，將用於經定址頁之一頁程式資料輸入至資料輸入/輸出緩衝器512以用於程式化。舉例而言，在一實施例中可輸入532個位元組的資料。彼資料鎖存於適當暫存器中以用於選定之位元線。在一些實施例中，該資料亦可鎖存於第二暫存器中，以備選定之位元線用於驗證操作。在步驟1315處，"程式化"命令係由控制

器予以發出且輸入至資料輸入/輸出緩衝器512。該命令由狀態機516經由輸入至命令電路514之命令鎖存信號而鎖存。

由"程式化"命令進行觸發，利用如圖8所示的施加至適當字線之步進脈衝將步驟1315中鎖存之資料程式化至狀態機516所控制之選定儲存元件中。在步驟1320處，將施加至選定字線之程式化脈衝電壓位準 V_{pgm} 初始化至開始脈衝(例如，12 V)，且將由狀態機516所保持的程式計數器PC初始化為0。可(例如)藉由適當地程式化電荷泵而設定初始程式脈衝之量值。在步驟1325處，將第一 V_{pgm} 脈衝施加至選定之字線。若邏輯"0"儲存於特定資料鎖存器中而指示應程式化對應儲存元件，則使對應位元線接地。另一方面，若邏輯"1"儲存於特定鎖存器中而指示對應儲存元件應保留於其當前資料狀態中，則將對應位元線連接至 V_{DD} 以禁止程式化。

在步驟1330處，驗證選定之儲存元件之狀態。若偵測到選定之單元之目標臨界電壓已達到適當位準，則將儲存於對應資料鎖存器中之資料改變至邏輯"1"。若偵測到臨界電壓尚未達到適當位準，則不改變儲存於對應資料鎖存器中之資料。以此方式，在其對應資料鎖存器中儲存有邏輯"1"之位元線無需程式化。當所有資料鎖存器均儲存邏輯"1"時，狀態機便知道所有選定單元均已程式化。在步驟1335處，檢查所有資料鎖存器是否均儲存邏輯"1"。若是，則程式化過程成功完成，因為所有選定儲存元件均已

程式化且驗證至其目標狀態。在步驟1340處報告"PASS(通過)"狀態。若程式化且驗證儲存元件之預定部分，則亦可報告"PASS"。

視情況，可甚至在某些記憶體元件尚未達到其所要狀態時於步驟1335處宣告"PASS"。因此，即使確定數目的單元無法達到所要狀態，亦可在達到最大數目的迴圈之前停止程式化。

若在步驟1335處判定並非所有資料鎖存器均儲存邏輯"1"，則繼續程式化過程。在步驟1345處，相對於程式極限值PCmax而檢查程式計數器PC。程式極限值之一實例為20個脈衝，然而，其他值亦可用於多種實施例中。若程式計數器PC已達到PCmax，則在步驟1350處將程式過程標為失敗且報告失敗狀態。舉例而言，失敗狀態可發生在未成功程式化位元之數目大於預定數目時。若程式計數器PC小於PCmax，則在步驟1355處使Vp_{gm}位準增加步長大小且遞增程式計數器PC。該過程隨後返回至步驟1325以施加下一個Vp_{gm}脈衝。

該流程圖描繪可用於二進制儲存元件之程式化方法。舉例而言，對於多位階儲存器而言，多個程式化或驗證步驟(諸如，結合圖10及圖11A至圖11C所述的)可用於該流程圖之單個迭代中。可針對程式化操作之每一步驟執行步驟1320至1355。在第一步驟中，可施加一或多個程式脈衝，且驗證其結果以判定單元是否處於適當中間狀態中。在第二步驟中，可施加一或多個程式脈衝，且驗證其結果以判

定單元是否處於適當最終狀態中。在成功的程式化過程結束時，對於程式化之儲存元件而言，儲存元件之臨界電壓應處於一或多種臨界電壓分佈內，或對於抹除之儲存元件而言，應處於一種臨界電壓分佈內。

升壓技術

圖 14A 至圖 14F 描繪將不同導通電壓用於初始程式化及重程式化之升壓技術。此等技術包括在程式化中施加導通電壓 V_{pass} 至未選定之字線。一般地，在重程式化中，其可有助於相對用於初始程式化之導通電壓 V_{pass1} 而增加導通電壓 V_{pass2} ，因為，在重程式化中，駐於汲極側字線下之儲存元件不再被抹除。結果，必須耗費更多的 V_{pass} 升壓電位，來達到此刻可程式化至較高臨界電壓之此等儲存元件的反轉狀況。升高之 V_{pass} 電壓可在稱為偏列干擾 (off-row-disturb) 之過程中導致非選定字線下之抹除儲存元件之無意程式化。然而，若儲存元件 V_{TH} 窗由於區塊重程式化之優點而減小，則此可抵消較高 V_{pass} 電壓之影響。舉例而言。 V_{pass2} 可超過 V_{pass1} 0.5 V。在一可能實施例中， V_{pass2} 可為 7 至 10 V。而 V_{pass1} 可為 6.5 至 9.5 V。一般而言，相同或不同的 V_{pass} 值可施加至不同的字線。舉例而言，施加至未選定字線之 V_{pass} 除了隨執行初始程式化抑或重程式化而改變之外，其亦可隨未選定字線相對於選定字線及/或相對於區塊邊界之位置而改變。

因此，圖 14A 及圖 14B 展示在自升壓技術下施加至字線以分別用於初始程式化及重程式化的電壓。在自升壓的情

況下，與未選定之位元線相關聯之通道係電絕緣的，且導通電壓 V_{pass1} 或 V_{pass2} 在程式化中施加至未選定之字線。未選定之字線耦接至與未選定之位元線相關聯之通道，從而使得電壓(例如，在初始程式化及重程式化中分別為 7.5 或 8 V)存在於未選定之位元線之通道中。因此，自升壓使得電壓升壓存在於通道中，該電壓升壓往往在隧道氧化物上降低電壓且因此減少程式干擾。舉例而言，假設在一簡化實例中存在四條字線 WL0 至 WL3，且當前正藉由程式化電壓 V_{pgm} 程式化 WL2 上之儲存元件。在此情況下，藉由施加 V_{pass1} 或 V_{pass2} 至 WL0、WL1 及 WL3 而達成自升壓。實際上，電壓可施加至交替字線之相反端。

圖 14C 及圖 14D 展示在局部自升壓(LSB)技術下施加至字線以分別用於初始程式化及重程式化的電壓。圖 14E 及圖 14F 展示在抹除區域自升壓(EASB)技術下施加至字線以分別用於初始程式化及重程式化的電壓。LSB 及 EASB 試圖藉由使先前程式化之儲存元件之通道與受禁儲存元件之通道相隔絕而解決習知自升壓之缺點。舉例而言，一並參見圖 4，若正程式化儲存元件 424，則 LSB 及 EASB 便試圖藉由使儲存元件 444 之通道與先前程式化之儲存元件(445 及 446)隔絕而禁止儲存元件 444 之程式化。對於 SB、EASB 及 LSB 升壓方法或此等升壓方法之變型而言，用於正程式化之儲存元件之位元線接地或連接至接近於 0 V(一般處於 0 至 1 V 範圍中)之另一電壓，而 NAND 串中具有受禁儲存元件之位元線處於一般為約 1.5 至 3 V 之 V_{dd} 下。程式電壓 V_{pgm} (例如，

20 V)連接至選定之字線。對於LSB而言，與選定之字線相鄰的字線處於0 V下或接近於0 V，而剩餘的非選定字線處於Vpass1或Vpass2下。舉例而言，位元線421可處於0 V下，而位元線441處於Vdd下。汲極選擇SCG處於Vsgd(一般為2.5至4.5 V)下，而源極選擇SGS處於0 V下。參見圖14C及圖14D，選定之字線WL2處於Vpgm下，而相鄰字線WL1及WL3處於0 V下，且其他字線(例如，WL0)處於Vpass1或Vpass2下。

LSB模式之缺點在於選定之字線下之升壓通道電壓可極高，因為通道之部分與未選定之字線下之其他通道區域隔絕，且因此升壓電壓主要由高程式化電壓Vpgm判定。由於高升壓，所以可在加偏壓至0 V之字線附近發生帶對帶穿隧或GIDL。通道升壓量可藉由利用EASB而限制在較低值上。EASB類似於LSB，除了僅源極側相鄰字線處於0 V下。舉例而言，參見圖14E及圖14F，選定之字線WL2處於Vpgm下，而源極側相鄰字線WL1處於0 V下，且其他字線(例如，WL0及WL3)處於Vpass1或Vpass2下。在利用此方法的情況下，選定之字線下之通道區域與選定之儲存元件之汲極側相鄰字線下的通道區域相連，且因此通道升壓主要由施加至未選定字線之導通電壓判定，而非如LSB之情況一樣由Vpgm判定。汲極側相鄰字線WL3處於Vpass1或Vpass2。若Vpass過低，則通道中之升壓將不足以防止程式干擾。若Vpass1或Vpass2過高，則便可程式化選定之NAND串(位元線上為0 V)中之未選定字線，或可由於GIDL

而發生程式干擾。

利用旗標判定適當讀取電壓

圖 15 為一流程圖，其描述利用旗標讀取非揮發性儲存器區塊中之多頁資料之過程的一實施例。雖然該過程係就儲存元件區塊來描述的，但其一般可應用於任何組儲存元件。偶爾，視需要讀取區塊之資料。資料可讀取自己完成初始程式化及/或重程式化之區塊中之頁。當在重程式化中利用較高 V_{TH} 驗證位準時，便可在讀取資料時利用較高讀取位準。因此，需要在讀取頁之前知道其程式化狀態。

為此，每一頁可具有(例如)駐於同一頁中之專用二進制編碼儲存元件，該儲存元件之二進制狀態用作旗標。當讀取操作進行至新的區塊中時，該區塊之第一頁可在假設該頁業已經過區塊重程式化的情況下進行讀取。若讀取之結果另有指示，則可利用較低組讀取位準再次讀取頁。後續頁可能與第一頁具有相同程式化狀態(重程式化或未重程式化)。所以，其可在對應於第一頁之模式中讀取，直至錯誤校正碼(ECC)錯誤提高利用錯誤頁狀態之可能性，在此情況下，區塊中之頁及所有後續頁可在替代讀取電壓下讀取。此外，在讀取任一頁之後，可相對於假設的讀取電壓而檢查其旗標之狀態，且，若發現矛盾，則可利用替代讀取電壓重新讀取頁。即使第一不當讀取並未產生 ECC 錯誤，亦可進行此行為。

在一例示性實施例中，於步驟 1500 處，控制器開始讀取資料頁。在步驟 1505 處，讀取頁所處區塊之區塊旗標，以

判定程式化狀態。或者，如結合圖12所述的，可讀取一或多個頁旗標以判定程式化狀態。在步驟1510處，若區塊/頁旗標指示區塊已完成重程式化，則在步驟1535處利用第二較高組 V_{TH} 讀取位準。舉例而言，此等讀取位準可為來自圖7B之 V_{ra2} 、 V_{rb2} 及 V_{rc2} 。在步驟1540處，利用第二較高組 V_{TH} 讀取位準讀取資料頁。若在步驟1545處將讀取區塊中之額外頁且重程式化業已完成(步驟1510)，則利用在步驟1535處所獲取之第二較高組 V_{TH} 讀取位準於步驟1540處讀取額外資料頁。若不再讀取其他頁，則在步驟1550處結束讀取過程。

另一方面，若在步驟1510處區塊/頁旗標並未指示區塊已完成重程式化，則在步驟1515處讀取頁旗標，以在步驟1520處判定頁是否僅完成初始程式化，或在步驟1530處判定頁是否亦已完成重程式化。若僅完成初始程式化，則在步驟1525處利用第一較低組 V_{TH} 讀取位準。舉例而言，此等讀取位準可為來自圖7A之 V_{ra1} 、 V_{rb1} 及 V_{rc1} 。若重程式化亦已完成，則如前所述，在步驟1535處利用第二較高組 V_{TH} 讀取位準，且在步驟1540處讀取資料頁。重複該過程，直至不再讀取額外頁。因此，適當讀取位準可基於其關聯程式化狀態而用於區塊中之每一頁。

利用錯誤計數判定適當讀取位準

圖16為一流程圖，其描述利用錯誤計數讀取非揮發性儲存器區塊中之多頁資料之過程的一實施例。雖然該過程係就儲存元件區塊來描述的，但其一般可應用於任何組儲存

元件。在此方法中，頁或區塊位準旗標無需分別識別頁或區塊之程式化狀態。實情為，控制電路可讀取假設有給定程式化狀態(例如，僅完成初始程式化或亦已完成重程式化)之頁，且依賴於錯誤計數來判定假設是否正確。若判定假設係不正確的，且利用了錯誤的讀取電壓，則利用替代組的讀取電壓重新讀取儲存元件。

在一例示性實施例中，於步驟1600處，控制器開始讀取資料頁。在步驟1605處，利用預設組的 V_{TH} 讀取位準，例如，來自圖7A之較低位準 V_{ra1} 、 V_{rb1} 及 V_{rc1} 或來自圖7B之較高位準 V_{ra2} 、 V_{rb2} 及 V_{rc2} 。在步驟1615處，利用預設或假設的 V_{TH} 讀取位準讀取頁，且，在步驟1620處判定頁之錯誤計數。舉例而言，錯誤計數可基於錯誤校正碼或偵測碼所偵測到的錯誤。諸如漢明(Hamming)碼之錯誤校正碼可偵測並校正某些錯誤，而錯誤偵測碼(諸如，利用同位位元或總和檢驗碼之彼等錯誤偵測碼)可僅偵測錯誤而不將其校正。舉例而言，如前文結合圖6所論述的，頁可包括具有關聯ECC資料之許多資料區段。當將區段寫入至儲存元件時，便寫入額外錯誤校正或偵測位元。此等位元產生自利用錯誤校正或偵測碼之資料區段。之後，當讀取區段時，便亦讀取隨附之錯誤校正或偵測位元。區段資料隨後藉由錯誤校正或偵測碼而執行，以查看輸出是否與錯誤校正或偵測位元一致。若輸出不一致，則區段中存在錯誤。因此，可基於針對區段或其他單位所偵測到的錯誤數目而產生錯誤計數。計數可包括所有偵測到的錯誤，例

如，包括可校正的彼等錯誤，或僅包括無法校正的錯誤。計數可表達為原始計數、百分比或其他度量。

在步驟1625處，若錯誤計數超過臨界值，則可斷定所用之預設組 V_{TH} 讀取位準不正確。在此情況下，於步驟1630處利用替代組的 V_{TH} 讀取位準。舉例而言，若預設組包括來自圖7A之較低讀取位準 V_{ra1} 、 V_{rb1} 及 V_{rc1} ，則替代組可包括來自圖7B之較高讀取位準 V_{ra2} 、 V_{rb2} 及 V_{rc2} 。反之，若預設組包括較高讀取位準，則替代組可包括較低讀取位準。該方法亦可擴展至多個替代組讀取位準。在步驟1635處，利用替代讀取位準重新讀取頁。若在步驟1640處將讀取額外頁，則在步驟1615處利用最近所用組的讀取位準讀取頁，且，在步驟1620處判定錯誤計數。該過程按所述方式進行。在步驟1625處，若錯誤計數並未超過臨界值，且若在步驟1640處不再讀取額外頁，則在步驟1645處結束該過程。若在步驟1640處將讀取額外頁，則在步驟1615處利用最近所用組的讀取位準讀取頁。

錯誤臨界值可基於特定記憶體裝置之經歷而設定於一位準上，其中慮及一般在利用正確讀取位準時所經歷的錯誤計數。當一錯誤計數與一般在利用正確讀取位準時所經歷的錯誤計數偏離預定量時，便可認為該錯誤計數指示不正確的讀取位準。可利用測試、建模及實驗來設定適當臨界值。亦可能判定利用替代讀取位準時之錯誤計數，且將其與利用預設讀取位準時之錯誤計數相比較。產生較低錯誤計數之讀取位準可隨後用作最終讀取位準。

出於說明性及描述性之目的，上文給出了本發明之詳細描述。其並非意在為詳盡性的或將本發明限制為所揭示之精確形式。根據上述教示，許多變更及變化係可能的。選擇所述實施例係為了最好地解釋本發明之原理及其實際應用，從而使得熟習此項技術之其他人能夠最好地將本發明用於多種實施例中，並在適合於預期特定用途的多種變更下最好地利用本發明。預期本發明之範疇係由附加之申請專利範圍而界定。

【圖式簡單說明】

圖1為NAND串之俯視圖。

圖2為圖1之NAND串之等效電路圖。

圖3為圖1之NAND串之橫截面圖。

圖4為描繪三個NAND串之電路圖。

圖5為可用於實施本揭示案之一或多個實施例之例示性快閃記憶體系統的方塊圖。

圖6說明將記憶體陣列組織成若干區塊之一實例。

圖7A描繪在多狀態裝置中自抹除狀態直接程式化至程式化狀態的情況下之一例示組臨界電壓分佈。

圖7B描繪在重程式化之後圖7A之該例示組臨界電壓分佈。

圖8描繪用於程式化非揮發性儲存器之一系列脈衝。

圖9描繪非揮發性儲存元件之線性及非線性程式化型態。

圖10描繪程式化一多狀態儲存元件之二遍式技術的一實

例，其中該多狀態儲存元件儲存資料以用於兩個不同的資料頁。

圖 11A 至圖 11C 描繪在多狀態裝置中利用雙步驟程式化的情況下之一例示組臨界電壓分佈，其中，在第一步驟中自抹除狀態程式化至中間狀態，且在第二步驟中，自抹除狀態程式化至第一狀態 "A"，並自中間狀態程式化至第二狀態 "B" 或第三狀態 "C"。

圖 12 為一流程圖，其描述利用初始程式化及重程式化來程式化非揮發性儲存元件區塊之過程的一實施例。

圖 13 為一流程圖，其描述利用一系列程式化脈衝程式化非揮發性儲存器之過程的一實施例。

圖 14A 至圖 14F 描繪將不同導通電壓用於初始程式化及重程式化之升壓技術。

圖 15 為一流程圖，其描述利用旗標讀取非揮發性儲存器區塊中之多頁資料之過程的一實施例。

圖 16 為一流程圖，其描述利用錯誤計數讀取非揮發性儲存器區塊中之多頁資料之過程的一實施例。

【主要元件符號說明】

100、102、104、106	電晶體
100CG、102CG、104CG、 106CG	控制閘極
100FG、102FG、104FG、 106FG、120CG、122CG	浮動閘極
120	第一選擇閘極

122	第二選擇閘極
126、128、130、132、134、 136、138	N+摻雜層
140	p井區域
420、440、460	NAND串
421、441、461	位元線
422、442、462、427、447、 467	選擇電晶體
423、424、425、426、443、 444、445、446、463、464、 465、466	儲存元件
502	儲存元件陣列
504	行控制電路
506	列控制電路
508	p井控制電路
510	c-源極控制電路
512	資料輸入/輸出緩衝器
514	命令電路
515	控制電路
516	狀態機
518	控制器
A、B、C	程式化狀態
B'	轉變狀態
BL _e	偶數位元線

BLo	奇數位元線
E	抹除狀態
SGD	汲極選擇線
SGS	源極選擇線
Vpass	導通電壓
Vpass1	第一導通電壓
Vpass2	第二導通電壓
Vpgm	程式電壓
Vra1、Vrb1、Vrc1	讀取參考電壓
Vra2、Vrb2、Vrc2	較高讀取位準
V _{TH}	臨界電壓
Vva1、Vvb1、Vvc1	驗證參考臨界電壓
Vva2、Vvb2、Vvc2	第二組 V _{TH} 驗證位準
Vvb'	驗證點
WL0、WL1、WL2、WL3	字線

五、中文發明摘要：

一組非揮發性儲存元件經受初始程式化，之後，利用較高驗證位準非即時地(諸如當一控制器進入一待用模式時、當無其他讀取或寫入任務擱置中時)執行一重程式化。該重程式化可程式化該組中之若干頁，一次一頁，當另一讀取或寫入任務擱置中時該重程式化便於一頁邊界處停止，且當控制再次可用時便重新開始重程式化。可提供狀態旗標以識別一頁及/或該組是否已完成該重程式化。在另一態樣中，在該重程式化中將一較高導通電壓施加至未選定之字線。在另一態樣中，利用一預設組讀取電壓來判定一錯誤計數，且，若該計數超過一臨界值，則選擇一替代組讀取電壓。

六、英文發明摘要：

A set of non-volatile storage elements undergoes initial programming, after which a reprogramming, with higher verify levels, is performed in non-real time, such as when a control enters a standby mode, when no other read or write tasks are pending. The reprogramming can program pages in the set one at a time, stopping at a page boundary when another read or write task is pending, and restarting when the control become available again. Status flags can be provided to identify whether a page and/or the set has completed the reprogramming. In another aspect, a higher pass voltage is applied to unselected word lines during the reprogramming. In another aspect, an error count is determined using a default set of read voltages, and an alternative set of read voltages is selected if the count exceeds a threshold.

十一、圖式：

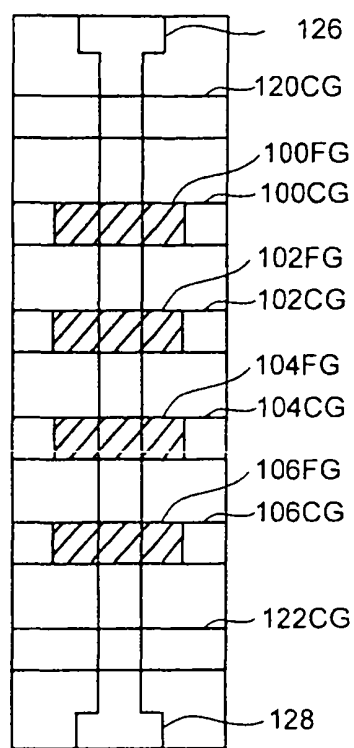


圖1

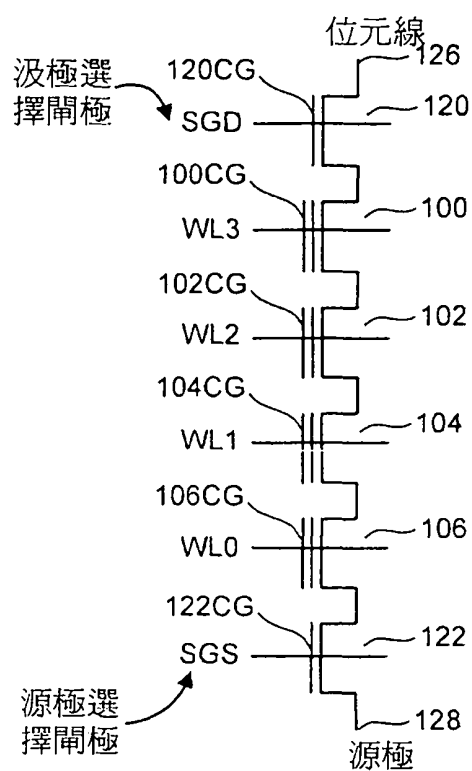


圖2

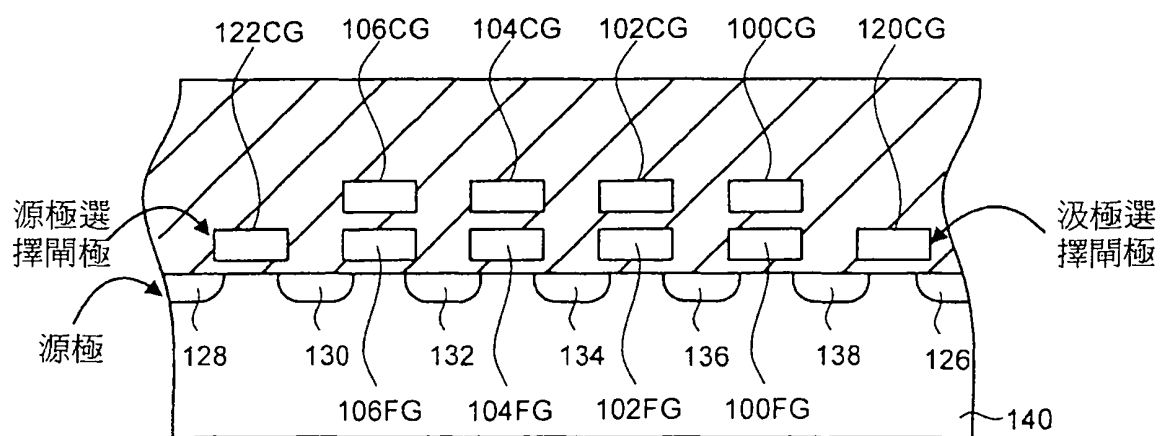


圖3



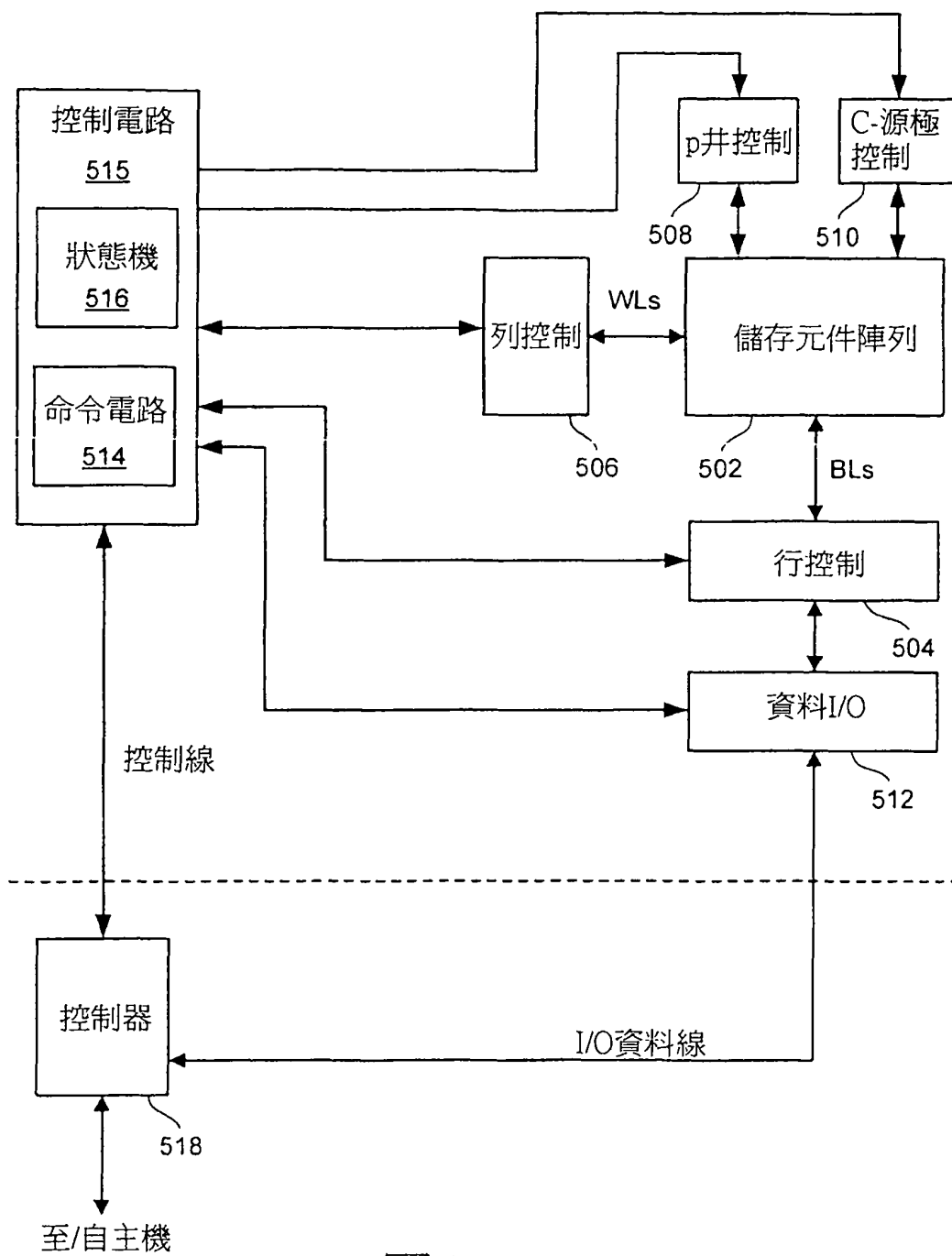


圖5

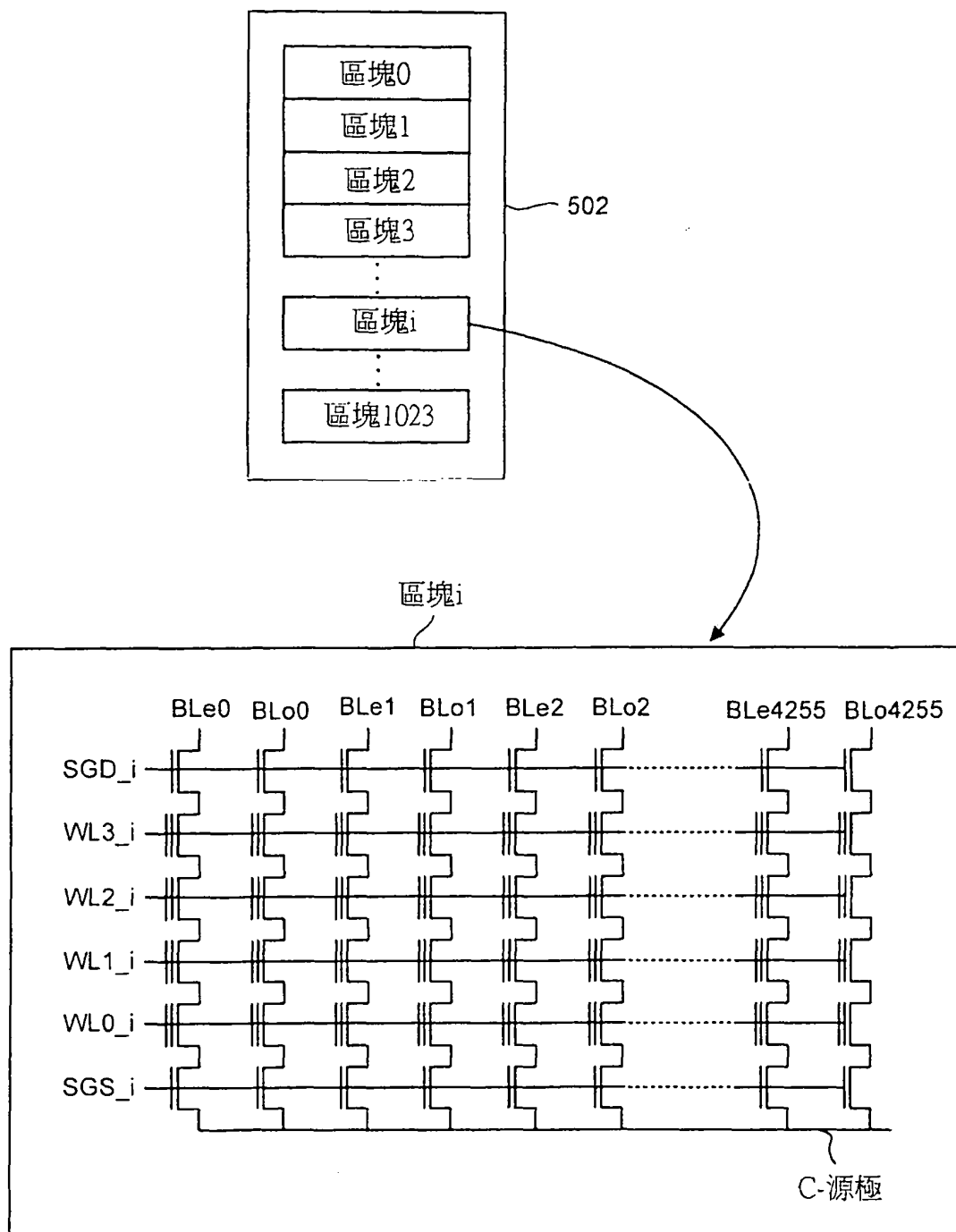


圖6

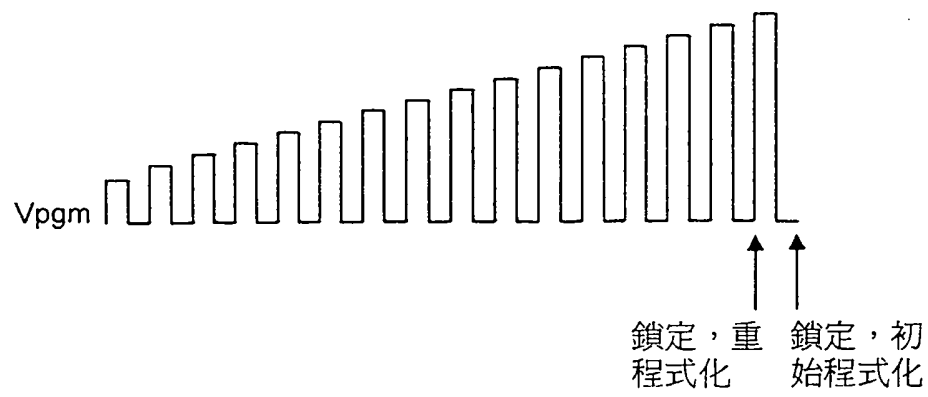


圖8

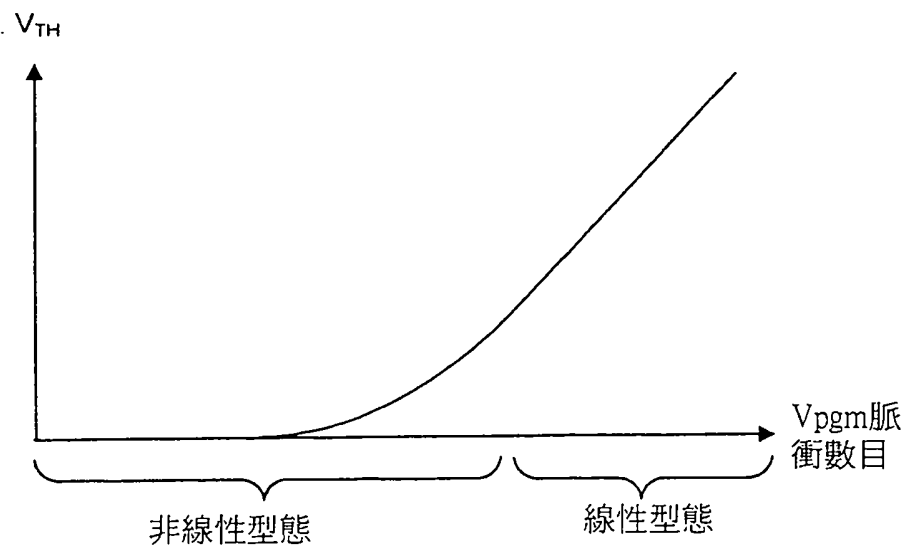


圖9

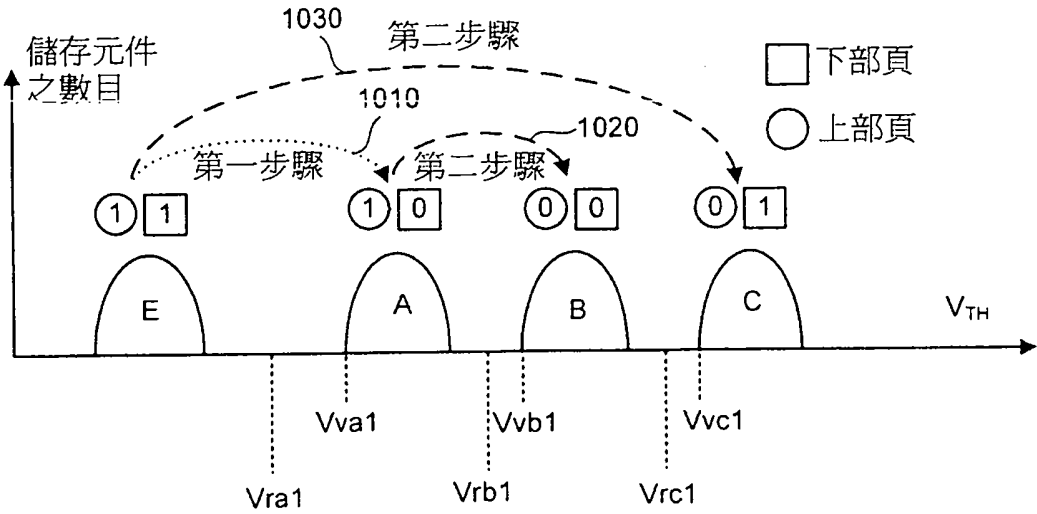


圖10

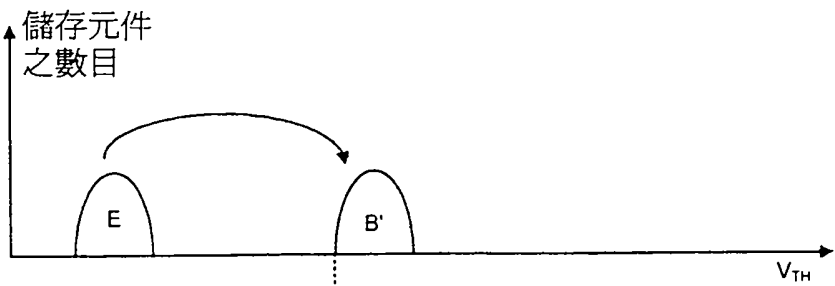


圖11A

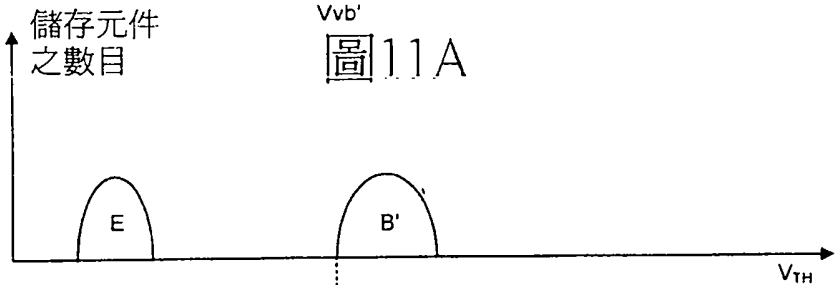
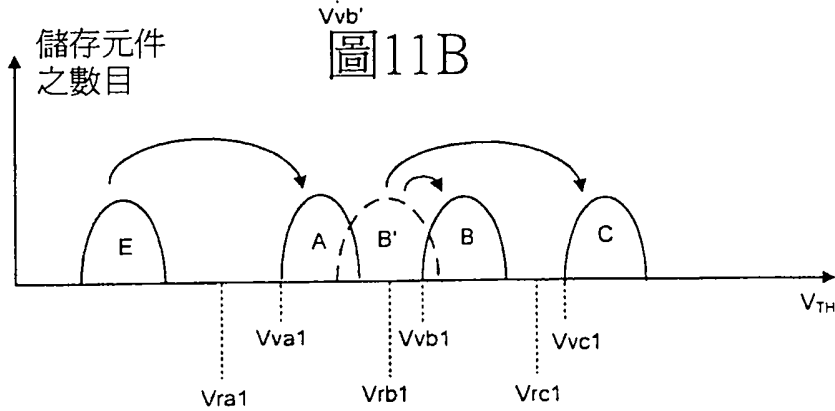


圖11B



上	1	0	1	0
下	1	1	0	0

圖11C

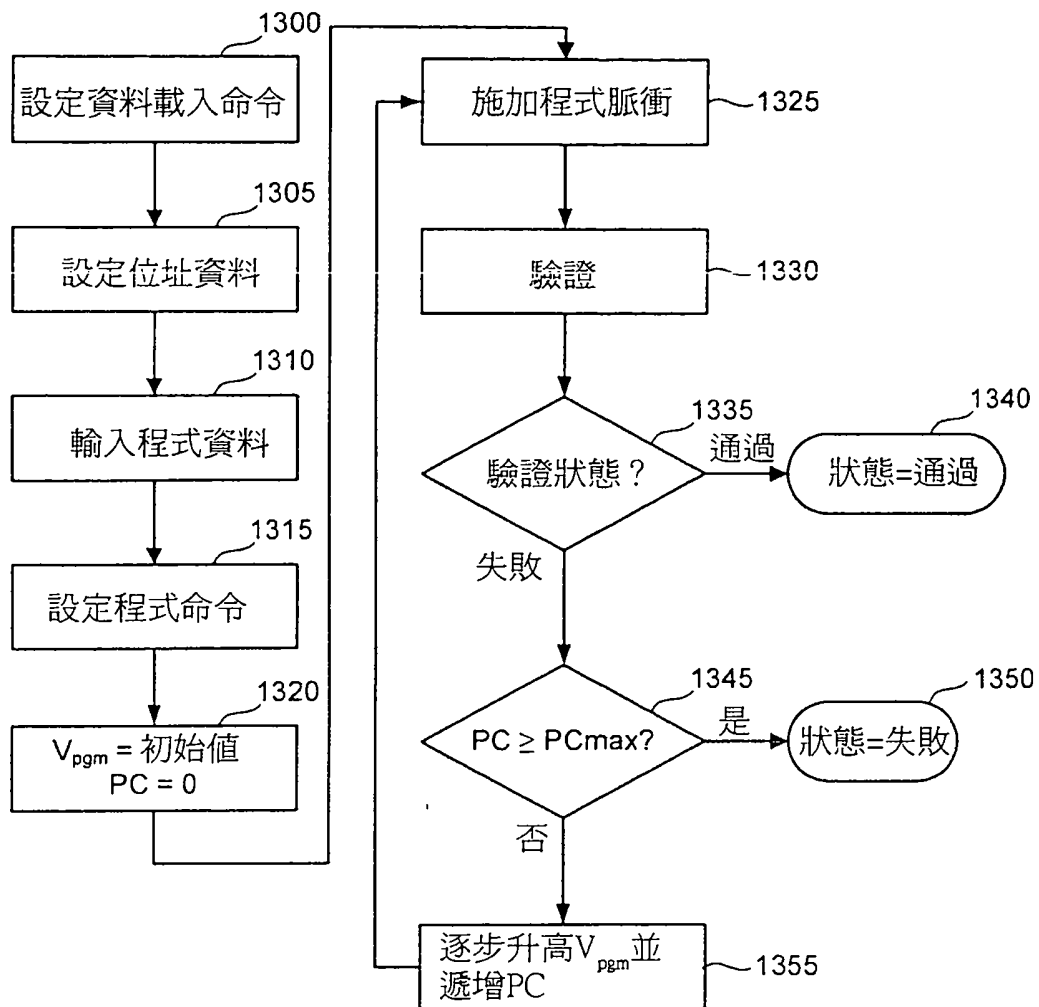


圖13

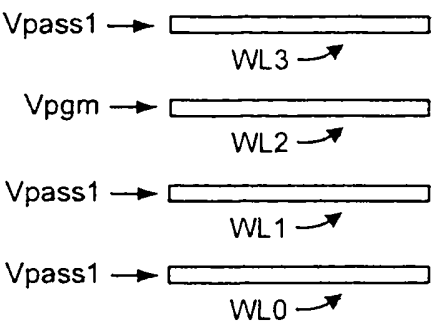


圖14A

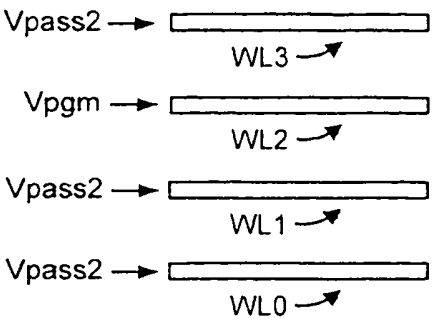


圖14B

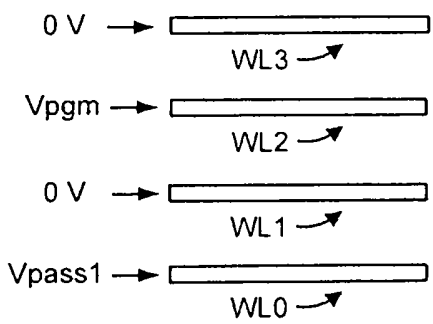


圖14C

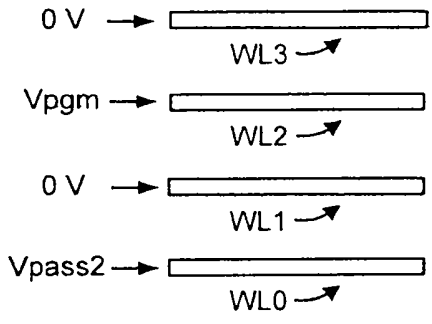


圖14D

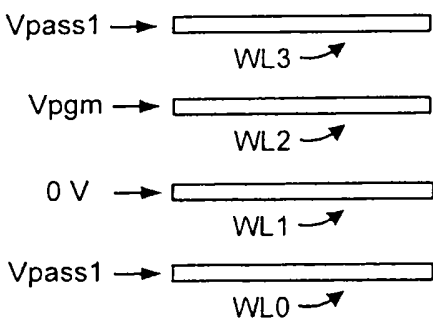


圖14E

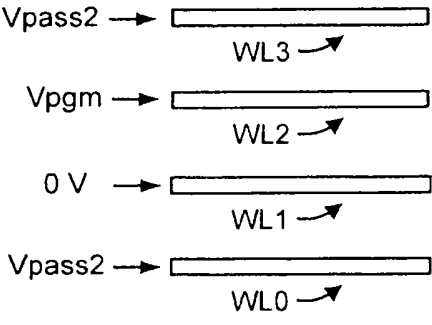


圖14F

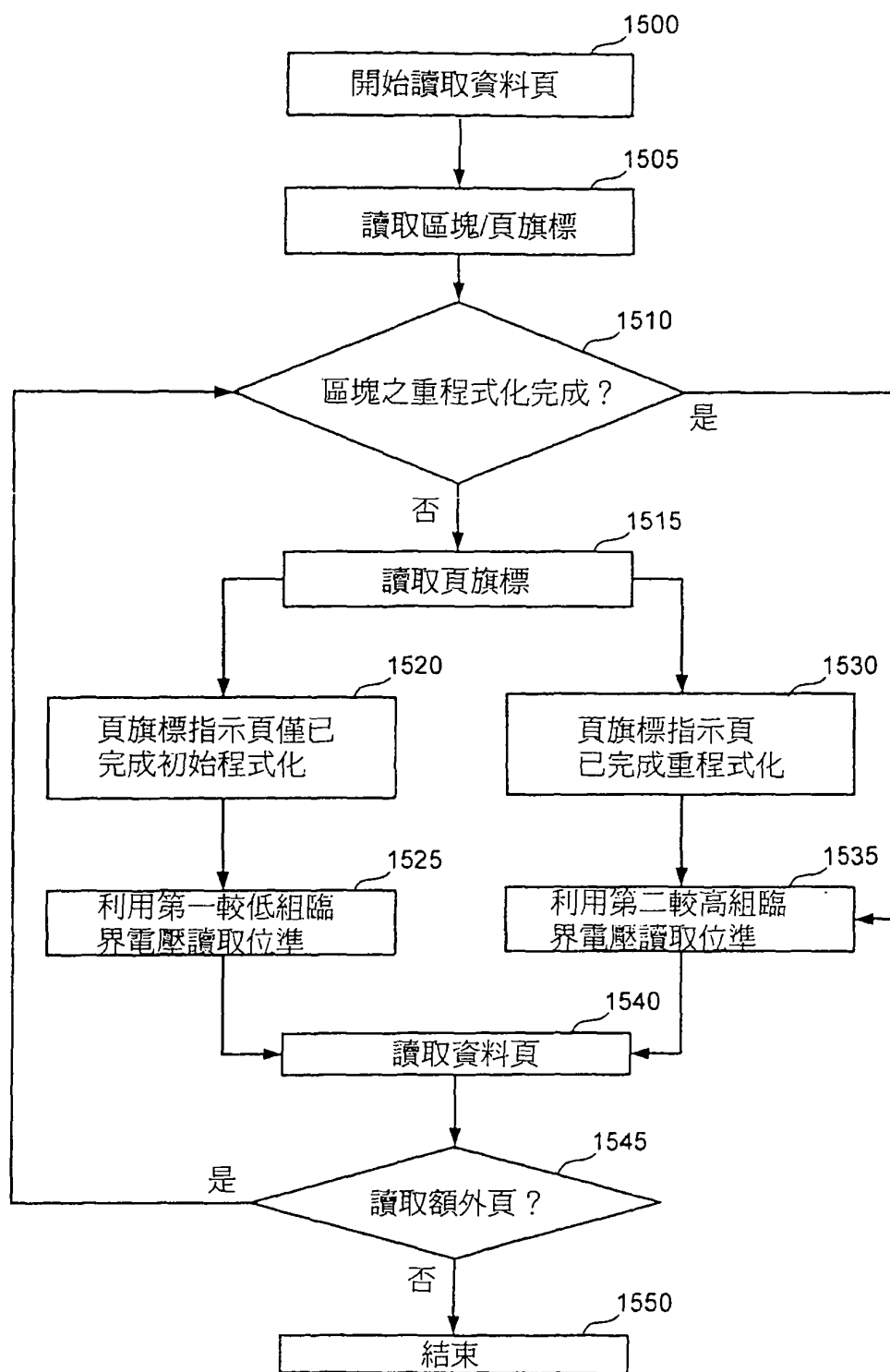


圖15

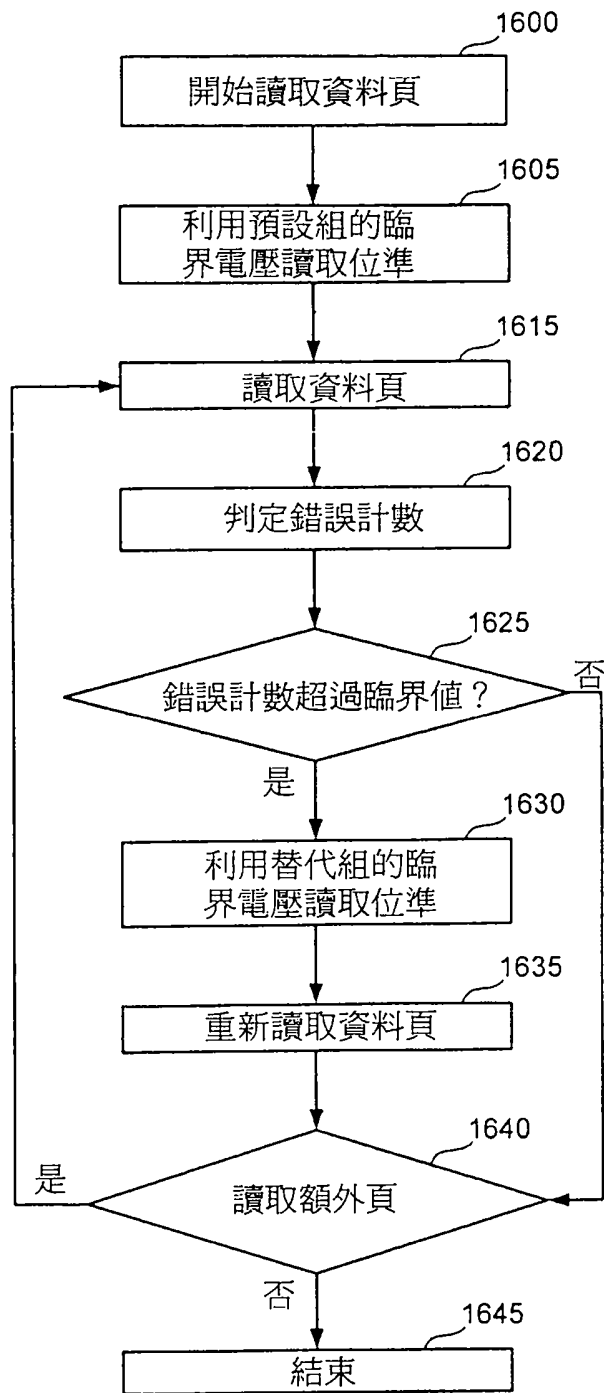


圖16

七、指定代表圖：

(一)本案指定代表圖為：第 (12) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

444可受到與儲存元件443之耦合的影響。一般而言，相對於儲存元件444對角配置的儲存元件即儲存元件423、463、425及465可提供儲存元件444之耦合之約20%，而同一字線或NAND串上之直接相鄰儲存元件424及464以及443及445提供耦合之約80%。在某些情況下，耦合足以使儲存元件之 V_{TH} 偏移約0.5 V，此足以導致讀取誤差且使一組儲存元件之 V_{TH} 分佈變寬。

圖5為可用於實施本揭示案之一或多個實施例之快閃記憶體系統的一實施例之方塊圖。亦可利用其他系統及實施例。儲存元件陣列502受控於行控制電路504、列控制電路506、c-源極(共同源極)控制電路510及p井控制電路508。行控制電路504連接至儲存元件陣列502之位元線，用以讀取儲存於儲存元件中之資料、在程式操作中判定儲存元件之狀態，及控制位元線之電位位準以促進或禁止程式化及抹除。列控制電路506連接至字線以選擇字線之一者、施加讀取電壓、施加與受控於行控制電路504之位元線電位位準相組合之程式電壓，及施加抹除電壓。C-源極控制電路510控制連接至儲存元件之共同源極線(在圖5中標記為"c-源極")。p井控制電路508控制p井電壓。

儲存在儲存元件中之資料由行控制電路504讀取出，且經由資料輸入/輸出緩衝器512輸出至外部I/O線。待儲存於儲存元件中之程式資料經由外部I/O線輸入至資料輸入/輸出緩衝器512，且傳送至行控制電路504。外部I/O線連接至控制器518。

(例如，偶數或奇數)。所以，可同時讀取或程式化形成邏輯頁之 532 個位元組資料，且記憶體之一個區塊可儲存至少八個邏輯頁(四條字線，每一者具有奇數頁及偶數頁)。對於多狀態儲存元件而言，當每一儲存元件儲存兩個資料位元(其中此等兩個位元中之每一者儲存於不同頁中)時，一個區塊便儲存十六個邏輯頁。亦可利用其他大小的區塊及頁。另外，可利用除圖 5 及圖 6 之彼等架構之外的架構。舉例而言，在一設計中，位元線並未劃分為奇數及偶數位元線，以使得可同時(或不同時)程式化及讀取所有位元線。

可藉由將 p 井升高至一抹除電壓(例如，20 V)且使一選定區塊之字線接地而抹除儲存元件。源極及位元線係浮動的。可對整個記憶體陣列、獨立區塊或作為記憶體裝置之一部分的儲存元件之另一單位執行抹除。電子自儲存元件之浮動閘極轉移至 p 井區域，以使得儲存元件之 V_{TH} 變為負的。

在讀取及驗證操作中，選擇閘極(SGD 及 SGS)連接至範圍為 2.5 至 4.5 V 之電壓，且未選定之字線(例如，在 WL2 為選定之字線時，WL0、WL1 及 WL3 便為未選定之字線)升高至讀取導通電壓(一般係範圍為 4.5 至 6 V 之電壓)，以使電晶體充當導通閘極。選定之字線 WL2 連接至一電壓，該電壓之位準針對每一讀取及驗證操作而規定，以判定相關儲存元件之 V_{TH} 是高於抑或低於此位準。舉例而言，在用於雙位階儲存元件之讀取操作中，可使選定之字線 WL2 接

用其他方案。

一組三個讀取參考電壓 V_{ra1} 、 V_{rb1} 及 V_{rc1} 用於在初始程式化之後自儲存元件讀取資料。藉由檢驗給定儲存元件之 V_{TH} 是高於抑或低於 V_{ra1} 、 V_{rb1} 及 V_{rc1} ，系統便可判定儲存元件之狀態。亦指明在初始程式化中所用之一組三個驗證參考臨界電壓 V_{va1} 、 V_{vb1} 及 V_{vc1} 。當將儲存元件程式化至狀態 A、B 或 C 時，系統將分別檢驗彼等儲存元件是否具有大於或等於 V_{va1} 、 V_{vb1} 及 V_{vc1} 之 V_{TH} 。

在一方法(稱為全序列程式化)中，可將儲存元件自抹除狀態 E 直接程式化為程式化狀態 A、B 或 C 中之任一者(如彎曲箭頭所描述的)。舉例而言，可對待程式化之儲存元件群(諸如，一區塊)首先進行抹除，以使得群中之所有儲存元件均處於抹除狀態 E 中。雖然某些儲存元件自狀態 E 程式化至狀態 A，但其他儲存元件自狀態 E 程式化至狀態 B 及/或自狀態 E 程式化至狀態 C。

如所提及的，耦合及其他效應往往使給定儲存元件之 V_{TH} 上升，從而使(例如)區塊中之一組儲存元件之 V_{TH} 分佈上升及變寬。此可自與圖 7B 之彼等 V_{TH} 分佈相比之下圖 7A 之相對較寬的 V_{TH} 分佈中看出。

圖 7B 描繪在重程式化之後圖 7A 之該例示組 V_{TH} 分佈。在重程式化中，可利用第二組 V_{TH} 驗證位準 V_{va2} 、 V_{vb2} 及 V_{vc2} ，該等驗證位準以遞增方式分別比 V_{va1} 、 V_{vb1} 及 V_{vc1} 高(例如)0.4 V。每一狀態之驗證電壓在初始程式化與重程式化之間的偏移可藉由記憶體特性判定。舉例而言，

頁儲存 "1"。對於狀態 B 而言，兩個頁皆儲存 "0"。對於狀態 C 而言，下部頁儲存 "1"，而上部頁儲存 "0"。儘管已指派具體位元型樣至該等狀態之每一者，但亦可指派不同的位元型樣。在第一遍程式化中，儲存元件之 V_{TH} 位準根據待程式化至下層邏輯頁中之位元而設定。若彼位元為邏輯 "1"，則 V_{TH} 不改變，因為其由於早先已得以抹除而處於適當狀態中。然而，若待程式化之位元為邏輯 "0"，則如箭頭 1010 所示，儲存元件之臨界位準便增加至狀態 A。

在第二遍中，儲存元件之 V_{TH} 位準根據程式化至上部邏輯頁中之位元而設定。若上部邏輯頁位元將儲存邏輯 "1"，則不發生程式化，因為，視下部頁位元之程式化而定，儲存元件處於狀態 E 或 A 之一者中，該兩個狀態均載運上部頁位元 "1"。若上部頁位元將為邏輯 "0"，則 V_{TH} 發生偏移。若第一步驟使得儲存元件保留於抹除狀態 E 中，則，在第二階段中，程式化儲存元件，以使得 V_{TH} 如箭頭 1030 所繪增加至處於狀態 C 內。若儲存元件由於第一遍程式化而業已程式化至狀態 A，則在第二步驟中進一步程式化儲存元件，以使得 V_{TH} 如箭頭 1020 所繪增加至處於狀態 B 內。第二遍之結果在於將儲存元件程式化至如下狀態：指定儲存上部頁之邏輯 "0"，而且不改變下部頁之資料。該兩遍發生於初始程式化及重程式化中。

在一方法中，可建立一系統以在寫入足夠資料填充整個頁時執行全序列寫入。若對於全頁而言未寫入足夠資料，則程式化過程可使用所接收之資料程式化下部頁。當接收

十、申請專利範圍：

1. 一種用於操作非揮發性儲存器之方法，其包含：

在一初始程式化中經由複數條字線而程式化複數個非揮發性儲存元件，該初始程式化係按照一字線次序而執行，自該複數條字線之一第一條字線開始，且連續進行至每下一條字線，直至達到該複數條字線之一最後一條字線；及

在完成該初始程式化之後，經由該複數條字線而執行進一步程式化至少一些該複數個非揮發性儲存元件，該進一步程式化係按照該初始程式化之該字線次序而執行，自該第一條字線開始，且連續進行至每下一條字線，直至達到該最後一條字線。

2. 如請求項1之方法，其進一步包含：

當在該初始程式化中程式化與該複數條字線之一給定者相關聯之非揮發性儲存元件時，將一第一導通電壓施加至該複數條字線之至少一條其他字線，且，在該進一步程式化中，當程式化與該複數條字線之該給定者相關聯之非揮發性儲存元件時，將一不同於該第一導通電壓之第二導通電壓施加至該至少一條其他字線。

3. 如請求項2之方法，其中：

該第二導通電壓高於該第一導通電壓。

4. 如請求項1之方法，其中：

在該初始程式化中，利用第一臨界電壓驗證位準來程式化該複數個非揮發性儲存元件，且，在該進一步程式

化中，利用高於該等第一臨界電壓驗證位準之對應者的第二臨界電壓驗證位準來程式化該複數個非揮發性儲存元件。

5. 如請求項1之方法，其中：

對一配置有該複數個非揮發性儲存元件之區塊執行該初始程式化及該進一步程式化，且在該初始程式化之後與該進一步程式化之前，該區塊不會被抹除。

6. 如請求項5之方法，其進一步包含：

儲存指示該區塊是否已完成該初始程式化之程式化狀態資訊。

7. 如請求項1之方法，其進一步包含：

在管理該複數個非揮發性儲存元件之程式化的至少一個電路進入一待用模式之後，於不同時間上執行該進一步程式化。

8. 如請求項1之方法，其進一步包含：

當不存在其他擱置中的較高優先級任務時，於不同時間上執行該進一步程式化。

9. 如請求項1之方法，其進一步包含：

在該進一步程式化中，當不存在其他擱置中的較高優先級任務時，程式化該複數個非揮發性儲存元件之一部分，之後，中止該進一步程式化以服務另一較高優先級任務，且之後，當再次不存在其他擱置中的較高優先級任務時，恢復該進一步程式化。

10. 如請求項1之方法，其中：

該複數個儲存元件儲存複數個資料頁，每一頁可作為一單位進程式化；及

對於每一頁，儲存指示該頁是否已被進一步程式化之程式化狀態資訊。

11. 如請求項1之方法，其中：

該進一步程式化將一整數個資料頁程式化，一次一頁，其中每一頁可作為一單位進程式化，在暫時性停止之前，實施一等待，且之後，再起始以進一步程序化一下一頁資料頁。

12. 如請求項1之方法，其進一步包含：

儲存指示該複數個非揮發性儲存元件是否已完成該進一步程式化之程式化狀態資訊。

13. 如請求項1之方法，其中：

該第一條字線為該複數條字線之一源極字線；

該最後一條字線為該複數條字線之一汲極字線；

該初始程式化從該源極字線至該汲極字線每次處理一字線；及

該進一步程式化從該源極字線至該汲極字線每次處理一字線。

14. 一種非揮發性儲存系統，其包含：

複數個非揮發性儲存元件；

一或多個電路，該一或多個電路在一初始程式化中經由複數條字線而程式化該複數個非揮發性儲存元件，該初始程式化係按照一字線次序而執行，自該複數條字線

之一第一條字線開始，且連續進行至每下一條字線，直至達到該複數條字線之一最後一條字線；及，在完成該初始程式化之後，經由該複數條字線而重程式化該複數個非揮發性儲存元件，該進一步程式化係按照該初始程式化之該字線次序而執行，自該第一條字線開始，且連續進行至每下一條字線，直至達到該最後一條字線。

15. 如請求項14之非揮發性儲存系統，其中：

當在該初始程式化中程式化與該複數條字線之一給定者相關聯之非揮發性儲存元件時，該一或多個電路將一第一導通電壓施加至該複數條字線之至少一條其他字線，且，在該進一步程式化中，當程式化與該複數條字線之該給定者相關聯之非揮發性儲存元件時，該一或多個電路將一不同於該第一導通電壓之第二導通電壓施加至該至少一條其他字線。

16. 如請求項15之非揮發性儲存系統，其中：

該第二導通電壓高於該第一導通電壓。

17. 如請求項14之非揮發性儲存系統，其中：

在該初始程式化中，利用第一臨界電壓驗證位準來程式化該複數個非揮發性儲存元件，且，在該進一步程式化中，利用高於該等第一臨界電壓驗證位準之對應者的第二臨界電壓驗證位準來程式化該複數個非揮發性儲存元件。

18. 如請求項14之非揮發性儲存系統，其中：

對一配置有該複數個非揮發性儲存元件之區塊執行該

初始程式化及該進一步程式化，且在該初始程式化之後與該進一步程式化之前，該區塊不會被抹除。

19. 如請求項18之非揮發性儲存系統，其中：

儲存指示該區塊是否已完成該初始程式化之程式狀態資訊。

20. 如請求項14之非揮發性儲存系統，其中：

在至少一個電路進入一待用模式之後於不同時間上執行該進一步程式化。

21. 如請求項14之非揮發性儲存系統，其中：

在不存在其他擱置中的較高優先級任務時於不同時間上執行該進一步程式化。

22. 如請求項14之非揮發性儲存系統，其中：

在該進一步程式化中，當不存在其他擱置中的較高優先級任務時，該一或多個電路程式化該複數個非揮發性儲存元件之一部分，之後，中止該進一步程式化以服務另一較高優先級任務，且之後，當再次不存在其他擱置中的較高優先級任務時，恢復該進一步程式化。

23. 如請求項14之非揮發性儲存系統，其中：

該複數個非揮發性儲存元件儲存複數個資料頁，每一頁可作為一單位進行程式化；及

對於每一頁，儲存指示該頁是否已被進一步程式化之程式化狀態資訊。

24. 如請求項14之非揮發性儲存系統，其中：

該複數個非揮發性儲存元件係利用一整數個資料頁來

進一步程式化，一次一頁，其中每一頁可作為一單位進行程式化，在暫時性停止之前，實施一等待，且之後，再起始以進一步程序化一下一頁資料頁。

25. 如請求項14之非揮發性儲存系統，其中：

儲存指示該複數個非揮發性儲存元件是否已完成該進一步程式化之程式化狀態資訊。

26. 如請求項14之非揮發性儲存系統，其中：

該複數個非揮發性儲存元件包含多位階儲存元件。

27. 如請求項14之非揮發性儲存系統，其中：

該複數個非揮發性儲存元件配置於NAND串中。

28. 如請求項14之非揮發性儲存系統，其中：

該第一條字線為該複數條字線之一源極字線；

該最後一條字線為該複數條字線之一汲極字線；

該初始程式化從該源極字線至該汲極字線每次處理一字線；及

該進一步程式化從該源極字線至該汲極字線每次處理一字線。

29. 一種用於操作非揮發性儲存器之方法，其包含：

在一初始程式化中經由複數條字線而程式化複數個非揮發性儲存元件，自該複數條字線之一第一者開始，且連續進行至每下一條字線，直至達到該複數條字線之一最後一者；及

在完成該初始程式化之後，經由該複數條字線而執行重程式化該複數個非揮發性儲存元件；且

在該重程式化中，當不存在其他擱置中的較高優先級任務時，程式化一部份該複數個非揮發性儲存元件，之後中止該重程式化以服務另一較高優先級任務，且之後，當再次不存在其他擱置中的較高優先級任務時，恢復該重程式化。

30. 一種非揮發性儲存系統，其包含：

複數個非揮發性儲存元件；

一或多個電路，其用於：在一初始程式化中經由複數條字線而程式化該複數個非揮發性儲存元件，自該複數條字線之一第一者開始，且連續進行至每下一條字線，直至達到該複數條字線之一最後一者；及，在完成該初始程式化之後，經由該複數條字線而重程式化該複數個非揮發性儲存元件；

其中在該重程式化中，當不存在其他擱置中的較高優先級任務時，該一或多個電路程式化該複數個非揮發性儲存元件之一部分，之後，中止該重程式化以服務另一較高優先級任務，且之後，當再次不存在其他擱置中的較高優先級任務時，恢復該重程式化。

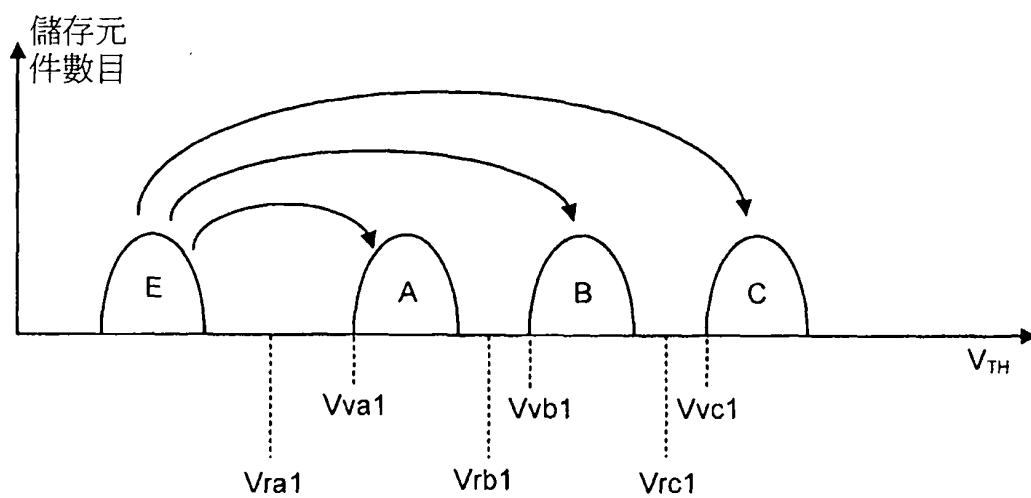


圖7A

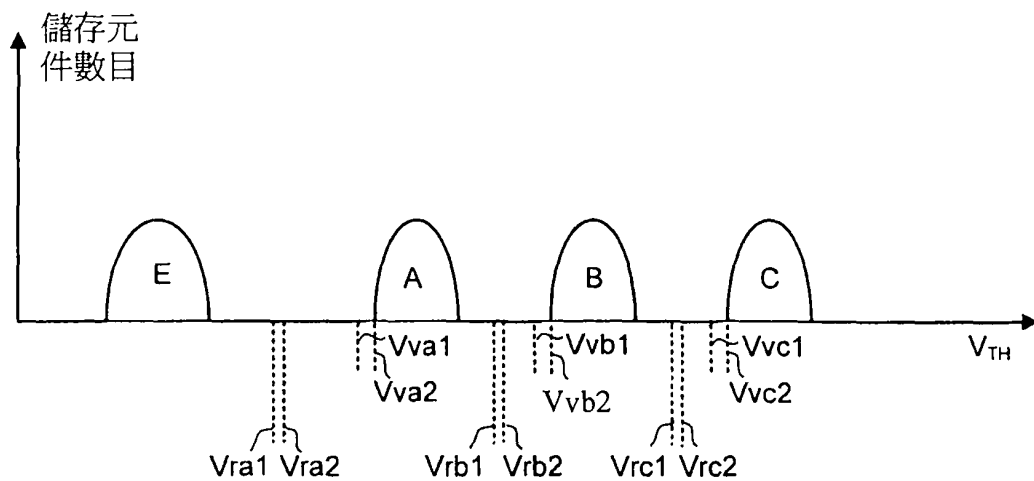


圖7B

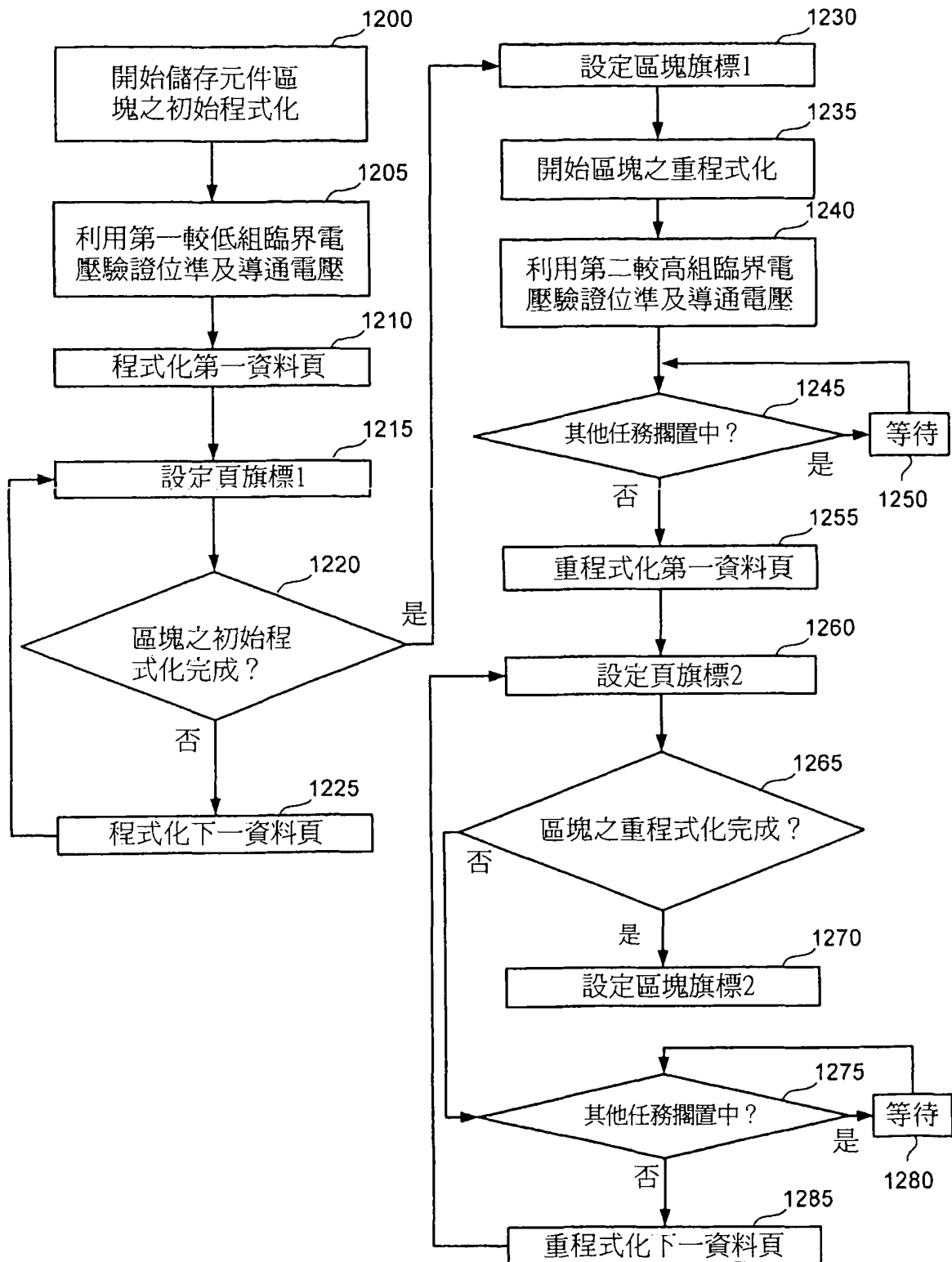


圖12