

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-293785

(P2005-293785A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int.Cl.⁷

G 1 1 C 29/00

G 1 1 C 11/401

G 1 1 C 11/403

G 1 1 C 11/406

F I

G 1 1 C 29/00

G 1 1 C 11/34

G 1 1 C 11/34

G 1 1 C 11/34

6 7 1 S

3 6 3 Z

3 7 1 C

3 6 3 M

テーマコード (参考)

5 L 1 0 6

5 M 0 2 4

審査請求 未請求 請求項の数 14 O L (全 21 頁)

(21) 出願番号 特願2004-110814 (P2004-110814)

(22) 出願日 平成16年4月5日(2004. 4. 5)

(71) 出願人 500174247

エルピーダメモリ株式会社

東京都中央区八重洲2-2-1

(74) 代理人 100124464

弁理士 川口 眞輝

(72) 発明者 利穂 吉郎

東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

(72) 発明者 伊藤 豊

東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

Fターム(参考) 5L106 AA01 BB12 DD25 EE06 FF02

5M024 AA90 BB22 BB39 EE05 EE22

EE25 EE30 MM09 MM20 PP01

PP10

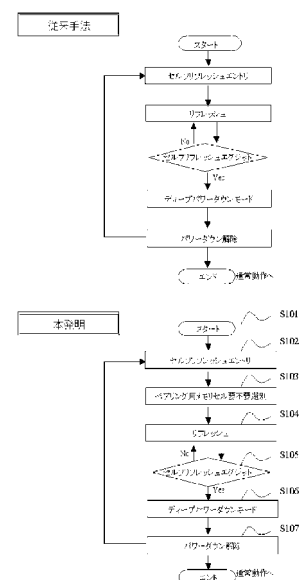
(54) 【発明の名称】 半導体記憶装置及びそのセルフリフレッシュ制御方法

(57) 【要約】 (修正有)

【課題】 製造後における不意のノイズに起因するメモリセルのデータ消失による不良を防止しながらセルフリフレッシュ周期の長期化を行い且つ消費電力を低減する。また、設計時においては当該機能実現に伴うチップサイズ拡大を抑える。

【解決手段】 DRAMに代表されるセルフリフレッシュ動作を行う半導体記憶装置に関し、電源投入後の所定期間において、データ保持時間が短いメモリセルを選別し、それによるエラーを補償するメモリセル(ペアリング用メモリセル)を用意し、当該メモリセルのデータによりデータ消失による不良を回避する。また、同時に回路による訂正も併せた2重訂正を行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のビット線と複数のワード線の交差部にデータ保持のためのリフレッシュを必要とするメモリセルを複数アレイ状に備えたメモリセルアレイを有する半導体記憶装置において、データ保持時間に関する情報を記憶する記憶回路と、所定のアドレスが前記記憶回路にアクセスする事で、ペアリング用メモリセル選択線を出力する選択線出力回路と、電源投入後の予め定められた期間内にメモリセルのデータ保持能力を検査し、検査結果を前記記憶回路に記録する制御回路とを備えている事を特徴とする半導体記憶装置。

【請求項 2】

10

前記記憶回路は前記データ保持能力の検査においてデータ保持能力が低いとされた入力アドレスの各ビットを保持するものであって、前記各ビットと入力アドレスの各ビットを比較する前記選択線出力回路を有し、前記選択線出力回路は前記各ビット同士が一致する場合にはペアリング用選択線を出力し、一致しない場合にはペアリング用選択線を出力しない事を特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記記憶回路はペアリング用メモリセルの要不要の情報を保持し、前記記憶回路にペアリング用メモリセル要のデータが記憶される場合には、前記記憶回路へのアクセスにより前記選択線出力回路がペアリング用選択線を出力し、不要のデータが記憶される場合には、前記記憶回路へのアクセスにより前記選択線出力回路はペアリング用選択線を出力しない事を特徴とする請求項 1 記載の半導体記憶装置。

20

【請求項 4】

前記選択線出力回路により出力される選択線がカラム選択線であり、同時に前記選択線出力回路によりペアリング用カラム選択線も出力された場合に、2つのメモリセルのデータに論理和をかけて1つのデータを出力する論理和回路を有する事を特徴とする請求項 1 乃至 3 記載の半導体記憶装置。

30

【請求項 5】

前記選択線出力回路により出力される選択線がロウ選択線である事を特徴とする請求項 1 乃至 3 記載の半導体記憶装置。

【請求項 6】

符号器及び復号器からなる誤り訂正回路（ECC回路）を有する事を特徴とする請求項 1 乃至 5 記載の半導体記憶装置。

40

【請求項 7】

前記予め定められた期間が電源投入後一回目のセルフリフレッシュモードのエントリ時である事を特徴とする請求項 1 乃至 6 記載の半導体記憶装置。

【請求項 8】

前記予め定められた期間が電源投入後のイニシャライズ期間である事を特徴とする請求項

50

1乃至6記載の半導体記憶装置。

【請求項9】

前記データ保持時間の検査に際し、ワード線単位で検査対象メモリセルのデータを保持するためのダミーセルを有し、更に前記検査対象メモリセルのデータを前記ダミーセルにコピー後、検査を行い、検査結果を前記記憶回路に記憶し、その後前記ダミーセルのデータを前記検査対象メモリセルにコピーし戻す制御回路を有する事を特徴とする請求項1乃至8記載の半導体記憶装置。

10

【請求項10】

前記データ保持検査用のデータとして、メモリセルが物理的に電荷を有する状態になるデータをデータ保持検査対象のワード線に接続するメモリセルに書き込み、その内の所定数単位で前記データ保持検査用データを読み出し、それらの否定論理積(NAND)を取り、その結果からデータ保持能力の有無を検査する制御回路を有する事を特徴とする請求項1乃至9記載の半導体記憶装置。

【請求項11】

20

複数のビット線と複数のワード線の交差部にデータ保持のためのリフレッシュを必要とするメモリセルを複数アレイ状に備えたメモリセルアレイを有する半導体記憶装置において、データ保持時間に関する情報を記憶する記憶回路と、所定のアドレスが前記記憶回路にアクセスする事で、ペアリング用メモリセル選択線を出力する選択線出力回路と、電源投入後の予め定められた期間内にメモリセルのデータ保持能力を検査し、検査結果を前記記憶回路に記録する制御回路とを使用する半導体記憶装置のセルフリフレッシュ制御方法。

【請求項12】

前記ダミーセルへのコピーは、検査対象メモリセルにアクセスするワード線を活性化して当該データをセンスアンプで増幅した後、前記ダミーセルにアクセスするワード線を活性化し、前記増幅後のデータを前記ダミーセルへコピーする事により行い、前記ダミーセルからのコピーはこの逆の手順により行う事を特徴とする請求項11記載の半導体記憶装置のセルフリフレッシュ制御方法。

30

【請求項13】

前記データ保持能力の検査につき、前記ダミーセルをメモリセルのデータ保持能力に対し十分余裕を持った周期でセルフリフレッシュを行い、且つ検査対象のメモリセルをダミーセルのセルフリフレッシュ周期よりも長い周期でセルフリフレッシュを行う請求項11記載の半導体記憶装置のセルフリフレッシュ制御方法。

40

【請求項14】

前記ダミーセルのセルフリフレッシュ周期が100[ms]程度であり、且つ前記検査対象のメモリセルのセルフリフレッシュ周期が1[s]程度とする事を特徴とする請求項13記載の半導体記憶装置のセルフリフレッシュ制御方法。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、DRAM等のリフレッシュ機能を必要とするメモリセルを有して構成される半導体記憶装置に関し、電源投入後に前記メモリセルのデータ保持時間の大小を分類し、特にデータ保持時間の短い特定のアドレスについては、1つのデータを複数のメモリセルを用いて保持する事でデータの保持時間を延長、セルフリフレッシュ周期を長期化し、チップの低消費電力化を実現する半導体装置及びその使用方法に関するものである。

【 背景技術 】

【 0 0 0 2 】

10

例えばDRAMにおいてはメモリセルとしてキャパシタを使用し、当該キャパシタに蓄積した電荷の有無を情報として記憶する構造から、キャパシタ内のデータを保持するためのリフレッシュ動作（セルフリフレッシュ）が必要であり、その度に電力を消費する構造となっている。従って近年のDRAM大容量化に従い消費電力も大きくなる方向である。

【 0 0 0 3 】

しかしながらその一方で、近年のデバイスにおいては携帯電話に代表されるモバイル用途等低消費電力化の要求が強くなっており、DRAMに関してもその例外ではない。消費電力低減の実現には様々な方法が考えられるが、その代表として前記セルフリフレッシュの低消費電力化を挙げる事が出来る。

20

【 0 0 0 4 】

セルフリフレッシュにつき低消費電力化を実現するためには、単純にセルフリフレッシュ周期を長期化し単位時間内に行われるリフレッシュ回数を減らす事が有効であるが、一方でメモリセルのデータ保持可能時間を越えてセルフリフレッシュ周期を長期に設定するとメモリセルのデータは失われ不良を生じてしまうため、データの消失が起こらない程度の適当な値に設定する事が必要とされる。ここで、図1のフローチャートを用いて従来のセルフリフレッシュ方式について説明する。

30

【 0 0 0 5 】

セルフリフレッシュモードは外部から入力されるコマンドの組合せにより設定され、セルフリフレッシュの開始（セルフリフレッシュエントリ）及び、セルフリフレッシュの解除（セルフリフレッシュエグジット）は共に外部から入力されるコマンドの組合せで設定される。動作は、セルフリフレッシュコントロール回路より出力するロウアドレス及び周期を指定するクロックにより制御され、リフレッシュが行われる度にチップ内部のロウアドレスカウンタを順々に繰り上げて行き、リフレッシュが全てのワード線単位で行われるよう制御される（バーストリフレッシュ）。ここで、消費電力を低減するためセルフリフレッシュ期間内にメモリセルアレイ周辺の電源を落とすモード（ディープパワーダウンモード）も従来より用いられている所である。これはビット線、ワード線等の電源を落とす事でメモリセルにかかる電界を緩和し、メモリセルのデータ保持時間を延ばす事でセルフリフレッシュ周期を延長して消費電力を低減する技術である。但し、セルフリフレッシュの周期を延ばす事はその時間分だけ消費電力の低減に繋がるが、その時間を長くし過ぎるとメモリセルのデータが消失し、製品に不良を生じる点に留意する必要がある。

40

【 0 0 0 6 】

50

従って、メモリセルのデータを維持出来る範囲でセルフリフレッシュ周期を長期化する、一定の最適周期によって全てのメモリセルに対しセルフリフレッシュを実施する事が理想的である。

【 0 0 0 7 】

しかし、実際には製造プロセスのばらつき等の理由により、全てのメモリセルのデータ保持時間を均一に製造する事は不可能であり、現実的にはデータ保持不良を避けるべくある程度のマージンをデータ保持時間に対して確保した周期のセルフリフレッシュが行われる。ただし、この場合にもデータが失われるメモリセル（不良メモリセル）の発生を完全に防ぐ事は出来ない。 10

【 0 0 0 8 】

そこでこの対策として、チップに冗長メモリセルを予め設けておき、製造後のウエハ良品検査時に不良メモリセルを選別し、これと冗長メモリセルとを切り替える事により当該チップを良品として救済する手段が従来からとられている（リダンダンシによる救済）。

【 0 0 0 9 】

しかしながら、ウエハ良品検査時にチップを救済した場合にあってもメモリセルのデータ保持時間、つまりセルフリフレッシュ周期を従来の64 [ms] から200 [ms] 300 [ms] と長くしていくにつれ、メモリセルの電荷量が減少し、ソフトエラーや電源レベルの変動等の予期しないノイズにより、ウエハ良品検査後に不良メモリセルを生じる場合がある。 20

【 0 0 1 0 】

一般にこのような不良は少数ビットに対して発生するものであるから、対策として誤り訂正符号（Error Correcting Cord. 以下ECCと略す）回路の採用が有効である。 30

【 0 0 1 1 】

ECC回路は、入力データからパリティ（parity）データを発生させ、両者をメモリセルに書き込み、読み出し時に入力データ及びパリティデータに対して演算を行い、データの誤りを検出して訂正する回路である。ここでECCの機能については、所定のデータ群につき複数の誤りを訂正するものは回路規模が極めて大きくなるため現実的でなく、実際には所定の符号長に対して1ビットのみを訂正するハミング符号によるECCが採用されている。

【 0 0 1 2 】

しかしながら実際はその程度の誤り訂正規模ではセルフリフレッシュ周期の長期化に十分貢献するには至らず、結局セルフリフレッシュ周期の改善効果は100 [ms] から400 [ms] 程度を限界とするに留まっていた。 40

【 0 0 1 3 】

ECC回路自体は当業者にとって自明の所であるが、図8に従来のECC回路図の概要を載せる。ECC回路は主に、外部端子からの入力データにパリティデータを発生させてそれらを符号化する符号器、符号化した入力データ及びパリティデータをメモリセルに書き込むライトバッファ、メモリセルから読み出された符号化データを増幅するメインアンプ、増幅さ 50

れた符号化データを復号しエラーがあった場合にはエラー訂正を行い訂正後のデータを出
力する復号器からなる。

【 0 0 1 4 】

また、入力データに応じ必要とされるパリティビット数は、公知の次式（ハミングコード
（Hamming Code））により決定される。

$$2^k \geq m + k + 1 \quad \dots (1)$$

10

ここで、 m は入出力データ数であり、 k はパリティビット数である。式(1)に依れば、入
出力データの最小単位である $m = 8$ の場合に必要な最低パリティビット数 $k = 4$ となる。従っ
てECCの採用に当たっては、入出力データ8ビット分につき、パリティビットを4ビット以
上設けておく必要がある。

【 0 0 1 5 】

例えば後記特許文献1の図1においてECC回路を用いた半導体記憶装置が提案されている
。当該回路によって入力データに対しパリティビットを発生させ、それらをメモリセルに
書き込み、読み出し時には入力データ及びパリティビットに対し演算を行う事で誤りを検
出、訂正を行うものである（第1図）。

20

【特許文献1】特開平6 - 203596号公報（第1図）

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 6 】

上述した従来のECCを利用した半導体記憶装置において、セルフリフレッシュ周期は約100
[ms]から400[ms]へと改善されている。ここで図9にセルフリフレッシュ周期（ t_{REF}
）とそれに要する消費電流（ I_{CC6} ：セルフリフレッシュ電流）のグラフを示す。これによ
るとセルフリフレッシュ周期が長い程に消費電流値が小さくなる事は自明であり、前述し
たセルフリフレッシュ周期の改善（セルフリフレッシュ周期を100[ms]から400[ms]に
長期化）においては約260 μ Aの消費電流削減が達成される事がわかる。更に、電流削減の
効果としては、大まかにセルフリフレッシュ周期1[s]の所で収束が始まっていること
から、現実的には1[s]程度のセルフリフレッシュ周期で不良を起こさない半導体記憶装
置を設計する事が合理的である。

30

【 0 0 1 7 】

つまり、本発明は回路を複雑化しない事でチップサイズの増加を抑えつつ、セルフリフレ
ッシュ周期を更に長期化する事を可能とする半導体記憶装置を提供する事を目的とするも
のである。

40

【課題を解決するための手段】

【 0 0 1 8 】

本願に開示される発明は上記目的を達成するため概して以下のように構成される。

【 0 0 1 9 】

複数のビット線と複数のワード線の交差部にデータ保持のためのリフレッシュを必要とす

50

るメモリセルを複数アレイ状に備えたメモリセルアレイを有する半導体記憶装置において、データ保持時間に関する情報を記憶する記憶回路と、所定のアドレスが前記記憶回路にアクセスする事で、ペアリング用メモリセル選択線出力する選択線出力回路と、電源投入後の予め定められた期間内にメモリセルのデータ保持能力を検査し、検査結果を前記記憶回路に記録する制御回路とを備えている。ここで、ペアリング用とは外部からアクセスされるデータを本来格納するメモリセルとは別に、データ格納用メモリセルを専用に設け、そこに前記データを格納する事でデータの保持を補助する用途のものを言い、以下ペアリング用メモリセル、ペアリング用カラム選択線、ペアリング用ロウ選択線と定義する。詳細は実施例の項にて説明する。

10

【0020】

また、本発明に係る半導体記憶装置の他の一態様は、前記記憶回路は前記データ保持能力の検査においてデータ保持能力が低いとされた入力アドレスの各ビットを保持するものであって、前記各ビットと入力アドレスの各ビットを比較する前記選択線出力回路を有し、前記選択線出力回路は前記各ビット同士が一致する場合にはペアリング用選択線出力し、一致しない場合にはペアリング用選択線出力しない構成を更に有していても良い。

【0021】

20

また、本発明に係る半導体記憶装置の他の一態様は、前記記憶回路はペアリング用メモリセルの要不要の情報を保持し、前記記憶回路にペアリング用メモリセル要のデータが記憶される場合には、前記記憶回路へのアクセスにより前記選択線出力回路がペアリング用選択線出力し、不要のデータが記憶される場合には、前記記憶回路へのアクセスにより前記選択線出力回路はペアリング用選択線出力しない構成を更に有していても良い。

【0022】

また、本発明に係る半導体記憶装置の他の一態様は、前記選択線出力回路により出力される選択線がカラム選択線であり、同時に前記選択線出力回路によりペアリング用カラム選択線も出力された場合に、2つのメモリセルのデータに論理和をかけて1つのデータ出力する論理和回路を更に有していても良い。

30

【0023】

また、本発明に係る半導体記憶装置の他の一態様は、前記選択線出力回路により出力される選択線がロウ選択線である構成を更に有していても良い。

【0024】

40

また、本発明に係る半導体記憶装置の他の一態様においては、符号器及び復号器からなる誤り訂正回路(ECC回路)を有していても良い。

【0025】

また、本発明に係る半導体記憶装置の他の一態様においては、前記予め定められた期間が電源投入後一回目のセルフリフレッシュモードのエントリ時である構成を有していても良い。

【0026】

50

また、本発明に係る半導体記憶装置の他の一態様においては、前記予め定められた期間が電源投入後のイニシャライズ期間である構成を更に有していても良い。

【 0 0 2 7 】

また、本発明に係る半導体記憶装置の他の一態様においては、前記データ保持時間の検査に際し、ワード線単位で検査対象メモリセルのデータを保持するためのダミーセルを有し、更に前記検査対象メモリセルのデータを前記ダミーセルにコピー後、検査を行い、検査結果を前記記憶回路に記憶し、その後前記ダミーセルのデータを前記検査対象メモリセルにコピーし戻す制御回路を有していても良い。

10

【 0 0 2 8 】

また、本発明に係る半導体記憶装置の他の一態様においては、前記データ保持検査用のデータとして、メモリセルが物理的に電荷を有する状態になるデータをデータ保持検査対象のワード線に接続するメモリセルに書き込み、その内の所定数単位で前記データ保持検査用データを読み出し、それらの否定論理積（NAND）を取り、その結果からデータ保持能力の有無を検査する制御回路を有していても良い。

20

【 0 0 2 9 】

また、本発明に係る半導体記憶装置の使用方法の一態様においては、複数のビット線と複数のワード線の交差部にデータ保持のためのリフレッシュを必要とするメモリセルを複数アレイ状に備えたメモリセルアレイを有する半導体記憶装置において、データ保持時間に関する情報を記憶する記憶回路と、所定のアドレスが前記記憶回路にアクセスする事で、ペアリング用メモリセル選択線を出力する選択線出力回路と、電源投入後の予め定められた期間内にメモリセルのデータ保持能力を検査し、検査結果を前記記憶回路に記録する制御回路とを使用して半導体記憶装置のセルフリフレッシュ制御を行う。

30

【 0 0 3 0 】

また、本発明に係る方法において、前記ダミーセルへのコピーは、検査対象メモリセルにアクセスするワード線を活性化して当該データをセンスアンプで増幅した後、前記ダミーセルにアクセスするワード線を活性化し、前記増幅後のデータを前記ダミーセルへコピーする事により行い、前記ダミーセルからのコピーはこの逆の手順により行う制御を行っても良い。

【 0 0 3 1 】

40

また、本発明に係る方法において、前記データ保持能力の検査につき、前記ダミーセルをメモリセルのデータ保持能力に対し十分余裕を持った周期でセルフリフレッシュを行い、且つ検査対象のメモリセルをダミーセルのセルフリフレッシュ周期よりも長い周期でセルフリフレッシュを行っても良い。

【 0 0 3 2 】

また、本発明に係る方法において、前記ダミーセルのセルフリフレッシュ周期が100 [ms] 程度であり、且つ前記検査対象のメモリセルのセルフリフレッシュ周期が1 [s] 程度であっても良い。

50

【発明の効果】

【0033】

本発明によりセルフリフレッシュ周期の長期化が可能となり、チップの消費電力を低減する事が可能となる。同時に、予期しないノイズの発生が製品として組み立てた後であっても当該ノイズに起因するデータの消失等による不良を回避する事が可能となる。

【発明を実施するための最良の形態】

【0034】

10

既述の本発明を詳述すべく、以下、本発明の原理及び実施例について図面を参照して説明する。

【0035】

本発明を実施するための最良の形態は、電源投入後のイニシャライズ期間において、ペアリング用メモリセル要不要を選別する形態である。ペアリング用ロウ選択線を用いる事も勿論可能であるが、ここではペアリング用カラム選択線の実施例を挙げる。

20

【0036】

図2は本発明の特徴である電源投入後一回目におけるセルフリフレッシュエントリ後において、ペアリング用メモリセルの要否の選別を行うと共に、要否に応じて従来のカラムアドレス入力に応じるカラム選択線を選別する方法、又はカラムアドレス選択線とペアリング用カラム選択線を選別する方法のフローを表したものである。電源投入後一回目におけるセルフリフレッシュエントリ時には、既にアクセスされたデータが試験対象メモリセルに保持されているため、これを確保すべくダミーセルが必要とされ、当該ダミーセルに試験対象メモリセルのデータをコピーするステップ、コピーしたデータをリフレッシュし保持するステップ、試験後にデータをコピーし戻すステップが必要となる。

30

【0037】

一方、電源投入後のイニシャライズ期間には試験対象メモリセルにデータは存在しない。このため試験対象メモリセルのデータを保持するためのダミーセルの配置は不要であり、それに伴って前記ダミーセルに絡んだステップは全て不要となる。つまり、イニシャライズ期間に前期選別を行う事で、ダミーセルに絡んだステップS201、S203、S204、S208、S209、S211を削除し回路動作を簡素化する事が出来る。

【実施例】

40

【0038】

図1下は本発明におけるセルフリフレッシュ全体のフローを表したものである。ここで従来例と異なる点は、電源投入後1回目のセルフリフレッシュエントリ後において、ノーマルモード時のカラムアドレスの入力についてカラムアドレスに応じるカラム選択線のみを出力するか、又はカラムアドレスに応じるカラム選択線及びペアリング用カラム選択線を出力するか選別する、ステップS103のみである。その他の動作は従来例と同様であるため説明を省略する。次に、本発明の特徴であるステップS103について図2を参照して説明する。

50

【 0 0 3 9 】

図2は前記S103のフローを表したものである。本発明の特徴であるこのフローは、電源投入後第一回目におけるセルフリフレッシュエントリ後におけるカラムアドレスに応じるカラム選択線、又はカラム選択線及びベアリング用カラム選択線の選別方法に関する。電源投入後という実動作時の処理にする事で、従来の冗長メモリセルでは対応出来なかった製品製造後のエラーに対処する事を可能としている。以下動作順に説明する。

【 0 0 4 0 】

10

ステップS201はセルフリフレッシュエントリ後、セルフリフレッシュ対象となる1本のワード線によりアクセスされる複数のメモリセル（以下、試験対象メモリセルという）のノーマルモード時に格納されたデータを退避すべく、これらをダミーセルにコピーする手順である。

【 0 0 4 1 】

20

具体的には、セルフリフレッシュの対象となるワード線を活性化し、試験対象メモリセルのデータを其々ビット線に出力、センスアンプにより増幅した後、前記ビット線に接続するダミーセルにアクセスするワード線を活性化し、前記ビット線に出力されたデータをダミーセルに格納する手順である。これにより、試験対象メモリセルのデータをダミーセルにコピーする事が出来る。

【 0 0 4 2 】

30

次のステップS202では、試験対象メモリセル全てに対しメモリセルが物理的に電荷を有する状態になるデータ（ハイレベルデータ）を書き込む。これは後のステップにおいてこの電化を目標時間保持出来るかテストを行うための準備である。ECC回路を用いるため、パリティデータに対しても同様の書き込みを行う。

【 0 0 4 3 】

次のステップS203では、ダミーセルにつきリフレッシュを行う。ここで、ダミーセルには試験対象メモリセルがノーマルモード時に保持していたデータが格納されているため、確実にこれを保持しておく必要がある。従ってダミーセルのリフレッシュ周期はメモリセルのデータ保持能力につき十分余裕を持たせた値とする事が必要である。本実施例では100 [ms] とするが、実使用上これに限るものではない。

【 0 0 4 4 】

40

次に、ダミーセルのリフレッシュを10回実施した場合に（ステップS204のYes分岐）ハイレベルデータを書き込んだ試験対象メモリセルのデータを読み出す（ステップS205）。ここでは前記データ保持目標時間を1 [s] とする関係から10回としているが、目標時間は1 [s] に限るものではなく、回数も可変である。

【 0 0 4 5 】

一方、ダミーセルのリフレッシュが10回に満たない場合には（ステップS104のNo分岐）10回までリフレッシュを繰り返す。

50

【 0 0 4 6 】

次のステップS206では、読み出したハイレベルを期待値とする試験対象メモリセルのデータを否定論理積回路（NAND）にかけ、エラーの検出を行う。ここでは8ビットのノーマルデータ及び4ビットのパリティデータの計12ビットに対し検査を行うべく12入力の否定論理積回路を用いる。試験対象メモリセルに1[s]のデータ保持能力があるか否か検査するためである。

【 0 0 4 7 】

10

ここで、1本のワード線に対する前記全ての否定論理積回路の出力がロウレベルである場合には、エラー無しの判定となり（ステップS206のNo：エラーなし：分岐）ダミーセルにコピーしておいたデータを試験対象メモリセルにコピーし、ノーマルモード時の状態に戻す（ステップS210）。コピー手順は試験対象メモリセルのデータをコピーした際と同様である。

【 0 0 4 8 】

一方、前記否定論理積回路の出力がハイレベルである場合には、エラー有りの判定となり（ステップS206のYes：エラーあり：分岐）エラーとなったメモリセルにアクセスするカラムアドレスを記憶回路（RAM）に格納する。

20

記憶回路に格納されたカラムアドレスは、カラム選択線出力回路において入力される任意のカラムアドレスと比較され、一致する場合にはカラム選択線のみならずペアリング用メモリセルを指定するペアリング用カラム選択線も出力され、不一致の場合には入力される任意のカラムアドレスに応じるカラム選択線のみが出力される。

これによって読み出しデータにエラーが存在する（データ保持時間の短い）メモリセルを指定するアドレス入力に対しては、当該アドレスに応じるメモリセルと同時にペアリング用メモリセルにもアクセスする事となる。

30

【 0 0 4 9 】

次のステップS208、S209では、前記ペアリング用メモリセルに対しダミーセルにコピーしておいたデータをコピーする。

【 0 0 5 0 】

以上のステップはワード線単位で行われるため、本実施例において1ワード線につきアクセスされるメモリセルが512ビット存在していたとすると、1回のステップにつきノーマルデータ8ビットの処理がなされるため、全部で64回の検査処理がなされる事になる（ステップS210のNo分岐）。

40

【 0 0 5 1 】

1ワード線に対する各ステップが終了した後（ステップS210のYes分岐）、ステップS211においてダミーセルにコピーしておいたデータを試験対象メモリセルにコピーし、ノーマルモード時の状態に戻す。

【 0 0 5 2 】

50

以上の工程を踏む事で、目標のデータ保持時間を満たさない（読み出しデータにエラーが存在する）メモリセルへのアクセスには当該メモリセルと同一データを格納するペアリング用メモリセルへのアクセスを付随させ、長周期セルフリフレッシュによるエラーを回避させる事が可能となる。また、ECC回路を同時に適用する事でセルフリフレッシュ周期を更に長期化する事が可能となる。

【 0 0 5 3 】

但し、ペアリング用メモリセルについてはダミーセル同様確実な記憶保持を要求する事からセルフリフレッシュ周期をメモリセルのデータ保持能力につき十分余裕を持たせた値とする事が必要である。このペアリング用メモリセルによって、長周期セルフリフレッシュにより発生する試験対象メモリセルのエラーを補償するためである。

10

【 0 0 5 4 】

図3は図1及び2のフローを実現する本発明の1実施例の構成を表したものであり、クロック同期型DRAMに本発明を適用したものであり、図中における×8、×12等の記載は信号のビット数を表すものである。

20

【 0 0 5 5 】

図3を参照すると、本発明の1実施例の半導体記憶装置は、ビット線とワード線の交差部にメモリセルを有するメモリセルアレイで構成されるバンク100と、ロウアドレスをデコードし、ワード線を駆動するワードドライバを有するロウデコーダ101と、メモリセルアレイ100のビット線に接続するセンスアンプ102を備えている。ここで、バンク100のメモリセルアレイには、データ保持試験時に試験対象となるメモリセルのデータをコピーしておくためのダミーセル103、試験の結果でデータ保持時間が短いと判定されたメモリセルのデータを補償するために用いるペアリング用メモリセル104を含んでいる。更に本発明の1実施例の半導体記憶装置はロウアドレスを入力するロウアドレスバッファ105、カラムアドレスを入力するカラムアドレスバッファ106と、カラムアドレスデコーダ107と、DRAMの各動作をコントロールするコマンド信号を出力するコマンドデコーダ108と、チップ内部で各信号を同期するクロックを発生する内部クロック発生器109と、外部とデータの入出力を制御するデータコントロール回路110と、セルフリフレッシュのアドレス及び周期を制御するセルフリフレッシュコントロール回路111を備えている。ここで、セルフリフレッシュコントロール回路111はリフレッシュのロウアドレスを指定するアドレスカウンタとリフレッシュ周期発生器とを含んでいる。また、リフレッシュ周期発生器においては温度特性を考慮してリフレッシュ周期を設定する温度補正器を含む事としても良い。更に本発明の1実施例の半導体記憶装置は、入力データに対し検査ビットを付加する符号器112と、符号化された出力データを復号しエラー検出を行う復号器113からなるECC回路と、1つのアドレスの入力につきメモリセル及びペアリング用メモリセルから出力があった場合に論理和をとって出力する論理和回路114を含んでおり、ECC回路によりエラーが検出された場合のカラムアドレスを保持するレジスタ117と、レジスタ117のデータを格納する記憶回路115、記憶回路115にアクセスしてカラム選択線及びペアリング用カラム選択線を出力するカラムアドレス比較回路116を設けている。

30

40

【 0 0 5 6 】

チップ外部からのコマンド制御信号としては、チップセレクト信号／CS、ロウアドレスストロブ信号／RAS、カラムアドレスストロブ信号／CAS、ライトイネーブル信号／WEが

50

入力され、チップ内部の各動作をコントロールする。またCLKは同期用の外部クロック信号であり、CKEはCLKの有効、無効を決定するクロックイネーブル信号である。CKEがロウレベルである場合には、CLKは無効とされ、チップはスタンバイ状態とされる。DQMはDQの入出力マスク信号であり、DQはチップへ書き込み、またはチップから読み出す入出力データを指す。

【 0 0 5 7 】

図2のフローに則して図3の構成を説明すると、まずセルフリフレッシュエントリのコマンド制御信号が入力され、CKEがロウレベルで入力し保持される事によりセルフリフレッシュエントリが行われる。次に、セルフリフレッシュコントロール回路111は、セルフリフレッシュの周期及びロウアドレスを発生し、ロウデコーダ101に出力する。ロウデコーダ101に入力されたロウアドレスは図示しないワードドライバによりワード線を出力し、当該ワード線によりアクセスされる全ての試験対象メモリセルのデータをビット線に出力、続いてこれらデータをセンスアンプ102により増幅する。続いて同じくセルフリフレッシュコントロール回路111によりダミーセル103のロウアドレスをロウデコーダ101に出力、同様の手段によりダミーセル103にアクセスし、既に増幅されたビット線各々のデータをダミーセル103に書き込む。これにより前記試験対象メモリセルのデータのダミーセルへのコピーが行われる。

10

20

【 0 0 5 8 】

コピー後は更に試験対象メモリセルにアクセスするワード線をアクティブとし、全ての試験対象メモリセルにハイレベルデータを書き込んでおく。

【 0 0 5 9 】

次にセルフリフレッシュコントロール回路111によりダミーセル103部についてはメモリセルのデータ保持能力に対し十分余裕を持たせた周期でリフレッシュを行い（本実施例では100[ms]）、一方試験対象メモリセル部についてはリフレッシュ周期を長期化した値（本実施例では1[s]）に周期を設定する。ノーマルモード時に格納されたメモリセルのデータをダミーセル103に確実に保持しつつ、試験対象メモリセルの保持するハイデータについてデータ保持能力を試験するためである。

30

【 0 0 6 0 】

1[s]経過後には通常の読み出し方法により試験対象メモリセルのデータ12ビット1単位をビット線に出力（既述の通り、ここではノーマルデータ8ビット及びパリティデータ4ビットの計12ビットとする）、センスアンプ102により増幅し、図示しないデータ入出力線に出力し、図示しない否定論理積回路（NAND）に入力し、エラー判定を行う。各ビットの期待値は全てハイレベルデータであるから、否定論理積回路（NAND）の出力がロウレベルデータの場合はエラー無しの判定であり、出力がハイレベルデータである場合はエラー有りの判定となる。

40

【 0 0 6 1 】

エラー判定された場合には当該エラーとなったカラムアドレスをカラムアドレスバッファ106より記憶回路115に格納し、一方、エラー判定がされない場合にはカラムアドレスの書き込みは行わない。

50

【 0 0 6 2 】

記憶回路115に格納されたカラムアドレスは、それに一致するカラムアドレスがカラムアドレス比較回路116へ入力する事によりカラムアドレスにより指定されるカラム選択線のみでなくペアリング用カラム選択線をも出力する役割を果たすものである。

【 0 0 6 3 】

次に、ノーマルモード時に格納したダミーセル103のデータを試験対象メモリセルにコピーし戻す。ダミーセルへのコピーにおいては試験対象メモリセルのデータをセンスアンプ102にて増幅の後、ダミーセルにアクセスしデータを書き込んだが、ここでは逆に、ダミーセルのデータをセンスアンプ102にて増幅の後、試験対象メモリセルにアクセスしデータを書き込む。またこの際に、記憶回路115に格納したカラムアドレスにより、ペアリング用メモリセル104に対しても該当するダミーセル103のデータを書き込んでおく。データ保持時間が短いと判定されたメモリセルのデータを補償するためである。

【 0 0 6 4 】

以上のプロセスにより試験対象メモリセルのデータはノーマルアクセス時の状態に戻り、またデータ保持時間の短いメモリセルに対しては、それを補うペアリング用メモリセルがあてがわれ、前記データ保持時間の短いメモリセルと同一データが書き込まれる。以上の構造、工程により電源投入後第1回目のセルフリフレッシュが行われる。

【 0 0 6 5 】

次に外部からのデータ書き込みについて同じく図3を利用して説明する。

【 0 0 6 6 】

外部データは従来同様DQより入力、データコントロール回路110により制御される。本実施例においてはECC回路を利用するため、入力データは符号器112に入力されパリティデータを付加した符号化データとして出力される。最終的に前記符号化データはカラムデコーダ107及びロウデコーダ101で指定するカラムアドレス、ロウアドレスに対応したメモリセルアレイ100の内の該当箇所には書き込まれる。ここで、カラムアドレスバッファ106より指定されるカラムアドレスがカラムアドレス比較回路116により記憶回路115に格納するカラムアドレスと一致するとの判定をされた場合には、カラムデコーダ107はカラムアドレスに依るカラム選択線だけでなくペアリング用メモリセルを選択するカラム選択線も出力する。これにより1つの外部データをペアリング用メモリセルに対しても格納する事が出来る。

【 0 0 6 7 】

次に内部からのデータ読み出しについて同じく図3を利用して説明する。

【 0 0 6 8 】

読み出しの場合もメモリセルの特定までは書き込みと同様の動作である。また、カラムアドレスがカラムアドレス比較回路116により記憶回路115に格納するカラムアドレスと一致する判定をされた場合には書き込み時同様にカラム選択線及びペアリング用カラム選択線が出力され、対応したメモリセル及びペアリング用メモリセルに格納されたデータを出力

する。これら出力された2のデータは其々センスアンプ102にて増幅後、論理和回路114により論理和をとり、1つの出力データとされ、データコントロール回路110を経由してDQパッドから外部へ出力される。

ここで前記2つのメモリセルからデータを出力するのは既述の通り、セルフリフレッシュ周期の長期化による不良をペアリング用メモリセルのデータにより補償するためであるが、論理和回路114を用いるのは、ハイレベルの期待値に対し出力がロウレベル（エラー）が出力される場合のみを考慮する事による。実際にセルフリフレッシュ長期化によるエラーはハイレベルデータがロウレベルデータに失われる状況のみを考慮する事で足りるからである。

10

また、ペアリング用メモリセルについてはセルフリフレッシュ周期を十分短くしている事からデータ保持に問題はなく、従って、長く設定したセルフリフレッシュ周期によりデータを失ったメモリセルがあっても、ペアリング用メモリセルのデータと論理和をとる事でデータ保持不良を防止する事が可能である。

【 0 0 6 9 】

以上の構造、工程における、データ保持時間の短いメモリセルを検出し同時にそれを補うペアリング用メモリセルを設ける事でデータ保持不良を防止しつつ、セルフリフレッシュ周期を長期化する事が出来る。

20

【 0 0 7 0 】

次に、本発明の特徴である、ペアリング用メモリセル104の動作、カラムアドレス比較回路116、論理和回路114について各々図を用いて詳細に説明する。

【 0 0 7 1 】

図4は図3におけるペアリング用メモリセル104及びその周辺回路を表示した拡大図である。以下、図4を用いてペアリング用メモリセル104の読み出し動作と書き込み動作について説明する。

30

【 0 0 7 2 】

読み出し動作及び書き込み動作は、図示しないコマンドデコード108により出力されるコマンド信号により制御される。コマンド信号はロウデコード101、カラムアドレス比較回路116に inputs し、それぞれをアクティブとする。その後アドレス信号の入力を受け、ロウアドレスはメインワードドライバーによりメインワード線を出力し更にメインワード線はメモリセルアレイ100内のサブワードドライバーを活性化する事でワード線を出力しメモリセルにアクセスする。ここでメインワード線はペアリング用メモリセルに対しても共通とされ、ペアリング用メモリセルにも同時にアクセスする構造である。一方、カラムアドレスはカラムアドレス比較回路116へ inputs し、コマンド信号の入力により記憶回路115に格納されたカラムアドレスと比較され、一致した場合には本来のカラムアドレスに応じたカラム選択線と同時にペアリング用メモリセルを指定するカラム選択線も出力する。この2つのカラム選択線によって、2つのメモリセルに対する読み出し動作、書き込み動作を同時に行う事が可能となる。

40

【 0 0 7 3 】

50

図5は図3におけるカラムアドレス比較回路116及びその周辺回路を表示した拡大図である。以下、図5を用いてカラムアドレス比較回路116の動作について説明する。

【0074】

カラムアドレス比較回路116は、入力されたカラムアドレスが記憶回路115に格納されているか比較し、一致する場合には本来のカラムアドレスに応じたカラム選択線とペアリング用メモリセルを指定するカラム選択線も出力するものである。図5の実施例として、ペアリング用メモリセル104の数を1メインワードにつき、ノーマルビット8ビットとパリティビット4ビットの計12ビットを5セット用意した60ビットとしておく。これは1メインワードにつきデータ保持時間が短いと判定されたメモリセルを5箇所補償出来る事を意味する。当該ビット数はこれに限るものではないが、データ保持時間の短いメモリセルは非常に少数であるという実験結果に照らせば十分である。また、ペアリング用メモリセルを多くすればその分チップサイズの拡大に繋がるため、出来るだけ少なく抑える事が望ましい。

10

【0075】

本実施例ではカラムアドレスを構成するビットをY0~Y9の10ビットとし、記憶回路115に格納された事を示す1ビットを加え、更にこれを5セット用意する事から、記憶回路115からカラムアドレス比較回路116には計55ビットのデータが転送される。ここで、ペアリング用メモリセルが割り当てられている場合には、R1(E)~R5(E)にハイデータが書き込まれる事とし、読み出し動作又は書き込み動作時にまずはR(E)を比較確認回路によってチェックし、ハイデータである場合に限りY0~Y9までのカラムアドレスを比較する。一致した場合には、R(E)を除いた10ビットがペアリング用メモリセルのカラムアドレスとして出力され、カラムデコーダ104によりペアリング用メモリセルを指定するペアリング用カラム選択線を出力する。また、同時に本来のカラムアドレスに応じたカラム選択線もカラムデコーダ104により出力されるため、同時に2つのメモリセルにアクセスする事が可能となる。

20

30

【0076】

図6は図3における論理和回路及びその周辺回路を表示した拡大図である。以下、図6を用いて論理和回路等の動作について説明する。

【0077】

図6において、DQから入力されたデータは符号器112によりパリティデータ(DQの入力が8ビットである場合、パリティビットは4ビット)を付加しライトバッファを経由してメモリセルアレイ100内のメモリセルに格納される。ここで、所定のカラムアドレスについては、既述の通りペアリング用メモリセル104にも同じデータが格納される。一方、所定のカラムアドレスに対する読み出し時には、2つのデータが同時に出力される事となるが、それぞれから読み出されるデータは1つにまとめる必要があるため、本発明の特徴の一つである論理和回路114を用いている。具体的には12ビットの各桁それぞれに対する論理和回路(OR回路)となる。符号器112、復号器113については公知のECC回路と同様の構成である。

40

【0078】

以上、本発明の実施例を説明したが、以下ペアリング用口ウ選択線の実施例についても加

50

えておく。

【 0 0 7 9 】

ペアリング用ロウ選択線の選別方法の動作に関するフローは図2において、カラムアドレスをロウアドレスに読み替える事でほぼ足りる。但し、実際にメモリセルにアクセスするロウ選択線とはワード線であるからペアリング用ロウ選択線の要不要を判定する記憶回路115はサブワードドライバーの選択に属するものである事が妥当である。また、サブワードドライバーにおいて通常メモリセルを選択する全てのロウアドレスはデコードが済んでいるため、カラムの場合の様に記憶回路にカラムアドレスの各ビットを記録し、入力されるカラムアドレスと比較する必要はなく、当該選択されるワード線にペアリング用ロウ選択線が必要か否か及びどここのペアリング用ロウ選択線を用いるかの情報が存在している事で足りる。この点においてカラム選択線の場合と異なるが、カラム側についても同様の回路構成とする事は可能で、逆にロウ側について記憶回路にロウアドレスを格納する手段をとる事も可能である。この点は設計事項として選択可能である。

10

【 0 0 8 0 】

図7は本発明においてペアリング用ロウ選択線を使用する場合のメモリセルアレイ周りの回路を表示した拡大図である。基本的にペアリング用メモリセル使用時は、通常メモリセルのワード線とペアリング用メモリセルのワード線を同時に選択し、双方のメモリセルデータをビット線上に合成して読み出す構成をとる。図7の実施例では、ダミーセル103とペアリング用メモリセル104を共用した構成としている。つまりデータ保持能力の検査時にはダミーセル103として利用し、その後はペアリング用メモリセル104として使用する構成である。但し、この場合においてはカラムの場合に紹介した例とは異なり、データ保持能力の検査時にペアリング用メモリセルへのコピーは出来ないため、検査終了後に順次データ保持能力が低いメモリセルのデータをペアリング用メモリセルにコピーしていく流れとなる。この場合においてはコピー先であるペアリング用ロウ選択線がコピー元であるワード線よりも後でアクティブ状態となるよう、ペアリング用ロウ選択線側に遅延回路等を設けておく事がエラー消失防止のために必須である。他、エラー判定の方法等については前記カラム選択線の場合と同様であるため説明を省略する。

20

30

【 0 0 8 1 】

エラー判定結果はカラムレジスタ117により特定されるカラムアドレスに従い、記憶回路115に書き込まれる。ここで、記憶回路115は各サブワードドライバーに設けられ、ペアリング用ロウ選択線を用いるか用いないか、及び、どのペアリング用ロウ選択線にアクセスするか、の情報を格納する。例として16bitのワード線に1対1対応すべく16bitの記憶回路を各ワード線に割り当てる事とする。次に、記憶回路115はサブワードドライバーに付属するため、ワード線を選択するロウアドレスの入力がされる事で同時に記憶回路115にもアクセスされ、記憶回路115に格納されるデータに基づきワード線と共にペアリング用ロウ選択線も出力される。これにより一本のカラム選択線につき、同時に2つのメモリセルにアクセスする事が可能となる。ここで、2本のカラム選択線により2つのデータを出力するペアリング用カラム選択線の場合と異なり、ペアリング用ロウ選択線を用いる場合には1本のカラム選択線により2つのデータを出力し、2つのデータは共通のビット線により合成される事から、図3における論理和回路114は必要とされない構成である。

40

【 0 0 8 2 】

尚、ワード線単位でペアリング用ロウ選択線を出力する事から、実際にデータ保持能力

50

が低いメモリセルのみでなく能力が十分にあるメモリセルに対してもペアリング用メモリセルが選択される事になるのでデータが反転することはない。逆に、この場合には共通のビット線にのる微小電圧が増加（単純にはメモリセル２つ分なので２倍）され、センスアンプによるセンス時間、センスマージンを改善する副次的効果を有する。

【 0 0 8 3 】

以上、本発明の動作、構成について説明したが、本発明は既述の実施例に限定されるものではなく、当業者であれば容易に思いつく変更、修正を含む事は勿論である。

10

【図面の簡単な説明】

【 0 0 8 4 】

【図 1】本発明及び従来発明のセルフリフレッシュ動作を表した流れ図である。

【図 2】本発明の特徴であるペアリング用メモリセル要不要選別動作を表した流れ図である。

【図 3】本発明の一実施例についての全体構成を表した図である。

【図 4】本発明の特徴であるペアリング用メモリセルの動作を表した図である。

【図 5】本発明の特徴であるカラムアドレス比較回路を表した図である。

【図 6】本発明の特徴である論理和回路を表した図である。

20

【図 7】本発明の特徴であるロウアドレス比較回路を表した図である。

【図 8】従来から使用されているECC回路の概要を表した図である。

【図 9】本発明及び従来例についてのリフレッシュ周期と消費電流の関係を表したグラフである。

【符号の説明】

【 0 0 8 5 】

1 0 0 メモリセルアレイ（ダミーセル、ペアリング用メモリセル含む）

1 0 1 ロウデコーダ

30

1 0 2 センスアンプ

1 0 3 ダミーセル

1 0 4 ペアリング用メモリセル

1 0 5 ロウアドレスバッファ

1 0 6 カラムアドレスバッファ

40

1 0 7 カラムデコーダ

1 0 8 コマンドデコーダ

1 0 9 内部クロック発生器

1 1 0 データコントロール回路

1 1 1 セルフリフレッシュコントロール回路

50

1 1 2 符号器

1 1 3 復号器

1 1 4 論理和回路

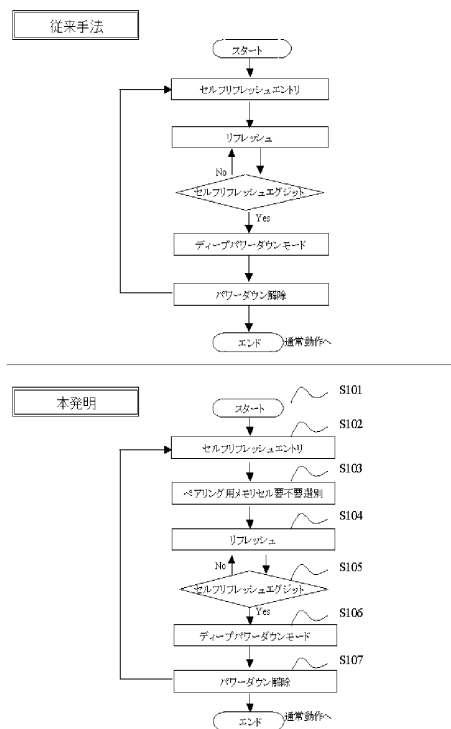
1 1 5 記憶回路

1 1 6 カラムアドレス比較回路

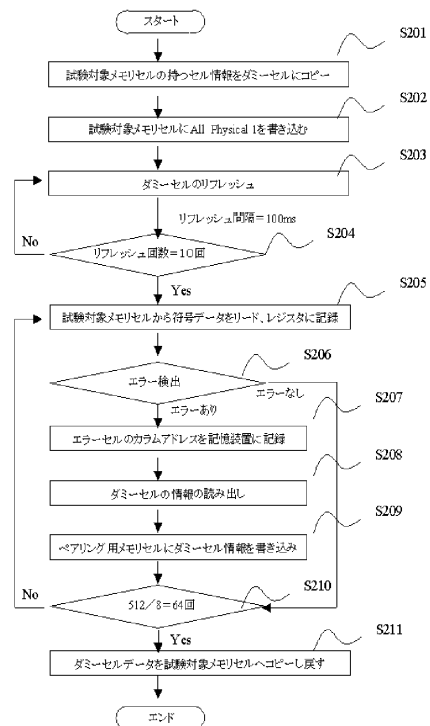
1 1 7 レジスタ

10

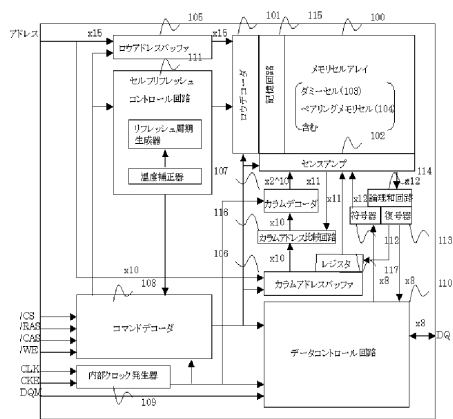
【図 1】



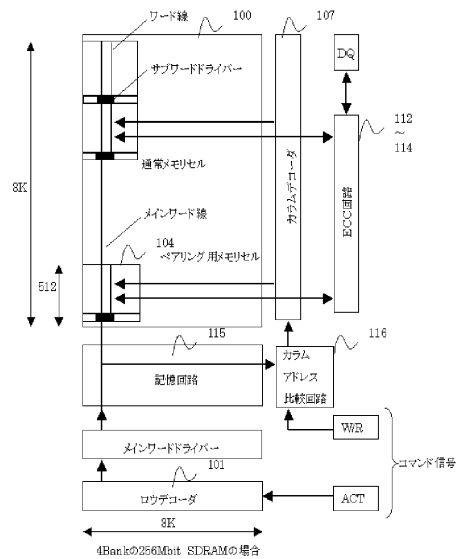
【図 2】



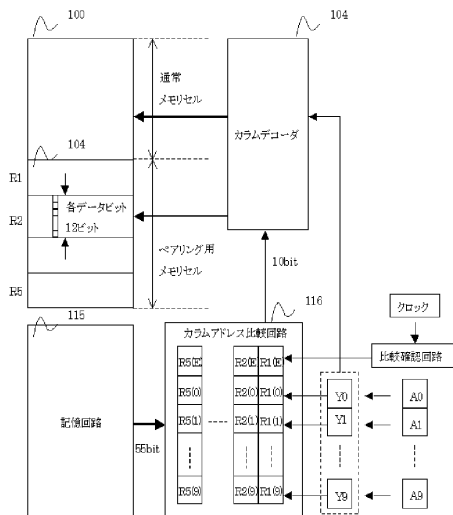
【図 3】



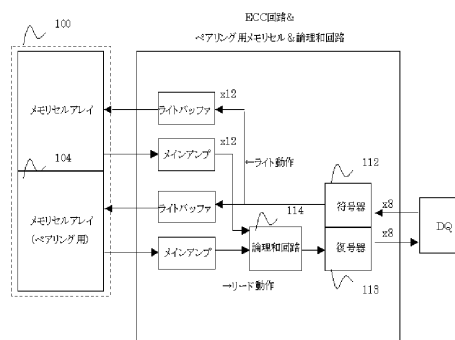
【図 4】



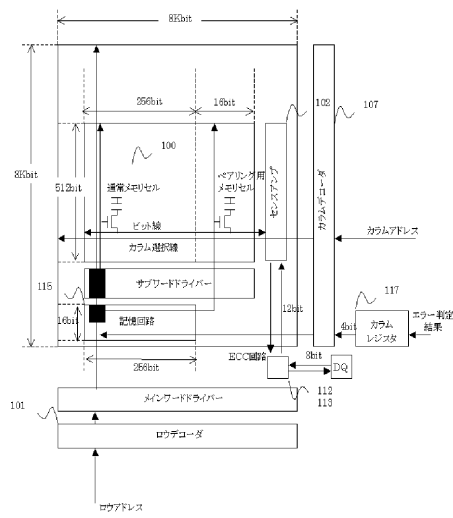
【図 5】



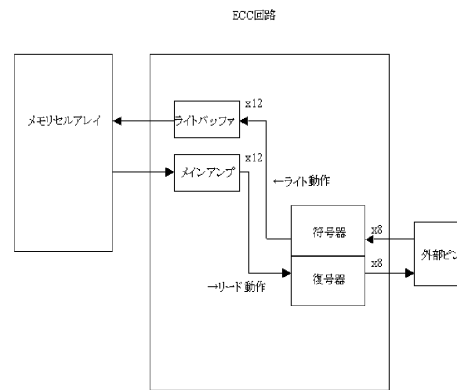
【図 6】



【図 7】



【図 8】



【図 9】

