(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 115985228 A
(43)申请公布日 2023.04.18

(21)申请号 202211261066.7

(22)申请日 2022.10.14

(30)优先权数据
10-2021-0136760 2021.10.14 KR

(71)申请人 三星显示有限公司
地址 韩国京畿道龙仁市

(72)发明人 黄定桓 金玄俊 李启旭 全相鎭 郑浚琦

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
专利代理师 张晓 韩芳

(51)Int.Cl.
G09G 3/32(2016.01)

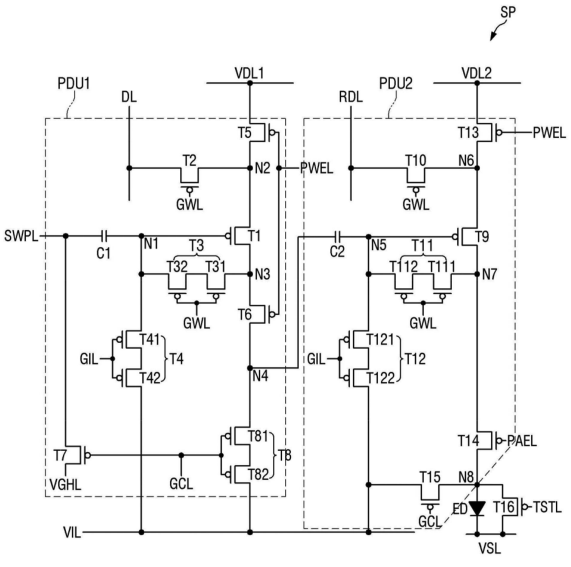
权利要求书3页 说明书27页 附图19页

(54)发明名称

显示装置

(57)摘要

提供了一种显示装置。所述显示装置包括：第一像素驱动器，用于生成控制电流；第二像素驱动器，用于生成驱动电流，并且基于控制电流来控制驱动电流在其期间流动的时段；以及发光元件，连接到第二像素驱动器，以接收驱动电流。第一像素驱动器包括：第一晶体管，用于基于第一数据电压来生成控制电流；以及第二晶体管，用于基于来自扫描写入线的扫描写入信号来将第一数据电压提供到第一晶体管的第一电极。第二像素驱动器包括：第三晶体管，用于基于控制电流来生成驱动电流；以及第四晶体管，用于基于来自扫描写入线的扫描写入信号来将第二数据电压提供到第三晶体管的第一电极。



CN 115985228 A

1.一种显示装置,所述显示装置包括:

第一像素驱动器,连接到扫描写入线、扫频线和第一数据线,所述第一像素驱动器被配置为基于从所述第一数据线接收的第一数据电压来生成控制电流;

第二像素驱动器,连接到所述扫描写入线和第二数据线,所述第二像素驱动器被配置为基于从所述第二数据线接收的第二数据电压来生成驱动电流,并且基于所述控制电流来控制所述驱动电流在其期间流动的时段;以及

发光元件,连接到所述第二像素驱动器,以接收所述驱动电流,

其中,所述第一像素驱动器包括:第一晶体管,用于基于所述第一数据电压来生成所述控制电流;第二晶体管,用于基于从所述扫描写入线接收的扫描写入信号来将所述第一数据电压提供到所述第一晶体管的第一电极;以及第一电容器,包括连接到所述第一晶体管的栅电极的第一电容器电极和连接到所述扫频线的第二电容器电极,并且

其中,所述第二像素驱动器包括:第三晶体管,用于基于所述控制电流来生成所述驱动电流;第四晶体管,用于基于从所述扫描写入线接收的扫描写入信号来将所述第二数据电压提供到所述第三晶体管的第一电极;以及第二电容器,包括连接到所述第三晶体管的栅电极的第一电容器电极和用于接收所述控制电流的第二电容器电极。

2.根据权利要求1所述的显示装置,其中,所述扫频线的扫频信号具有从栅极截止电压线性地减小到栅极导通电压的脉冲。

3.根据权利要求1所述的显示装置,所述显示装置还包括连接到所述第一像素驱动器的扫描初始化线和初始化电压线,

其中,所述第一像素驱动器还包括:第五晶体管,用于基于所述扫描写入信号来将所述第一晶体管的第二电极和所述第一晶体管的所述栅电极彼此电连接;以及第六晶体管,用于基于从所述扫描初始化线接收的扫描初始化信号来将所述第一晶体管的所述栅电极和所述初始化电压线彼此电连接。

4.根据权利要求3所述的显示装置,其中,所述第五晶体管包括串联连接在所述第一晶体管的所述第二电极与所述第一晶体管的所述栅电极之间的多个晶体管。

5.根据权利要求3所述的显示装置,其中,所述第六晶体管包括串联连接在所述第一晶体管的所述栅电极与所述初始化电压线之间的多个晶体管。

6.根据权利要求3所述的显示装置,所述显示装置还包括连接到所述第一像素驱动器的脉冲宽度调制发射线和第一电源线,

其中,所述第一像素驱动器还包括:第七晶体管,用于基于从所述脉冲宽度调制发射线接收的脉冲宽度调制发射信号来将所述第一电源线和所述第一晶体管的所述第一电极彼此电连接;以及第八晶体管,用于基于所述脉冲宽度调制发射信号来将所述第一晶体管的所述第二电极和所述第二电容器的所述第二电容器电极彼此电连接。

7.根据权利要求6所述的显示装置,所述显示装置还包括连接到所述第一像素驱动器的扫描控制线和栅极截止电压线,

其中,所述第一像素驱动器还包括:第九晶体管,用于基于从所述扫描控制线接收的扫描控制信号来将所述栅极截止电压线和所述第一电容器的所述第二电容器电极彼此电连接。

8.根据权利要求7所述的显示装置,其中,所述第一像素驱动器还包括:第十晶体管,用

于基于所述扫描控制信号来将所述第二电容器的所述第二电容器电极和所述初始化电压线彼此电连接。

9.根据权利要求1所述的显示装置,所述显示装置还包括连接到所述第二像素驱动器的扫描控制线、扫描初始化线和初始化电压线,

其中,所述第二像素驱动器还包括:第十一晶体管,用于基于所述扫描写入信号来将所述第三晶体管的第二电极和所述第三晶体管的所述栅电极彼此电连接;以及第十二晶体管,用于基于从所述扫描初始化线接收的扫描初始化信号来将所述第三晶体管的所述栅电极和所述初始化电压线彼此电连接。

10.根据权利要求9所述的显示装置,其中,所述第十一晶体管包括串联连接在所述第三晶体管的所述第二电极与所述第三晶体管的所述栅电极之间的多个晶体管。

11.根据权利要求9所述的显示装置,其中,所述第十二晶体管包括串联连接在所述第三晶体管的所述栅电极与所述初始化电压线之间的多个晶体管。

12.根据权利要求9所述的显示装置,所述显示装置还包括连接到所述第二像素驱动器的脉冲宽度调制发射线、脉冲幅度调制发射线和第二电源线,

其中,所述第二像素驱动器还包括:第十三晶体管,用于基于从所述脉冲宽度调制发射线接收的脉冲宽度调制发射信号来将所述第二电源线和所述第三晶体管的所述第一电极彼此电连接;以及第十四晶体管,用于基于从所述脉冲幅度调制发射线接收的脉冲幅度调制发射信号来将所述第三晶体管的所述第二电极和所述发光元件的第一电极彼此电连接。

13.根据权利要求12所述的显示装置,其中,所述第二像素驱动器还包括:第十五晶体管,用于基于从所述扫描控制线接收的扫描控制信号来将所述发光元件的所述第一电极和所述初始化电压线彼此电连接。

14.一种显示装置,所述显示装置包括:

第一像素驱动器,连接到扫描初始化线、扫描写入线、扫描控制线、扫频线、初始化电压线、栅极截止电压线和第一数据线,所述第一像素驱动器被配置为基于从所述第一数据线接收的第一数据电压来生成控制电流;

第二像素驱动器,连接到所述扫描写入线和第二数据线,所述第二像素驱动器被配置为基于从所述第二数据线接收的第二数据电压来生成驱动电流,并且基于所述控制电流来控制所述驱动电流在其期间流动的时段;以及

发光元件,连接到所述第二像素驱动器,以接收所述驱动电流,

其中,所述第一像素驱动器包括:第一晶体管,用于基于所述第一数据电压来生成所述控制电流;第二晶体管,用于基于从所述扫描写入线接收的扫描写入信号来将所述第一数据电压提供到所述第一晶体管的第一电极;第三晶体管,用于基于从所述扫描初始化线接收的扫描初始化信号来将所述第一晶体管的栅电极和所述初始化电压线彼此电连接;第一电容器,包括连接到所述第一晶体管的所述栅电极的第一电容器电极和连接到所述扫频线的第二电容器电极;以及第四晶体管,用于基于从所述扫描控制线接收的扫描控制信号来将所述栅极截止电压线和所述第一电容器的所述第二电容器电极彼此电连接,

其中,所述扫描初始化信号和所述扫描写入信号在一个帧中生成一次,并且

其中,所述扫描控制信号在所述一个帧中生成的次数与所述一个帧中的发射时段的数量一样多。

15.根据权利要求14所述的显示装置,其中,所述第二像素驱动器包括:

第五晶体管,用于基于所述控制电流来生成所述驱动电流;以及

第六晶体管,用于基于从所述扫描写入线接收的所述扫描写入信号来将所述第二数据电压提供到所述第五晶体管的第一电极。

16.根据权利要求15所述的显示装置,其中,所述第二像素驱动器还包括:第二电容器,包括连接到所述第五晶体管的栅电极的第一电容器电极和用于接收所述控制电流的第二电容器电极。

17.根据权利要求14所述的显示装置,其中,所述扫频线的扫频信号在所述一个帧的所述发射时段中的每个发射时段期间具有从栅极截止电压线性地减小到栅极导通电压的脉冲。

18.一种显示装置,所述显示装置包括:

基底;

有源层,在所述基底上包括第一沟道、第一源电极和第一漏电极;

第一电容器电极,在所述有源层上,所述第一电容器电极与所述第一沟道叠置;

第二电容器电极,在所述第一电容器电极上,所述第二电容器电极与所述第一电容器电极叠置;

扫频线,在所述第二电容器电极上,以提供扫频信号;

第二源电极,连接到所述第一漏电极;

第二沟道,与所述第二源电极相邻;

第二漏电极,与所述第二沟道相邻;

连接电极,与所述扫频线位于同一层,并且连接到所述第二漏电极;

第三电容器电极,与所述第一电容器电极位于同一层;以及

第四电容器电极,与所述第二电容器电极位于同一层,并且连接到所述连接电极。

19.根据权利要求18所述的显示装置,所述显示装置还包括:

第三漏电极,连接到所述第一源电极;

第三沟道,与所述第三漏电极相邻;

第三源电极,与所述第三沟道相邻;以及

第一数据线,在所述扫频线上,并且电连接到所述第三源电极,以提供第一数据电压。

20.根据权利要求19所述的显示装置,所述显示装置还包括:

第四沟道,与所述第三电容器电极叠置;

第四源电极,在所述第四沟道的一侧;

第四漏电极,在所述第四沟道的另一侧;

第五漏电极,连接到所述第四源电极;

第五沟道,与所述第五漏电极相邻;

第五源电极,与所述第五沟道相邻;以及

第二数据线,与所述第一数据线位于同一层,并且电连接到所述第五源电极,以提供第二数据电压。

显示装置

技术领域

[0001] 本公开的实施例的方面涉及一种显示装置。

背景技术

[0002] 随着信息社会的发展,对用于显示图像的显示装置的需求已经多样化。这种显示装置的示例包括诸如液晶显示(LCD)装置、场发射显示(FED)装置和有机发光二极管(OLED)显示装置的平板显示装置。

[0003] 发光显示装置的示例包括OLED显示装置和无机发光二极管(LED)显示装置,OLED显示装置包括有机发光二极管(OLED),无机LED显示装置包括无机发光二极管(LED)。OLED显示装置可以通过控制施加到OLED的驱动电流的大小来控制从OLED发射的光的亮度或灰度(grayscale)。另一方面,从无机LED发射的光的波长根据施加到无机LED的驱动电流而变化,从而如果以与OLED的方式相同的方式驱动无机LED,那么图像的质量会劣化。

[0004] 在该背景技术部分中公开的上述信息是为了增强对本公开的背景技术的理解,因此,它可以包含不构成现有技术的信息。

发明内容

[0005] 本公开的实施例涉及一种显示装置,该显示装置能够通过控制施加到无机发光二极管(LED)的驱动电流来最小化或者减小亮度偏差并且改善图像的质量。

[0006] 然而,本公开不限于上面阐述的方面和特征。通过参考下面参照附图的详细描述,本公开的上述以及其它方面和特征对于本公开所属领域的普通技术人员将变得更清楚。

[0007] 根据本公开的一个或更多个实施例,一种显示装置包括:第一像素驱动器,连接到扫描写入线、扫频线和第一数据线,第一像素驱动器被配置为基于从第一数据线接收的第一数据电压来生成控制电流;第二像素驱动器,连接到扫描写入线和第二数据线,第二像素驱动器被配置为基于从第二数据线接收的第二数据电压来生成驱动电流,并且基于控制电流来控制驱动电流在其期间流动的时段;以及发光元件,连接到第二像素驱动器,以接收驱动电流。第一像素驱动器包括:第一晶体管,用于基于第一数据电压来生成控制电流;第二晶体管,用于基于从扫描写入线接收的扫描写入信号来将第一数据电压提供到第一晶体管的第一电极;以及第一电容器,包括连接到第一晶体管的栅电极的第一电容器电极和连接到扫频线的第二电容器电极。第二像素驱动器包括:第三晶体管,用于基于控制电流来生成驱动电流;第四晶体管,用于基于从扫描写入线接收的扫描写入信号来将第二数据电压提供到第三晶体管的第一电极;以及第二电容器,包括连接到第三晶体管的栅电极的第一电容器电极和用于接收控制电流的第二电容器电极。

[0008] 在实施例中,扫频线的扫频信号可以具有从栅极截止电压线性地减小到栅极导通电压的脉冲。

[0009] 在实施例中,显示装置还可以包括连接到第一像素驱动器的扫描初始化线和初始化电压线,并且第一像素驱动器还可以包括:第五晶体管,用于基于扫描写入信号来将第一

晶体管的第二电极和第一晶体管的栅电极彼此电连接;以及第六晶体管,用于基于从扫描初始化线接收的扫描初始化信号来将第一晶体管的栅电极和初始化电压线彼此电连接。

[0010] 在实施例中,第五晶体管可以包括串联连接在第一晶体管的第二电极与第一晶体管的栅电极之间的多个晶体管。

[0011] 在实施例中,第六晶体管可以包括串联连接在第一晶体管的栅电极与初始化电压线之间的多个晶体管。

[0012] 在实施例中,显示装置还可以包括连接到第一像素驱动器的脉冲宽度调制(PWM)发射线和第一电源线,并且第一像素驱动器还可以包括:第七晶体管,用于基于从PWM发射线接收的PWM发射信号来将第一电源线和第一晶体管的第一电极彼此电连接;以及第八晶体管,用于基于PWM发射信号来将第一晶体管的第二电极和第二电容器的第二电容器电极彼此电连接。

[0013] 在实施例中,显示装置还可以包括连接到第一像素驱动器的扫描控制线和栅极截止电压线,并且第一像素驱动器还可以包括:第九晶体管,用于基于从扫描控制线接收的扫描控制信号来将栅极截止电压线和第一电容器的第二电容器电极彼此电连接。

[0014] 在实施例中,第一像素驱动器还可以包括:第十晶体管,用于基于扫描控制信号来将第二电容器的第二电容器电极和初始化电压线彼此电连接。

[0015] 在实施例中,显示装置还可以包括连接到第二像素驱动器的扫描控制线、扫描初始化线和初始化电压线,并且第二像素驱动器还可以包括:第十一晶体管,用于基于扫描写入信号来将第三晶体管的第二电极和第三晶体管的栅电极彼此电连接;以及第十二晶体管,用于基于从扫描初始化线接收的扫描初始化信号来将第三晶体管的栅电极和初始化电压线彼此电连接。

[0016] 在实施例中,第十一晶体管可以包括串联连接在第三晶体管的第二电极与第三晶体管的栅电极之间的多个晶体管。

[0017] 在实施例中,第十二晶体管可以包括串联连接在第三晶体管的栅电极与初始化电压线之间的多个晶体管。

[0018] 在实施例中,显示装置还可以包括连接到第二像素驱动器的PWM发射线、脉冲幅度调制(PAM)发射线和第二电源线,并且第二像素驱动器还可以包括:第十三晶体管,用于基于从PWM发射线接收的PWM发射信号来将第二电源线和第三晶体管的第一电极彼此电连接;以及第十四晶体管,用于基于从PAM发射线接收的PAM发射信号来将第三晶体管的第二电极和发光元件的第一电极彼此电连接。

[0019] 在实施例中,第二像素驱动器还可以包括:第十五晶体管,用于基于从扫描控制线接收的扫描控制信号来将发光元件的第一电极和初始化电压线彼此电连接。

[0020] 根据本公开的一个或更多个实施例,显示装置包括:第一像素驱动器,连接到扫描初始化线、扫描写入线、扫描控制线、扫频线、初始化电压线、栅极截止电压线和第一数据线,第一像素驱动器被配置为基于从第一数据线接收的第一数据电压来生成控制电流;第二像素驱动器,连接到扫描写入线和第二数据线,第二像素驱动器被配置为基于从第二数据线接收的第二数据电压来生成驱动电流,并且基于控制电流来控制驱动电流在其期间流动的时段;以及发光元件,连接到第二像素驱动器,以接收驱动电流。第一像素驱动器包括:第一晶体管,用于基于第一数据电压来生成控制电流;第二晶体管,用于基于从扫描写入线

接收的扫描写入信号来将第一数据电压提供到第一晶体管的第一电极;第三晶体管,用于基于从扫描初始化线接收的扫描初始化信号来将第一晶体管的栅电极和初始化电压线彼此电连接;第一电容器,包括连接到第一晶体管的栅电极的第一电容器电极和连接到扫频线的第二电容器电极;以及第四晶体管,用于基于从扫描控制线接收的扫描控制信号来将栅极截止电压线和第一电容器的第二电容器电极彼此电连接。扫描初始化信号和扫描写入信号在一个帧中生成一次,并且扫描控制信号在一个帧中生成的次数与一个帧中的发射时段的数量一样多。

[0021] 在实施例中,第二像素驱动器可以包括:第五晶体管,用于基于控制电流来生成驱动电流;以及第六晶体管,用于基于从扫描写入线接收的扫描写入信号来将第二数据电压提供到第五晶体管的第一电极。

[0022] 在实施例中,第二像素驱动器还可以包括:第二电容器,包括连接到第五晶体管的栅电极的第一电容器电极和用于接收控制电流的第二电容器电极。

[0023] 在实施例中,扫频线的扫频信号可以在一个帧的发射时段中的每个发射时段期间具有从栅极截止电压线性地减小到栅极导通电压的脉冲。

[0024] 根据本公开的一个或更多个实施例,一种显示装置包括:基底;有源层,在基底上包括第一沟道、第一源电极和第一漏电极;第一电容器电极,在有源层上,第一电容器电极与第一沟道叠置;第二电容器电极,在第一电容器电极上,第二电容器电极与第一电容器电极叠置;扫频线,在第二电容器电极上,以提供扫频信号;第二源电极,连接到第一漏电极;第二沟道,与第二源电极相邻;第二漏电极,与第二沟道相邻;连接电极,与扫频线位于同一层,并且连接到第二漏电极;第三电容器电极,与第一电容器电极位于同一层;以及第四电容器电极,与第二电容器电极位于同一层,并且连接到连接电极。

[0025] 在实施例中,显示装置还可以包括:第三漏电极,连接到第一源电极;第三沟道,与第三漏电极相邻;第三源电极,与第三沟道相邻;以及第一数据线,在扫频线上,并且电连接到第三源电极,以提供第一数据电压。

[0026] 在实施例中,显示装置还可以包括:第四沟道,与第三电容器电极叠置;第四源电极,在第四沟道的一侧;第四漏电极,在第四沟道的另一侧;第五漏电极,连接到第四源电极;第五沟道,与第五漏电极相邻;第五源电极,与第五沟道相邻;以及第二数据线,与第一数据线位于同一层,并且电连接到第五源电极,以提供第二数据电压。

[0027] 根据本公开的一个或更多个实施例,由于控制电流施加到与具有幅度分布(amplitude distribution)的晶体管的栅电极连接的电容器,因此可以防止或者基本防止在一个晶体管中导致占空比分布(duty distribution)和幅度分布两者,并且可以通过改善针对晶体管的阈值电压分布的裕度来最小化或者减小亮度偏差。

[0028] 然而,本公开不限于上述方面和特征,并且本公开的其它方面和特征可以从下面参照附图的详细描述以及权利要求及其等同物中变得更清楚。

附图说明

[0029] 从下面参照附图对说明性、非限制性实施例的详细描述,将更清楚地理解本公开的上述以及其它方面和特征,在附图中:

[0030] 图1是根据本公开的实施例的显示装置的框图;

[0031] 图2是图1的显示装置的像素的电路图；

[0032] 图3是根据本公开的另一实施例的显示装置的像素的电路图；

[0033] 图4示出了图1的显示装置在第N帧至第N+2帧期间的示例操作；

[0034] 图5示出了图1的显示装置在第N帧至第N+2帧期间的另一示例操作；

[0035] 图6是示出施加到图3的显示装置的第k行像素至第k+3行像素的信号的波形图；

[0036] 图7是示出在一帧的寻址时段和发射时段期间施加到图3的像素的信号的波形图；

[0037] 图8是示出图3的像素在第一时段和第二时段期间的操作的电路图；

[0038] 图9是示出图3的像素在第二时段期间的操作的电路图；

[0039] 图10是示出图3的像素在第三时段期间的操作的电路图；

[0040] 图11是示出图3的像素在第四时段、第五时段、第七时段和第八时段期间的操作的电路图；

[0041] 图12是图3的像素的布局图；

[0042] 图13是图12的区域A1的放大布局图；

[0043] 图14是图12的区域A2的放大布局图；

[0044] 图15是图12的区域A3的放大布局图；

[0045] 图16是沿着图13的线A-A'截取的剖视图；

[0046] 图17是沿着图13的线B-B'截取的剖视图；

[0047] 图18是沿着图13的线C-C'截取的剖视图；

[0048] 图19是沿着图14的线D-D'截取的剖视图；

[0049] 图20是沿着图14的线E-E'截取的剖视图；以及

[0050] 图21是沿着图15的线F-F'截取的剖视图。

具体实施方式

[0051] 在下文中，将参照附图来更详细地描述实施例，在附图中，同样的附图标记始终表示同样的元件。然而，本公开可以以各种不同的形式实施，并且不应被解释为仅限于这里所示的实施例。相反，这些实施例作为示例被提供，使得该公开将是彻底的和完整的，并且将向本领域技术人员充分地传达本公开的方面和特征。因此，可以不描述对于本领域普通技术人员为了完全理解本公开的方面和特征而不是必需的工艺(过程)、元件和技术。除非另有说明，否则在整个附图和书面描述中，同样的附图标记表示同样的元件，因此，可以不重复其冗余描述。

[0052] 当可以不同地实施某一实施例时，特定的处理顺序可以不同于所描述的顺序。例如，两个连续描述的工艺可以同时或基本同时执行，或者可以以与所描述的顺序相反的顺序执行。

[0053] 在附图中，为了清楚，可以夸大并且/或者简化元件、层和区域的相对尺寸。为了便于解释，这里可以使用诸如“在……下面”、“在……下方”、“下(下部)”、“在……之下”、“在……上方”、“上(上部)”等的空间相对术语，以描述如附图中所示的一个元件或特征与另一元件(多个元件)或特征(多个特征)的关系。将理解的是，除了附图中描绘的方位之外，空间相对术语意图涵盖装置在使用中或在操作中的不同方位。例如，如果附图中的装置被翻转，那么被描述为“在”其它元件或特征“下方”或“下面”或“之下”的元件随后将被定位为

“在”所述其它元件或特征“上方”。因此，示例术语“在……下方”和“在……之下”可以涵盖上方和下方的两种方位。装置可以另外定位(例如，旋转90度或者处于其它方位)，并且应相应地解释这里使用的空间相对描述语。

[0054] 这里参照作为理想化实施例和/或中间结构的示意性图示的剖面和/或分解图示描述了各种实施例。如此，将预期例如由制造技术和/或公差导致的图示形状的变化。因此，这里公开的实施例不应一定被解释为限于特定示出的区域形状，而是包括由例如制造工艺导致的形状上的偏差和变化。以这种方式，附图中所示的区域本质上可以是示意性的，并且这些区域的形状可以不反映装置的区域的实际形状，因此不必意图限制。

[0055] 通常提供附图中的交叉影线和/或阴影的使用，以阐明相邻的元件之间的边界。如此，除非另外说明，否则交叉影线或阴影的存在或不存在都不传达或者指示对元件的特定材料、材料性质、尺寸、比例、所示元件之间的共性和/或任何其它特性、属性、性质等的任何偏好或要求。

[0056] 在附图中，X轴、Y轴和Z轴不限于直角坐标系的三个轴，并且可以在更广泛的意义上解释。例如，X轴、Y轴和Z轴可以彼此垂直或基本上彼此垂直，或者可以表示彼此不垂直的彼此不同的方向。

[0057] 将理解的是，尽管这里可以使用术语“第一”、“第二”、“第三”等来描述各种元件、组件、区域、层和/或部分，但是这些元件、组件、区域、层和/或部分不应受这些术语的限制。这些术语用于将一个元件、组件、区域、层或部分与另一元件、组件、区域、层或部分区分开。因此，在不脱离本公开的精神和范围的情况下，下面描述的第一元件、第一组件、第一区域、第一层或第一部分可以被称为第二元件、第二组件、第二区域、第二层或第二部分。

[0058] 将理解的是，当元件或层被称为“在”另一元件或层“上”、“连接到”或者“结合到”另一元件或层时，它可以直接在所述另一元件或层上、连接到或者结合到所述另一元件或层，或者可以存在一个或更多个居间(中间)元件或居间层。为此，术语“连接到”和“结合到”可以指具有或者不具有居间元件的物理、电气和/或流体连接。类似地，当层、区域或元件被称为“电连接”到另一层、区域或元件时，它可以直接电连接到所述另一层、区域或元件并且/或者可以间接地电连接到所述另一层、区域或元件，并且一个或更多个居间层、居间区域或居间元件位于它们之间。此外，也将理解的是，当元件或层被称为“在”两个元件或层“之间”时，它可以是两个元件或层之间的唯一元件或层，或者也可以存在一个或更多个居间元件或居间层。

[0059] 这里使用的术语是为了描述特定实施例的目的，并且不意图限制本公开。如这里使用的，除非上下文另有明确指示，否则单数形式“一”和“一个(种/者)”也意图包括复数形式。还将理解的是，当术语“包括”、“包含”、“具有”和“拥有”及其变型在该说明书中使用时，说明存在所陈述的特征、整体、步骤、操作、元件和/或组件，但是不排除存在或者添加一个或更多个其它特征、整体、步骤、操作、元件、组件和/或它们的组。如这里使用的，术语“和/或(并且/或者)”包括相关所列项中的一个或更多个的任何组合和所有组合。例如，表述“A和/或B”表示A、B或者A和B。诸如“……中至少一个”的表述在一列元件(元素)之后时，修饰整列元件，而不修释所列的单个元件。例如，表述“a、b和c中的至少一个”和“选自由a、b和c组成的组中的至少一个”指示仅a、仅b、仅c、a和b两者、a和c两者、b和c两者、a、b和c中的全部或其变型。

[0060] 如这里使用的，术语“基本(基本上)”、“约(大约)”和类似术语用作近似术语而不用作程度术语，并且意图考虑由本领域普通技术人员将认识到的测量值或计算值的固有变化。此外，当描述本公开的实施例时，“可以”的使用指“本公开的一个或更多个实施例”。如这里使用的，术语“使用”及其变型可以被认为分别与术语“利用”及其变型同义。此外，术语“示例性”意图指示例或说明。

[0061] 按照本领域的惯例，在附图中根据功能块、单元、部件和/或模块描述并示出了一些实施例。本领域技术人员将理解的是，这些块、单元、部件和/或模块由可以使用基于半导体的制造技术或其它制造技术形成的电子(或光学)电路(诸如逻辑电路、分立组件、微处理器、硬连线电路、存储器元件、布线连接等)物理地实施。在块、单元、部件和/或模块由微处理器或其它类似硬件实施的情况下，可以使用软件(例如，微代码)来编程并控制它们以执行这里讨论的各种功能，并且可以可选地由固件和/或软件驱动。也设想的是，每个块、单元、部件和/或模块可以由专用硬件实施，或者作为执行一些功能的专用硬件和执行其它功能的处理器(例如，一个或更多个编程的微处理器和相关的电路)的组合来实施。此外，在全部不脱离本公开的范围的情况下，一些实施例的每个块、单元、部件和/或模块可以物理地分为两个或更多个交互且离散的块、单元、部件和/或模块。此外，在全部不脱离本公开的范围的情况下，一些实施例的块、单元、部件和/或模块可以物理地组合为更复杂的块、单元、部件和/或模块。

[0062] 除非另有定义，否则这里使用的所有术语(包括技术术语和科学术语)具有与本公开所属领域的普通技术人员通常理解的含义相同的含义。还将理解的是，术语(诸如在通用词典中定义的术语)应被解释为具有与其在相关领域和/或本说明书的上下文(背景)中的含义一致的含义，并且不应以理想化或过于正式的意义来解释，除非这里明确地如此定义。

[0063] 图1是根据本公开的实施例的显示装置的框图。

[0064] 参照图1，显示装置可以包括显示面板100、栅极驱动器110、数据驱动器200、时序控制器300和电源400。

[0065] 显示面板100的显示区域DA可以包括像素SP、扫描初始化线GIL、扫描写入线GWL、扫描控制线GCL、扫频线SWPL、脉冲宽度调制(PWM)发射线PWEL、脉冲幅度调制(PAM)发射线PAEL、数据线DL、第一PAM数据线RDL、第二PAM数据线GDL和第三PAM数据线BDL。

[0066] 扫描初始化线GIL、扫描写入线GWL、扫描控制线GCL、扫频线SWPL、PWM发射线PWEL和PAM发射线PAEL可以在第一方向(例如，X轴方向)上延伸，并且可以在第二方向(例如，Y轴方向)上彼此间隔开。数据线DL、第一PAM数据线RDL、第二PAM数据线GDL和第三PAM数据线BDL可以在第二方向(例如，Y轴方向)上延伸，并且可以在第一方向(例如，X轴方向)上彼此间隔开。第一PAM数据线RDL可以彼此电连接，第二PAM数据线GDL可以彼此电连接，第三PAM数据线BDL可以彼此电连接。

[0067] 像素SP可以包括发射第一光的第一像素SP1、发射第二光的第二像素SP2和发射第三光的第三像素SP3。第一光、第二光和第三光可以分别对应于红色波长范围的光、绿色波长范围的光和蓝色波长范围的光，但是本公开不限于此。例如，第一光可以具有约600nm至约750nm的峰值波长，第二光可以具有约480nm至约560nm的峰值波长，第三光可以具有约370nm至约460nm的峰值波长。

[0068] 第一像素SP1、第二像素SP2和第三像素SP3可以连接到扫描初始化线GIL、扫描写

入线GWL、扫描控制线GCL、扫频线SWPL、PWM发射线PWEL和PAM发射线PAEL。第一像素SP1也可以连接到第一数据线DL1和第一PAM数据线RDL。第二像素SP2也可以连接到第二数据线DL2和第二PAM数据线GDL。第三像素SP3也可以连接到第三数据线DL3和第三PAM数据线BDL。

[0069] 显示面板100的非显示区域NDA可以包括栅极驱动器110，栅极驱动器110将信号提供到扫描初始化线GIL、扫描写入线GWL、扫描控制线GCL、扫频线SWPL、PWM发射线PWEL和PAM发射线PAEL。例如，栅极驱动器110可以沿着非显示区域NDA的一个边缘或两个边缘(例如，两个相对的边缘)设置。在另一示例中，栅极驱动器110可以设置在显示区域DA处(例如，中或上)。

[0070] 栅极驱动器110可以从时序控制器300接收栅极控制信号GCS。栅极控制信号GCS可以包括第一扫描驱动控制信号和第二扫描驱动控制信号、扫频控制信号以及第一发射控制信号和第二发射控制信号。

[0071] 栅极驱动器110可以包括第一扫描信号输出单元(例如，第一扫描信号输出电路)111、第二扫描信号输出单元(例如，第二扫描信号输出电路)112、扫频信号输出单元(例如，扫频信号输出电路)113和发射信号输出单元(例如，发射信号输出电路)114。

[0072] 第一扫描信号输出单元111可以从时序控制器300接收第一扫描驱动控制信号。第一扫描信号输出单元111可以基于第一扫描驱动控制信号来将扫描初始化信号提供到扫描初始化线GIL，并且可以将扫描写入信号提供到扫描写入线GWL。因此，第一扫描信号输出单元111可以将扫描初始化信号和扫描写入信号两者一起输出。

[0073] 第二扫描信号输出单元112可以从时序控制器300接收第二扫描驱动控制信号。第二扫描信号输出单元112可以基于第二扫描驱动控制信号来将扫描控制信号输出到扫描控制线GCL。

[0074] 扫频信号输出单元113可以从时序控制器300接收扫频控制信号。扫频信号输出单元113可以基于扫频控制信号来将扫频信号提供到扫频线SWPL。

[0075] 发射信号输出单元114可以从时序控制器300接收第一发射控制信号和第二发射控制信号。发射信号输出单元114可以基于第一发射控制信号来将PWM发射信号供应到PWM发射线PWEL，并且可以基于第二发射控制信号来将PAM发射信号供应到PAM发射线PAEL。

[0076] 数据驱动器200可以从时序控制器300接收数字视频数据DATA和数据控制信号DCS。数据驱动器200可以将数字视频数据DATA转换为模拟数据电压，并且可以将模拟数据电压供应到数据线DL。第一像素SP1、第二像素SP2和第三像素SP3可以均通过来自栅极驱动器110的扫描写入信号来选择，然后可以接收数据电压。

[0077] 时序控制器300可以接收数字视频数据DATA和时序信号TS。时序控制器300可以基于时序信号TS来生成栅极控制信号GCS，因此可以控制栅极驱动器110的操作时序。时序控制器300可以生成数据控制信号DCS，并且可以控制数据驱动器200的操作时序。时序控制器300可以将数字视频数据DATA提供到数据驱动器200。

[0078] 电源400可以将第一PAM数据电压共同地供应到第一PAM数据线RDL，可以将第二PAM数据电压共同地供应到第二PAM数据线GDL，并且可以将第三PAM数据电压共同地供应到第三PAM数据线BDL。电源400可以生成多个电源电压，并且可以将所述电源电压提供到显示面板100。

[0079] 电源400可以将第一电源电压VDD1、第二电源电压VDD2、第三电源电压VSS、初始化

电压VINT、栅极导通电压VGL和栅极截止电压VGH提供到显示面板100。第一电源电压VDD1和第二电源电压VDD2可以是用于驱动像素SP的发光元件的高电位电压。第三电源电压VSS可以是用于驱动像素SP的发光元件的低电位电压。初始化电压VINT和栅极截止电压VGH可以施加到像素SP中的每个，并且栅极导通电压VGL和栅极截止电压VGH可以施加到栅极驱动器110。

[0080] 图2是图1的显示装置的像素的电路图。

[0081] 参照图2，像素SP可以包括第一像素驱动器PDU1、第二像素驱动器PDU2、第三像素驱动器PDU3和发光元件ED。第一像素驱动器PDU1可以包括第一晶体管T1至第七晶体管T7以及第一电容器C1。

[0082] 第一晶体管T1可以基于与第一晶体管T1的栅电极连接的第一节点N1的电压来控制提供到第三像素驱动器PDU3的第八节点N8的控制电流。第二晶体管T2可以通过来自扫描写入线GWL的扫描写入信号导通，以将来自数据线DL的数据电压提供到与第一晶体管T1的第一电极连接的第二节点N2。第三晶体管T3可以基于来自扫描初始化线GIL的扫描初始化信号导通，以将第一节点N1放电到初始化电压线VIL的初始化电压VINT。例如，第三晶体管T3可以包括串联连接的第3-1晶体管T31和第3-2晶体管T32。第四晶体管T4可以基于来自扫描写入线GWL的扫描写入信号导通，以将第一节点N1和第三节点N3彼此电连接，第三节点N3连接到第一晶体管T1的第二电极。换言之，当第四晶体管T4导通时，第一晶体管T1可以二极管连接。例如，第四晶体管T4可以包括串联连接的第4-1晶体管T41和第4-2晶体管T42。

[0083] 第五晶体管T5可以基于来自PWM发射线PWEL的PWM发射信号导通，以将第一电源线VDL1和第二节点N2彼此电连接。第六晶体管T6可以基于来自PWM发射线PWEL的PWM发射信号导通，以将第三节点N3和第三像素驱动器PDU3的第八节点N8彼此电连接。第七晶体管T7可以基于来自扫描控制线GCL的扫描控制信号导通，以将栅极截止电压VGH供应到第一电容器C1的第二电容器电极，第一电容器C1的第二电容器电极连接到扫频线SWPL。第一电容器C1可以连接在第一节点N1与扫频线SWPL之间。

[0084] 第二像素驱动器PDU2可以包括第八晶体管T8至第十四晶体管T14以及第二电容器C2。

[0085] 第八晶体管T8可以基于与第八晶体管T8的栅电极连接的第四节点N4的电压来控制驱动电流在发光元件ED中流动。第九晶体管T9可以基于来自扫描写入线GWL的扫描写入信号导通，以将来自第一PAM数据线RDL的第一PAM数据电压供应到与第八晶体管T8的第一电极连接的第五节点N5。第十晶体管T10可以基于来自扫描初始化线GIL的扫描初始化信号导通，以将第四节点N4放电到初始化电压VINT。例如，第十晶体管T10可以包括串联连接的第10-1晶体管T101和第10-2晶体管T102。第十一晶体管T11可以基于来自扫描写入线GWL的扫描写入信号导通，以将第四节点N4和第六节点N6彼此电连接，第六节点N6连接到第八晶体管T8的第二电极。例如，第十一晶体管T11可以包括串联连接的第11-1晶体管T111和第11-2晶体管T112。

[0086] 第十二晶体管T12可以基于来自PWM发射线PWEL的PWM发射信号导通，以将第二电源线VDL2和第五节点N5彼此电连接。第十三晶体管T13可以基于来自扫描控制线GCL的扫描控制信号导通，以将第一电源线VDL1和第七节点N7彼此电连接，第七节点N7连接到第二电容器C2的第二电容器电极。第十四晶体管T14可以基于来自PWM发射线PWEL的PWM发射信号

导通,以将第二电源线VDL2和第七节点N7彼此电连接。第二电容器C2可以连接在第四节点N4与第七节点N7之间。

[0087] 第三像素驱动器PDU3可以包括第十五晶体管T15至第十九晶体管T19以及第三电容器C3。

[0088] 第十五晶体管T15可以基于在第八节点N8处接收的控制电流来控制驱动电流流动的时段,第八节点N8连接到第十五晶体管T15的栅电极。第十六晶体管T16可以基于来自扫描控制线GCL的扫描控制信号导通,以将第八节点N8放电到初始化电压VINT。例如,第十六晶体管T16可以包括串联连接的第16-1晶体管T161和第16-2晶体管T162。第十七晶体管T17可以基于来自PAM发射线PAEL的PAM发射信号导通,以将第十五晶体管T15的第二电极和第九节点N9彼此电连接,第九节点N9连接到发光元件ED的第一电极。第十八晶体管T18可以基于来自扫描控制线GCL的扫描控制信号导通,以将第九节点N9放电到与初始化电压VINT一样低的电压。第十九晶体管T19可以基于来自测试信号线TSTL的测试信号导通,以将第九节点N9和第三电源线VSL彼此电连接。第三电容器C3可以连接在第八节点N8与初始化电压线VIL之间。

[0089] 发光元件ED可以连接在第九节点N9与第三电源线VSL之间。

[0090] 例如,第一晶体管T1至第十九晶体管T19中的每个的第一电极和第二电极中的一个可以是源电极,而第一晶体管T1至第十九晶体管T19中的每个的另一电极可以是漏电极。第一晶体管T1至第十九晶体管T19可以实施为P型金属氧化物半导体场效应晶体管(MOSFET),但是本公开不限于此。作为另一实例,第一晶体管T1至第十九晶体管T19可以实施为N型MOSFET。

[0091] 像素SP可以与连接到第一PAM数据线RDL的第一像素SP1中的一个对应,因此,第一像素SP1中的每个可以具有与图2中所示的像素SP的电路结构相同或基本相同的电路结构。除了第二像素SP2和第三像素SP3分别连接到第二PAM数据线GDL和第三PAM数据线BDL之外,第二像素SP2和第三像素SP3可以均具有与图2中所示的像素SP的电路结构相同或基本相同的电路结构,因此,将不再重复其冗余描述。

[0092] 图3是根据本公开的另一实施例的显示装置的像素的电路图。

[0093] 参照图3,像素SP可以连接到扫描初始化线GIL、扫描写入线GWL、扫描控制线GCL、扫频线SWPL、PWM发射线PWEL和PAM发射线PAEL。当像素SP是第一像素SP1时,第一像素SP1可以连接到如图3中所示的数据线DL和第一PAM数据线RDL。这里,数据线DL可以被称为第一数据线,第一PAM数据线RDL可以被称为第二数据线。来自数据线DL的数据电压可以被称为第一数据电压,来自第一PAM数据线RDL的第一PAM数据电压可以被称为第二数据电压。当像素SP是第二像素SP2时,第二像素SP2可以连接到数据线DL和第二PAM数据线GDL。当像素SP是第三像素SP3时,第三像素SP3可以连接到数据线DL和第三PAM数据线BDL。

[0094] 像素SP可以连接到被施加有第一电源电压VDD1的第一电源线VDL1、被施加有第二电源电压VDD2的第二电源线VDL2、被施加有第三电源电压VSS的第三电源线VSL、被施加有初始化电压VINT的初始化电压线VIL和被施加有栅极截止电压VGH的栅极截止电压线VGHL。

[0095] 像素SP可以包括第一像素驱动器PDU1、第二像素驱动器PDU2、第十六晶体管T16和发光元件ED。

[0096] 发光元件ED可以根据由第二像素驱动器PDU2生成的驱动电流来发光。发光元件ED

可以设置在第八节点N8与第三电源线VSL之间。发光元件ED的第一电极可以连接到与第十四晶体管T14的第二电极连接的第八节点N8，并且发光元件ED的第二电极可以连接到第三电源线VSL。发光元件ED的第一电极可以是阳极，而发光元件ED的第二电极可以是阴极。发光元件ED可以是包括第一电极、第二电极和第一电极与第二电极之间的无机半导体的无机发光元件。例如，发光元件ED可以是包括无机半导体的微型发光二极管(LED)，但是本公开不限于此。

[0097] 第一像素驱动器PDU1可以基于来自数据线DL的数据电压来生成控制电流，并且可以控制第二像素驱动器PDU2的第五节点N5的电压。第一像素驱动器PDU1的控制电流可以控制施加到发光元件ED的第一电极的电压的脉冲宽度。第一像素驱动器PDU1可以对施加到发光元件ED的第一电极的电压执行PWM。因此，第一像素驱动器PDU1可以对应于(例如，可以是)PWM单元(例如，PWM电路)。

[0098] 第一像素驱动器PDU1可以包括第一晶体管T1至第八晶体管T8以及第一电容器C1。

[0099] 第一晶体管T1可以基于施加到第一节点N1的数据电压来控制在第一晶体管T1的第一电极与第二电极之间流动的控制电流，第一节点N1连接到第一晶体管T1的栅电极。

[0100] 第二晶体管T2可以基于来自扫描写入线GWL的扫描写入信号导通，以将来自数据线DL的数据电压供应到第二节点N2，第二节点N2连接到第一晶体管T1的第一电极。第二晶体管T2的栅电极可以连接到扫描写入线GWL，第二晶体管T2的第一电极可以连接到数据线DL，第二晶体管T2的第二电极可以连接到第二节点N2。

[0101] 第三晶体管T3可以基于来自扫描写入线GWL的扫描写入信号导通，以将第一节点N1和第三节点N3彼此电连接，第一节点N1连接到第一晶体管T1的栅电极，第三节点N3连接到第一晶体管T1的第二电极。换言之，当第三晶体管T3导通时，第一晶体管T1可以二极管连接。因此，第一晶体管T1可以在第三晶体管T3导通的同时作为二极管操作。

[0102] 第三晶体管T3可以包括串联连接的多个晶体管。例如，第三晶体管T3可以包括第3-1晶体管T31和第3-2晶体管T32。第3-1晶体管T31和第3-2晶体管T32可以防止或者基本防止第一节点N1的电压通过第三晶体管T3泄漏。第3-1晶体管T31的栅电极可以连接到扫描写入线GWL，第3-1晶体管T31的第一电极可以连接到第三节点N3，第3-1晶体管T31的第二电极可以连接到第3-2晶体管T32的第一电极。第3-2晶体管T32的栅电极可以连接到扫描写入线GWL，第3-2晶体管T32的第一电极可以连接到第3-1晶体管T31的第二电极，第3-2晶体管T32的第二电极可以连接到第一节点N1。

[0103] 第四晶体管T4可以基于来自扫描初始化线GIL的扫描初始化信号导通，以将初始化电压线VIL和第一节点N1彼此电连接。连接到第一晶体管T1的栅电极的第一节点N1可以在第四晶体管T4导通时放电到与初始化电压VINT一样低的电压。扫描初始化信号的栅极导通电压VGL可以不同于初始化电压线VIL的初始化电压VINT。由于初始化电压VINT与栅极导通电压VGL之间的差比第四晶体管T4的阈值电压大，因此第四晶体管T4即使在初始化电压VINT施加到第一节点N1之后也可以稳定地导通。因此，当第四晶体管T4导通时，无论第四晶体管T4的阈值电压如何，第一节点N1都可以稳定地接收初始化电压VINT。

[0104] 第四晶体管T4可以包括串联连接的多个晶体管。例如，第四晶体管T4可以包括第4-1晶体管T41和第4-2晶体管T42。第4-1晶体管T41和第4-2晶体管T42可以防止或者基本防止第一节点N1的电压通过第四晶体管T4泄漏。第4-1晶体管T41的栅电极可以连接到扫描初

始化线GIL,第4-1晶体管T41的第一电极可以连接到第一节点N1,第4-1晶体管T41的第二电极可以连接到第4-2晶体管T42的第一电极。第4-2晶体管T42的栅电极可以连接到扫描初始化线GIL,第4-2晶体管T42的第一电极可以连接到第4-1晶体管T41的第二电极,第4-2晶体管T42的第二电极可以连接到初始化电压线VIL。

[0105] 第五晶体管T5可以基于来自PWM发射线PWEL的PWM发射信号导通,以将第一电源线VDL1和第二节点N2彼此电连接,第二节点N2连接到第一晶体管T1的第一电极。第五晶体管T5的栅电极可以连接到PWM发射线PWEL,第五晶体管T5的第一电极可以连接到第一电源线VDL1,第五晶体管T5的第二电极可以连接到第二节点N2。

[0106] 第六晶体管T6可以基于来自PWM发射线PWEL的PWM发射信号导通,以将第三节点N3和第四节点N4彼此电连接,第三节点N3连接到第一晶体管T1的第二电极,第四节点N4连接到第二电容器C2的第二电容器电极。第六晶体管T6的栅电极可以连接到PWM发射线PWEL,第六晶体管T6的第一电极可以连接到第三节点N3,第六晶体管T6的第二电极可以连接到第四节点N4。因此,第六晶体管T6可以将控制电流提供到第四节点N4(第四节点N4连接到第二电容器C2的第二电容器电极),并且第二电容器C2可以控制第五节点N5的电压(第五节点N5连接到第九晶体管T9的栅电极),从而控制施加到发光元件ED的第一电极的电压的脉冲宽度。

[0107] 参照图2的像素SP,第一晶体管T1可以将控制电流提供到与第十五晶体管T15的栅电极连接的第八节点N8,并且第十五晶体管T15可以控制在第八晶体管T8中流动的驱动电流的脉冲宽度。图3的像素SP通过将控制电流提供到第二电容器C2的第二电容器电极来控制第九晶体管T9的栅电极的电压。因此,当与图2的像素SP相比时,图3的像素SP可以进一步最小化或者减小亮度偏差。因此,图3的像素SP可以简化(例如,可以不包括图2的第十五晶体管T15),并且可以通过防止或者基本防止占空比分布(duty distribution)和幅度分布(amplitude distribution)来最小化或者减小亮度偏差,以改善晶体管的阈值电压分布裕度。

[0108] 参照图3,第七晶体管T7可以基于来自扫描控制线GCL的扫描控制信号导通,以将来自栅极截止电压线VGHL的栅极截止电压VGH提供到第一电容器C1的第二电容器电极,第一电容器C1的第二电容器电极连接到扫频线SWPL。因此,当初始化电压VINT施加到第一晶体管T1的栅电极并且来自数据线DL的数据电压和第一晶体管T1的阈值电压Vth(见图10)被编程时,可以通过第一电容器C1来防止或者基本防止第一晶体管T1的栅电极的电压的变化反映在扫频线SWPL的扫频信号中。第七晶体管T7的栅电极可连接到扫描控制线GCL,第七晶体管T7的第一电极可以连接到栅极截止电压线VGHL,第七晶体管T7的第二电极可以连接到扫频线SWPL。

[0109] 第八晶体管T8可以基于来自扫描控制线GCL的扫描控制信号导通,以将第四节点N4和初始化电压线VIL彼此电连接。当第八晶体管T8导通时,第四节点N4可以放电到与初始化电压VINT一样低的电压。扫描控制信号的栅极导通电压VGL可以不同于初始化电压VINT。由于初始化电压VINT与栅极导通电压VGL之间的差比第八晶体管T8的阈值电压大,因此第八晶体管T8即使在初始化电压VINT施加到第四节点N4之后也可以稳定地导通。因此,当第八晶体管T8导通时,无论第八晶体管T8的阈值电压如何,第四节点N4都可以稳定地接收初始化电压VINT。

[0110] 第八晶体管T8可以包括串联连接的多个晶体管。例如,第八晶体管T8可以包括第

8-1晶体管T81和第8-2晶体管T82。第8-1晶体管T81和第8-2晶体管T82可以防止或者基本防止第四节点N4的电压通过第八晶体管T8泄漏。第8-1晶体管T81的栅电极可以连接到扫描控制线GCL，第8-1晶体管T81的第一电极可以连接到第四节点N4，第8-1晶体管T81的第二电极可以连接到第8-2晶体管T82的第一电极。第8-2晶体管T82的栅电极可以连接到扫描控制线GCL，第8-2晶体管T82的第一电极可以连接到第8-1晶体管T81的第二电极，第8-2晶体管T82的第二电极可以连接到初始化电压线VIL。

[0111] 第一电容器C1可以连接在第一节点N1与扫频线SWPL之间。第一电容器C1的第一电容器电极可以连接到第一节点N1，第一电容器C1的第二电容器电极可以连接到扫频线SWPL。第一电容器C1可以保持或者基本保持第一节点N1与扫频线SWPL之间的电势差(电压差)。

[0112] 第二像素驱动器PDU2可以基于来自第一PAM数据线RDL的第一PAM数据电压来生成将提供到发光元件ED的驱动电流。第二像素驱动器PDU2可以对应于(例如，可以是)用于执行PAM的PAM单元(例如，PAM电路)。第二像素驱动器PDU2可以是接收相同的PAM数据电压并且无论像素SP的亮度如何都生成相同的驱动电流的恒定电流生成单元(例如，恒定电流生成电路)。

[0113] 第二像素驱动器PDU2可以包括第九晶体管T9至第十五晶体管T15以及第二电容器C2。

[0114] 第九晶体管T9可以基于施加到第五节点N5的电压来控制驱动电流流动的时段，第五节点N5连接到第九晶体管T9的栅电极。第九晶体管T9可以基于第五节点N5的电压来控制驱动电流提供到发光元件ED的时段。

[0115] 第十晶体管T10可以基于来自扫描写入线GWL的扫描写入信号导通，以将来自第一PAM数据线RDL的第一PAM数据电压提供到第六节点N6，第六节点N6连接到第九晶体管T9的第一电极。第十晶体管T10的栅电极可以连接到扫描写入线GWL，第十晶体管T10的第一电极可以连接到第一PAM数据线RDL，第十晶体管T10的第二电极可以连接到第六节点N6。

[0116] 第十一晶体管T11可以基于来自扫描写入线GWL的扫描写入信号导通，以将第五节点N5和第七节点N7彼此电连接，第五节点N5连接到第九晶体管T9的栅电极，第七节点N7连接到第九晶体管T9的第二电极。换言之，当第十一晶体管T11导通时，第九晶体管T9可以二极管连接。因此，第九晶体管T9可以在第十一晶体管T11导通时作为二极管操作。

[0117] 第十一晶体管T11可以包括串联连接的多个晶体管。例如，第十一晶体管T11可以包括第11-1晶体管T111和第11-2晶体管T112。第11-1晶体管T111和第11-2晶体管T112可以防止或者基本防止第五节点N5的电压通过第十一晶体管T11泄漏。第11-1晶体管T111的栅电极可以连接到扫描写入线GWL，第11-1晶体管T111的第一电极可以连接到第七节点N7，第11-1晶体管T111的第二电极可以连接到第11-2晶体管T112的第一电极。第11-2晶体管T112的栅电极可以连接到扫描写入线GWL，第11-2晶体管T112的第一电极可以连接到第11-1晶体管T111的第二电极，第11-2晶体管T112的第二电极可以连接到第五节点N5。

[0118] 第十二晶体管T12可以基于来自扫描初始化线GIL的扫描初始化信号导通，以将第五节点N5和初始化电压线VIL彼此电连接。当第十二晶体管T12导通时，第五节点N5可以放电到与初始化电压VINT一样低的电压。扫描初始化信号的栅极导通电压VGL可以不同于初始化电压VINT。由于初始化电压VINT与栅极导通电压VGL之间的差比第十二晶体管T12的阈

值电压大,因此第十二晶体管T12即使在初始化电压VINT施加到第五节点N5之后也可以稳定地导通。因此,当第十二晶体管T12导通时,无论第十二晶体管T12的阈值电压如何,第五节点N5都可以稳定地接收初始化电压VINT。

[0119] 第十二晶体管T12可以包括串联连接的多个晶体管。例如,第十二晶体管T12可以包括第12-1晶体管T121和第12-2晶体管T122。第12-1晶体管T121和第12-2晶体管T122可以防止或者基本防止第五节点N5的电压通过第十二晶体管T12泄漏。第12-1晶体管T121的栅电极可以连接到扫描初始化线GIL,第12-1晶体管T121的第一电极可以连接到第五节点N5,第12-1晶体管T121的第二电极可以连接到第12-2晶体管T122的第一电极。第12-2晶体管T122的栅电极可以连接到扫描初始化线GIL,第12-2晶体管T122的第一电极可以连接到第12-1晶体管T121的第二电极,第12-2晶体管T122的第二电极可以连接到初始化电压线VIL。

[0120] 第十三晶体管T13可以基于来自PWM发射线PWEL的PWM发射信号导通,以将第六节点N6和第二电源线VDL2彼此电连接,第六节点N6连接到第九晶体管T9的第一电极。第十三晶体管T13的栅电极可以连接到PWM发射线PWEL,第十三晶体管T13的第一电极可以连接到第二电源线VDL2,第十三晶体管T13的第二电极可以连接到第六节点N6。

[0121] 第十四晶体管T14可以基于来自PAM发射线PAEL的PAM发射信号导通,以将第七节点N7和第八节点N8彼此电连接,第八节点N8连接到发光元件ED的第一电极。第十四晶体管T14的栅电极可以连接到PAM发射线PAEL,第十四晶体管T14的第一电极可以连接到第七节点N7,第十四晶体管T14的第二电极可以连接到第八节点N8。

[0122] 第十五晶体管T15可以基于来自扫描控制线GCL的扫描控制信号导通,以将初始化电压线VIL和第八节点N8彼此电连接,第八节点N8连接到发光元件ED的第一电极连接。当第十五晶体管T15导通时,第八节点N8可以放电到与初始化电压VINT一样低的电压。第十五晶体管T15的栅电极可以连接到扫描控制线GCL,第十五晶体管T15的第一电极可以连接到第八节点N8,第十五晶体管T15的第二电极可以连接到初始化电压线VIL。

[0123] 第二电容器C2可以连接在第五节点N5与第四节点N4之间,第五节点N5连接到第九晶体管T9的栅电极,第四节点N4连接到第六晶体管T6的第二电极。第二电容器C2的第一电容器电极可以连接到第五节点N5,第二电容器C2的第二电容器电极可以连接到第四节点N4。第二电容器C2的第二电容器电极可以从第一像素驱动器PDU1接收控制电流。第二电容器C2可以保持或者基本保持第四节点N4与第五节点N5之间的电势差,并且可以基于控制电流的变化来控制第五节点N5的电压。因此,第二电容器C2可以通过控制第五节点N5的电压来控制第九晶体管T9导通的时段。

[0124] 第十六晶体管T16可以基于来自测试信号线TSTL的测试信号导通,以将第八节点N8和第三电源线VSL彼此电连接。第十六晶体管T16的栅电极可以连接到测试信号线TSTL,第十六晶体管T16的第一电极可以连接到第八节点N8,第十六晶体管T16的第二电极可以连接到第三电源线VSL。

[0125] 第一晶体管T1至第十六晶体管T16中的每个的第一电极和第二电极中的一个可以是源电极,而第一晶体管T1至第十六晶体管T16中的每个的另一电极可以是漏电极。第一晶体管T1至第十六晶体管T16的半导体层可以由多晶硅、非晶硅和氧化物半导体中的至少一种形成。例如,在第一晶体管T1至第十六晶体管T16的半导体层由多晶硅形成的情况下,第一晶体管T1至第十六晶体管T16的半导体层可以通过低温多晶硅(LTPS)工艺形成。在另一

示例中，第一晶体管T1至第十六晶体管T16中的一些晶体管的半导体层可以包括多晶硅、单晶硅、LTPS和/或非晶硅，而其它晶体管的半导体层可以包括氧化物半导体。

[0126] 图3示出了第一晶体管T1至第十六晶体管T16形成为P型MOSFET，但是本公开不限于此。作为另一实例，第一晶体管T1至第十六晶体管T16可以形成为N型MOSFET。

[0127] 由于图3的像素SP包括比图2的像素SP的晶体管和电容器少的晶体管和电容器，因此可以防止或者基本防止在一个晶体管中导致占空比分布和幅度分布两者，并且可以通过改善针对晶体管的阈值电压分布的裕度来最小化或者减小(减少)亮度偏差。

[0128] 图4示出了图1的显示装置在第N帧至第N+2帧期间的示例操作。

[0129] 参照图4，第N帧至第N+2帧中的每个(其中，N是大于0的自然数)可以包括有效时段ACT和空白时段VB。有效时段ACT可以包括寻址时段ADDR和第一发射时段EP1至第n发射时段EPn，其中，n是大于1的自然数。在寻址时段ADDR期间，数据电压以及第一PAM数据电压、第二PAM数据电压或第三PAM数据电压提供到像素SP中的每个。在第一发射时段EP1至第n发射时段EPn期间，像素SP的发光元件ED发光。空白时段VB可以是像素SP在其期间暂停而不操作的时段。

[0130] 例如，寻址时段ADDR和第一发射时段EP1可以对应于约五个水平时段，并且第二发射时段EP2至第n发射时段EPn中的每个可以对应于约十二个水平时段。然而，本公开不限于此。例如，有效时段ACT可以包括25个发射时段，但是包括在有效时段ACT中的发射时段的数量没有特别限制。

[0131] 像素SP可以在寻址时段ADDR期间逐行顺序地接收数据电压以及第一PAM数据电压、第二PAM数据电压或第三PAM数据电压。例如，第一行像素SP至第n行像素SP可以在寻址时段ADDR期间顺序地接收数据电压以及第一PAM数据电压、第二PAM数据电压或第三PAM数据电压。

[0132] 像素SP可以在第一发射时段EP1至第n发射时段EPn中的每个期间逐行顺序地发光。例如，第一行像素SP至第n行像素SP可以在第一发射时段EP1至第n发射时段EPn中的每个期间顺序地发光。

[0133] 图5示出了图1的显示装置在第N帧至第N+2帧期间的另一示例操作。

[0134] 图5的实施例与图4的实施例的不同之处在于：在图5中，第一像素SP1、第二像素SP2和第三像素SP3在第一发射时段EP1至第n发射时段EPn中的每个期间彼此同步(例如，同时或者基本同时)发光。因此，将不重复参照图5的冗余描述。

[0135] 图6是示出施加到图3的显示装置的第k行像素至第k+3行像素的信号的波形图。

[0136] 参照图6，第k行像素SP可以连接到第k扫描初始化线、第k扫描写入线、第k扫描控制线、第k扫频线、第k PWM发射线和第k PAM发射线，其中，k是大于0的自然数。

[0137] 第k扫描初始化线可以提供第k扫描初始化信号GIS(k)，第k扫描写入线可以提供第k扫描写入信号GW(k)。第k扫描控制线可以提供第k扫描控制信号GC(k)，第k扫频线可以提供第k扫频信号SWP(k)。第k PWM发射线可以提供第k PWM发射信号PWEM(k)，第k PAM发射线可以提供第k PAM发射信号PAEM(k)。

[0138] 第k扫描初始化信号GIS(k)、第k扫描写入信号GW(k)、第k扫描控制信号GC(k)、第k扫频信号SWP(k)、第k PWM发射信号PWEM(k)和第k PAM发射信号PAEM(k)可以顺序地移位多达一个水平时段。第k+1扫描初始化信号GIS(k+1)、第k+1扫描写入信号GW(k+1)、第k+1扫描

控制信号GC(k+1)、第k+1扫频信号SWP(k+1)、第k+1PWM发射信号PWEM(k+1)和第k+1PAM发射信号PAEM(k+1)可以顺序地移位多达一个水平时段。第k+2扫描初始化信号GIS(k+2)、第(k+2)扫描写入信号GW(k+2)、第k+2扫描控制信号GC(k+2)、第k+2扫频信号SWP(k+2)、第k+2PWM发射信号PWEM(k+2)和第k+2PAM发射信号PAEM(k+2)可以顺序地移位多达一个水平时段。第k+3扫描初始化信号GIS(k+3)、第k+3扫描写入信号GW(k+3)、第k+3扫描控制信号GC(k+3)、第k+3扫频信号SWP(k+3)、第k+3PWM发射信号PWEM(k+3)和第k+3PAM发射信号PAEM(k+3)可以顺序地移位多达一个水平时段。第k扫描写入信号GW(k)可以通过将第k扫描初始化信号GIS(k)移位多达一个水平时段来获得，第k+1扫描写入信号GW(k+1)可以通过将第k+1扫描初始化信号GIS(k+1)移位多达一个水平时段来获得。因此，可以同步(例如，同时或者基本同时)输出第k+1扫描初始化信号GIS(k+1)和第k扫描写入信号GW(k)。

[0139] 图7是示出在一帧的寻址时段和发射时段期间施加到图3的像素的信号的波形图。

[0140] 参照图7以及图3，扫描初始化信号GIS可以控制第四晶体管T4和第十二晶体管T12的导通。扫描写入信号GW可以控制第二晶体管T2、第三晶体管T3、第十晶体管T10和第十一晶体管T11的导通。扫描控制信号GC可以控制第七晶体管T7、第八晶体管T8和第十五晶体管T15的导通。PWM发射信号PWEM可以控制第五晶体管T5、第六晶体管T6和第十三晶体管T13的导通。PAM发射信号PAEM可以控制第十四晶体管T14的导通。可以针对每一帧来生成扫描初始化信号GIS和扫描写入信号GW(例如，可以针对每个帧来将扫描初始化信号GIS和扫描写入信号GW生成一次)。可以针对每一发射时段来生成扫描控制信号GC、PWM发射信号PWEM和PAM发射信号PAEM(例如，可以针对一个帧的每个发射时段来生成扫描控制信号GC、PWM发射信号PWEM和PAM发射信号PAEM)。因此，扫描初始化信号GIS和扫描写入信号GW可以在一个帧期间生成一次，并且扫描控制信号GC、PWM发射信号PWEM和PAM发射信号PAEM可以在一个帧中生成与发射时段一样多的次数，诸如以针对图7中所示的示例中的一个帧的n个发射时段EP1至EPn的n次为例。

[0141] 寻址时段ADDR可以包括第一时段t1至第三时段t3。第一时段t1可以是用于使第四节点N4和第八节点N8初始化并且均匀地维持或者基本维持第一电容器C1的第二电容器电极的电压的时段。第二时段t2可以是用于使第一节点N1和第五节点N5初始化的时段。第三时段t3可以是用于从连接到第一晶体管T1的栅电极的第一节点N1来对第一晶体管T1的数据电压Vdata(见图10)和阈值电压Vth(见图10)进行采样的时段。第三时段t3可以是用于从第八节点N8来对第一PAM数据线RDL的第一PAM数据电压VPAM(见图10)和第九晶体管T9的阈值电压Vth进行采样的时段。第三时段t3可以在第二时段t2之后。第一时段t1可以在第二时段t2之前开始，并且可以在第三时段t3之后结束。换言之，第一时段t1可以包括第二时段t2和第三时段t3。

[0142] 第一发射时段EP1可以包括第四时段t4和第五时段t5。第四时段t4可以是用于将控制电流(Ic)施加到第四节点N4的时段，并且第五时段t5可以是基于控制电流(Ic)来用于控制第九晶体管T9导通的持续时间并用于将驱动电流(Idr)施加到发光元件ED的时段。

[0143] 第二发射时段EP2至第n发射时段EPn中的每个可以包括第六时段t6至第八时段t8。第六时段t6可以是用于使第四节点N4和第八节点N8初始化并且均匀地维持或者基本维持第一电容器C1的第二电容器电极的电压的时段。第七时段t7可以是与第四时段t4相同或基本相同的时段，第八时段t8可以是与第五时段t5相同或基本相同的时段，因此，可以不重

复其冗余描述。

[0144] 第一发射时段EP1至第n发射时段EPn可以彼此间隔开多达几个水平时段至几十个水平时段。

[0145] 扫描控制信号GC可以在第一时段t1和第六时段t6期间具有栅极导通电压VGL，并且可以在其它时段期间具有栅极截止电压VGH。扫描初始化信号GIS可以在第二时段t2期间具有栅极导通电压VGL，并且可以在其它时段期间具有栅极截止电压VGH。扫描写入信号GW可以在第三时段t3期间具有栅极导通电压VGL，并且可以在其它时段期间具有栅极截止电压VGH。栅极截止电压VGH可以比栅极导通电压VGL高，但是本公开不限于此。

[0146] PWM发射信号PWEM可以在第四时段t4和第七时段t7期间具有栅极导通电压VGL，并且可以在其它时段期间具有栅极截止电压VGH。PAM发射信号PAEM可以在第五时段t5和第八时段t8期间具有栅极导通电压VGL，并且可以在其它时段期间具有栅极截止电压VGH。

[0147] 扫频信号SWP可以在第五时段t5和第八时段t8期间具有三角波脉冲，并且可以在其它时段期间具有栅极截止电压VGH。例如，扫频信号SWP可以在第五时段t5期间从栅极截止电压VGH线性地减小到栅极导通电压VGL，并且可以在第五时段t5结束时开始从栅极导通电压VGL增大到栅极截止电压VGH。

[0148] 图8是示出图3的像素在第一时段t1和第六时段t6期间的操作的电路图。

[0149] 参照图3、图7和图8，第七晶体管T7、第八晶体管T8和第十五晶体管T15可以在第一时段t1和第六时段t6期间基于扫描控制信号GC而导通。栅极截止电压VGH可以通过第七晶体管T7提供到第一电容器C1的第二电容器电极。初始化电压VINT可以通过第八晶体管T8提供到与第二电容器C2的第二电容器电极连接的第四节点N4。初始化电压VINT可以通过第十五晶体管T15提供到与发光元件ED的第一电极连接的第八节点N8。

[0150] 图9是示出图3的像素在第二时段t2期间的操作的电路图。

[0151] 参照图3、图7和图9，第四晶体管T4和第十二晶体管T12可以在第二时段t2期间基于扫描初始化信号GIS导通。初始化电压VINT可以通过第四晶体管T4提供到与第一晶体管T1的栅电极连接的第一节点N1。初始化电压VINT可以通过第十二晶体管T12提供到与第九晶体管T9的栅电极连接的第五节点N5。

[0152] 由于第一时段t1包括第二时段t2，因此第七晶体管T7、第八晶体管T8和第十五晶体管T15可以在第二时段t2期间维持或者基本维持导通。

[0153] 图10是示出图3的像素在第三时段t3期间的操作的电路图。

[0154] 参照图3、图7和图10，第二晶体管T2、第三晶体管T3、第十晶体管T10和第十一晶体管T11可以在第三时段t3期间基于扫描写入信号GW而导通。

[0155] 数据电压Vdata可以通过第二晶体管T2提供到与第一晶体管T1的第一电极连接的第二节点N2。在这种情况下，第一晶体管T1的第一电极与栅电极之间的电压(Vsg)(其中，Vsg＝Vdata-VINT)可以比第一晶体管T1的阈值电压Vth大，因此第一晶体管T1可以导通。由于第三晶体管T3导通，因此第一晶体管T1的第二电极和栅电极可以彼此电连接，因此第一晶体管T1可以作为二极管操作。第一晶体管T1可以导通，直到电压(Vsg)达到与第一晶体管T1的阈值电压Vth一样高。因此，连接到第一晶体管T1的栅电极的第一节点N1的电压可以从初始化电压VINT增大到与从数据电压Vdata减去阈值电压Vth对应的电压(例如，Vdata-Vth)。例如，在第一晶体管T1形成为P型MOSFET的情况下，第一晶体管T1的阈值电压Vth可以

小于0V,但是本公开不限于此。

[0156] 第一PAM数据电压VPAM可以通过第十晶体管T10提供到与第九晶体管T9的第一电极连接的第六节点N6。在这种情况下,第九晶体管T9的第一电极与栅电极之间的电压(Vsg)(其中,Vsg＝VPAM-VINT)可以比第九晶体管T9的阈值电压Vth大,因此第九晶体管T9可以导通。由于第十一晶体管T11导通,因此第九晶体管T9的第二电极和栅电极可以彼此电连接,因此第九晶体管T9可以作为二极管操作。第九晶体管T9可以导通,直到电压(Vsg)达到与第九晶体管T9的阈值电压Vth一样高。因此,连接到第九晶体管T9的栅电极的第五节点N5的电压可以从初始化电压VINT增大到与从第一PAM数据电压VPAM减去阈值电压Vth对应的电压(例如,VPAM-Vth)。例如,在第九晶体管T9形成为P型MOSFET的情况下,第九晶体管T9的阈值电压Vth可以小于0V,但是本公开不限于此。

[0157] 由于第一时段t1包括第三时段t3,因此第七晶体管T7、第八晶体管T8和第十五晶体管T15可以在第三时段t3期间维持或者基本维持导通。

[0158] 图11是示出图3的像素在第四时段t4、第五时段t5、第七时段t7和第八时段t8期间的操作的电路图。

[0159] 参照图3、图7和图11,第五晶体管T5、第六晶体管T6和第十三晶体管T13可以在第四时段t4和第七时段t7期间基于PWM发射信号PWEM而导通,第十四晶体管T14可以在第五时段t5和第八时段t8期间基于PAM发射信号PAEM而导通。

[0160] 第一电源电压VDD1可以通过第五晶体管T5提供到与第一晶体管T1的第一电极连接的第二节点N2。当第六晶体管T6导通时,连接到第一晶体管T1的第二电极的第三节点N3可以电连接到与第二电容器C2的第二电容器电极连接的第四节点N4。然而,第一节点N1的电压(例如,Vdata-Vth)可以与第一电源电压VDD1相同或基本相同或者比第一电源电压VDD1高,直到第四时段t4开始。因此,第一晶体管T1可以截止,直到第四时段t4开始。

[0161] 在第四时段t4期间在第一晶体管T1中流动的控制电流(Ic)可以不取决于第一晶体管T1的阈值电压Vth,如等式(1)所指示:

[0162] $Ic＝k″(Vsg-Vth)^2＝k″(VDD1-Vdata+Vth-Vth)^2＝k″(VDD1-Vdata)^2\cdots(1)$

[0163] 在等式(1)中,k”指示由第一晶体管T1的结构和物理特性确定的比例系数,Vth指示第一晶体管T1的阈值电压Vth,VDD1指示第一电源电压VDD1,Vdata指示数据电压Vdata。

[0164] 控制电流(Ic)施加到第四节点N4的时段可以根据施加到第一晶体管T1的数据电压Vdata的大小(magnitude)而变化。由于第四节点N4的电压根据数据电压Vdata的大小而变化,因此可以控制第九晶体管T9导通的时段。因此,可以通过控制第九晶体管T9导通的时段来控制实际的发射时段(例如,驱动电流(Idr)在第五时段t5期间施加到发光元件ED的持续时间)。

[0165] 扫频信号SWP可以在第五时段t5期间从栅极截止电压VGH线性地减小到栅极导通电压VGL。扫频信号SWP中的电压变化可以通过第一电容器C1反映到第一节点N1中,并且第一节点N1的电压可以对应于(例如,可以是)Vdata-Vth-ΔV1,其中,ΔV1对应于扫频信号SWP的电压变化。因此,在第五时段t5期间,由于扫频信号SWP的电压减小,因此第一节点N1的电压可以线性地减小。

[0166] 在第一晶体管T1中流动的控制电流(Ic)可以提供到第四节点N4,第四节点N4连接到第二电容器C2的第二电容器电极。在控制电流(Ic)由于扫频信号SWP中的电压降而变化

的情况下,第四节点N4中的电压变化ΔV2可以通过第二电容器C2反映到与第九晶体管T9的栅电极连接的第五节点N5中。

[0167] 根据连接到第九晶体管T9的栅电极的第五节点N5的电压(例如,VPAM-Vth)而流动的驱动电流(Idr)可以提供到第十四晶体管T14。第十四晶体管T14可以在第五时段t5期间导通,以将驱动电流(Idr)提供到发光元件ED。驱动电流(Idr)可以不取决于第九晶体管T9的阈值电压Vth,如等式(2)所指示:

[0168] $Idr=k'(Vsg-Vth)^2=k'(VDD2-VPAM+Vth-Vth)^2=k'(VDD2-VPAM)^2\cdots(2)$

[0169] 在等式(2)中,k'指示由第九晶体管T9的结构和物理特性确定的比例系数,Vth指示第九晶体管T9的阈值电压Vth,VDD2指示第二电源电压VDD2,VPAM指示第一PAM数据电压VPAM。

[0170] 例如,在数据电压Vdata具有峰值黑色灰度(例如,是峰值黑色灰度级电压)的情况下,第一晶体管T1可以响应于扫频信号SWP的电压的降低而在整个第五时段t5中导通。在该示例中,第一晶体管T1的控制电流(Ic)可以在整个第五时段t5中流到第四节点N4,并且第四节点N4的电压可以从第五时段t5开始上升到高电平。因此,第九晶体管T9可以在第五时段t5期间截止。由于驱动电流(Idr)未施加到发光元件ED并且发光元件ED的第一电极的电压保持或者基本保持在初始化电压VINT,因此发光元件ED在第五时段t5期间可以不发光。

[0171] 在另一示例中,在数据电压Vdata具有灰色灰度(例如,是灰色灰度级电压)的情况下,第一晶体管T1可以响应于扫频信号SWP的电压的降低而仅在第五时段t5的后半部分的一部分期间导通。在该示例中,第一晶体管T1的控制电流(Ic)可以在第五时段t5的后半部分的一部分期间流到第四节点N4,并且由于第二电容器C2,第五节点N5的电压可以从第五时段t5的后半部分开始具有高电平。因此,第九晶体管T9可以在第五时段t5的后半部分的一部分期间截止。驱动电流(Idr)可以在第五时段t5的前半部分的一部分期间而不是在第五时段t5的后半部分的一部分期间施加到发光元件ED。发光元件ED可以在第五时段t5的前半部分的一部分期间发光。

[0172] 在又一示例中,在数据电压Vdata具有峰值白色灰度(例如,是峰值白色灰度级电压)的情况下,无论扫频信号SWP的电压如何减小,第一晶体管T1都可以在整个第五时段t5中截止。在该示例中,第一晶体管T1的控制电流(Ic)在整个第五时段t5中可以不流到第四节点N4,并且第五节点N5的电压可以在整个第五时段t5中维持或者基本维持在初始化电压VINT。因此,第九晶体管T9可以在整个第五时段t5中导通。驱动电流(Idr)可以在整个第五时段t5期间施加到发光元件ED,因此发光元件ED可以在整个第五时段t5中发光。

[0173] 因此,可以通过控制施加到第一晶体管T1的栅电极的数据电压Vdata来控制发光元件ED的发射时段。因此,可以均匀地保持或基本保持施加到发光元件ED的驱动电流(Idr)的大小,因此可以控制施加到发光元件ED的第一电极的电压的脉冲宽度,从而控制对应的像素SP的灰度(例如,灰度级)或亮度。

[0174] 例如,在被转换为数据电压的数字视频数据的大小(size)为8比特(bite)的情况下,被转换为峰值黑色灰度(例如,峰值黑色灰度级)数据电压的数字视频数据可以为零,被转换为峰值白色灰度(例如,峰值白色灰度级)数据电压的数字视频数据可以为255,被转换为灰色灰度(例如,灰色灰度级)数据电压的数字视频数据可以在0与255之间的范围内。

[0175] 第七时段t7和第八时段t8可以分别与第四时段t4和第五时段t5相同或基本相同。

在第二发射时段EP2至第n发射时段EPn中的每个期间，可以使第四节点N4和第八节点N8初始化，并且可以基于在寻址时段ADDR期间写入到第一晶体管T1的栅电极的数据电压Vdata来控制基于写入到第九晶体管T9的栅电极的第一PAM数据电压生成的驱动电流(Idr)施加到发光元件ED的持续时间。

[0176] 由于来自测试信号线TSTL的测试信号在第N帧的有效时段ACT期间施加为栅极截止电压VGH，因此第十六晶体管T16可以在第N帧的有效时段ACT期间截止。

[0177] 第二像素SP2和第三像素SP3可以以与第一像素SP1的方式相同或基本相同的方式来操作，因此将不再重复其冗余描述。

[0178] 图12是图3的像素的布局图。图13是图12的区域A1的放大布局图。图14是图12的区域A2的放大布局图。图15是图12的区域A3的放大布局图。图16是沿着图13的线A-A'截取的剖视图。图17是沿着图13的线B-B'截取的剖视图。图18是沿着图13的线C-C'截取的剖视图。图19是沿着图14的线D-D'截取的剖视图。图20是沿着图14的线E-E'截取的剖视图。图21是沿着图15的线F-F'截取的剖视图。

[0179] 参照图12至图21，扫描初始化线GIL、扫描写入线GWL、扫描控制线GCL、扫频线SWPL、PWM发射线PWEL、PAM发射线PAEL、测试信号线TSTL和第三电源线VSL可以在第一方向(例如，X轴方向)上延伸，并且可以在第二方向(例如，Y轴方向)上彼此间隔开。

[0180] 数据线DL、第一垂直电源线VVDL1、第二垂直电源线VVDL2和第一PAM数据线RDL可以在第二方向(例如，Y轴方向)上延伸，并且可以在第一方向(例如，X轴方向)上彼此间隔开。

[0181] 像素SP可以包括第一晶体管T1至第十六晶体管T16、第一电容器C1和第二电容器C2、第一栅极连接电极GCE1至第六栅极连接电极GCE6、第一数据连接电极DCE1和第二数据连接电极DCE2、第一连接电极CCE1至第五连接电极CCE5、第一阳极连接电极ANDE1和第二阳极连接电极ANDE2以及发光元件ED。

[0182] 第一晶体管T1可以包括第一沟道CH1、第一栅电极G1、第一源电极S1和第一漏电极D1。第一沟道CH1可以在第一方向(例如，X轴方向)上延伸。第一沟道CH1可以在第三方向(例如，Z轴方向)上与第一栅电极G1叠置。第一栅电极G1可以通过第一接触孔CNT1连接到第一连接电极CCE1。第一栅电极G1可以与第一电容器C1的第一电容器电极CE1一体地形成。第一栅电极G1可以在第三方向(例如，Z轴方向)上与第一电容器C1的第二电容器电极CE2叠置。第一源电极S1可以设置在第一沟道CH1的一侧，第一漏电极D1可以设置在第一沟道CH1的另一侧。第一源电极S1可以连接到第二漏电极D2和第五漏电极D5。第一漏电极D1可以连接到第3-1源电极S31和第六源电极S6。

[0183] 第二晶体管T2可以包括第二沟道CH2、第二栅电极G2、第二源电极S2和第二漏电极D2。第二沟道CH2可以在第三方向(例如，Z轴方向)上与第二栅电极G2叠置。第二栅电极G2可以是第一栅极连接电极GCE1的一部分。第二源电极S2可以设置在第二沟道CH2的一侧，第二漏电极D2可以设置在第二沟道CH2的另一侧。第二源电极S2可以通过第三接触孔CNT3连接到第一数据连接电极DCE1。第二漏电极D2可以连接到第一源电极S1和第五漏电极D5。

[0184] 第三晶体管T3的第3-1晶体管T31可以包括第3-1沟道CH31、第3-1栅电极G31、第3-1源电极S31和第3-1漏电极D31。第3-1沟道CH31可以在第三方向(例如，Z轴方向)上与第3-1栅电极G31叠置。第3-1栅电极G31可以是第一栅极连接电极GCE1的一部分。第3-1源电极S31

可以设置在第3-1沟道CH31的一侧，第3-1漏电极D31可以设置在第3-1沟道CH31的另一侧。第3-1源电极S31可以连接到第一漏电极D1和第六源电极S6。第3-1漏电极D31可以连接到第3-2源电极S32。

[0185] 第三晶体管T3的第3-2晶体管T32可以包括第3-2沟道CH32、第3-2栅电极G32、第3-2源电极S32和第3-2漏电极D32。第3-2沟道CH32可以在第三方向(例如，Z轴方向)上与第3-2栅电极G32叠置。第3-2栅电极G32可以是第一栅极连接电极GCE1的一部分。第3-2源电极S32可以设置在第3-2沟道CH32的一侧，第3-2漏电极D32可以设置在第3-2沟道CH32的另一侧。第3-2源电极S32可以连接到第3-1漏电极D31。第3-2漏电极D32可以通过第二接触孔CNT2连接到第一连接电极CCE1，并且也可以连接到第4-1源电极S41。

[0186] 第四晶体管T4的第4-1晶体管T41可以包括第4-1沟道CH41、第4-1栅电极G41、第4-1源电极S41和第4-1漏电极D41。第4-1沟道CH41可以在第三方向(例如，Z轴方向)上与第4-1栅电极G41叠置。第4-1栅电极G41可以是第二栅极连接电极GCE2的一部分。第4-1源电极S41可以设置在第4-1沟道CH41的一侧，第4-1漏电极D41可以设置在第4-1沟道CH41的另一侧。第4-1源电极S41可以通过第二接触孔CNT2连接到第一连接电极CCE1，并且也可以连接到第3-2漏电极D32。第4-1漏电极D41可以连接到第4-2源电极S42。第4-1源电极S41可以在第三方向(例如，Z轴方向)上与扫描写入线GWL叠置。第4-1漏电极D41可以在第三方向(例如，Z轴方向)上与初始化电压线VIL叠置。

[0187] 第四晶体管T4的第4-2晶体管T42可以包括第4-2沟道CH42、第4-2栅电极G42、第4-2源电极S42和第4-2漏电极D42。第4-2沟道CH42可以在第三方向(例如，Z轴方向)上与第4-2栅电极G42叠置。第4-2栅电极G42可以是第二栅极连接电极GCE2的一部分。第4-2源电极S42可以设置在第4-2沟道CH42的一侧，第4-2漏电极D42可以设置在第4-2沟道CH42的另一侧。第4-2源电极S42可以连接到第4-1漏电极D41，并且也可以通过第六接触孔CNT6连接到初始化电压线VIL。第4-2源电极S42和第4-2漏电极D42可以在第三方向(例如，Z轴方向)上与初始化电压线VIL叠置。

[0188] 第五晶体管T5可以包括第五沟道CH5、第五栅电极G5、第五源电极S5和第五漏电极D5。第五沟道CH5可以在第三方向(例如，Z轴方向)上与第五栅电极G5叠置。第五栅电极G5可以是第三栅极连接电极GCE3的一部分。第五源电极S5可以设置在第五沟道CH5的一侧，第五漏电极D5可以设置在第五沟道CH5的另一侧。第五源电极S5可以通过第十八接触孔CNT18连接到第一电源线VDL1。第五漏电极D5可以连接到第一源电极S1和第二漏电极D2。第五漏电极D5可以在第三方向(例如，Z轴方向)上与第二电容器电极CE2的延伸部叠置。

[0189] 第六晶体管T6可以包括第六沟道CH6、第六栅电极G6、第六源电极S6和第六漏电极D6。第六沟道CH6可以在第三方向(例如，Z轴方向)上与第六栅电极G6叠置。第六栅电极G6可以是第三栅极连接电极GCE3的一部分。第六源电极S6可以设置在第六沟道CH6的一侧，第六漏电极D6可以设置在第六沟道CH6的另一侧。第六源电极S6可以连接到第一漏电极D1和第3-1源电极S31。第六漏电极D6可以通过第二十接触孔CNT20连接到第三连接电极CCE3，并且也可以连接到第8-1源电极S81。第六漏电极D6可以在第三方向(例如，Z轴方向)上与第一电源线VDL1叠置。

[0190] 第七晶体管T7可以包括第七沟道CH7、第七栅电极G7、第七源电极S7和第七漏电极D7。第七沟道CH7可以在第三方向(例如，Z轴方向)上与第七栅电极G7叠置。第七栅电极G7可

以是第四栅极连接电极GCE4的一部分。第七栅电极G7可以在第三方向(例如,Z轴方向)上与初始化电压线VIL叠置。第七源电极S7可以设置在第七沟道CH7的一侧,第七漏电极D7可以设置在第七沟道CH7的另一侧。第七源电极S7可以通过第十五接触孔CNT15连接到栅极截止电压线VGHL。第七漏电极D7可以通过第十六接触孔CNT16连接到扫频线SWPL。

[0191] 第八晶体管T8的第8-1晶体管T81可以包括第8-1沟道CH81、第8-1栅电极G81、第8-1源电极S81和第8-1漏电极D81。第8-1沟道CH81可以在第三方向(例如,Z轴方向)上与第8-1栅电极G81叠置。第8-1源电极S81可以是第四栅极连接电极GCE4的一部分。第8-1源电极S81可以设置在第8-1沟道CH81的一侧,第8-1漏电极D81可以设置在第8-1沟道CH81的另一侧。第8-1源电极S81可以连接到第六漏电极D6,并且也可以通过第二十接触孔CNT20连接到第三连接电极CCE3。第8-1漏电极D81可以连接到第8-2源电极S82。

[0192] 第八晶体管T8的第8-2晶体管T82可以包括第8-2沟道CH82、第8-2栅电极G82、第8-2源电极S82和第8-2漏电极D82。第8-2沟道CH82可以在第三方向(例如,Z轴方向)上与第8-2栅电极G82叠置。第8-2源电极S82可以是第四栅极连接电极GCE4的一部分。第8-2源电极S82可以设置在第8-2沟道CH82的一侧,第8-2漏电极D82可以设置在第8-2沟道CH82的另一侧。第8-2源电极S82可以连接到第8-1漏电极D81,第8-2漏电极D82可以通过第二十五接触孔CNT25连接到初始化电压线VIL。

[0193] 第九晶体管T9可以包括第九沟道CH9、第九栅电极G9、第九源电极S9和第九漏电极D9。第九沟道CH9可以在第三方向(例如,Z轴方向)上与第九栅电极G9叠置。第九栅电极G9可以在第二方向(例如,Y轴方向)上延伸。第九栅电极G9可以与第二电容器C2的第一电容器电极CE3一体地形成。第九源电极S9可以设置在第九沟道CH9的一侧,第九漏电极D9可以设置在第九沟道CH9的另一侧。第九源电极S9可以连接到第十漏电极D10和第十三漏电极D13。第九漏电极D9可以连接到第11-1源电极S111和第十四源电极S14。

[0194] 第十晶体管T10可以包括第十沟道CH10、第十栅电极G10、第十源电极S10和第十漏电极D10。第十沟道CH10可以在第三方向(例如,Z轴方向)上与第十栅电极G10叠置。第十栅电极G10可以是第一栅极连接电极GCE1的一部分。第十源电极S10可以设置在第十沟道CH10的一侧,第十漏电极D10可以设置在第十沟道CH10的另一侧。第十源电极S10可以通过第十三接触孔CNT13连接到第二数据连接电极DCE2。第十漏电极D10可以连接到第九源电极S9和第十三漏电极D13。

[0195] 第十一晶体管T11的第11-1晶体管T111可以包括第11-1沟道CH111、第11-1栅电极G111、第11-1源电极S111和第11-1漏电极D111。第11-1沟道CH111可以在第三方向(例如,Z轴方向)上与第11-1栅电极G111叠置。第11-1栅电极G111可以是第一栅极连接电极GCE1的一部分。第11-1源电极S111可以设置在第11-1沟道CH111的一侧,第11-1漏电极D111可以设置在第11-1沟道CH111的另一侧。第11-1源电极S111可以连接到第九漏电极D9和第十四源电极S14,第11-1漏电极D111可以连接到第11-2源电极S112。

[0196] 第十一晶体管T11的第11-2晶体管T112可以包括第11-2沟道CH112、第11-2栅电极G112、第11-2源电极S112和第11-2漏电极D112。第11-2沟道CH112可以在第三方向(例如,Z轴方向)上与第11-2栅电极G112叠置。第11-2栅电极G112可以是第一栅极连接电极GCE1的一部分。第11-2源电极S112可以设置在第11-2沟道CH112的一侧,第11-2漏电极D112可以设置在第11-2沟道CH112的另一侧。第11-2源电极S112可以连接到第11-1漏电极D111。第11-2

漏电极D112可以连接到第12-1源电极S121，并且也可以通过第八接触孔CNT8连接到第二连接电极CCE2。

[0197] 第十二晶体管T12的第12-1晶体管T121可以包括第12-1沟道CH121、第12-1栅电极G121、第12-1源电极S121和第12-1漏电极D121。第12-1沟道CH121可以在第三方向(例如，Z轴方向)上与第12-1栅电极G121叠置。第12-1栅电极G121可以是第二栅极连接电极GCE2的一部分。第12-1源电极S121可以设置在第12-1沟道CH121的一侧，第12-1漏电极D121可以设置在第12-1沟道CH121的另一侧。第12-1源电极S121可以连接到第11-2漏电极D112，并且也可以通过第八接触孔CNT8连接到第二连接电极CCE2。第12-1漏电极D121可以连接到第12-2源电极S122。

[0198] 第十二晶体管T12的第12-2晶体管T122可以包括第12-2沟道CH122、第12-2栅电极G122、第12-2源电极S122和第12-2漏电极D122。第12-2沟道CH122可以在第三方向(例如，Z轴方向)上与第12-2栅电极G122叠置。第12-2栅电极G122可以是第二栅极连接电极GCE2的一部分。第12-2源电极S122可以设置在第12-2沟道CH122的一侧，第12-2漏电极D122可以设置在第12-2沟道CH122的另一侧。第12-2源电极S122可以连接到第12-1漏电极D121。第12-2漏电极D122可以连接到第十五漏电极D15，并且也可以通过第六接触孔CNT6连接到初始化电压线VIL。第12-2源电极S122和第12-2漏电极D122可以在第三方向(例如，Z轴方向)上与初始化电压线VIL叠置。

[0199] 第十三晶体管T13可以包括第十三沟道CH13、第十三栅电极G13、第十三源电极S13和第十三漏电极D13。第十三沟道CH13可以在第三方向(例如，Z轴方向)上与第十三栅电极G13叠置。第十三栅电极G13可以是第三栅极连接电极GCE3的一部分。第十三源电极S13可以设置在第十三沟道CH13的一侧，第十三漏电极D13可以设置在第十三沟道CH13的另一侧。第十三源电极S13可以通过第十二接触孔CNT12连接到第二电源线VDL2。第十三漏电极D13可以连接到第九源电极S9和第十漏电极D10。

[0200] 第十四晶体管T14可以包括第十四沟道CH14、第十四栅电极G14、第十四源电极S14和第十四漏电极D14。第十四沟道CH14可以在第三方向(例如，Z轴方向)上与第十四栅电极G14叠置。第十四栅电极G14可以是第五栅极连接电极GCE5的一部分。第十四源电极S14可以设置在第十四沟道CH14的一侧，第十四漏电极D14可以设置在第十四沟道CH14的另一侧。第十四源电极S14可以连接到第九漏电极D9和第11-1源电极S111。第十四漏电极D14可以通过第二十二接触孔CNT22连接到第四连接电极CCE4。

[0201] 第十五晶体管T15可以包括第十五沟道CH15、第十五栅电极G15、第十五源电极S15和第十五漏电极D15。第十五沟道CH15可以在第三方向(例如，Z轴方向)上与第十五栅电极G15叠置。第十五栅电极G15可以是第四栅极连接电极GCE4的一部分。第十五源电极S15可以设置在第十五沟道CH15的一侧，第十五漏电极D15可以设置在第十五沟道CH15的另一侧。第十五源电极S15可以连接到第十四漏电极D14，并且也可以通过第二十二接触孔CNT22连接到第四连接电极CCE4。第十五漏电极D15可以通过第二十五接触孔CNT25连接到初始化电压线VIL。

[0202] 第十六晶体管T16可以包括第十六沟道CH16、第十六栅电极G16、第十六源电极S16和第十六漏电极D16。第十六沟道CH16可以在第三方向(例如，Z轴方向)上与第十六栅电极G16叠置。第十六栅电极G16可以是第六栅极连接电极GCE6的一部分。第十六源电极S16可以

设置在第十六沟道CH16的一侧，第十六漏电极D16可以设置在第十六沟道CH16的另一侧。第十六源电极S16可以通过第三十接触孔CNT30连接到第五连接电极CCE5。第十六漏电极D16可以通过第二十九接触孔CNT29连接到第三电源线VSL。

[0203] 第一电容器C1的第一电容器电极CE1可以与第一栅电极G1一体地形成。第一电容器C1的第二电容器电极CE2可以在第三方向(例如，Z轴方向)上与第一电容器C1的第一电容器电极CE1叠置。第二电容器电极CE2可以包括暴露第一栅电极G1的孔，并且第一连接电极CCE1可以通过第一接触孔CNT1连接到第一栅电极G1，第一接触孔CNT1穿过第二电容器电极CE2的所述孔。

[0204] 第一电容器C1的第二电容器电极CE2可以包括在第二方向(例如，Y轴方向)上延伸的延伸部。第二电容器电极CE2的延伸部可以跨过PWM发射线PWEL和第一电源线VDL1(例如，可以与PWM发射线PWEL和第一电源线VDL1交叉)。第二电容器电极CE2的延伸部可以通过第十七接触孔CNT17连接到扫频线SWPL。

[0205] 第二电容器C2的第一电容器电极CE3可以与第九栅电极G9一体地形成。第二电容器C2的第二电容器电极CE4可以在第三方向(例如，Z轴方向)上与第二电容器C2的第一电容器电极CE3叠置。第二电容器电极CE4可以包括暴露第九栅电极G9的孔，并且第二连接电极CCE2可以通过第九接触孔CNT9连接到第九栅电极G9，第九接触孔CNT9穿过第二电容器电极CE4的所述孔。

[0206] 第一栅极连接电极GCE1可以通过第五接触孔CNT5连接到扫描写入线GWL。第二栅极连接电极GCE2可以通过第七接触孔CNT7连接到扫描初始化线GIL。第三栅极连接电极GCE3可以通过第十一接触孔CNT11连接到PWM发射线PWEL。第四栅极连接电极GCE4可以通过第二十四接触孔CNT24连接到扫描控制线GCL。第五栅极连接电极GCE5可以通过第二十三接触孔CNT23连接到PAM发射线PAEL。第六栅极连接电极GCE6可以通过第二十八接触孔CNT28连接到测试信号线TSTL。

[0207] 第一数据连接电极DCE1可以通过第三接触孔CNT3连接到第二源电极S2，并且通过第四接触孔CNT4连接到数据线DL。第二数据连接电极DCE2可以通过第十三接触孔CNT13连接到第十源电极S10，并且通过第十四接触孔CNT14连接到第一PAM数据线RDL。

[0208] 第一连接电极CCE1可以在第二方向(例如，Y轴方向)上延伸。第一连接电极CCE1可以通过第一接触孔CNT1连接到第一栅电极G1，并且通过第二接触孔CNT2连接到第3-2漏电极D32和第4-1源电极S41。

[0209] 第二连接电极CCE2可以在第二方向(例如，Y轴方向)上延伸。第二连接电极CCE2可以通过第九接触孔CNT9连接到第九栅电极G9，并且通过第八接触孔CNT8连接到第11-2漏电极D112和第12-1源电极S121。

[0210] 第三连接电极CCE3可以通过第二十接触孔CNT20连接到第六漏电极D6和第8-1源电极S81，并且通过第二十一接触孔CNT21连接到第二电容器C2的第二电容器电极CE4。

[0211] 第四连接电极CCE4可以通过第二十二接触孔CNT22连接到第十四漏电极D14和第十五源电极S15，并且通过第二十六接触孔CNT26连接到第一阳极连接电极ANDE1。

[0212] 第五连接电极CCE5可以通过第三十接触孔CNT30连接到第十六源电极S16，并且通过第二十七接触孔CNT27连接到第一阳极连接电极ANDE1。第一阳极连接电极ANDE1可以在第二方向(例如，Y轴方向)上延伸。

[0213] 第一垂直电源线VVDL1可以在第二方向(例如,Y轴方向)上延伸。第一垂直电源线VVDL1可以通过第十九接触孔CNT19连接到第一电源线VDL1。

[0214] 第二垂直电源线VVDL2可以在第二方向(例如,Y轴方向)上延伸。第二垂直电源线VVDL2可以通过第十接触孔CNT10连接到第二电源线VDL2。

[0215] 参照图16至图21,显示装置可以包括基底SUB、缓冲层BF、第一栅极绝缘膜GI1、第二栅极绝缘膜GI2、层间绝缘膜ILD、第一过孔层VIA1、第一钝化层PAS1、第二过孔层VIA2、第二钝化层PAS2、第三过孔层VIA3、第三钝化层PAS3和第四钝化层PAS4。

[0216] 基底SUB可以支撑显示装置。基底SUB可以是基体基底或基体构件。基底SUB可以是可弯曲、可折叠和/或可卷曲的柔性基底。例如,基底SUB可以包括诸如聚合物树脂(例如,聚酰亚胺(PI))的绝缘材料,但是本公开不限于此。在另一示例中,基底SUB可以是包括玻璃材料的刚性基底。

[0217] 缓冲层BF可以设置在基底SUB上。缓冲层BF可以包括能够防止或者基本防止空气和/或湿气渗透的无机材料。缓冲层BF可以包括单个无机膜或者顺序地(例如,交替地)堆叠的多个无机膜。例如,缓冲层BF可以是其中氮化硅层、氮氧化硅层、氧化硅层、氧化钛层和氧化铝层中的至少一个交替地堆叠的多层膜。

[0218] 有源层可以设置在缓冲层BF上。有源层可以包括第一晶体管T1至第十六晶体管T16的第一沟道CH1至第十六沟道CH16、第一源电极S1至第十六源电极S16以及第一漏电极D1至第十六漏电极D16。例如,有源层可以包括多晶硅、单晶硅、低温多晶硅、非晶硅或氧化物半导体。

[0219] 在另一示例中,第一沟道CH1至第十六沟道CH16中的一些沟道、第一源电极S1至第十六源电极S16中的一些源电极以及第一漏电极D1至第十六漏电极D16中的一些漏电极可以设置在包括多晶硅、单晶硅、低温多晶硅或非晶硅的第一有源层处(例如,中或上),第一沟道CH1至第十六沟道CH16中的其它沟道、第一源电极S1至第十六源电极S16中的其它源电极、第一漏电极D1至第十六漏电极D16中的其它漏电极可以设置在包括氧化物半导体的第二有源层处(例如,中或上)。

[0220] 第一沟道CH1至第十六沟道CH16可以在第三方向(例如,Z轴方向)上分别与第一栅电极G1至第十六栅电极G16叠置。第一源电极S1至第十六源电极S16以及第一漏电极D1至第十六漏电极D16可以包括掺杂有离子或杂质的硅半导体或者氧化物半导体,因此可以具有导电性。

[0221] 第一栅极绝缘膜GI1可以设置在有源层上。第一栅极绝缘膜GI1可以使第一沟道CH1至第十六沟道CH16分别与第一栅电极G1至第十六栅电极G16绝缘。第一栅极绝缘膜GI1可以包括无机膜。例如,第一栅极绝缘膜GI1可以包括氮化硅层、氮氧化硅层、氧化硅层、氧化钛层和氧化铝层中的至少一个。

[0222] 第一栅极层可以设置在第一栅极绝缘膜GI1上。第一栅极层可以包括第一栅电极G1至第十六栅电极G16、第一电容器C1的第一电容器电极CE1、第二电容器C2的第一电容器电极CE3以及第一栅极连接电极GCE1至第六栅极连接电极GCE6。

[0223] 第二栅极绝缘膜GI2可以设置在第一栅极层上。第二栅极绝缘膜GI2可以使第一栅极层和第二栅极层彼此绝缘。第二栅极绝缘膜GI2可以包括无机膜。例如,第二栅极绝缘膜GI2可以包括氮化硅层、氮氧化硅层、氧化硅层、氧化钛层和氧化铝层中的至少一个。

[0224] 第二栅极层可以设置在第二栅极绝缘膜GI2上。第二栅极层可以包括第一电容器C1的第二电容器电极CE2和第二电容器C2的第二电容器电极CE4。

[0225] 层间绝缘膜ILD可以设置在第二栅极层上。层间绝缘膜ILD可以使第一源极金属层和第二栅极层彼此绝缘。层间绝缘膜ILD可以包括无机膜。例如,层间绝缘膜ILD可以包括氮化硅层、氮氧化硅层、氧化硅层、氧化钛层和氧化铝层中的至少一个。

[0226] 第一源极金属层可以设置在层间绝缘膜ILD上。第一源极金属层可以包括初始化电压线VIL、扫描初始化线GIL、扫描写入线GWL、扫描控制线GCL、PWM发射线PWEL、PAM发射线PAEL、扫频线SWPL、测试信号线TSTL、第一电源线VDL1、栅极截止电压线VGHL和第三电源线VSL。第一源极金属层可以包括第一数据连接电极DCE1和第二数据连接电极DCE2以及第一连接电极CCE1至第五连接电极CCE5。

[0227] 第一过孔层VIA1可以设置在第一源极金属层上。第一过孔层VIA1可以使第一源极金属层的顶部(例如,顶表面)平坦化或基本平坦化。

[0228] 第一钝化层PAS1可以设置在第一过孔层VIA1上,以保护第一源极金属层。第一钝化层PAS1可以包括无机膜。例如,第一钝化层PAS1可以包括氮化硅层、氮氧化硅层、氧化硅层、氧化钛层和氧化铝层中的至少一个。

[0229] 第二源极金属层可以设置在第一钝化层PAS1上。第二源极金属层可以包括数据线DL、第一垂直电源线VVDL1、第二垂直电源线VVDL2、第一PAM数据线RDL和第一阳极连接电极ANDE1。

[0230] 第二过孔层VIA2可以设置在第二源极金属层上。第二过孔层VIA2可以使第二源极金属层的顶部(例如,顶表面)平坦化或者基本平坦化。

[0231] 第二钝化层PAS2可以设置在第二过孔层VIA2上,以保护第二源极金属层。第二钝化层PAS2可以包括无机膜。例如,第二钝化层PAS2可以包括氮化硅层、氮氧化硅层、氧化硅层、氧化钛层和氧化铝层中的至少一个。

[0232] 第三源极金属层可以设置在第二钝化层PAS2上。第三源极金属层可以包括第一子电源线VDL21。第一子电源线VDL21可以通过穿透第二钝化层PAS2和第二过孔层VIA2的第三十一接触孔CNT31连接到第二垂直电源线VVDL2。

[0233] 第三过孔层VIA3可以设置在第三源极金属层上。第三过孔层VIA3可以使第三源极金属层的顶部(例如,顶表面)平坦化。

[0234] 第三钝化层PAS3可以设置在第三过孔层VIA3上,以保护第三源极金属层。第三钝化层PAS3可以包括无机膜。例如,第三钝化层PAS3可以包括氮化硅层、氮氧化硅层、氧化硅层、氧化钛层和氧化铝层中的一个。

[0235] 第四源极金属层可以设置在第三钝化层PAS3上。第四源极金属层可以包括第二子电源线VDL22和第一像素电极AND1。

[0236] 阳极层可以设置在第四源极金属层上。阳极层可以包括第三子电源线VDL23和第二像素电极AND2。第三子电源线VDL23和第二像素电极AND2可以包括透明金属材料,诸如以透明导电氧化物(TCO)(例如,氧化铟锡(ITO)或氧化铟锌(IZO))为例。

[0237] 第四钝化层PAS4可以设置在阳极层上。第四钝化层PAS4可以包括无机膜。例如,第四钝化层PAS4可以包括氮化硅层、氮氧化硅层、氧化硅层、氧化钛层和氧化铝层中的至少一个。第四钝化层PAS4可以不覆盖像素电极AND(例如,第二像素电极AND2)的顶表面的一部

分,并且可以暴露像素电极AND的顶表面的一部分。

[0238] 发光元件ED可以设置在像素电极AND的未被第四钝化层PAS4覆盖的部分上。接触电极CAND可以设置在发光元件ED与像素电极AND之间,以将发光元件ED和像素电极AND彼此电连接。

[0239] 发光元件ED可以是无机LED。发光元件ED可以包括顺序地堆叠的第一半导体层、电子阻挡层、活性层(active layer)、超晶格层和第二半导体层。

[0240] 第一半导体层可以设置在接触电极CAND上。第一半导体层可以掺杂有第一导电类型的掺杂剂,诸如以镁(Mg)、锌(Zn)、钙(Ca)或钡(Ba)为例。例如,第一半导体层可以是掺杂有Mg的p-GaN,Mg是p型掺杂剂。

[0241] 电子阻挡层可以设置在第一半导体层上。电子阻挡层可以是用于抑制或者防止太多电子流入到活性层中的层。例如,电子阻挡层可以是掺杂有Mg的p-AlGaN,Mg是p型掺杂剂。然而,本公开不限于此,并且可以不设置电子阻挡层。

[0242] 活性层可以设置在电子阻挡层上。当电子-空穴对根据通过第一半导体层和第二半导体层施加的电信号结合时,活性层可以发光。

[0243] 活性层可以包括单量子阱结构或多量子阱结构的材料。在活性层包括多量子阱结构的材料的情况下,活性层可以具有其中多个阱层和多个势垒层交替地堆叠的结构。

[0244] 作为另一示例,根据由活性层发射的光的期望波长范围,活性层可以具有其中具有大能带隙的半导体材料和具有小能带隙的半导体材料交替地堆叠的结构,或者可以包括III族至V族半导体材料。

[0245] 在活性层包括InGaN的情况下,由活性层发射的光的颜色可以根据活性层中铟(In)的含量而变化。例如,随着活性层的铟(In)的含量增大,由活性层发射的光的波长范围可以切换到红色波长范围,并且随着活性层的铟(In)的含量减小,由活性层发射的光的波长可以切换到蓝色波长范围。例如,第三像素SP3的发光元件ED的铟(In)的含量可以为约15%,第二像素SP2的发光元件ED的铟(In)的含量可以为约25%,第一像素SP1的发光元件ED的铟(In)的含量可以为约35%或更大。换言之,第一像素SP1、第二像素SP2和第三像素SP3的发光元件ED可以被构造(例如,可以被制成)为通过控制活性层的铟(In)的含量来分别发射第一颜色光、第二颜色光和第三颜色光。

[0246] 超晶格层可以设置在活性层上。超晶格层可以是用于减轻第二半导体层与活性层之间的应力的层。例如,超晶格层可以由InGaN或GaN形成。然而,本公开不限于此,并且可以不设置超晶格层。

[0247] 第二半导体层可以设置在超晶格层上。第二半导体层可以掺杂有第二导电类型的掺杂剂,诸如以硅(Si)、锗(Ge)、硒(Se)或锡(Sn)为例。例如,第二半导体层可以是掺杂有Si的n-GaN,Si是n型掺杂剂。

[0248] 如上所述,根据本公开的一个或更多个实施例,可以提供一种显示装置,该显示装置能够通过控制施加到无机发光二极管(LED)的驱动电流来最小化或者减小亮度偏差并且改善图像的质量。然而,本公开不限于这里阐述的方面和特征,并且如本领域普通技术人员将理解的是,可以包括其它方面和特征。

[0249] 尽管已经描述了一些实施例,但是本领域技术人员将容易理解的是,在不脱离本公开的精神和范围的情况下,在实施例中能够进行各种修改。将理解的是,除非另外描述,

否则每个实施例中的特征或方面的描述通常应被认为可用于其它实施例中的其它类似特征或方面。因此，如对于本领域普通技术人员将清楚的是，除非另外具体说明，否则结合特定实施例描述的特征、特性和/或元件可以单独使用或者与结合其它实施例描述的特征、特性和/或元件组合使用。因此，应当理解的是，前述内容是各种示例实施例的说明，并且不应被解释为限于这里公开的具体实施例，并且对所公开的实施例以及其它示例实施例的各种修改意图包括在如所附权利要求及其等同物中限定的本公开的精神和范围内。

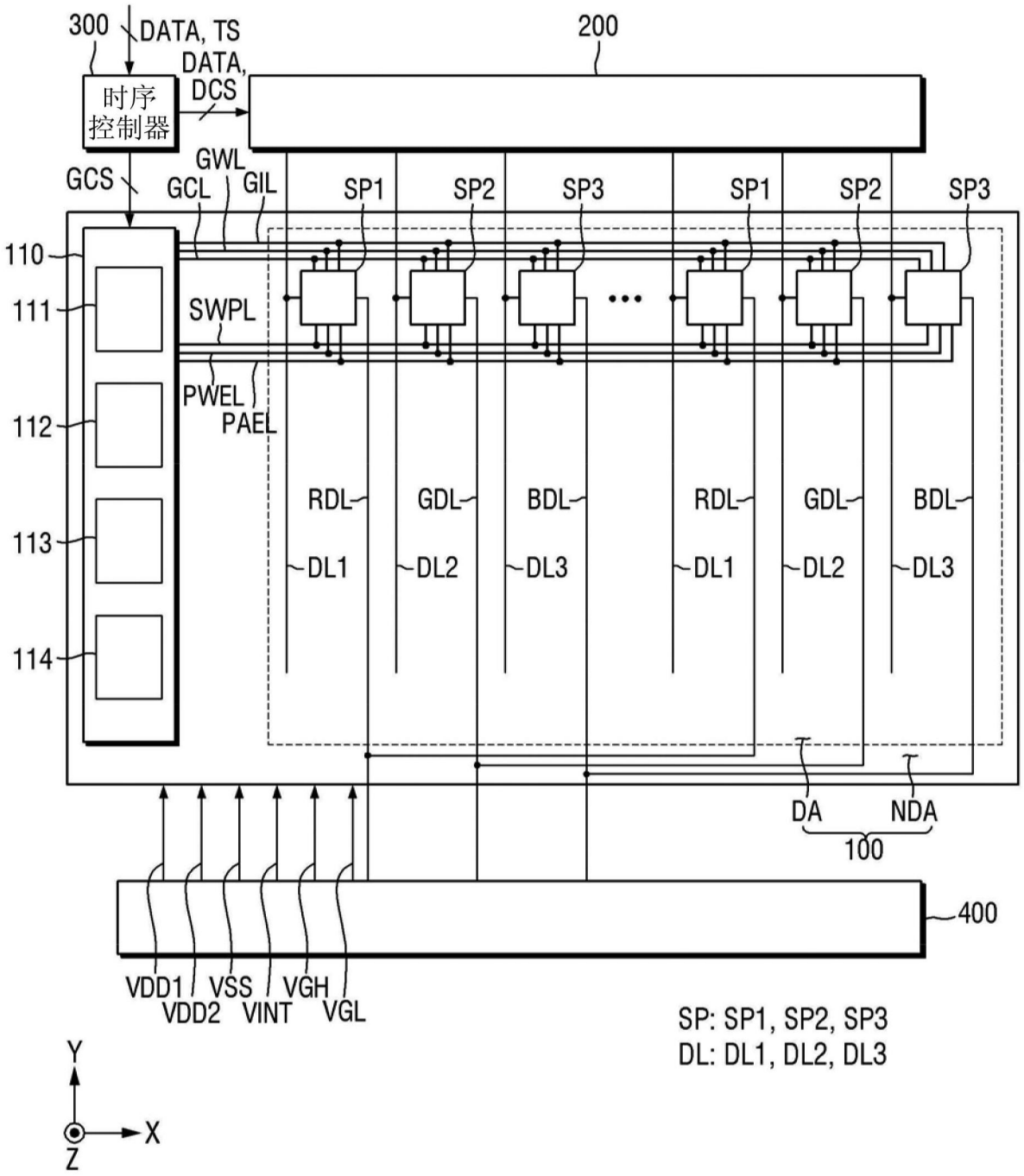

300
DATA, TS
DATA, DCS
时序控制器
200
GCS
GWL
GCL
GIL
SP1
SP2
SP3
SP1
SP2
SP3
110
111
112
113
114
SWPL
PWEL
PAEL
RDL
GDL
BDL
RDL
GDL
BDL
DL1
DL2
DL3
DL1
DL2
DL3
DA
NDA
100
400
VDD1
VDD2
VSS
VINT
VGH
VGL
SP: SP1, SP2, SP3
DL: DL1, DL2, DL3
Y
X
Z

图1

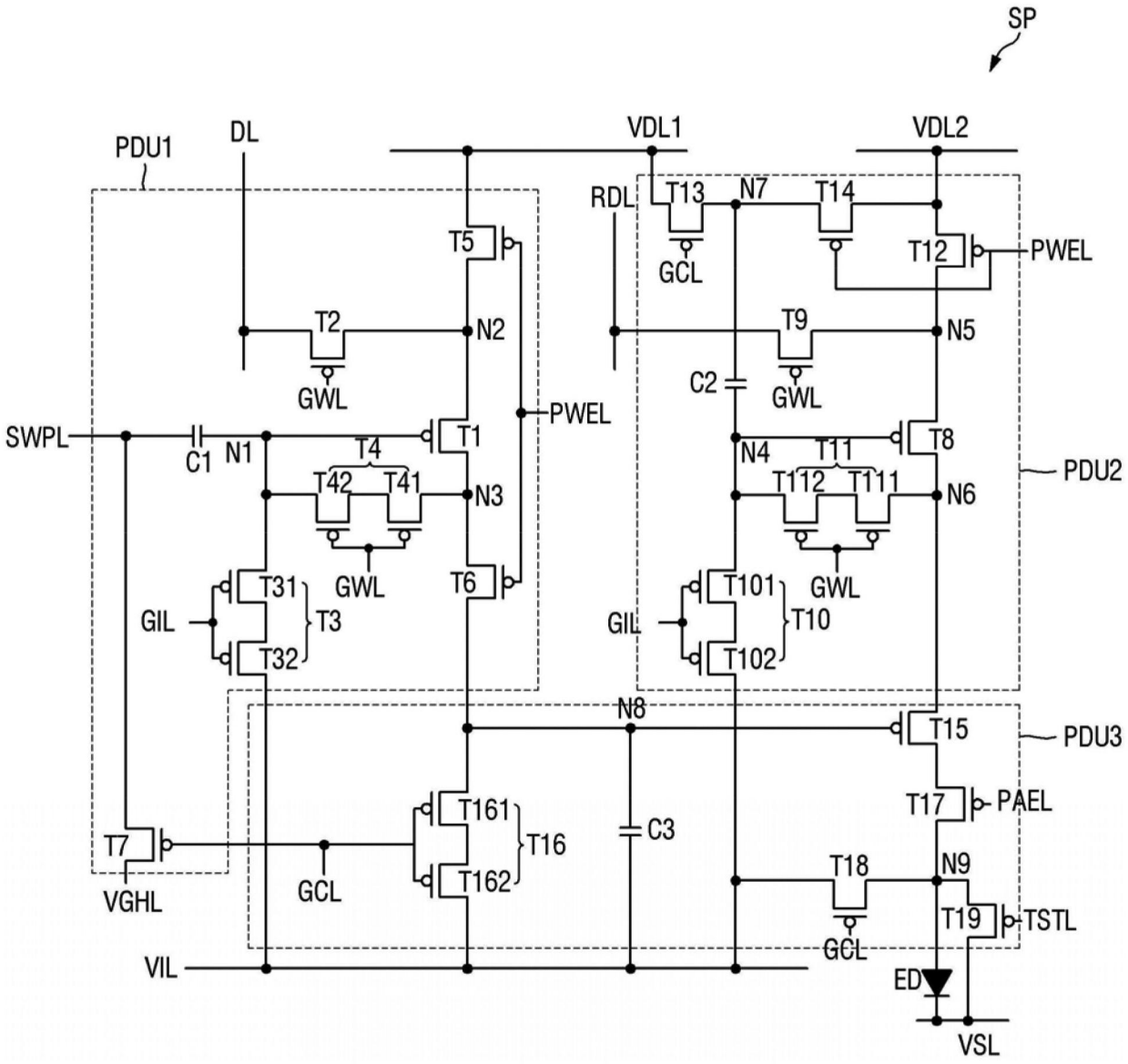

SP
PDU1
DL
VDL1
VDL2
RDL
T13
N7
T14
GCL
T12
PWEL
T5
T2
N2
T9
N5
GWL
C2
GWL
SWPL
C1
N1
T4
T1
PWEL
N4
T11
T8
PDU2
T42
T41
N3
T112
T111
N6
T31
GWL
T6
T101
GWL
GIL
T3
GIL
T10
T32
T102
N8
T15
PDU3
T161
T17
PAEL
T7
T16
C3
T162
T18
N9
VGHL
GCL
GCL
T19
TSTL
VIL
ED
VSL

图2

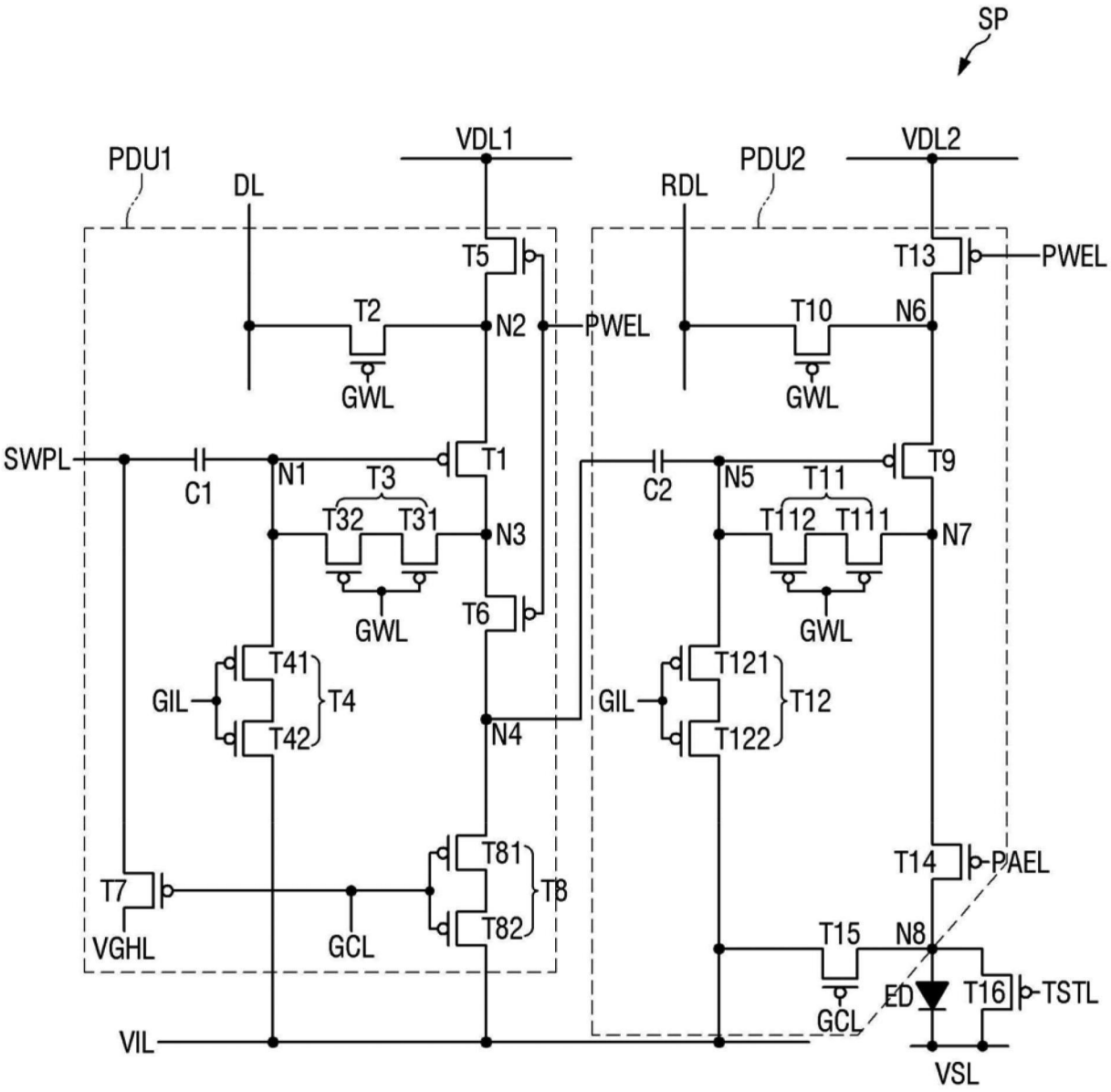

SP
PDU1
DL
VDL1
RDL
PDU2
VDL2
T5
T13
PWEL
T2
N2
PWEL
T10
N6
GWL
GWL
SWPL
C1
N1
T3
T1
C2
N5
T11
T9
T32
T31
N3
T112
T111
N7
GWL
GWL
T6
T41
GIL
T4
T42
N4
T121
GIL
T12
T122
T81
T14
PAEL
T7
T8
T82
T15
N8
VGHL
GCL
GCL
ED
T16
TSTL
VIL
VSL

图3

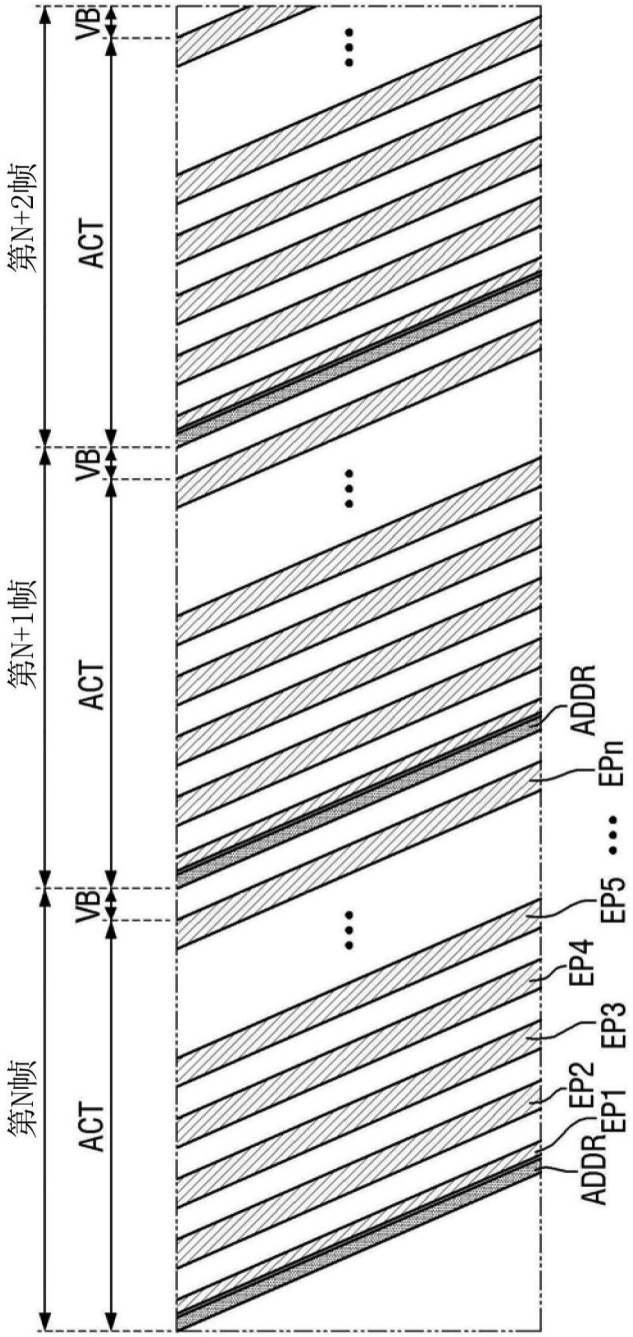


图4

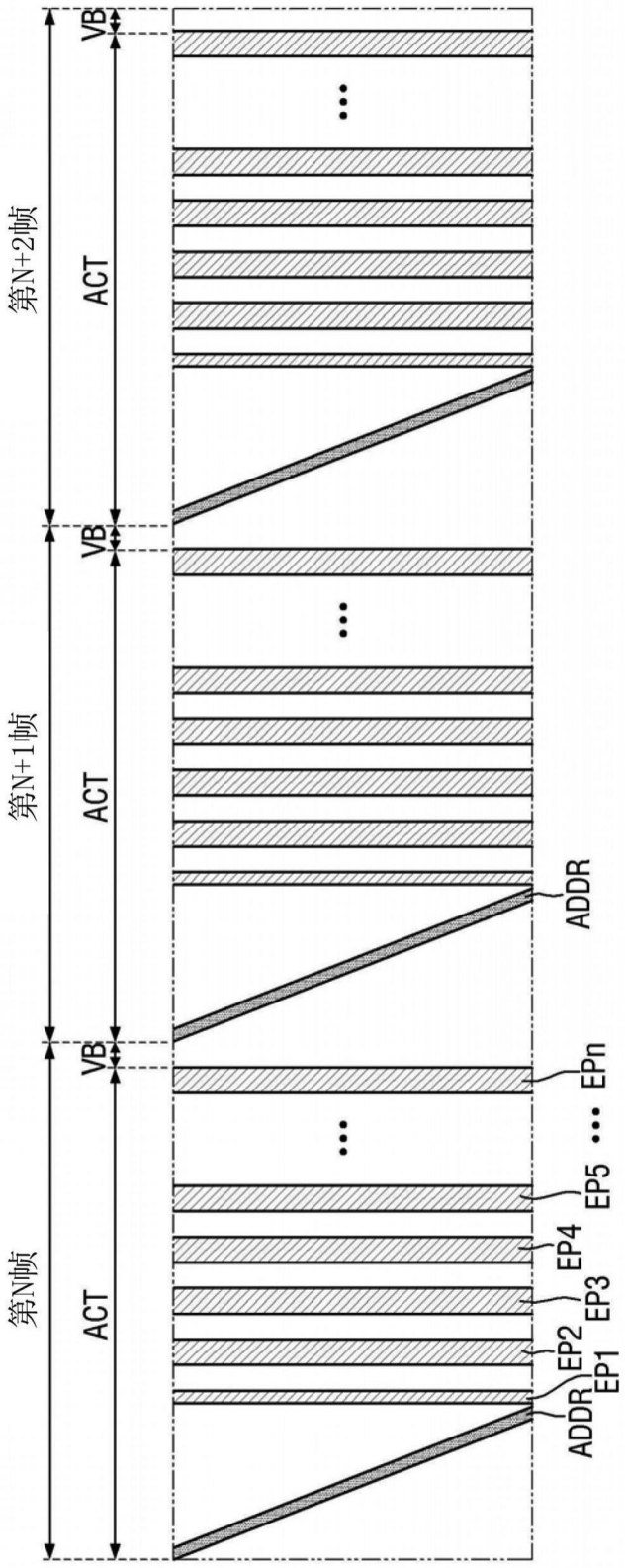


图5

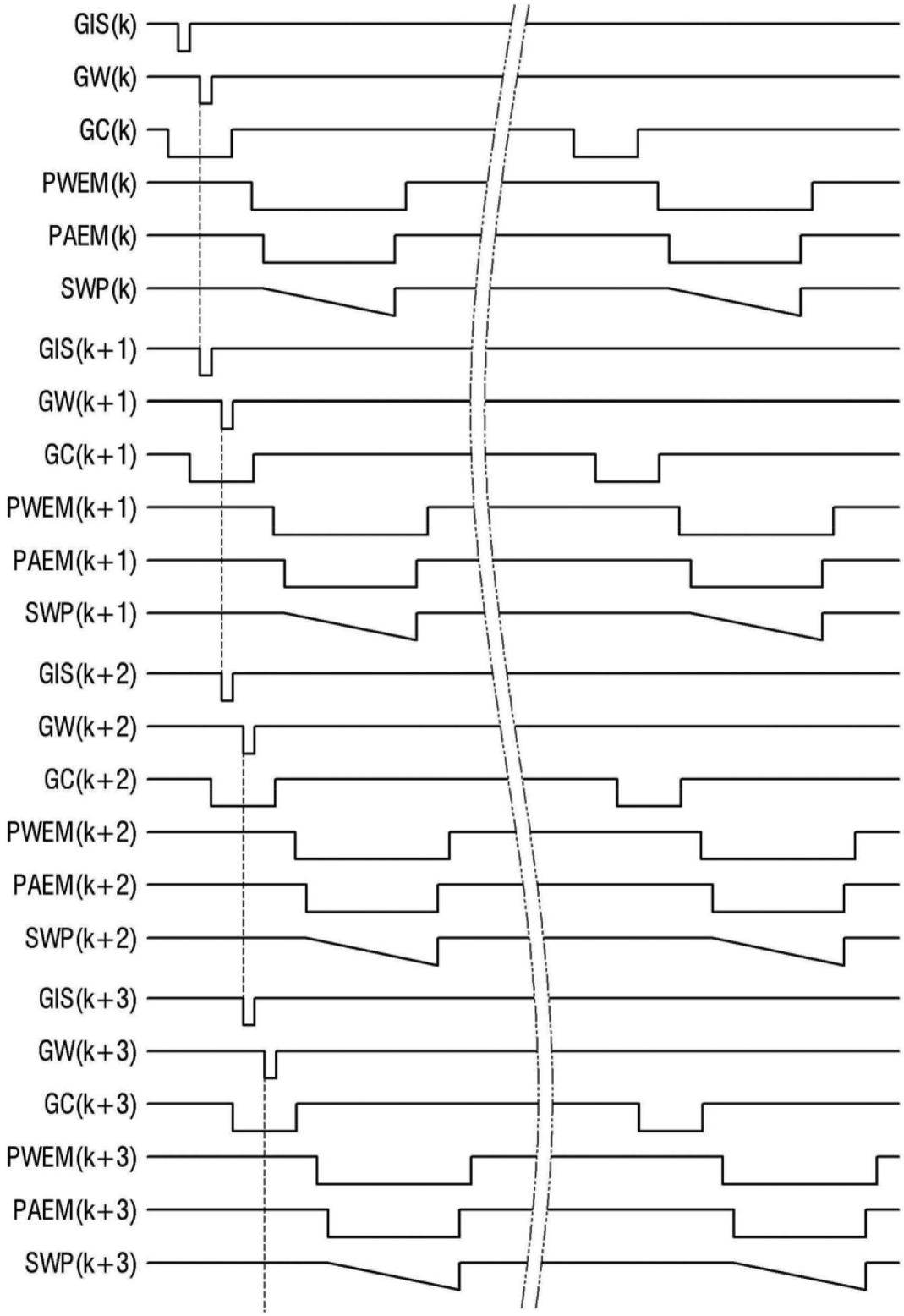

GIS(k)
GW(k)
GC(k)
PWEM(k)
PAEM(k)
SWP(k)
GIS(k+1)
GW(k+1)
GC(k+1)
PWEM(k+1)
PAEM(k+1)
SWP(k+1)
GIS(k+2)
GW(k+2)
GC(k+2)
PWEM(k+2)
PAEM(k+2)
SWP(k+2)
GIS(k+3)
GW(k+3)
GC(k+3)
PWEM(k+3)
PAEM(k+3)
SWP(k+3)

图6

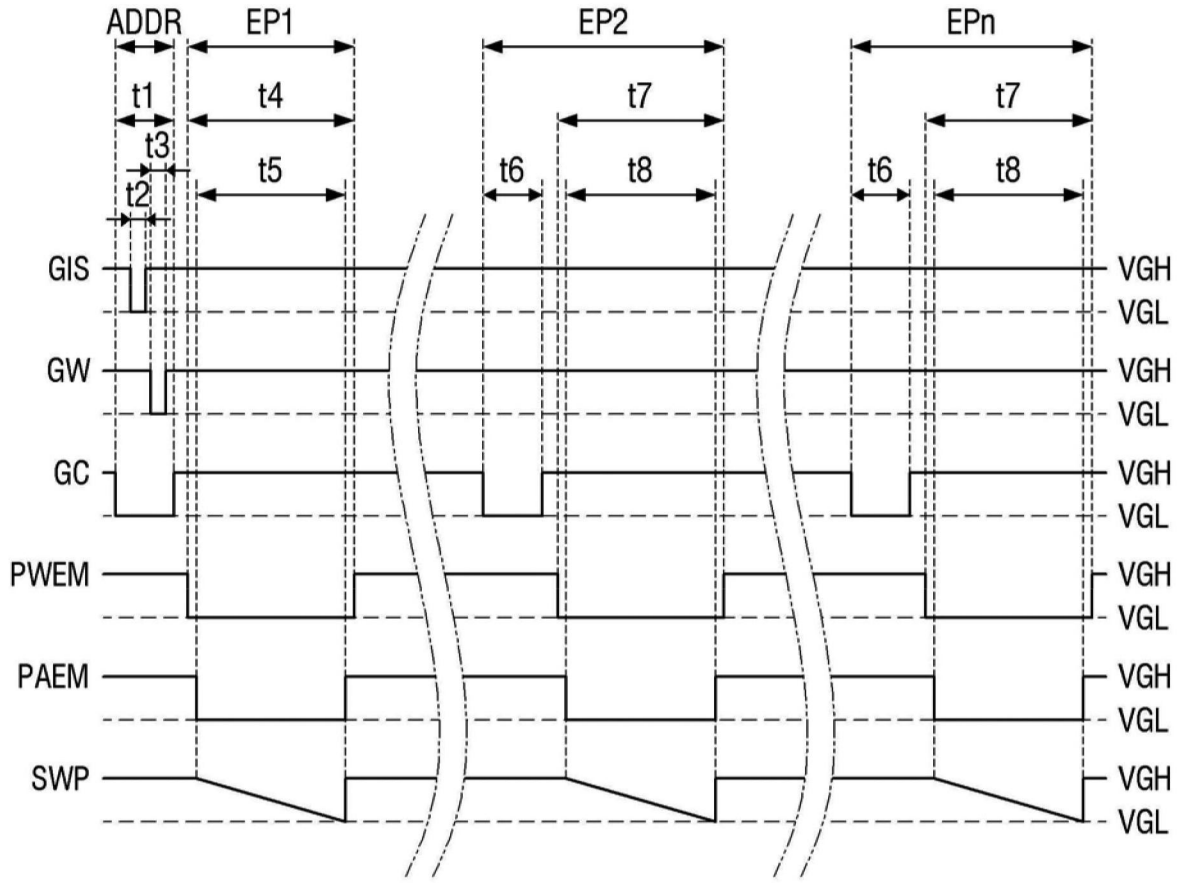

ADDR
EP1
EP2
EPn
t1
t2
t3
t4
t5
t6
t7
t8
GIS
GW
GC
PWEM
PAEM
SWP
VGH
VGL

图7

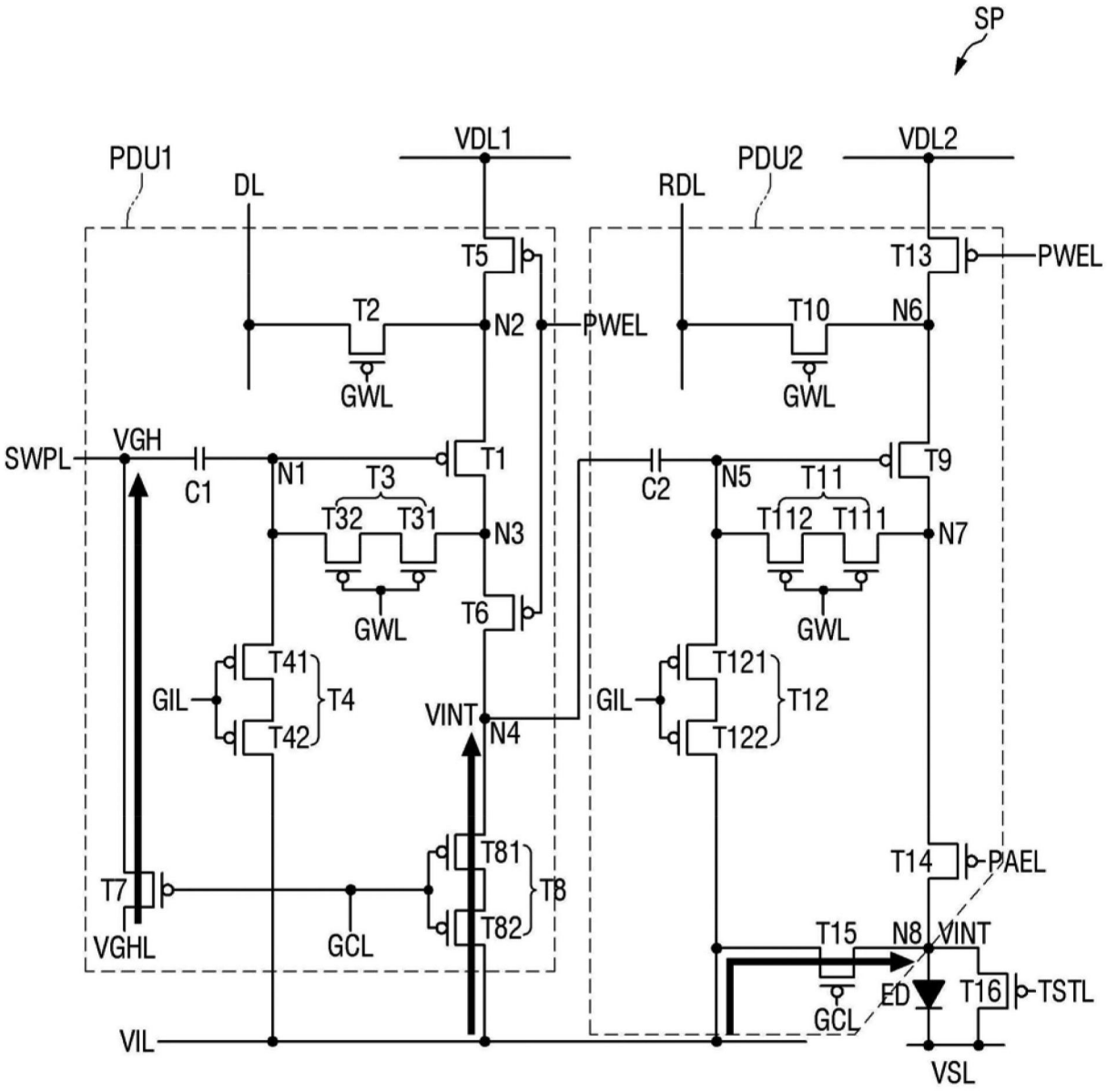

SP
PDU1
DL
VDL1
RDL
PDU2
VDL2
T5
T13
PWEL
T2
N2
PWEL
T10
N6
GWL
GWL
SWPL
VGH
C1
N1
T3
T1
C2
N5
T11
T9
T32
T31
N3
T112
T111
N7
GWL
GWL
T6
T41
GIL
T4
T42
VINT
N4
GIL
T121
T12
T122
T81
T14
PAEL
T7
T8
T82
T15
N8
VINT
VGHL
GCL
GCL
ED
T16
TSTL
VIL
VSL

图8

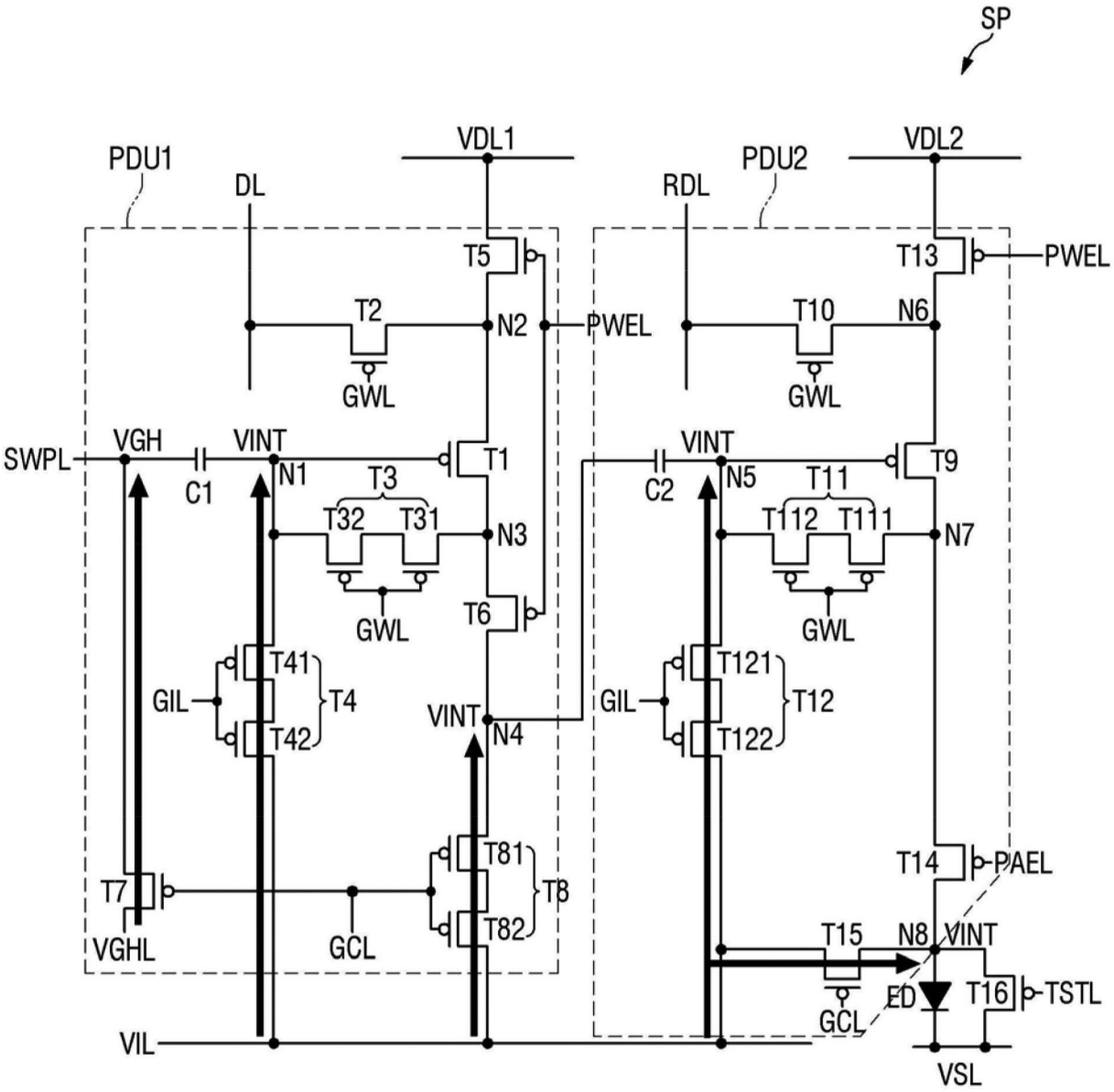

SP
PDU1
DL
VDL1
RDL
PDU2
VDL2
T5
T13
PWEL
T2
N2
PWEL
T10
N6
GWL
GWL
SWPL
VGH
VINT
N1
C1
T1
T3
VINT
C2
N5
T11
T9
T32
T31
N3
T112
T111
N7
GWL
GWL
T6
T41
GIL
T4
T42
VINT
N4
GIL
T121
T12
T122
T81
T14
PAEL
T7
T8
T82
T15
N8
VINT
VGHL
GCL
GCL
ED
T16
TSTL
VIL
VSL

图9

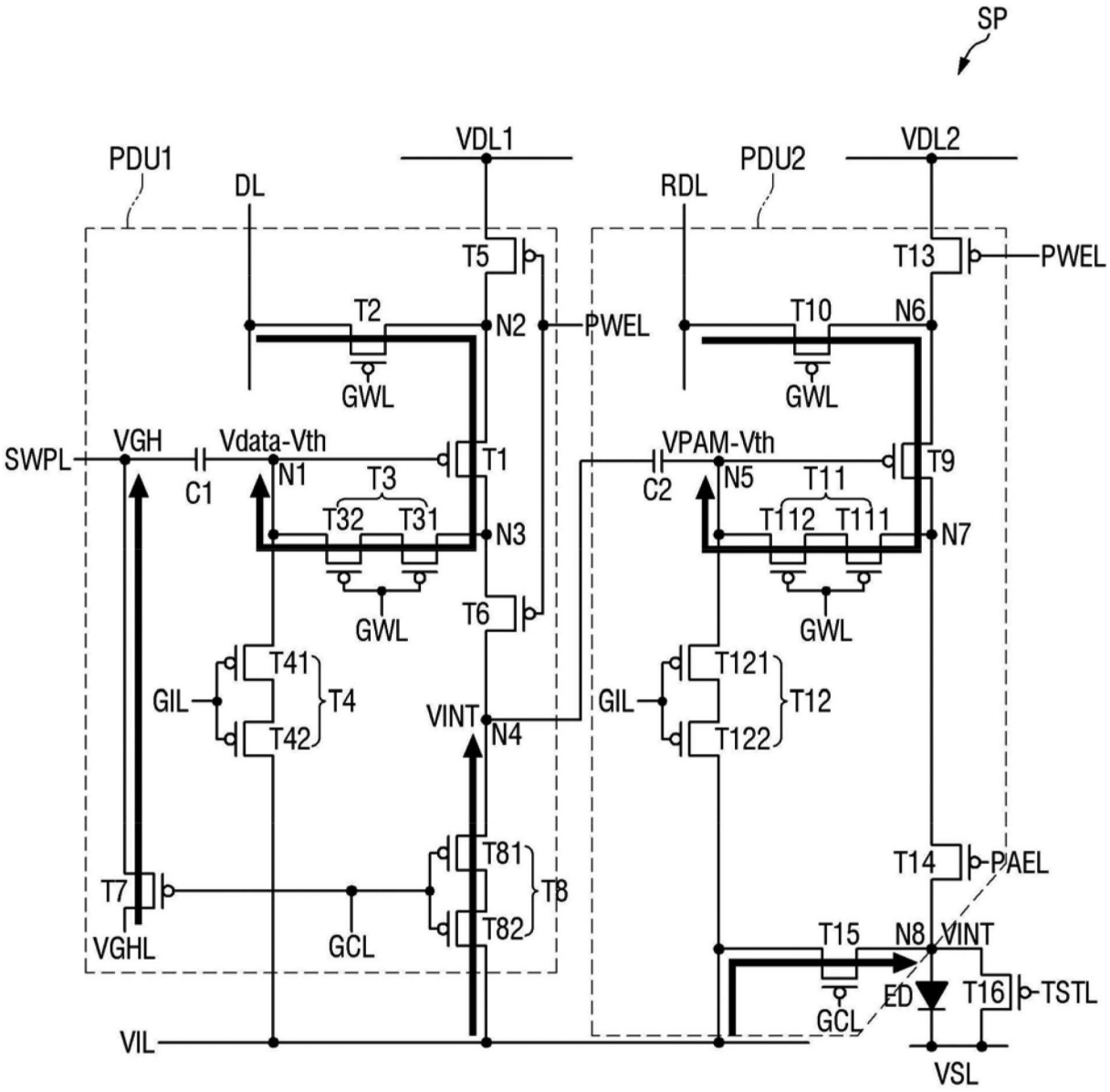

SP
PDU1
VDL1
DL
PDU2
VDL2
RDL
T5
T13
PWEL
T2
N2
PWEL
T10
N6
GWL
GWL
SWPL
VGH
Vdata-Vth
T1
VPAM-Vth
T9
C1
N1
T3
C2
N5
T11
T32
T31
N3
T112
T111
N7
GWL
GWL
T6
T41
T121
GIL
T4
VINT
N4
GIL
T12
T42
T122
T81
T14
PAEL
T7
T8
T15
N8
VINT
T82
VGHL
GCL
ED
T16
TSTL
GCL
VIL
VSL

图10

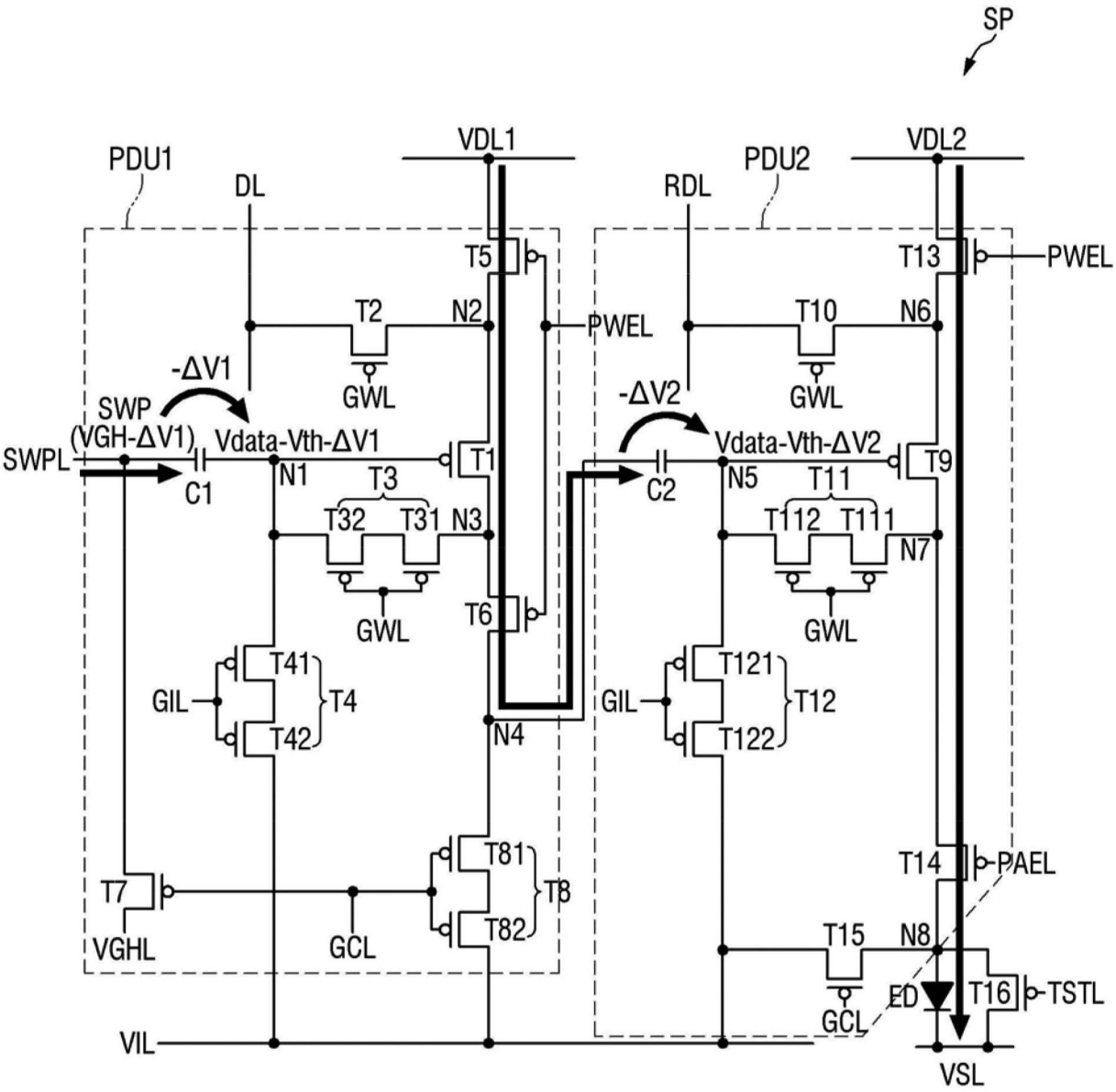

SP
PDU1
DL
VDL1
RDL
PDU2
VDL2
T5
T13
PWEL
T2
N2
PWEL
T10
N6
-ΔV1
GWL
-ΔV2
GWL
SWP
(VGH-ΔV1)
Vdata-Vth-ΔV1
Vdata-Vth-ΔV2
SWPL
T1
T9
C1
N1
T3
C2
N5
T11
T32
T31
N3
T112
T111
N7
GWL
GWL
T6
T41
T121
GIL
T4
GIL
T12
T42
N4
T122
T81
T14
PAEL
T7
T8
T15
N8
T82
VGHL
GCL
GCL
ED
T16
TSTL
VIL
VSL

图11

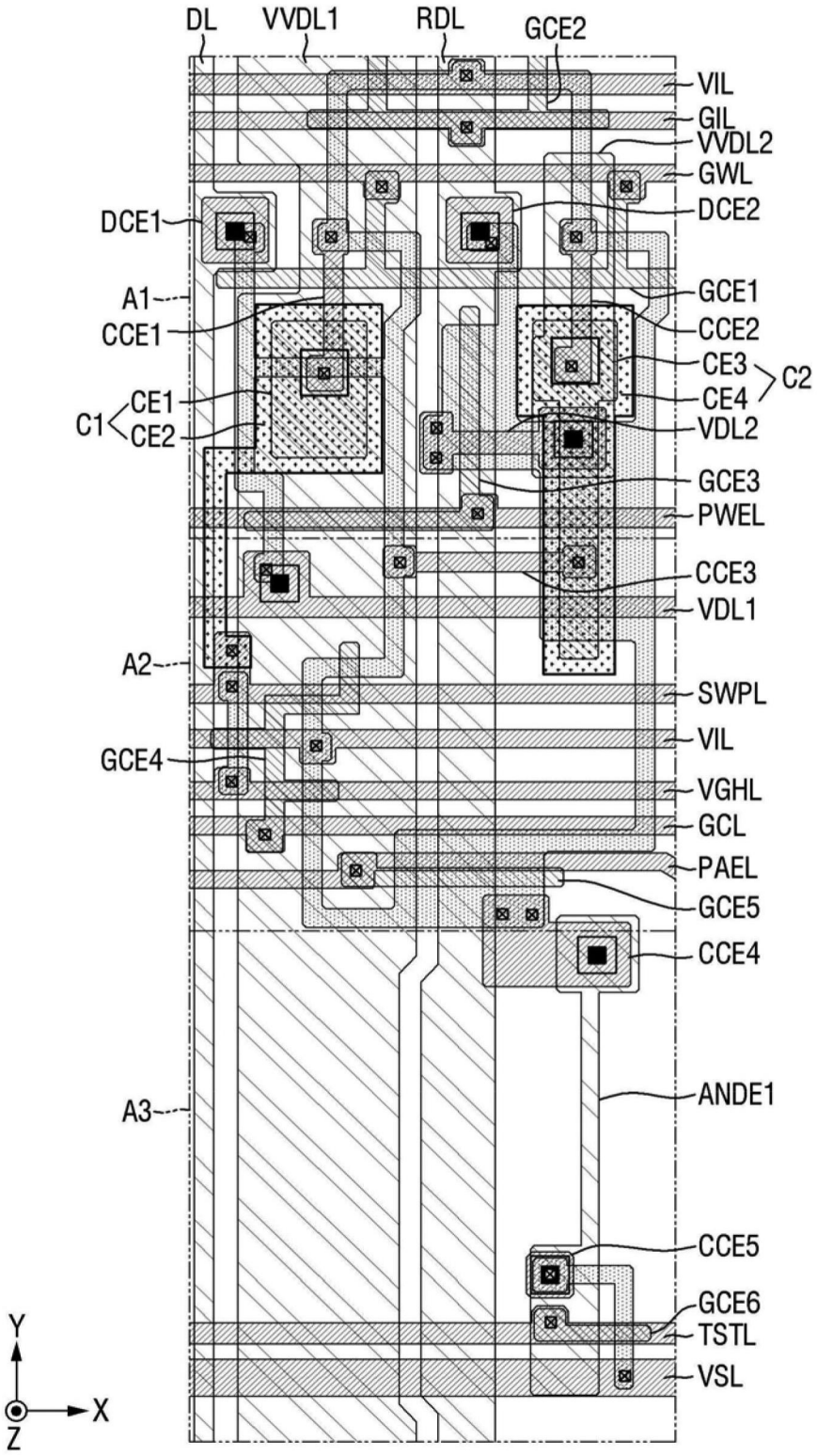

DL
VVDL1
RDL
GCE2
VIL
GIL
VVDL2
GWL
DCE2
DCE1
A1
GCE1
CCE1
CCE2
CE3
C2
CE4
CE1
C1
CE2
VDL2
GCE3
PWEL
CCE3
VDL1
A2
SWPL
VIL
GCE4
VGHL
GCL
PAEL
GCE5
CCE4
A3
ANDE1
CCE5
GCE6
TSTL
VSL
Y
X
Z

图12

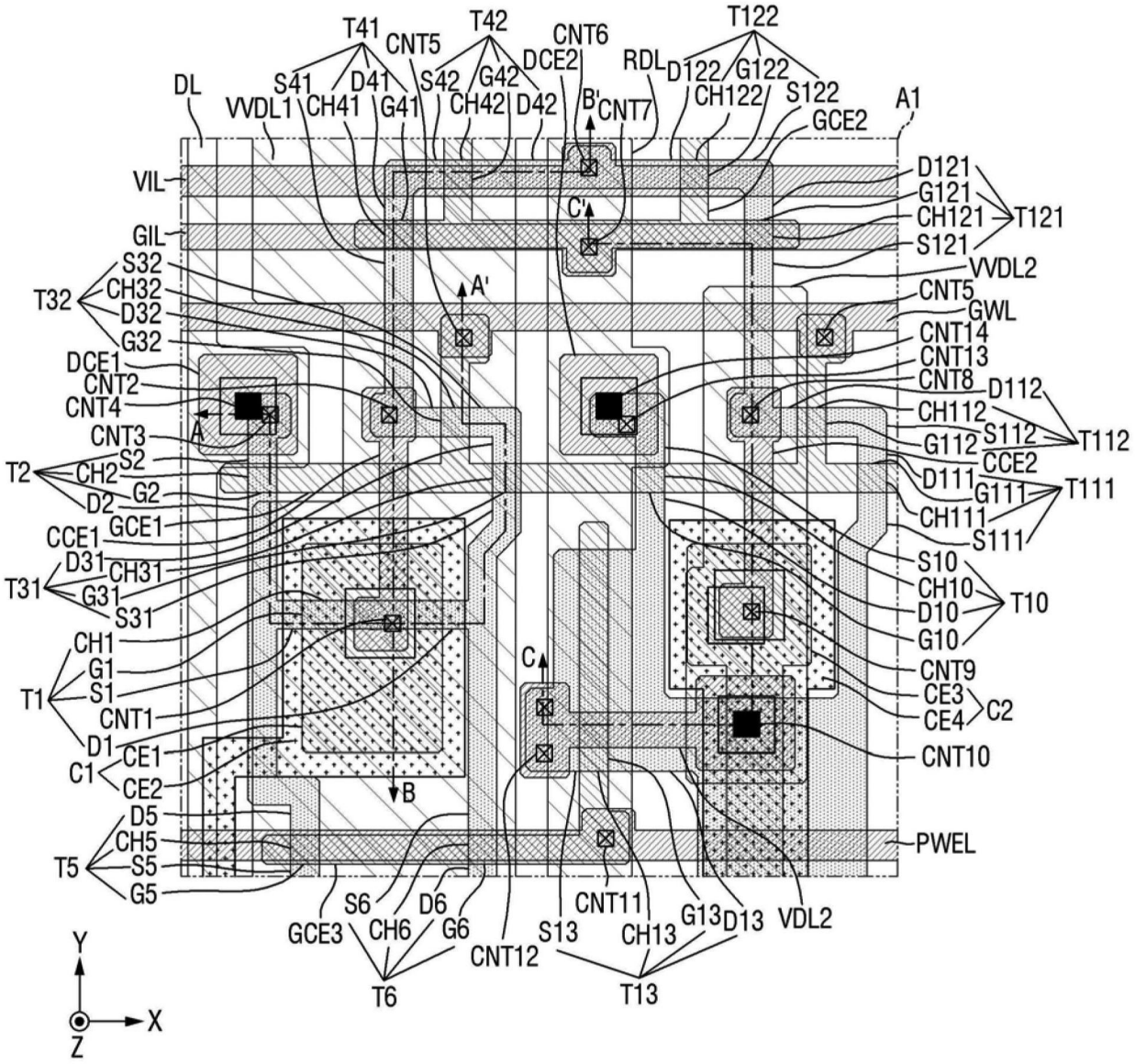

T41
CNT5
T42
CNT6
T122
DL
S41
D41
S42
G42
DCE2
RDL
D122
G122
VVDL1
CH41
G41
CH42
D42
B'
CNT7
CH122
S122
A1
GCE2
VIL
D121
G121
CH121
T121
C'
GIL
S121
S32
VVDL2
A'
CH32
T32
D32
CNT5
G32
GWL
CNT14
DCE1
CNT13
CNT2
CNT8
D112
CNT4
CH112
A
CNT3
S112
T112
G112
CCE2
S2
D111
T2
CH2
G111
T111
G2
D2
CH111
GCE1
S111
CCE1
S10
D31
CH31
CH10
T31
G31
D10
T10
S31
G10
CH1
C
CNT9
G1
CE3
T1
S1
CE4
C2
CNT1
D1
CNT10
CE1
C1
CE2
B
D5
PWEL
CH5
T5
S5
G5
S6
D6
CNT11
G13
D13
VDL2
GCE3
CH6
G6
S13
CH13
CNT12
T6
T13
Y
X
Z

图13

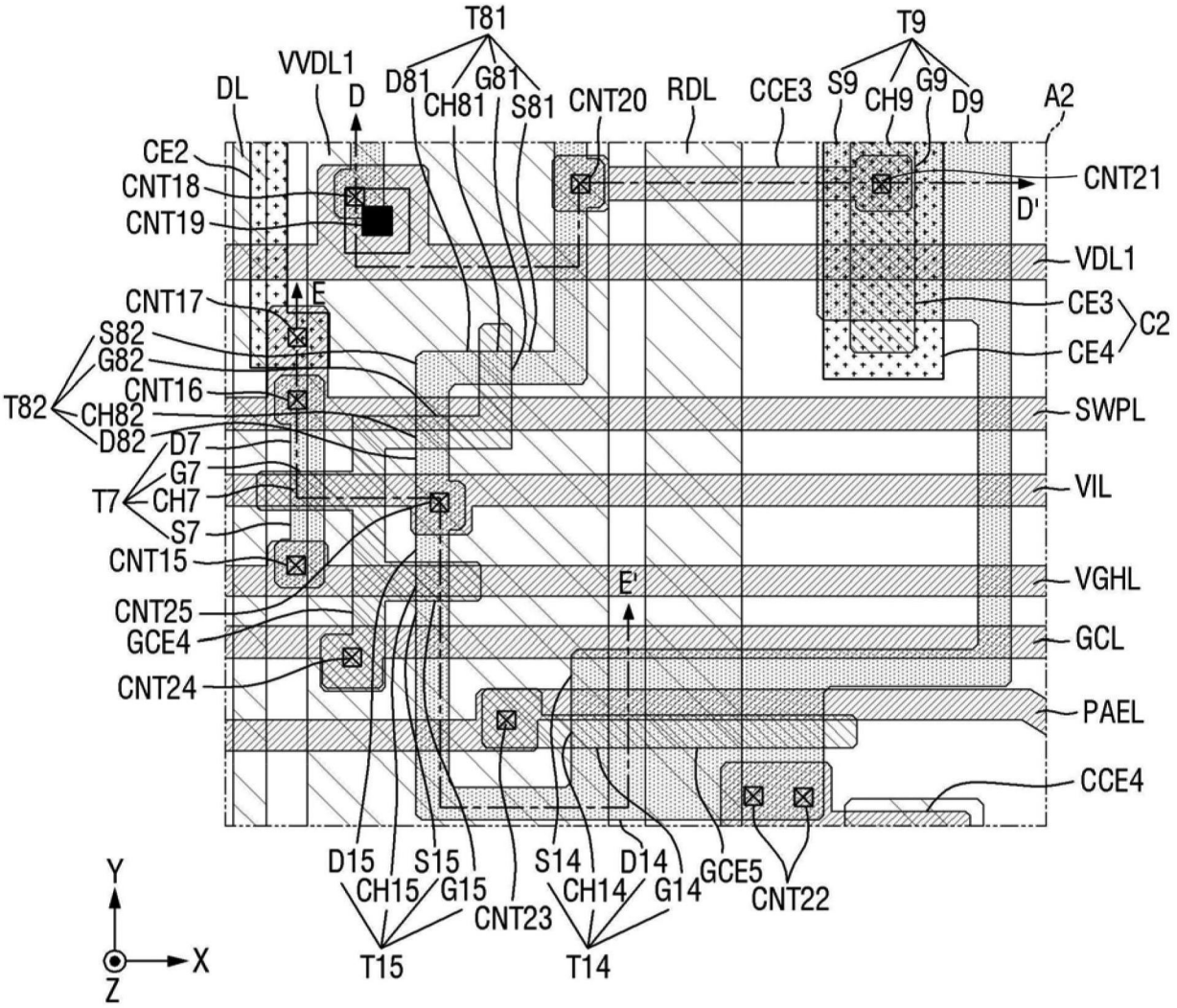

T81
T9
VVDL1
DL
D
D81
G81
CH81
S81
CNT20
RDL
CCE3
S9
CH9
G9
D9
A2
CE2
CNT18
CNT19
CNT21
D'
VDL1
CNT17
E
CE3
C2
S82
G82
CE4
CNT16
T82
CH82
D82
SWPL
D7
G7
T7
CH7
S7
VIL
CNT15
E'
VGHL
CNT25
GCE4
GCL
CNT24
PAEL
CCE4
D15
S15
S14
D14
GCE5
CH15
G15
CH14
G14
CNT22
CNT23
T15
T14
Y
X
Z

图14

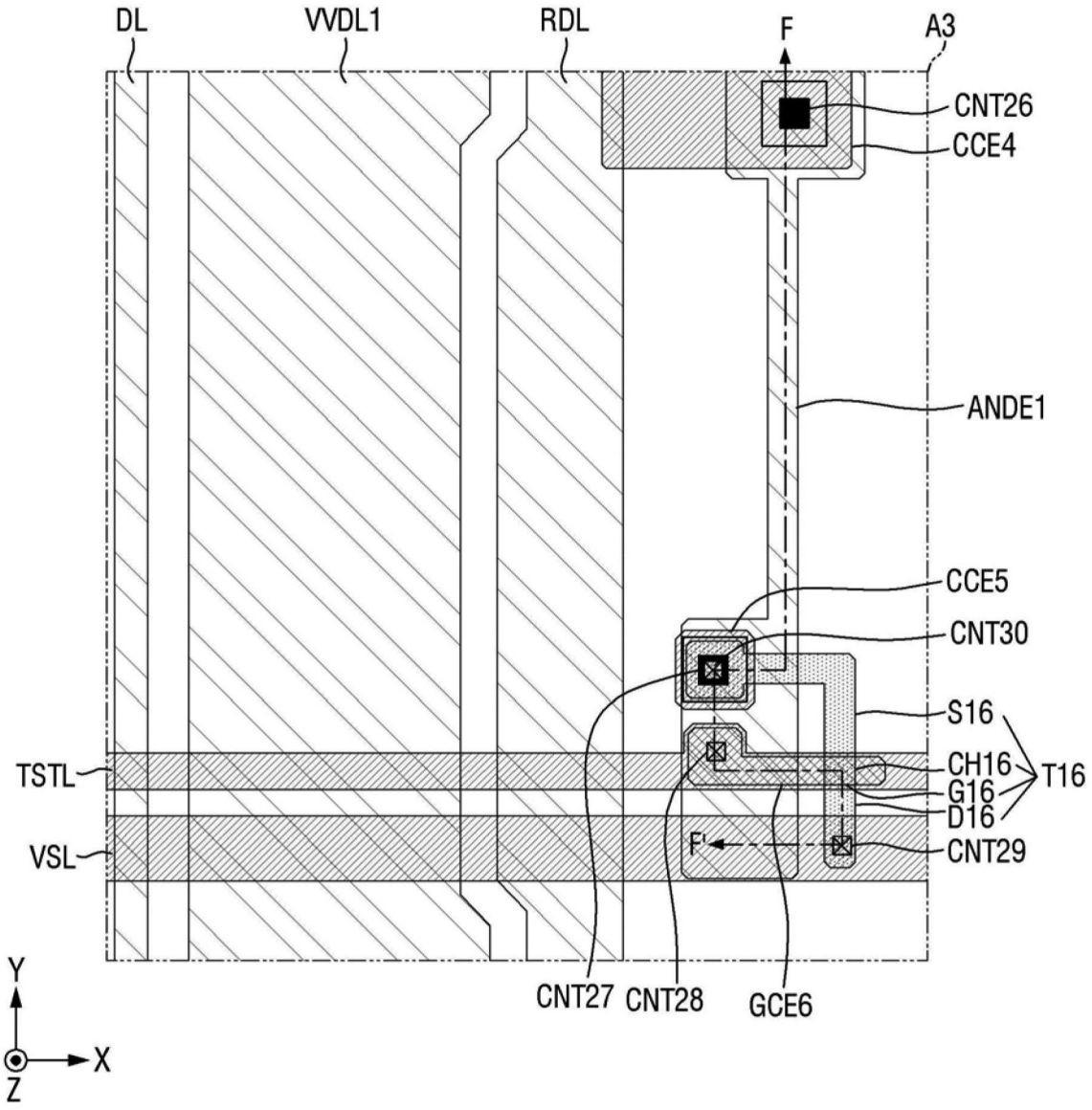

DL
VVDL1
RDL
F
A3
CNT26
CCE4
ANDE1
CCE5
CNT30
S16
CH16
G16
D16
T16
TSTL
VSL
F'
CNT29
CNT27
CNT28
GCE6
Y
X
Z

图15

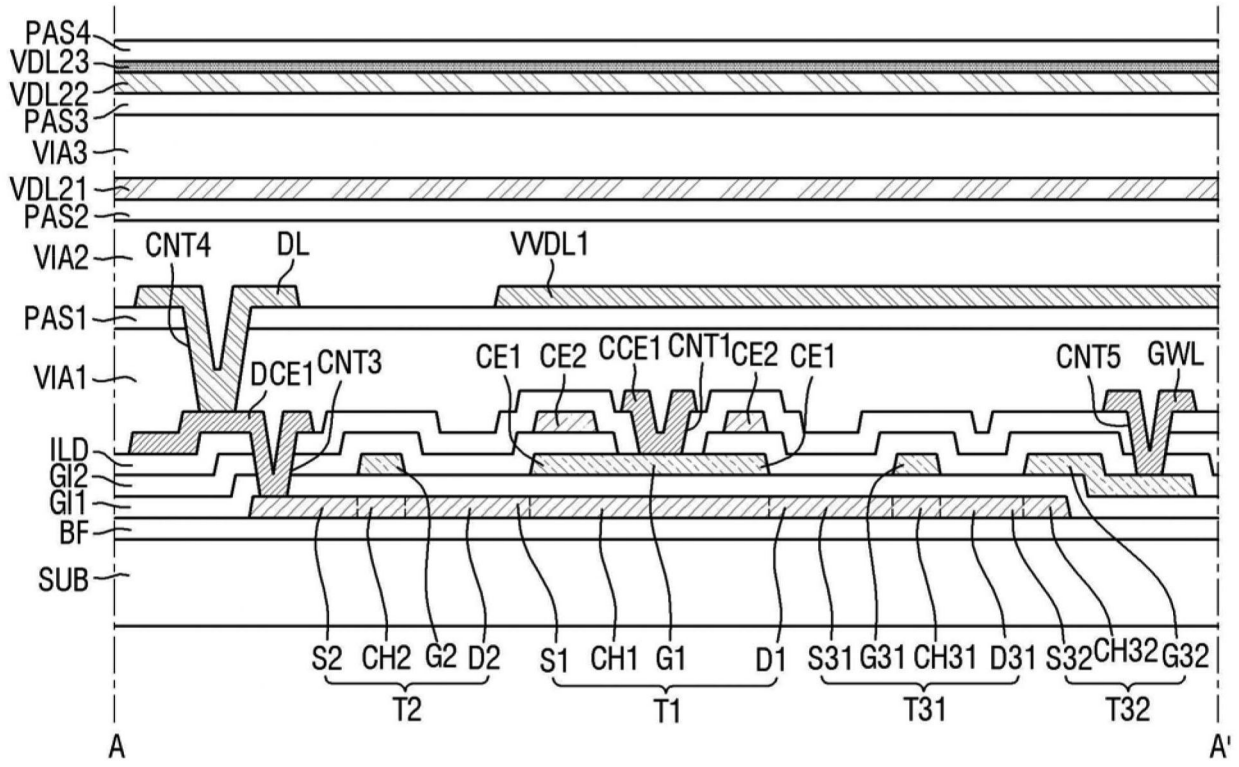

PAS4
VDL23
VDL22
PAS3
VIA3
VDL21
PAS2
VIA2
PAS1
VIA1
ILD
GI2
GI1
BF
SUB
CNT4
DL
VVDL1
DCE1
CNT3
CE1
CE2
CCE1
CNT1
CE2
CE1
CNT5
GWL
S2
CH2
G2
D2
S1
CH1
G1
D1
S31
G31
CH31
D31
S32
CH32
G32
T2
T1
T31
T32
A
A'

图16

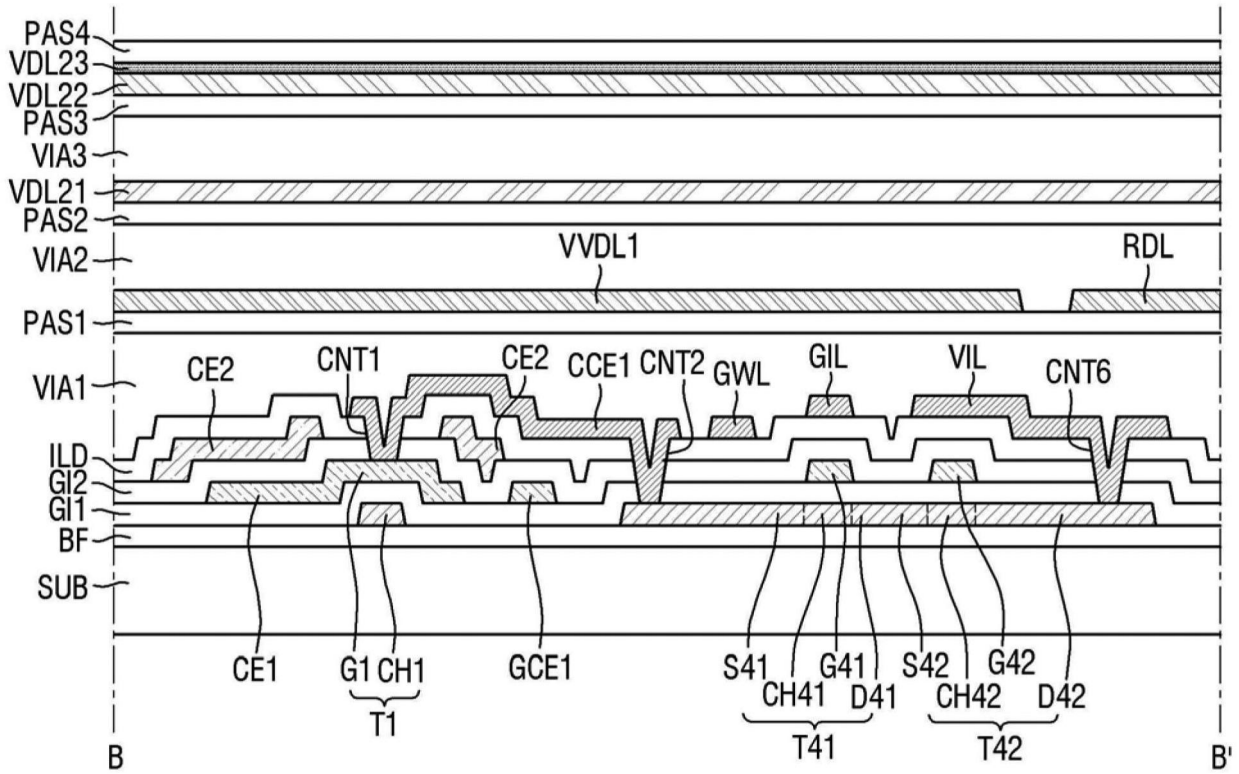

PAS4
VDL23
VDL22
PAS3
VIA3
VDL21
PAS2
VIA2
PAS1
VIA1
ILD
GI2
GI1
BF
SUB
VVDL1
RDL
CE2
CNT1
CE2
CCE1
CNT2
GWL
GIL
VIL
CNT6
CE1
G1
CH1
GCE1
S41
CH41
G41
D41
S42
CH42
G42
D42
T1
T41
T42
B
B'

图17

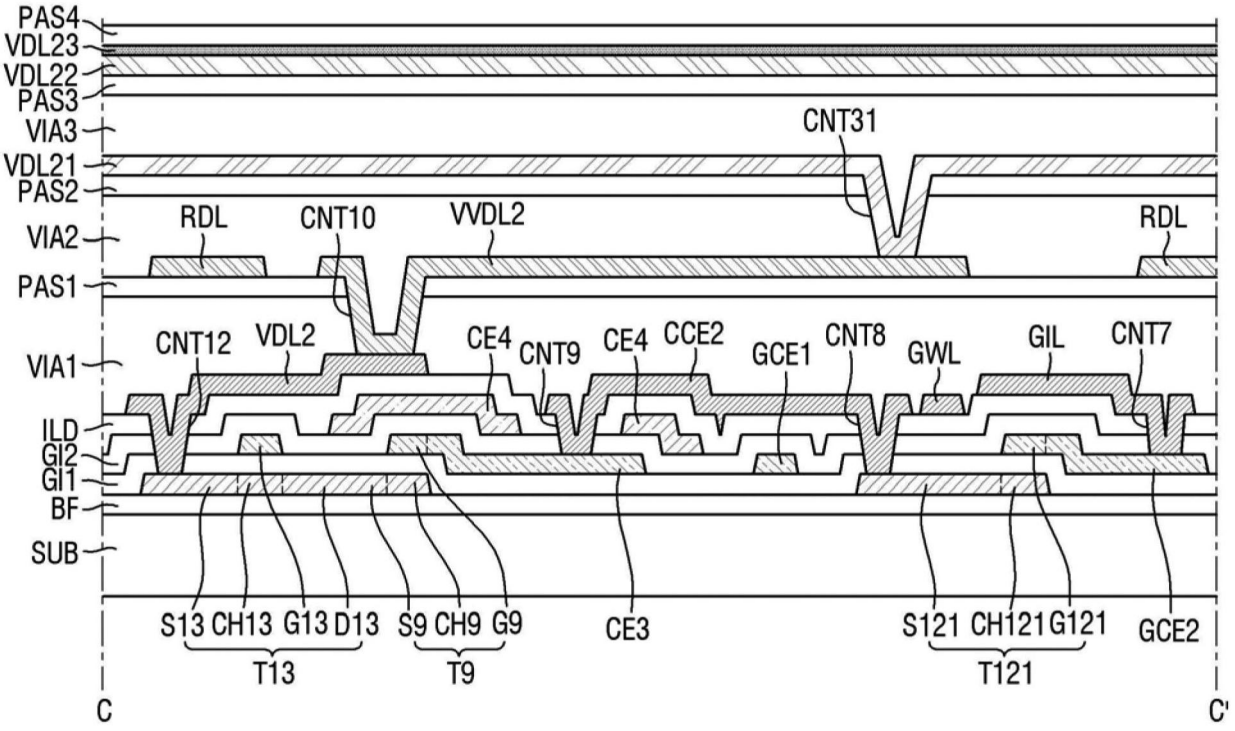

PAS4
VDL23
VDL22
PAS3
VIA3
VDL21
PAS2
VIA2
PAS1
VIA1
ILD
GI2
GI1
BF
SUB
RDL
CNT10
VVDL2
CNT31
RDL
CNT12
VDL2
CE4
CNT9
CE4
CCE2
GCE1
CNT8
GWL
GIL
CNT7
S13 CH13 G13 D13
S9 CH9 G9
CE3
S121 CH121 G121
GCE2
T13
T9
T121
C
C'

图18

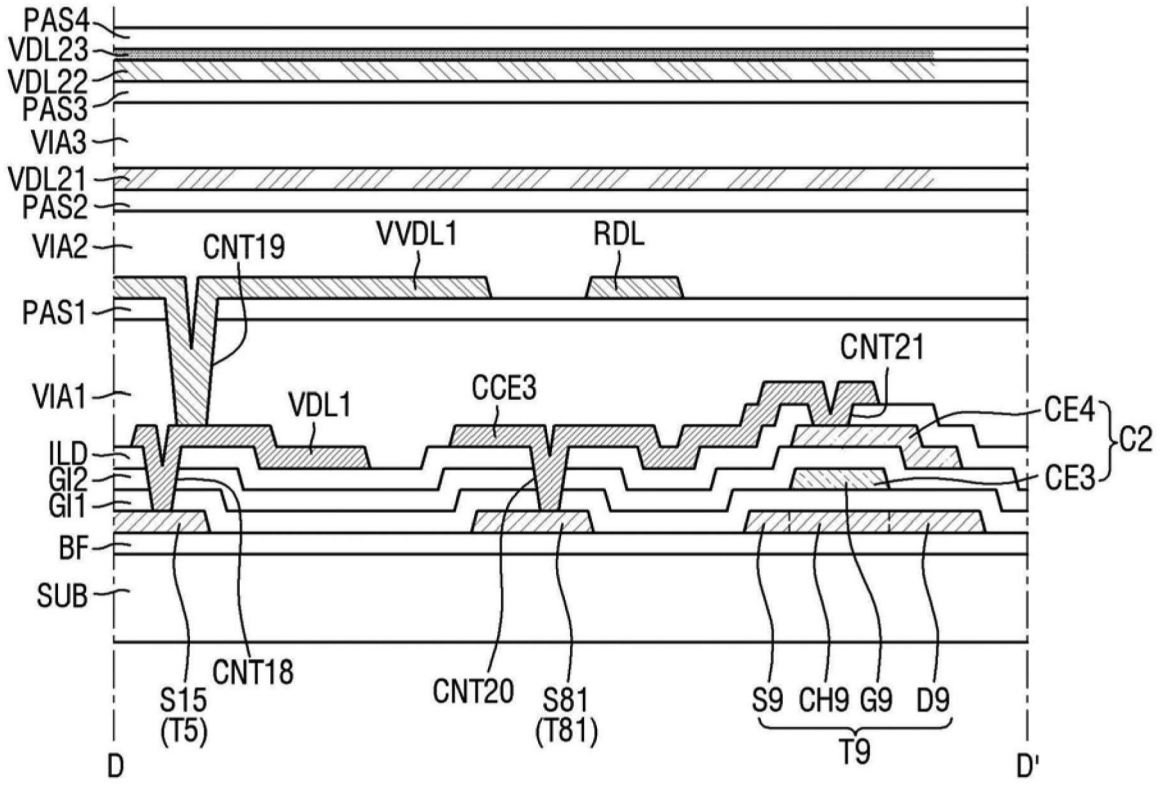

PAS4
VDL23
VDL22
PAS3
VIA3
VDL21
PAS2
VIA2
PAS1
VIA1
ILD
GI2
GI1
BF
SUB
CNT19
VVDL1
RDL
CNT21
VDL1
CCE3
CE4
C2
CE3
CNT18
CNT20
S15
(T5)
S81
(T81)
S9 CH9 G9 D9
T9
D
D'

图19

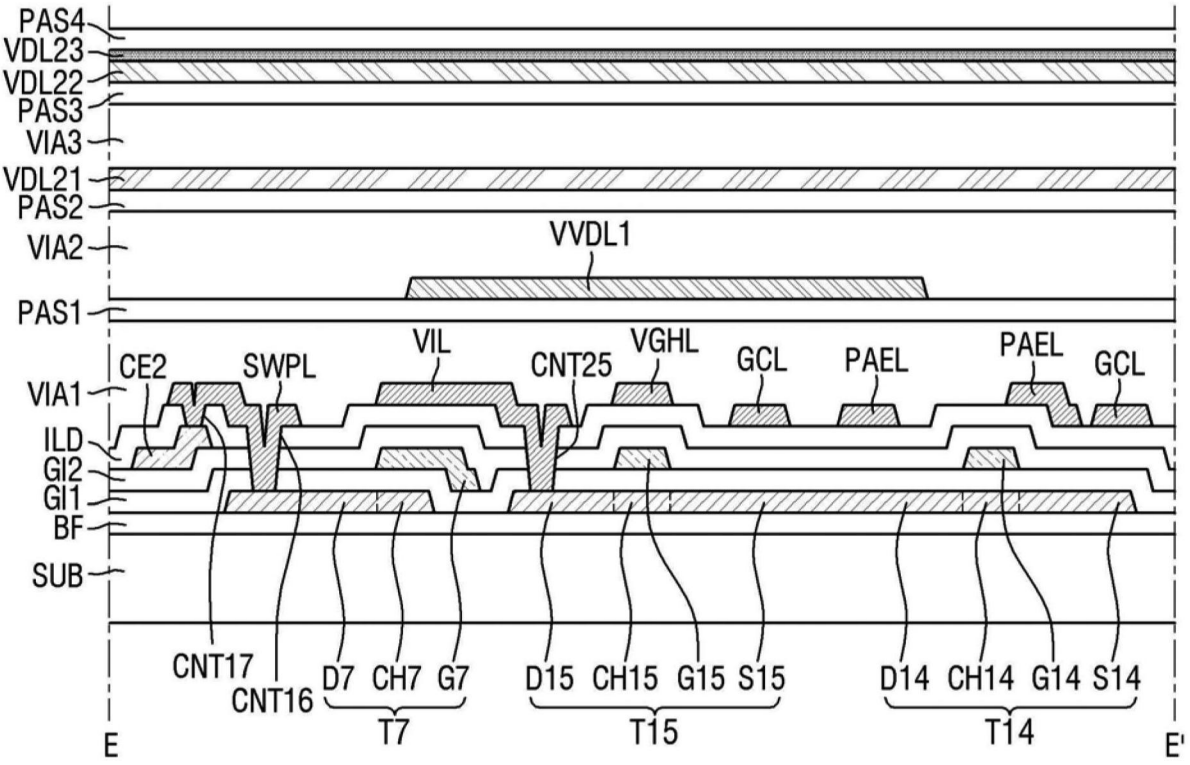

PAS4
VDL23
VDL22
PAS3
VIA3
VDL21
PAS2
VIA2
VVDL1
PAS1
CE2
SWPL
VIL
CNT25
VGHL
GCL
PAEL
PAEL
GCL
VIA1
ILD
GI2
GI1
BF
SUB
CNT17
CNT16
D7 CH7 G7
D15 CH15 G15 S15
D14 CH14 G14 S14
T7
T15
T14
E
E'

图20

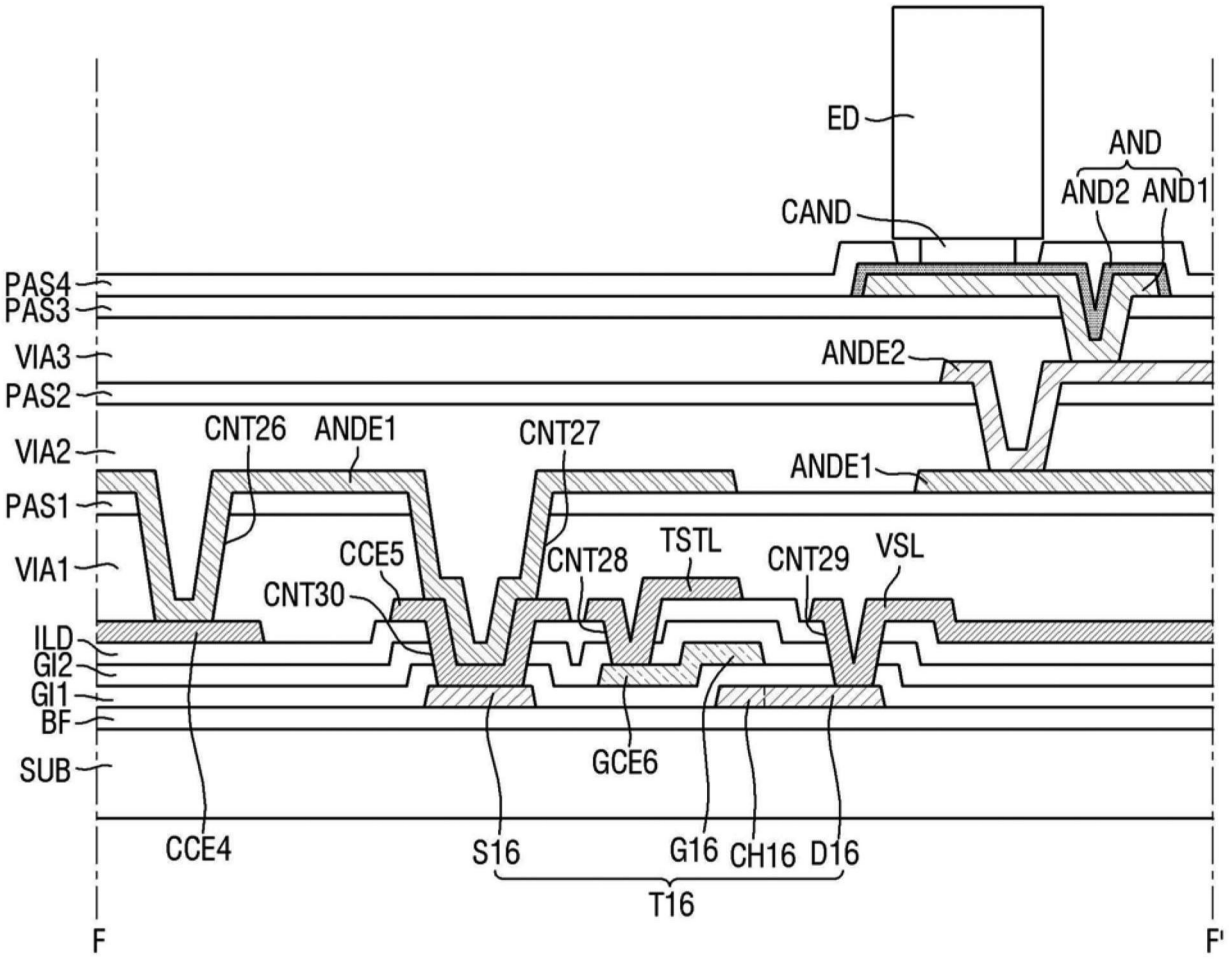

ED
AND
AND2
AND1
CAND
PAS4
PAS3
VIA3
ANDE2
PAS2
CNT26
ANDE1
CNT27
VIA2
ANDE1
PAS1
CCE5
CNT28
TSTL
CNT29
VSL
VIA1
CNT30
ILD
GI2
GI1
BF
SUB
GCE6
CCE4
S16
G16
CH16
D16
T16
F
F'

图21