I693719

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I693719 B**

(45)公告日： 中華民國 109 (2020) 年 05 月 11 日

(21)申請案號：105113548　(22)申請日： 中華民國 105 (2016) 年 04 月 29 日

(51)Int. Cl.：　*H01L29/78　(2006.01)*　*H01L21/336　(2006.01)*

(30)優先權：2015/05/11　日本　2015-096317

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)

日本

(72)發明人：遠藤佑太 ENDO, YUTA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW　201515230A　US　2008/0296568A1

審查人員：陳英豪

申請專利範圍項數：14 項　圖式數：52　共 190 頁

(54)名稱

半導體裝置的製造方法

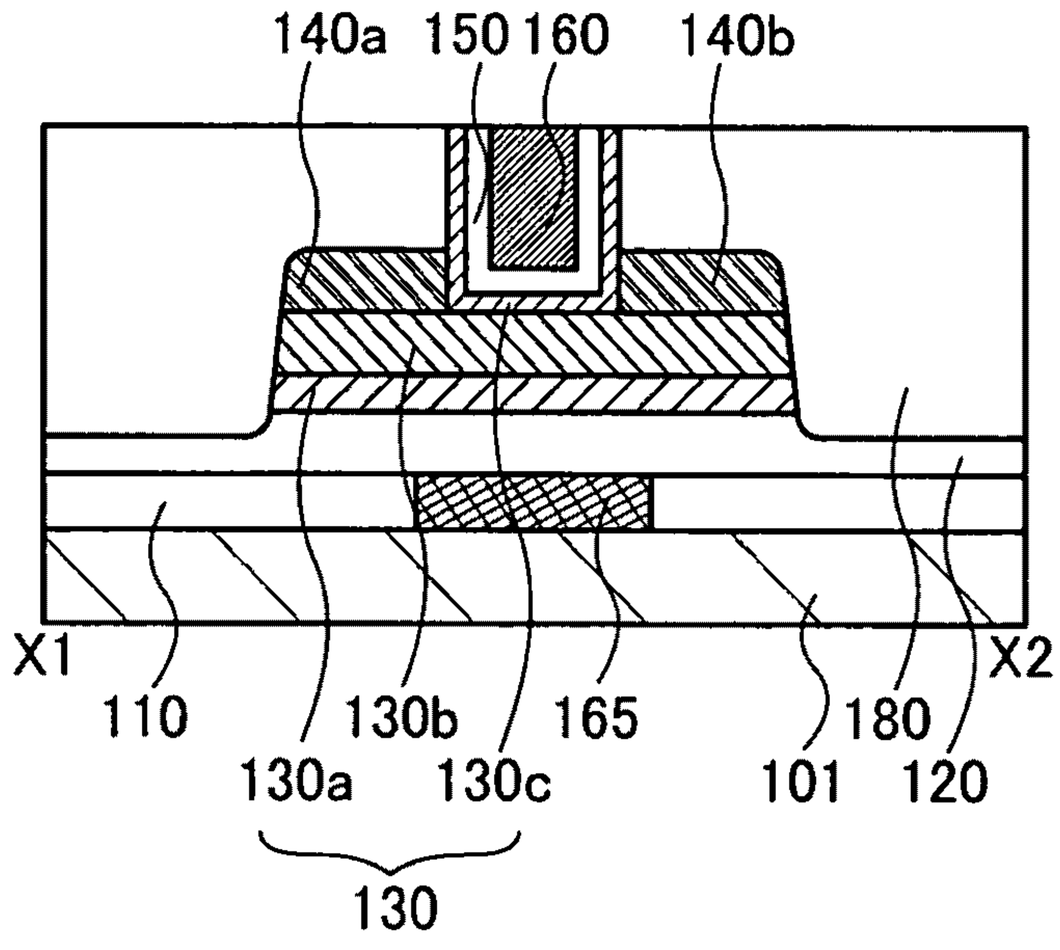
(57)摘要

本發明的一個實施方式的目的之一是提供一種具有偏差少且高穩定的電特性的微型電晶體。另外，在包括該電晶體的半導體裝置也達到高性能及高可靠性。本發明的一個實施方式是一種半導體裝置的製造方法，包括如下步驟：在基板上形成半導體及導電體；在導電體上形成犧牲層；以覆蓋犧牲層的方式形成絕緣體；去除絕緣體的頂面，由此使犧牲層的頂面露出；去除犧牲層及導電體的與犧牲層重疊的區域；形成源極區域、汲極區域及開口；以及在該開口部中形成閘極絕緣體及閘極電極。

A miniaturized transistor with less variation and highly stable electrical characteristics is provided. Further, high performance and high reliability of a semiconductor device including the transistor are achieved. A semiconductor and a conductor are formed over a substrate, a sacrificial layer is formed over the conductor, and an insulator is formed to cover the sacrificial layer. After that, a top surface of the insulator is removed to expose a top surface of the sacrificial layer. The sacrificial layer and a region of the conductor overlapping with the sacrificial layer are removed, whereby a source region, a drain region, and an opening are formed. Next, a gate insulator and a gate electrode are formed in the opening.

指定代表圖：

圖 5B



符號簡單說明：

101・・・基板

110・・・絕緣體

120・・・絕緣體

130・・・氧化物半導體

130a・・・氧化物半導體

130b・・・氧化物半導體

130c・・・氧化物半導體

140a・・・導電體

140b・・・導電體

150・・・絕緣體

160・・・導電體

165・・・導電體

180・・・絕緣體

公告本

I693719

發明摘要

※申請案號：105113548

※申請日：105 年 04 月 29 日　　**※IPC 分類：**

【發明名稱】(中文/英文)

半導體裝置的製造方法

Manufacturing method of semiconductor device

【中文】

本發明的一個實施方式的目的之一是提供一種具有偏差少且高穩定的電特性的微型電晶體。另外，在包括該電晶體的半導體裝置也達到高性能及高可靠性。本發明的一個實施方式是一種半導體裝置的製造方法，包括如下步驟：在基板上形成半導體及導電體；在導電體上形成犧牲層；以覆蓋犧牲層的方式形成絕緣體；去除絕緣體的頂面，由此使犧牲層的頂面露出；去除犧牲層及導電體的與犧牲層重疊的區域；形成源極區域、汲極區域及開口；以及在該開口部中形成閘極絕緣體及閘極電極。

【英文】

A miniaturized transistor with less variation and highly stable electrical characteristics is provided. Further, high performance and high reliability of a semiconductor device including the transistor are achieved. A semiconductor and a conductor are formed over a substrate, a sacrificial layer is formed over the conductor, and an insulator is formed to cover the sacrificial layer. After that, a top surface of the insulator is removed to expose a top surface of the sacrificial layer. The sacrificial layer and a region of the conductor overlapping with the sacrificial layer are removed, whereby a source region, a drain region, and an opening are formed. Next, a gate insulator and a gate electrode are formed in the opening.

【代表圖】

【本案指定代表圖】：第(5B)圖。

【本代表圖之符號簡單說明】：

101：基板

110：絕緣體

120：絕緣體

130：氧化物半導體

130a：氧化物半導體

130b：氧化物半導體

130c：氧化物半導體

140a：導電體

140b：導電體

150：絕緣體

160：導電體

165：導電體

180：絕緣體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

半導體裝置的製造方法

Manufacturing method of semiconductor device

【技術領域】

[0001] 本發明例如係關於一種電晶體、半導體裝置及其製造方法。另外，本發明例如係關於一種顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器、攝像裝置以及電子裝置。另外，涉及一種氧化物、顯示裝置、液晶顯示裝置、發光裝置、記憶體裝置、處理器、攝像裝置以及電子裝置的製造方法。另外，涉及一種半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、記憶體裝置、處理器、攝像裝置以及電子裝置的驅動方法。

[0002] 注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。

[0003] 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、發光裝置、照明設備、電光裝置、半導體電路以及電子裝置

有時包括半導體裝置。

【先前技術】

[0004] 使用在具有絕緣表面的基板上的半導體來形成電晶體的技術受到關注。該電晶體被廣泛地應用於如集成電路或顯示裝置等半導體裝置。作為可以應用於電晶體的半導體，已知有矽。

[0005] 作為用於電晶體的半導體的矽，根據用途適當地使用非晶矽或多晶矽。例如，當應用於構成大型顯示裝置的電晶體時，較佳為使用已確立了大面積基板上的成膜技術的非晶矽。另一方面，當應用於一體地形成驅動電路的高功能的顯示裝置的電晶體時，較佳為使用可以形成具有高場效移動率的電晶體的多晶矽。作為多晶矽的形成方法，已知藉由對非晶矽進行高溫的加熱處理或雷射處理來形成的方法。

[0006] 近年來，對使用氧化物半導體（典型的是 In-Ga-Zn 氧化物）的電晶體積極地進行了開發。

[0007] 氧化物半導體自早期就已開始被研究，於 1988 年公開了可應用於半導體元件的結晶 In-Ga-Zn 氧化物（參照專利文獻 1）。此外，於 1995 年發明了使用氧化物半導體的電晶體，並公開了其電特性（參照專利文獻 2）。

[0008] 另外，已公開使用非晶氧化物半導體的電晶體（參照專利文獻 3）。氧化物半導體可以利用濺射法等

形成，所以可以被用於構成大型顯示裝置的電晶體的半導體。另外，使用氧化物半導體的電晶體具有高場效移動率，所以可以實現一體地形成驅動電路的高功能的顯示裝置。此外，因為可以將使用非晶矽的電晶體的生產設備的一部分改良而利用，所以還具有可以抑制設備投資的優點。

[0009] 經過這幾年的研究開發，已知與使用非晶氧化物半導體相比，使用具有結晶性的氧化物半導體的電晶體的可靠性更高（非專利文獻 1）。

[0010] 此外，還公開了藉由使用包括氧化物半導體的活性層構成阱勢（well potential）來得到具有高場效移動率的電晶體（參照專利文獻 4）。另外，已知使用氧化物半導體的電晶體的洩漏電流在關閉狀態（off-state）下極小。例如，已公開了應用使用氧化物半導體的電晶體的洩漏電流小的特性的低功耗的 CPU 等（參照專利文獻 5）。

[0011]

[專利文獻 1]日本專利申請公開昭 63-239117

[專利文獻 2]日本 PCT 國際申請翻譯平 11-505377

[專利文獻 3]日本專利 5215589 號

[專利文獻 4]日本專利申請公開 2012-59860 號公報

[專利文獻 5]日本專利申請公開 2012-257187 號公報

[0012]

[非專利文獻 1]Shunpei Yamazaki，Jun Koyama，

Yoshitaka Yamamoto and Kenji Okamoto，“Research，Development，and Application of Crystalline Oxide Semiconductor” SID 2012 DIGEST pp183-186

[0013] 然而，在隨著半導體裝置的高集成化使電晶體微型化時，製程變複雜，而有時良率降低。另外，導致半導體裝置內的各電晶體的電特性的偏差變大。

【發明內容】

[0014] 於是，所公開的發明的一個實施方式的目的之一是提供一種能夠微型化的電晶體。另外，所公開的發明的一個實施方式的目的之一是提供一種寄生電容小的電晶體。另外，所公開的發明的一個實施方式的目的之一是提供一種工作頻率高的電晶體。另外，所公開的發明的一個實施方式的目的之一是提供一種具有穩定的電特性的電晶體。另外，所公開的發明的一個實施方式的目的之一是提供一種易於控制通道長度的電晶體。另外，所公開的發明的一個實施方式的目的之一是提供一種通態電流（on-state current）大的電晶體。

[0015] 另外，本發明的一個實施方式的目的之一是在包括該電晶體的半導體裝置中也實現高集成、高性能、高可靠性及高生產性。另外，本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置。注意，上述目的的記載並不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。可以從說明書、圖式、申請專

利範圍等的記載得知並衍生上述以外的目的。

[0016] 本發明的一個實施方式是一種半導體裝置的製造方法，包括如下步驟：在基板上形成半導體及第一導電體；在第一導電體上形成犧牲層；在以覆蓋半導體、第一導電體及犧牲層的方式形成第一絕緣體；利用化學機械拋光法，使犧牲層的頂面露出；去除犧牲層，由此在第一絕緣體中形成露出第一導電體的一部分的開口部；去除第一導電體的一部分，由此形成第一電極及第二電極；以覆蓋第一絕緣體及開口部的方式形成第二絕緣體；在第二絕緣體上形成第二導電體；以及去除第二導電體的一部分。

[0017] 在上述半導體裝置的製造方法中，其中利用化學機械拋光法去除第二導電體的一部分。

[0018] 本發明的一個實施方式是一種半導體裝置的製造方法，包括如下步驟：在基板上形成半導體；在半導體上形成犧牲層；對半導體的一部分添加雜質，由此形成低電阻區域；以覆蓋半導體及犧牲層的方式形成第一絕緣體；利用化學機械拋光法，使犧牲層的頂面露出；去除犧牲層，由此在第一絕緣體中形成露出半導體的一部分的開口部；以覆蓋第一絕緣體及開口部的方式形成第二絕緣體；在第二絕緣體上形成導電體；以及去除導電體的一部分。

[0019] 在上述半導體裝置的製造方法中，其中利用化學機械拋光法去除導電體的一部分。

[0020] 在上述半導體裝置的製造方法中，其中利用濕蝕刻法去除犧牲層。

[0021] 在上述半導體裝置的製造方法中，其中第一絕緣體較佳為包括氧。

[0022] 本發明的一個實施方式是一種包括上述結構的半導體裝置的電子裝置的製造方法。

[0023] 藉由利用本發明可以提供一種即使使電晶體微型化，電晶體間的特性的偏差也少的電晶體。另外，藉由利用本發明可以提供一種寄生電容小的電晶體。另外，藉由利用本發明可以提供一種工作頻率高的電晶體。另外，藉由利用本發明可以提供一種具有穩定的電特性的電晶體。再者，所公開的發明的一個實施方式可以提供一種通態電流大的電晶體。

[0024] 藉由利用本發明，在大量生產的觀點上看也可以提高良率。另外，在電晶體的結構中，可以較容易地控制通道長度。

[0025] 再者，藉由採用氧化物半導體的成為通道的區域與包含氧的絕緣體接觸的結構，可以對氧化物半導體供應氧。藉由由被供應的氧填補氧化物半導體中的氧缺陷，可以提高使用氧化物半導體的電晶體的可靠性。

[0026] 藉由採用上述結構，可以提供一種即使使電晶體微型化也具有高穩定的電特性的電晶體。另外，可以提高大量生產時的良率，而可以削減生產成本。

[0027] 另外，在包括該電晶體的半導體裝置中也可

以實現高性能、高可靠性及高生產性。另外，可以提供一種新穎的半導體裝置等。注意，這些效果的記載不妨礙其他效果的存在。本發明的一個實施方式並不需要具有所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

【圖式簡單說明】

[0028] 在圖式中：

圖 1A 至圖 1H 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 2A 至圖 2F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 3A 至圖 3F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 4A 至圖 4D 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 5A 至圖 5C 是示出半導體裝置的一個實施方式的剖面圖及俯視圖；

圖 6A 至圖 6F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 7A 至圖 7F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 8A 至圖 8F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 9A 至圖 9D 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 10A 至圖 10C 是示出半導體裝置的一個實施方式的剖面圖及俯視圖；

圖 11A 至圖 11H 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 12A 至圖 12F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 13A 至圖 13F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 14A 至圖 14F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 15A 至圖 15C 是示出半導體裝置的一個實施方式的剖面圖及俯視圖；

圖 16A 至圖 16H 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 17A 至圖 17F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 18A 至圖 18F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 19A 和圖 19B 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 20A 至圖 20C 是示出半導體裝置的一個實施方式的剖面圖及俯視圖；

圖 21A 至圖 21H 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 22A 至圖 22F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 23A 至圖 23F 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 24A 至圖 24D 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 25A 至圖 25C 是示出半導體裝置的一個實施方式的剖面圖及俯視圖；

圖 26A 和圖 26B 是說明本發明的一個實施方式的氧化物半導體的原子個數比的圖；

圖 27A 至圖 27E 示出藉由 XRD 得到的 CAAC-OS 以及單晶氧化物半導體的結構分析以及 CAAC-OS 的選區電子繞射圖案；

圖 28A 至圖 28E 是 CAAC-OS 的剖面 TEM 影像、平面 TEM 影像及藉由分析它們而獲取的影像；

圖 29A 至圖 29D 示出 nc-OS 的電子繞射圖案及 nc-OS 的剖面 TEM 影像；

圖 30A 和圖 30B 是 a-like OS 的剖面 TEM 影像；

圖 31 是示出電子照射所引起的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 32A 和圖 32B 是示出本發明的一個實施方式的半導體裝置的電路圖；

圖 33 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 34 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 35 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 36A 和圖 36B 是示出本發明的一個實施方式的記憶體裝置的電路圖；

圖 37 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 38 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 39 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 40 是示出本發明的一個實施方式的半導體裝置的電路圖；

圖 41 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 42A 至圖 42E 是示出本發明的一個實施方式的半導體裝置的電路圖；

圖 43A 和圖 43B 是示出本發明的一個實施方式的半導體裝置的俯視圖；

圖 44A 和圖 44B 是示出本發明的一個實施方式的半導體裝置的方塊圖；

圖 45A 和圖 45B 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 46A 和圖 46B 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 47A1 至圖 47A3 以及圖 47B1 至圖 47B3 是示出本發明的一個實施方式的半導體裝置的透視圖及剖面圖；

圖 48 是示出本發明的一個實施方式的半導體裝置的方塊圖；

圖 49 是示出本發明的一個實施方式的半導體裝置的電路圖；

圖 50A 至圖 50C 是示出本發明的一個實施方式的半導體裝置的電路圖、俯視圖及剖面圖；

圖 51A 和圖 51B 是示出本發明的一個實施方式的半導體裝置的電路圖及剖面圖；

圖 52A 至圖 52F 是示出本發明的一個實施方式的電子裝置的透視圖。

【實施方式】

[0029] 下面，參照圖式對實施方式進行說明。但是，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面的實施方式所記載的內容中。

[0030] 在圖式中，為便於清楚地說明，有時誇大表示大小、層的厚度或區域。因此，本發明並不一定限定於上述尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。另外，在圖式中，在不同的圖式之間共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

[0031] 此外，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書等所記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

[0032] 在本說明書等中，為方便起見，使用了“上”、“下”等表示配置的詞句，以參照圖式說明組件的位置關係。另外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於本說明書中所說明的詞句，可以根據情況適當地更換。

[0033] 此外，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等半導體元件之外，半導體電路、算術裝置或記憶體裝置也是半導體裝置的一個實施方式。攝像裝置、顯示裝置、液晶顯示裝置、發光裝置、電光裝置、發電裝置（包括薄膜

太陽能電池、有機薄膜太陽能電池等）及電子裝置有時包括半導體裝置。

[0034] 在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區域或汲極電極）與源極（源極端子、源極區域或源極電極）之間具有通道區域，並且電流能夠流過汲極、通道區域以及源極。注意，在本說明書等中，通道區域是指電流主要流過的區域。

[0035] 另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，源極及汲極的功能有時相互調換。因此，在本說明書等中，源極和汲極可以相互調換。

[0036] 另外，在本說明書等中，“氧氮化矽膜”是指在其組成中含氧量多於含氮量的物質，較佳為具有如下濃度範圍的物質：氧濃度為 55 原子%以上且 65 原子%以下，氮濃度為 1 原子%以上且 20 原子%以下，矽濃度為 25 原子%以上且 35 原子%以下，並且氫濃度為 0.1 原子%以上且 10 原子%以下。另外，在本說明書等中，“氮氧化矽膜”是指在其組成中含氮量多於含氧量的物質，較佳為具有如下濃度範圍的物質：氮濃度為 55 原子%以上且 65 原子%以下，氧濃度為 1 原子%以上且 20 原子%以下，矽濃度為 25 原子%以上且 35 原子%以下，並且氫濃度為 0.1 原子%以上且 10 原子%以下。

[0037] 另外，在本說明書等中，可以將“膜”和

“層”相互調換。例如，有時可以將“導電層”變換為“導電膜”。此外，例如，有時可以將“絕緣膜”變換為“絕緣層”。

[0038] 在本說明書等中，“平行”是指兩條直線形成的角度為-10°以上且 10°以下的狀態。因此，也包括該角度為-5°以上且 5°以下的狀態。“大致平行”是指兩條直線形成的角度為-30°以上且 30°以下的狀態。另外，“垂直”是指兩條直線的角度為 80°以上且 100°以下的狀態。因此，也包括該角度為 85°以上且 95°以下的狀態。“大致垂直”是指兩條直線形成的角度為 60°以上且 120°以下的狀態。

[0039] 例如，在本說明書等中，當明確地記載為“X與 Y 連接”時，意味著如下情況：X 與 Y 電連接；X 與 Y 在功能上連接；X 與 Y 直接連接。因此，不侷限於規定的連接關係（例如，圖式或文中所示的連接關係等），圖式或文中所示的連接關係以外的連接關係也包含於圖式或文中所記載的內容中。

[0040] 這裡，X 和 Y 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電體及層等）。

[0041] 作為 X 與 Y 直接連接的情況的一個例子，可以舉出在 X 與 Y 之間沒有連接能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件及負載等），並且 X 與 Y 沒有藉由能夠電連接 X 與 Y 的元件（例如開關、電晶體、

電容元件、電感器、電阻元件、二極體、顯示元件、發光元件及負載等）連接的情況。

[0042] 作為 X 與 Y 電連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件及負載等）。另外，開關具有控制開啟和關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。另外，X 與 Y 電連接的情況包括 X 與 Y 直接連接的情況。

[0043] 作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號生成電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。另外，X 與 Y 在功能上連接的情況包括 X 與 Y 直接連接的情況及 X 與

Y 電連接的情況。

[0044] 此外，當明確地記載為“X 與 Y 電連接”時，在本說明書等中意味著如下情況：X 與 Y 電連接（亦即，以中間夾有其他元件或其他電路的方式連接 X 與 Y）；X 與 Y 在功能上連接（亦即，以中間夾有其他電路的方式在功能上連接 X 與 Y）；X 與 Y 直接連接（亦即，以中間不夾有其他元件或其他電路的方式連接 X 與 Y）。亦即，在本說明書等中，當明確地記載為“電連接”時與只明確地記載為“連接”時的情況相同。

[0045] 注意，例如，在電晶體的源極（或第一端子等）藉由 Z1（或沒有藉由 Z1）與 X 電連接，電晶體的汲極（或第二端子等）藉由 Z2（或沒有藉由 Z2）與 Y 電連接的情況下以及在電晶體的源極（或第一端子等）與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極（或第二端子等）與 Z2 的一部分直接連接，Z2 的另一部分與 Y 直接連接的情況下，可以表示為如下。

[0046] 例如，可以表示為“X、Y、電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）互相電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 依次電連接”。或者，可以表示為“電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 依次電連接”。或者，可以表示為“X 藉由電晶體的源

極（或第一端子等）及汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 依次設置為相互連接”。藉由使用與這種例子相同的表示方法規定電路結構中的連接順序，可以區別電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。

[0047] 另外，作為其他表示方法，例如可以表示為“電晶體的源極（或第一端子等）至少經過第一連接路徑與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑是電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）之間的路徑，所述第一連接路徑是經過 Z1 的路徑，電晶體的汲極（或第二端子等）至少經過第三連接路徑與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑，所述第三連接路徑是經過 Z2 的路徑”。或者，也可以表示為“電晶體的源極（或第一端子等）至少經過第一連接路徑，藉由 Z1 與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑具有藉由電晶體的連接路徑，電晶體的汲極（或第二端子等）至少經過第三連接路徑，藉由 Z2 與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑”。或者，也可以表示為“電晶體的源極（或第一端子等）至少經過第一電路徑，藉由 Z1 與 X 電連接，所述第一電路徑不具有第二電路徑，所述第二電路徑是從電晶體的源極（或第一端子等）到電晶體的汲極（或第二端子等）的電路徑，電晶體

的汲極（或第二端子等）至少經過第三電路徑，藉由 Z2 與 Y 電連接，所述第三電路徑不具有第四電路徑，所述第四電路徑是從電晶體的汲極（或第二端子等）到電晶體的源極（或第一端子等）的電路徑”。藉由使用與這種例子同樣的表示方法規定電路結構中的連接路徑，可以區別電晶體的源極（或第一端子等）和汲極（或第二端子等）來決定技術範圍。

[0048] 注意，這種表示方法只是一個例子而已，不侷限於上述表示方法。在此，X、Y、Z1 及 Z2 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電體及層等）。

[0049] 另外，即使圖式示出在電路圖上獨立的組件彼此電連接，也有一個組件兼有多個組件的功能的情況。例如，在佈線的一部分被用作電極時，一個導電體兼有佈線和電極的兩個組件的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電體兼有多個組件的功能的情況。

[0050]

實施方式 1

〈半導體裝置的結構例子 1〉

在本實施方式中，參照圖 1A 至圖 5C 對半導體裝置的製造方法的一個例子進行說明。

[0051] 下面參照圖 1A 至圖 5C 對半導體裝置的製造方法的一個例子進行說明。

[0052] 首先，準備基板 101。對可用作基板 101 的基板沒有特別的限制，但是基板 101 較佳為至少具有能夠承受在後面進行的加熱處理的程度的耐熱性。例如，可以使用玻璃基板如硼矽酸鋇玻璃基板和硼矽酸鋁玻璃基板等、陶瓷基板、石英基板、藍寶石基板等。此外，也可以利用：使用矽或碳化矽等的單晶半導體基板或多晶半導體基板；使用矽鍺、砷化鎵、砷化銦、砷化銦鎵的化合物半導體基板；SOI（Silicon On Insulator）基板；或 GOI（Germanium on Insulator）基板等，並且也可以使用在這些基板上設置有半導體元件的基板。

[0053] 另外，作為基板也可以使用撓性基板來製造半導體裝置。在製造具有撓性的半導體裝置時，既可以在撓性基板上直接製造電晶體，也可以在其他製造基板上製造電晶體，然後從製造基板剝離電晶體並將其轉置到撓性基板上。另外，為了從製造基板剝離電晶體並將其轉置到撓性基板上，較佳為在製造基板與包括氧化物半導體的電晶體之間設置剝離層。

[0054] 接著，如圖 1A 及圖 1B 所示，形成絕緣體 110、絕緣體 120、氧化物半導體 130A、氧化物半導體 130B 及導電體 140A。

[0055] 首先，在基板 101 上形成絕緣體 110 及絕緣體 120。注意，雖然在本實施方式中採用絕緣體 110 與絕緣體 120 的兩層結構，但是不一定必須採用疊層結構，只要至少形成有絕緣體 110 和絕緣體 120 中的一個即可。另

外，也可以採用三層以上的疊層結構。作為絕緣體 110 及絕緣體 120，例如可以使用氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧氮化鋁膜、氮氧化鋁膜、氮化鋁膜、氧化鈴膜、氧氮化鈴膜、氧化鋯膜、氧氮化鋯膜、氧化釔膜、氧氮化釔膜、氧化鑭膜、氧氮化鑭膜、氧化鉭膜、氧氮化鉭膜等。

[0056] 基板 101 可以釋放氣體或被用作雜質的擴散源。另外，有時在基板 101 上設置有包含氫或水等雜質的半導體元件等。在該情況下，絕緣體 110 或絕緣體 120 較佳為具有阻擋這種雜質的性質。

[0057] 氧化物半導體 130A 及氧化物半導體 130B 等氧化物半導體有時形成起因於氫或水等雜質的缺陷能階。因此，絕緣體 110 或絕緣體 120 有時較佳為透氫性低（具有阻擋氫的性質）的絕緣體。

[0058] 由於原子半徑等較小，所以氫容易擴散在絕緣體中（擴散係數較大）。例如，密度低的絕緣體具有較高的透氫性。換言之，密度高的絕緣體具有較低的透氫性。密度低的絕緣體不一定指其整體的密度低的絕緣體，還指其一部分的密度低的絕緣體。這是因為密度低的區域成為氫的路徑的緣故。可能使氫透過的密度不侷限於一個值，典型地可以舉出低於 $2.6g/cm^3$ 的值等。作為密度低的絕緣體，例如有：氧化矽和氧氮化矽等無機絕緣體；以及聚酯、聚烯烴、聚醯胺（尼龍、芳族聚醯胺等）、聚醯亞胺、聚碳酸酯和丙烯酸樹脂等有機絕緣體等。作為密度高

的絕緣體，例如有氧化鎂、氧化鋁、氧化鍺、氧化鎵、氧化釔、氧化鋯、氧化鑭、氧化鈸、氧化鉿及氧化鉭等。注意，密度低的絕緣體及密度高的絕緣體不侷限於上述絕緣體。例如，在上述絕緣體中，也可以包含選自硼、氮、氟、氖、磷、氯和氬中的一種以上的元素。

[0059] 另外，具有晶界的絕緣體有時具有較高的透氫性。換言之，不具有晶界（或者晶界少）的絕緣體不容易使氫透過。例如，非多晶絕緣體（非晶絕緣體等）的透氫性比多晶絕緣體低。

[0060] 另外，與氫的鍵合能量高的絕緣體有時具有較低的透氫性。例如，與氫鍵合而形成氫化合物的絕緣體只要具有在裝置的製程或裝置的工作中的溫度下不使氫脫離的程度的鍵合能量，就可以包括在透氫性低的絕緣體的範圍內。例如，在 200℃以上且 1000℃以下、300℃以上且 1000℃以下、或者 400℃以上且 1000℃以下形成氫化合物的絕緣體有時具有較低的透氫性。另外，例如，其氫脫離溫度為 200℃以上且 1000℃以下、300℃以上且 1000℃以下、或者 400℃以上且 1000℃以下的形成氫化合物的絕緣體有時具有較低的透氫性。另一方面，其氫脫離溫度為 20℃以上且 400℃以下、20℃以上 300℃以下、或者 20℃以上且 200℃以下的形成氫化合物的絕緣體有時具有較高的透氫性。另外，有時將容易脫離的氫或已游離的氫稱為過剩氫。

[0061] 另外，在包括氧化物半導體的電晶體中，氧

化物半導體中的氧缺陷有時成為電特性劣化的原因。因此，絕緣體 110 及/或絕緣體 120 較佳為包括過量氧的絕緣體。注意，過量氧是指：存在於絕緣體中等，並不與絕緣體等鍵合（亦即已游離）的氧；或者與絕緣體等的鍵合能量低的氧。

[0062] 具有過量氧的絕緣體有時在熱脫附譜分析（TDS 分析）中，在表面溫度為 100℃以上且 700℃以下或者 100 ℃以上且 500 ℃以下的範圍內釋放 1×10^{18}atoms/cm^3 以上、1×10^{19}atoms/cm^3 以上或 1×10^{20}atoms/cm^{3}以上的氧（換算為氧原子）。

[0063] 下面說明利用 TDS 分析來測量氧釋放量的方法。

[0064] 對測量樣本進行 TDS 分析時的氣體的總釋放量與釋放氣體的離子強度的積分值成正比。並且，藉由對該測量樣本與標準樣本進行比較，可以計算出氣體的總釋放量。

[0065] 例如，根據作為標準樣本的含有指定密度的氫的矽基板的 TDS 分析結果以及測量樣本的 TDS 分析結果，可以藉由下面所示的公式求出測量樣本的氧分子的釋放量（N_{O2}）。這裡，假設為藉由 TDS 分析而得到的質荷比 32 的氣體都來源於氧分子。雖然 CH_3OH 的質荷比為 32，但因為 CH_3OH 存在的可能性較低，所以在這裡不考慮。此外，包含作為氧原子的同位素的質量數 17 的氧原子及質量數 18 的氧原子的氧分子也在自然界的存在比率

極低，所以不考慮。

[0066] $N_{O2} = N_{H2}/S_{H2} \times S_{O2} \times \alpha$

[0067] N_{H2} 是以密度算出的從標準樣本脫離的氫分子的值。S_{H2} 是對標準樣本進行 TDS 分析而得到的離子強度的積分值。在此，將標準樣本的基準值設定為 N_{H2}/S_{H2}。S_{O2} 是對測量樣本進行 TDS 分析而得到的離子強度的積分值。α是在 TDS 分析中影響到離子強度的係數。關於上面所示的公式的詳細內容，可以參照日本專利申請公開平 6-275697 公報。注意，上述氧的釋放量是使用由日本電子科學公司（ESCO Ltd.）製造的熱脫附裝置 EMD-WA1000S/W 並以包含一定量的氫原子的矽基板為標準樣本而測出的。

[0068] 此外，在 TDS 分析中，氧的一部分作為氧原子被檢測出。氧分子與氧原子的比例可以從氧分子的電離率算出。另外，因為上述α包括氧分子的電離率，所以藉由評估氧分子的釋放量，可以估算出氧原子的釋放量。

[0069] 注意，N_{O2} 是氧分子的釋放量。換算為氧原子時的釋放量是氧分子的釋放量的 2 倍。

[0070] 或者，藉由加熱處理釋放氧的絕緣體有時包含過氧化自由基。明確而言，起因於過氧化自由基的自旋密度為 5×10^{17}spins/cm^3 以上。另外，包含過氧化自由基的絕緣體有時在電子自旋共振（ESR：Electron Spin Resonance）中在 g 值為 2.01 近旁具有非對稱的信號。

[0071] 透氫性低的絕緣體大部分是透氧性低的絕緣

體。因此，較佳的是，作為絕緣體 110 使用透氫性低的絕緣體，作為絕緣體 120 使用包含過量氧的絕緣體。如上所示，藉由具有絕緣體 110 及絕緣體 120 的疊層結構，可以提高包括氧化物半導體的電晶體的電特性。

[0072] 絕緣體 110 及絕緣體 120 例如可以利用濺射法、化學氣相沉積（CVD：Chemical Vapor Deposition）法（包括熱 CVD 法、有機金屬 CVD（MOCVD：Metal Organic Chemical Vapor Deposition）法、電漿增強 CVD（PECVD：Plasma Enhanced Chemical Vapor Deposition）法等）、分子束磊晶（MBE：Molecular Beam Epitaxy）法、原子層沉積（ALD：Atomic Layer Deposition）法或脈衝雷射沉積（PLD：Pulsed Laser Deposition）法等形成。尤其是，當藉由 CVD 法，較佳為藉由 ALD 法等形成該絕緣體時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。此外，也可以使用使 TEOS（Tetra-Ethyl-Ortho-Silicate：四乙氧基矽烷）或矽烷等與氧或一氧化二氮等起反應而形成的步階覆蓋性良好的氧化矽膜。

[0073] 接著，藉由添加氧離子，可以使絕緣體 110 及/或絕緣體 120 包含過量氧。氧離子的添加例如可以藉由離子植入法以如下條件進行：加速電壓為 2kV 以上且 50kV 以下，劑量為 5×10^{14}ions/cm^2 以上且 5×10^{16}ions/cm^2 以下。

[0074] 接著，形成氧化物半導體 130A 及氧化物半導體 130B。氧化物半導體 130A 及氧化物半導體 130B 可以適當地使用濺射法、塗佈法、MBE 法、CVD 法、PLD 法、ALD 法等形成。

[0075] 藉由添加氧離子，可以使氧化物半導體 130A 及/或氧化物半導體 130B 包含過量氧。氧離子的添加例如可以藉由離子植入法以如下條件進行：加速電壓為 2kV 以上且 50kV 以下，劑量為 5×10^{14}ions/cm^2 以上且 5×10^{16}ions/cm^2 以下。藉由使氧化物半導體 130A 及/或氧化物半導體 130B 包含過量氧，可以減少氧化物半導體 130A 及/或氧化物半導體 130B 的氧缺陷。

[0076] 例如，當利用濺射法形成氧化物半導體時，明確而言，形成條件可以為如下：基板溫度為 100℃以上且 500℃以下，較佳為 150℃以上且 450℃以下；沉積氣體中的氧比例為 2vol.%以上，較佳為 5vol.%以上，更佳為 10vol.%以上。

[0077] 能夠應用的氧化物半導體較佳為至少包含（In）或鋅（Zn）。尤其較佳為包含 In 及 Zn。另外，作為用來減少使用該氧化物半導體的電晶體的電特性不均勻的穩定劑，較佳為除了包含上述元素以外，還包含選自鎵（Ga）、錫（Sn）、鉿（Hf）、鋯（Zr）、鈦（Ti）、鈧（Sc）、釔（Y）、鑭系元素（例如，鈰（Ce）、釹（Nd）、釓（Gd））中的一種或多種。

[0078] 在此，考慮氧化物半導體膜包含銦、元素 M

及鋅的情況。在此，元素 M 較佳為鋁、鎵、釔或錫等。作為可用作元素 M 的其他元素，有硼、矽、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鎂等。注意，作為元素 M 有時也可以組合多個上述元素。參照圖 26A 及圖 26B 說明氧化物半導體所包含的銦、元素 M 及鋅的原子個數比 x:y:z 的較佳的範圍。

[0079] 圖 26A 及圖 26B 示出氧化物半導體所包含的銦、元素 M 及鋅的原子個數比的範圍。在此，圖 26A 及圖 26B 示出元素 M 為 Ga 的例子。注意，圖 26A 及圖 26B 不記載氧原子的百分比。

[0080] 例如，已知在包含銦、元素 M 及鋅的氧化物中存在以 $InMO_3(ZnO)_m$（m 為自然數）表示的同源相（同系列）。在此，作為例子考慮元素 M 為 Ga 的情況。已知圖 26A 及圖 26B 中以粗直線表示的區域示出例如在將 In_2O_3、Ga_2O_3 及 ZnO 的粉末混合並以 1350℃的溫度焙燒的情況下有可能成為單一相的固溶區域的組成。此外，已知圖 26A 及圖 26B 中以四邊形的符號表示的坐標示出容易混有尖晶石型結晶結構的組成。

[0081] 例如，作為具有尖晶石型結晶結構的化合物，已知 $ZnGa_2O_4$ 等以 ZnM_2O_4 表示的化合物。此外，如圖 26A 及圖 26B 所示，在具有接近於 $ZnGa_2O_4$ 的組成，亦即 x、y 及 z 具有接近於 x:y:z=0:2:1 的值的情況下，容易形成尖晶石型結晶結構。另外，有時以 In 代替元素 M。因此，在具有接近於 x:y:z=a:1-a:2（a 是 0 以上且 1

以下）的值的情況下也容易形成尖晶石型結晶結構。

[0082] 在此，氧化物半導體較佳為 CAAC-OS 膜。在 CAAC-OS 膜中尤其較佳為不具有尖晶石型結晶結構。為了提高載子移動率，較佳為提高 In 的含有率。在包含銦、元素 M 及鋅的氧化物半導體中，重金屬的 s 軌域主要有助於載子傳導，並且，藉由增加銦的含有率，s 軌域的重疊增加，由此使銦的含有率多的氧化物的載子移動率比銦的含有率少的氧化物高。因此，藉由將含銦量多的氧化物用於氧化物半導體，可以提高載子移動率。

[0083] 因此，氧化物半導體所包含的銦、元素 M 及鋅的原子個數比 x:y:z 例如較佳為在圖 26B 所示的區域 11 的範圍內。在此，區域 11 是具有依次連接第一座標 K（x:y:z=8:14:7）、第二座標 L（x:y:z=2:5:7）、第三座標 M（x:y:z=51:149:300）、第四座標 N（x:y:z=46:288:833）、第五座標 O（x:y:z=0:2:11）、第六座標 P（x:y:z=0:0:1）以及第七座標 Q（x:y:z=1:0:0）的線段的範圍內的原子個數比的區域。注意，區域 11 也包括直線上的座標。

[0084] 當 x:y:z 在圖 26B 所示的區域 11 中時，在奈米束繞射中觀察不到或極少觀察到尖晶石型結晶結構。由此，可以獲得優良的 CAAC-OS 膜。另外，因為能夠減少 CAAC 結構與尖晶石型結晶結構之間的邊界的載子散射等，所以在將氧化物半導體用於電晶體的情況下，可以實現場效移動率高的電晶體。另外，可以實現可靠性高的電

晶體。

[0085] 當利用濺射法形成氧化物半導體時，形成之後的膜中的原子個數比有時與靶材的原子個數比不一致。尤其是，形成之後的膜中的鋅的原子個數比有時小於靶材中的鋅的原子個數比。明確而言，該膜中的鋅的原子個數比有時為靶材中的鋅的原子個數比的 40atomic%以上且90atomic%以下左右。在此，所使用的靶材較佳為多晶。

[0086] 另外，雖然在本實施方式中採用了氧化物半導體 130A 及氧化物半導體 130B 的兩層結構，但是也可以採用單層結構。另外，氧化物半導體 130A 也可以具有由 n 層（n 為 3 以上）構成的疊層結構。

[0087] 例如，藉由在雜質得到減少的第一半導體上形成第二半導體，可以形成雜質比第一半導體更少的第二半導體，並且該第二半導體可以防止來自其下方的層的雜質的擴散。另外，藉由在後面的製程中進一步在氧化物半導體上進行層疊的情況下，藉由在第二半導體上將第三半導體形成得薄，可以抑制從氧化物半導體的上層向第二半導體的雜質的擴散。藉由以使其雜質得到降低的第二半導體成為通道區域的方式形成電晶體，可以提供高可靠性的半導體裝置。

[0088] 另外，氧化物半導體的厚度例如為 1nm 以上且 500nm 以下，較佳為 1nm 以上且 300nm 以下。

[0089] 較佳為在形成氧化物半導體 130A 及氧化物半導體 130B 之後進行加熱處理。在如下條件下進行加熱處

理即可：以 250℃以上且 650℃以下的溫度，較佳為以 300℃以上且 500℃以下的溫度，採用惰性氣體氛圍、包含 10ppm 以上的氧化性氣體的氛圍或減壓氛圍。此外，也可以在惰性氣體氛圍中進行加熱處理之後，在包含 10ppm 以上的氧化性氣體的氛圍中進行加熱處理以便填補所釋放的氧。藉由在此進行加熱處理，可以從氧化物半導體 130A 及氧化物半導體 130B 去除氫或水等雜質。另外，藉由進行該加熱處理，可以將氧從絕緣體 120 供應到氧化物半導體 130A 及氧化物半導體 130B。此時，若絕緣體 120 包含過量氧，則可以高效率地對氧化物半導體 130A 供應氧，所以是較佳的。

[0090] 接著，在氧化物半導體 130B 上形成導電體 140A。注意，雖然在此示出單層結構，但是導電體 140A 也可以是兩層以上的疊層結構。

[0091] 導電體 140A 可以使用包含選自鉬、鈦、鉭、鎢、鋁、銅、鉻、釹、鈧中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。此外，作為導電體 140A，也可以使用以摻雜磷等雜質元素的多晶矽為代表的半導體、鎳矽化物等矽化物膜。或者，也可以應用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物以及添加有氧化矽的銦錫氧化物等導電材料。另外，導電體 140A 也可以採用上述導電材料和上述金屬材料的疊層結構。例如，可以

層疊厚度為 5nm 的鈦膜、10nm 的氮化鈦膜以及 100nm 的鎢膜。

[0092] 導電體 140A 可以藉由濺射法、蒸鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）等形成。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0093] 接著，如圖 1C 及圖 1D 所示，藉由光微影法等在導電體 140A 上形成光阻遮罩 135，來去除氧化物半導體 130A、氧化物半導體 130B 及導電體 140A 的不需要的部分。然後去除光阻遮罩 135，由此可以形成圖 1E 及圖 1F 所示的島狀的氧化物半導體 130a、氧化物半導體 130b 及導電體 140。

[0094] 在此，對被加工膜的加工方法進行說明。當對被加工膜進行微細加工時，可以使用各種微細加工技術。例如，也可以採用對藉由光微影法等形成的光阻遮罩進行縮小處理的方法。另外，也可以藉由光微影法等形成假圖案，在該假圖案處形成側壁之後去除假圖案，將殘留的側壁用作光阻遮罩，對被加工膜進行蝕刻。此外，為了實現高縱橫比，作為被加工膜的蝕刻較佳為利用各向異性乾蝕刻。另外，也可以使用由無機膜或金屬膜構成的硬遮罩。

[0095] 作為用來形成光阻遮罩的光，例如可以使用 i 線（波長 365nm）、g 線（波長 436nm）、h 線（波長 405nm）或將這些光混合的光。此外，還可以使用紫外

線、KrF 雷射或 ArF 雷射等。此外，也可以利用液浸曝光技術進行曝光。作為用於曝光的光，也可以使用極紫外光（EUV：Extreme Ultra-Violet）、X 射線或電子束等電磁波。當使用極紫外光、X 射線或電子束時，可以進行極其微細的加工，所以是較佳的。注意，在藉由利用電子束等光束進行掃描而進行曝光時，不需要光罩。

[0096] 另外，也可以在形成將成為光阻遮罩的光阻膜之前，形成具有提高被加工膜與光阻膜的密接性的功能的有機樹脂膜。可以利用旋塗法等以覆蓋其下方的步階而使其表面平坦化的方式形成該有機樹脂膜，而可以降低形成在該有機樹脂膜上的光阻遮罩的厚度的偏差。尤其是，在進行微細的加工時，作為該有機樹脂膜較佳為使用具有對用於曝光的光的反射防止膜的功能的材料。作為具有這種功能的有機樹脂膜，例如有 BARC（Bottom Anti-Reflection Coating：底部抗反射）膜等。該有機樹脂膜可以在去除光阻遮罩的同時被去除或者在去除光阻遮罩之後被去除。

[0097] 接著，如圖 2C 及圖 2D 所示，形成犧牲層 190。首先，如圖 1G 及圖 1H 所示，在形成將成為犧牲層 190 的膜 190A 後，藉由與上述同樣的方法形成光阻遮罩 195 並去除膜 190A 的不需要的部分，如圖 2A 及圖 2B 所示，形成犧牲層 190B。接著，對犧牲層 190B 進行濕蝕刻，使犧牲層 190B 小一圈，由此形成犧牲層 190。當作為犧牲層 190 的材料使用多晶矽時，在蝕刻中使用 2wt%

至 40wt%，較佳為 20wt% 至 25wt% 的 TMAH（Tetramethylammonium Hydroxide：四甲基氫氧化銨）即可。藉由進行該濕蝕刻，可以進一步使電晶體微型化。

[0098] 注意，不需要進行由犧牲層 190B 形成犧牲層 190 的製程，也可以以犧牲層 190B 為犧牲層 190 而執行下一個製程。在該情況下，藉由一邊使光阻遮罩 195 縮退一邊進行蝕刻處理，可以以比光阻遮罩 195 小的圖案形成犧牲層 190。注意，犧牲層 190 的形狀對在後面形成的導電體 160 的形狀造成影響，所以較佳為其側面大致垂直於被形成面。

[0099] 膜 190A 只要是其蝕刻速率與導電體 140 等不同的膜即可。因此，膜 190A 可以是導電體、半導體或絕緣體。另外，膜 190A 可以是有機物或無機物。作為膜 190A，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭及鎢中的一種以上的絕緣體、半導體或導電體。因為可以容易得到蝕刻選擇性，所以較佳為使用矽膜、鉻膜、鉬膜、鎢膜、氧化鋅膜或氧化鉬膜。膜 190A 也可以與導電體 140 使用相同的導電體。在該情況下，以蝕刻速率高於導電體 140 的方式形成膜 190A 即可。

[0100] 另外，膜 190A 也可以是疊層結構。例如，也可以採用依次層疊有具有不同蝕刻特性的將成為第一犧牲層的第一膜及將成為第二犧牲層的第二膜的結構。在該情況下，在對將成為第二犧牲層的第二膜進行蝕刻之後，使

用第二犧牲層對將成為第一犧牲層的第一膜進行蝕刻即可。因此，將成為第一犧牲層的第一膜只要是其蝕刻速率與導電體 140 等不同的膜即可。也就是說，將成為第二犧牲層的第二膜也可以是其蝕刻速率近於導電體 140 等的膜。第一犧牲層的厚度比所設計的犧牲層 190 整體的厚度薄，所以可以減少起因於蝕刻的進展的形狀的偏差。另外，還可以在將第二犧牲層的頂面形狀形成為犧牲層 190B 那樣之後，以由第一犧牲層保護導電體 140 等的狀態對第二犧牲層進行濕蝕刻等而使其縮小，從而形成犧牲層 190。

[0101] 接著，如圖 2E 及圖 2F 所示，在導電體 140 及犧牲層 190 上形成絕緣體 180A。絕緣體 180A 是包含氧的絕緣體，諸如氧化矽膜、氧氮化矽膜等。但是，絕緣體 180A 也可以是其主要成分中不包含氧的絕緣體。例如，可以使用氮化矽膜等。

[0102] 另外，絕緣膜 180A 較佳為包含過量氧的絕緣體。作為形成包含過量氧的絕緣體的方法，可以適當地設定 CVD 法或濺射法中的成膜條件，形成使其膜中包含多量氧的氧化矽膜或氧氮化矽膜。另外，也可以在形成氧化矽膜及氧氮化矽膜之後，藉由離子植入法、離子摻雜法或電漿處理添加氧。

[0103] 接著，如圖 3A 及圖 3B 所示，藉由化學機械拋光（CMP：Chemical Mechanical Polishing）處理等，如圖中箭頭所示，直到露出犧牲層 190 為止，去除絕緣體

180A 的一部分，形成絕緣體 180。此時，也可以將犧牲層 190 用作停止層，而犧牲層 190 有時變薄。在絕緣體 180A 的表面的均方根（RMS）粗糙度成為 1nm 以下（較佳為 0.5nm 以下）的條件下進行該 CMP 處理。藉由在這種條件下進行 CMP 處理，可以提高後面形成佈線等的表面的平坦性。

[0104] 在此，CMP 處理是一種對被加工物的表面藉由化學、機械的複合作用進行平坦化的方法。更明確而言，CMP 處理是一種方法，其中在拋光台上貼附砂布，且一邊在被加工物與砂布之間供應漿料（拋光劑），一邊將拋光台和被加工物分別旋轉或搖動，來由漿料與被加工物表面之間的化學反應以及砂布和被加工物的機械拋光的作用對被加工物的表面進行拋光。

[0105] CMP 處理既可只進行一次，又可進行多次。當進行 CMP 處理多次時，較佳為在進行高拋光率的初期拋光之後，進行低拋光率的精拋光。如此，藉由將拋光率不同的拋光組合，可以進一步提高絕緣體 180 的平坦性。

[0106] 接著，對犧牲層 190 選擇性地進行蝕刻，如圖 3C 及圖 3D 所示，形成開口部。注意，在去除犧牲層 190 的製程中，較佳為利用濕蝕刻法。當作為犧牲層 190 的材料使用多晶矽時，在蝕刻中使用 2wt%至 40wt%，較佳為 20wt%至 25wt%的 TMAH（Tetramethylammonium Hydroxide：四甲基氫氧化銨）即可。

[0107] 蝕刻深度越大，越容易產生鑽蝕

（undercut），亦即在遮罩的正下方產生逐漸腐蝕。另一方面，在本製程中，藉由去除埋入在絕緣體 180 中的犧牲層 190，只要絕緣體 180 與犧牲層 190 的蝕刻速率不同，即使蝕刻深度大，也不會產生鑽蝕，而能夠進行實現高縱橫比的高精度的微細加工。

[0108] 另外，與乾蝕刻法相比，濕蝕刻法容易提高蝕刻選擇性。另外，濕蝕刻法因為不使用電漿，所以具有蝕刻所引起的損傷少的優點。另外，因為可以同時對大量的基板進行處理，所以可以實現生產性的提高。再者，一般而言，與乾蝕刻法相比，濕蝕刻法的製造裝置及藥品的價格較便宜，而可以實現生產成本的削減。

[0109] 接著，如圖 3E 及圖 3F 所示，藉由以絕緣體 180 為遮罩去除導電體 140 的一部分，在形成導電體 140a 及導電體 140b 的同時形成開口部。

[0110] 接著，如圖 4A 及圖 4B 所示，形成氧化物半導體 130C、絕緣體 150A 及導電體 160A。

[0111] 氧化物半導體 130C 可以與氧化物半導體 130A 及氧化物半導體 130B 同樣地形成。為了提高電晶體的通態電流（on-state current），氧化物半導體 130C 的厚度越小越好。例如，氧化物半導體 130C 具有小於 20nm，較佳為 10nm 以下，更佳為 5nm 以下的區域即可。另一方面，氧化物半導體 130C 具有阻擋構成與其相鄰的絕緣體的氧以外的元素（氫、矽等）侵入到該形成有通道的氧化物半導體 130b 中的功能。因此，氧化物半導體

130C 較佳為具有一定程度的厚度。例如，氧化物半導體 130C 具有 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上的厚度的區域即可。另外，為了抑制從基板 101 或介於基板 101 與氧化物半導體 130b 之間的絕緣體等釋放的氧的向外擴散，氧化物半導體 130C 較佳為具有阻擋氧的性質。

[0112] 另外，絕緣體 150A 的膜厚例如為 1nm 以上且 20nm 以下，並且可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等。另外，還可以使用在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置形成絕緣體 150A。另外，也可以利用 MOCVD 法。例如，可以將利用 MOCVD 法形成的氧化鎵膜用作絕緣體 150A。

[0113] 絕緣體 150A 可以使用氧化矽膜、氧化鎵膜、氧化鎵鋅膜、氧化鋅膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或氮氧化矽膜形成。絕緣體 150A 較佳為與氧化物半導體 130C 接觸的部分包含氧。尤其是，絕緣體 150A 的膜中（塊體中）較佳為至少含有超過化學計量組成比的量的氧（過量氧），在本實施方式中，作為絕緣體 150A 使用藉由 CVD 法形成的氧氮化矽膜。當將包含過量氧的氧氮化矽膜用作絕緣體 150A 時，可以將氧經由氧化物半導體 130C 供應給氧化物半導體 130b，而可以使其特性良好。再者，由於絕緣體 150A 在後面的製程中被加工成絕緣體 150，因此較佳為在形成絕緣體 150A 時對電

晶體的尺寸等作以考慮。

[0114] 再者，作為絕緣體 150A 的材料，可以使用氧化鉿、氧化釔、矽酸鉿（$HfSi_xO_y$（x>0、y>0））、添加有氮的矽酸鉿（$HfSi_xO_yN_z$（x>0、y>0、z>0））、鋁酸鉿（$HfAl_xO_y$（x>0、y>0））以及氧化鑭等 high-k 材料。絕緣體 150A 既可以是單層結構，又可以是疊層結構。

[0115] 另外，導電體 160A 利用濺射法、蒸鍍法、CVD 法等形成。導電體 160A 可以使用包含選自鉭、鈦、鉬、鎢、鋁、銅、鉻、釹、釩中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉭膜、氮化鎢膜）等。此外，作為導電體 160A，也可以使用以摻雜磷等雜質元素的多晶矽膜為代表的半導體、鎳矽化物等矽化物膜。或者，也可以應用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物以及添加有氧化矽的銦錫氧化物等導電材料。另外，也可以採用上述導電材料和上述金屬材料的疊層結構。例如，可以層疊厚度為 5nm 的鈦膜、10nm 的氮化鈦膜以及 100nm 的鎢膜。

[0116] 接著，藉由 CMP 處理等，直到露出絕緣體 180 為止，去除導電體 160A、絕緣體 150A、氧化物半導體 130C 的一部分，形成氧化物半導體 130c、絕緣體 150、導電體 160（圖 4C 及圖 4D）。此時，可以將絕緣體 180 用作停止層，有時絕緣體 180 的厚度減少。

[0117] 另外，CMP 處理既可只進行一次，又可進行

多次。當進行 CMP 處理多次時，較佳為在進行高拋光率的初期拋光之後，進行低拋光率的精拋光。如此，藉由將拋光率不同的拋光組合，可以進一步提高拋光表面的平坦性。

[0118] 藉由上述製程，可以製造圖 5A 至圖 5C 所示的電晶體 100。圖 5A 示出電晶體 100 的俯視圖的一個例子。圖 5B 及圖 5C 分別是對應於圖 5A 所示的點劃線 X1-X2 及 Y1-Y2 的剖面圖。電晶體 100 也可以如圖 5A 至圖 5C 所示那樣包括導電體 165。在基板 101 上形成導電體 165 之後，形成絕緣體 110，接著，藉由 CMP 處理等，直到露出導電體 165 為止，去除絕緣體 110 的一部分，由此可以形成導電體 165。藉由 CMP 處理，起因於導電體 165 的步階變小，電晶體 100 的形狀不良減少，而可以提高可靠性。

[0119] 在電晶體 100 中，氧化物半導體 130 包括氧化物半導體 130a、氧化物半導體 130b 及氧化物半導體 130c。氧化物半導體 130b 具有通道形成區域的功能。另外，導電體 140a 及導電體 140b 具有源極電極及汲極電極的功能。另外，絕緣體 150 具有閘極絕緣體的功能。導電體 160 具有第一閘極電極的功能。導電體 165 具有第二閘極電極的功能。

[0120] 藉由本實施方式，可以製造微型化的電晶體 100。在電晶體 100 中，導電體 140a 及導電體 140b 與導電體 160 幾乎不重疊，所以可以減小導電體 160 和導電體

140a 及導電體 140b 之間發生的寄生電容。也就是說，電晶體 100 的工作頻率高。另外，藉由在使用犧牲層 190 形成的開口部中形成具有閘極絕緣體的功能的絕緣體 150 及具有閘極電極的功能的導電體 160，可以抑制在同一製程中製造的電晶體間的通道長度的偏差。

[0121] 另外，可以使形成的導電體 160 的寬度小於犧牲層 190 的寬度。因此，與利用光微影法直接形成相同寬度的閘極電極的情況相比更可以穩定地形成閘極電極。例如，當閘極電極的寬度過小時，有時在形成閘極電極時會倒下的情況，但是本發明的一個實施方式的電晶體的閘極電極不容易倒下。與此同樣，可以使用作閘極電極的導電體 160 較厚。明確而言，可以使導電體 160 的厚度是導電體 160 的寬度的兩倍以上，較佳為三倍以上，更佳為四倍以上。藉由使導電體 160 較厚，可以降低導電體 160 的電阻，因此可以提高電晶體的工作速度。

[0122] 由此，可以提供一種即使被微型化也具有高穩定的電特性且工作速度快的電晶體。另外，藉由使用該電晶體，可以提供一種電晶體間的偏差小且集成度高的半導體裝置。

[0123] 本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

[0124]

實施方式 2

〈半導體裝置的變形例子 1〉

在本實施方式中，參照圖 6A 至圖 10C 說明電晶體 100 的變形例子。下面，參照圖 6A 至圖 9D 說明半導體裝置的製造方法的一個例子。與實施方式 1 所示的電晶體 100 標記了相同符號的組件可以參照實施方式 1 所示的電晶體。

[0125] 首先，如圖 6A 及圖 6B 所示，在基板 101 上形成絕緣體 110、絕緣體 120、氧化物半導體 130A、氧化物半導體 130B、氧化物半導體 130C 及導電體 140A。

[0126] 接著，如圖 6C 及圖 6D 所示，藉由光微影法等在導電體 140A 上形成光阻遮罩 135，來去除氧化物半導體 130A、氧化物半導體 130B、氧化物半導體 130C 及導電體 140A 的不需要的部分。然後去除光阻遮罩 135，由此可以形成圖 6E 及圖 6F 所示的島狀的氧化物半導體 130a、氧化物半導體 130b、氧化物半導體 130c 及導電體 140。

[0127] 接著，如圖 7C 及圖 7D 所示，形成犧牲層 190。首先，如圖 7A 及圖 7B 所示，在形成將成為犧牲層 190 的膜 190A 後，藉由與上述同樣的方法形成光阻遮罩 195 並去除膜 190A 的不需要的部分，形成犧牲層 190。注意，犧牲層 190 的形狀對在後面形成的導電體 160 的形狀造成影響，所以較佳為其側面大致垂直於被形成面。

[0128] 接著，如圖 7E 及圖 7F 所示，在導電體 140 及犧牲層 190 上形成絕緣體 180A。接著，如圖 8A 及圖 8B 所示，藉由化學機械拋光處理等，直到露出犧牲層 190

為止，去除絕緣體 180A 的一部分，形成絕緣體 180。CMP 處理既可只進行一次，又可進行多次。當進行 CMP 處理多次時，較佳為在進行高拋光率的初期拋光之後，進行低拋光率的精拋光。如此，藉由將拋光率不同的拋光組合，可以進一步提高絕緣體 180 的平坦性。

[0129] 接著，對犧牲層 190 選擇性地進行蝕刻，如圖 8C 及圖 8D 所示，形成開口部。注意，在去除犧牲層 190 的製程中，較佳為利用濕蝕刻法。

[0130] 接著，如圖 8E 及圖 8F 所示，藉由以絕緣體 180 為遮罩去除導電體 140 的一部分，在形成導電體 140a 及導電體 140b 的同時形成開口部。在本實施方式中的電晶體的結構中，氧化物半導體 130c 介於導電體 140 與氧化物半導體 130b 之間。藉由採用該結構，可以在去除導電體 140 的製程中，藉由氧化物半導體 130c 保護氧化物半導體 130b。氧化物半導體 130b 具有通道形成區域的功能。因此，藉由保護通道形成區域的表面，可以獲得可靠性高的電晶體。

[0131] 接著，如圖 9A 及圖 9B 所示，形成絕緣體 150A 及導電體 160A。

[0132] 接著，藉由 CMP 處理等，直到露出絕緣體 180 為止，去除導電體 160A、絕緣體 150A 的一部分，形成絕緣體 150、導電體 160（圖 9C 及圖 9D）。此時，可以將絕緣體 180 用作停止層，有時絕緣體 180 的厚度減少。

[0133] 藉由上述製程，可以製造圖 10A 至圖 10C 所示的電晶體 100。圖 10A 示出電晶體 100 的俯視圖的一個例子。圖 10B 及圖 10C 分別是對應於圖 10A 所示的點劃線 X1-X2 及 Y1-Y2 的剖面圖。電晶體 100 也可以如圖 10A 至圖 10C 所示那樣包括導電體 165。

[0134] 在電晶體 100 中，氧化物半導體 130b 具有通道形成區域的功能。另外，導電體 140a 及導電體 140b 具有源極電極及汲極電極的功能。另外，絕緣體 150 具有閘極絕緣體的功能。導電體 160 具有第一閘極電極的功能。導電體 165 具有第二閘極電極的功能。

[0135] 藉由本實施方式，可以製造微型化的電晶體 100。在電晶體 100 中，導電體 140a 及導電體 140b 與導電體 160 幾乎不重疊，所以可以減小導電體 160 和導電體 140a 及導電體 140b 之間發生的寄生電容。也就是說，電晶體 100 的工作頻率高。另外，藉由在使用犧牲層 190 形成的開口部中形成具有閘極絕緣體的功能的絕緣體 150 及具有閘極電極的功能的導電體 160，可以抑制在同一製程中製造的電晶體間的通道長度的偏差。

[0136] 另外，可以使形成的導電體 160 的寬度小於犧牲層 190 的寬度。因此，與利用光微影法直接形成相同寬度的閘極電極的情況相比更可以穩定地形成閘極電極。例如，當閘極電極的寬度過小時，有時在形成閘極電極時會發生倒塌的情況，但是本發明的一個實施方式的電晶體的閘極電極不容易倒塌。與此同樣，可以使用作閘極電極

的導電體 160 較厚。明確而言，可以使導電體 160 的厚度是導電體 160 的寬度的兩倍以上，較佳為三倍以上，更佳為四倍以上。藉由使導電體 160 較厚，可以降低導電體 160 的電阻，因此可以提高電晶體的工作速度。

[0137] 另外，在本實施方式中，由於不將氧化物半導體 130c 形成在絕緣體 180 的開口部，所以即使使用犧牲層 190 形成的開口部進一步微型化，也可以確保其中埋入有絕緣體 150 及導電體 160 的區域。

[0138] 由此，可以提供一種即使被微型化也具有高穩定的電特性且工作速度快的電晶體。另外，藉由使用該電晶體，可以提供一種電晶體間的偏差小且集成度高的半導體裝置。

[0139] 本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

[0140]

實施方式 3

〈半導體裝置的變形例子 2〉

在本實施方式中，參照圖 11A 至圖 15C 說明電晶體 100 的變形例子。下面，參照圖 11A 至圖 15C 說明半導體裝置的製造方法的一個例子。對與實施方式 1 所示的電晶體 100 具有同樣的功能的組件標記了與實施方式 1 相同的符號，而可以參照實施方式 1 所示的電晶體。

[0141] 首先，如圖 11A 及圖 11B 所示，在基板 101 上形成絕緣體 110、絕緣體 120、氧化物半導體 130A 及氧

化物半導體 130B。

[0142] 接著，如圖 11C 及圖 11D 所示，藉由光微影法等在氧化物半導體 130B 上形成光阻遮罩 135，來去除氧化物半導體 130A 及氧化物半導體 130B 的不需要的部分。然後去除光阻遮罩 135，由此可以形成圖 11E 及圖 11F 所示的島狀的氧化物半導體 130a 及氧化物半導體 130b。

[0143] 接著，如圖 11G 及圖 11H 所示，形成氧化物半導體 130C，在氧化物半導體 130C 上形成導電體 140A，然後在導電體 140A 上利用光微影法等形成光阻遮罩 145。接著，如圖 12A 及圖 12B 所示，去除氧化物半導體 130C 及導電體 140A 的不需要的部分，從而形成氧化物半導體 130c 及導電體 140。

[0144] 接著，如圖 12E 及圖 12F 所示，形成犧牲層 190。首先，如圖 12C 及圖 12D 所示，在形成將成為犧牲層 190 的膜 190A 後，藉由與上述同樣的方法形成光阻遮罩 195 並去除膜 190A 的不需要的部分，形成犧牲層 190。注意，犧牲層 190 的形狀對在後面形成的導電體 160 的形狀造成影響，所以較佳為其側面大致垂直於被形成面。

[0145] 接著，如圖 13A 及圖 13B 所示，在導電體 140 及犧牲層 190 上形成絕緣體 180A。接著，如圖 13C 及圖 13D 所示，藉由化學機械拋光處理等，直到露出犧牲層 190 為止，去除絕緣體 180A 的一部分，形成絕緣體

180。CMP 處理既可只進行一次，又可進行多次。當進行 CMP 處理多次時，較佳為在進行高拋光率的初期拋光之後，進行低拋光率的精拋光。如此，藉由將拋光率不同的拋光組合，可以進一步提高絕緣體 180 的平坦性。

[0146] 接著，對犧牲層 190 選擇性地進行蝕刻，如圖 13E 及圖 13F 所示，形成開口部。注意，在去除犧牲層 190 的製程中，較佳為利用濕蝕刻法。

[0147] 在本實施方式中的電晶體的結構中，氧化物半導體 130b 中的形成有通道的區域被氧化物半導體 130a 及氧化物半導體 130c 覆蓋。藉由採用該結構，在去除犧牲層 190 的製程中，可以由氧化物半導體 130c 保護氧化物半導體 130b。

[0148] 接著，如圖 14A 及圖 14B 所示，藉由以絕緣體 180 為遮罩去除導電體 140 的一部分，在形成導電體 140a 及導電體 140b 的同時形成開口部。在本實施例中的電晶體的結構中，氧化物半導體 130c 介於導電體 140 與氧化物半導體 130b 之間。藉由採用該結構，可以在去除導電體 140 的製程中，藉由氧化物半導體 130c 保護氧化物半導體 130b。

[0149] 接著，如圖 14C 及圖 14D 所示，形成絕緣體 150A 及導電體 160A。

[0150] 接著，藉由 CMP 處理等，直到露出絕緣體 180 為止，去除導電體 160A、絕緣體 150A 的一部分，形成絕緣體 150、導電體 160（圖 14E 及圖 14F）。此時，

可以將絕緣體 180 用作停止層，有時絕緣體 180 的厚度減少。

[0151] 藉由上述製程，可以製造圖 15A 至圖 15C 所示的電晶體 100。圖 15A 示出電晶體 100 的俯視圖的一個例子。圖 15B 及圖 15C 分別是對應於圖 15A 所示的點劃線 X1-X2 及 Y1-Y2 的剖面圖。電晶體 100 也可以如圖 15A 至圖 15C 所示那樣包括導電體 165。

[0152] 在電晶體 100 中，氧化物半導體 130b 具有通道形成區域的功能。另外，導電體 140a 及導電體 140b 具有源極電極及汲極電極的功能。另外，絕緣體 150 具有閘極絕緣體的功能。導電體 160 具有第一閘極電極的功能。導電體 165 具有第二閘極電極的功能。

[0153] 藉由本實施方式，可以製造微型化的電晶體 100。在電晶體 100 中，導電體 140a 及導電體 140b 與導電體 160 幾乎不重疊，所以可以減小導電體 160 和導電體 140a 及導電體 140b 之間發生的寄生電容。也就是說，電晶體 100 的工作頻率高。另外，藉由在使用犧牲層 190 形成的開口部中形成具有閘極絕緣體的功能的絕緣體 150 及具有閘極電極的功能的導電體 160，可以抑制在同一製程中製造的電晶體間的通道長度的偏差。

[0154] 另外，可以使形成的導電體 160 的寬度小於犧牲層 190 的寬度。因此，與利用光微影法直接形成相同寬度的閘極電極的情況相比更可以穩定地形成閘極電極。例如，當閘極電極的寬度過小時，有時在形成閘極電極時

會發生倒塌的情況，但是本發明的一個實施方式的電晶體的閘極電極不容易倒塌。與此同樣，可以使用作閘極電極的導電體 160 較厚。明確而言，可以使導電體 160 的厚度是導電體 160 的寬度的兩倍以上，較佳為三倍以上，更佳為四倍以上。藉由使導電體 160 較厚，可以降低導電體 160 的電阻，因此可以提高電晶體的工作速度。

[0155] 另外，在本實施方式中，由於不將氧化物半導體 130c 形成在開口部，所以即使使用犧牲層 190 形成的開口部進一步微型化，也可以確保其中埋入有絕緣體 150 及導電體 160 的區域。

[0156] 由此，可以提供一種即使被微型化也具有高穩定的電特性且工作速度快的電晶體。另外，藉由使用該電晶體，可以提供一種電晶體間的偏差小且集成度高的半導體裝置。

[0157] 本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

[0158]

實施方式 4

〈半導體裝置的變形例子 3〉

在本實施方式中，參照圖 16A 至圖 20C 說明電晶體 100 的變形例子。下面，參照圖 16A 至圖 20C 說明半導體裝置的製造方法的一個例子。對與實施方式 1 所示的電晶體 100 具有同樣的功能的組件標記了與實施方式 1 相同的符號，而可以參照實施方式 1 所示的電晶體。

[0159] 首先，如圖 16A 及圖 16B 所示，在基板 101 上形成絕緣體 110、絕緣體 120、氧化物半導體 130A 及氧化物半導體 130B。

[0160] 接著，如圖 16C 及圖 16D 所示，藉由光微影法等在氧化物半導體 130B 上形成光阻遮罩 135，來去除氧化物半導體 130A 及氧化物半導體 130B 的不需要的部分。然後去除光阻遮罩 135，由此可以形成圖 16E 及圖 16F 所示的島狀的氧化物半導體 130a 及氧化物半導體 130b。

[0161] 接著，如圖 17A 及圖 17B 所示，形成犧牲層 190。首先，如圖 16G 及圖 16H 所示，在形成將成為犧牲層 190 的膜 190A 後，藉由與上述同樣的方法形成光阻遮罩 195 並去除膜 190A 的不需要的部分，形成犧牲層 190。注意，犧牲層 190 的形狀對在後面形成的導電體 160 的形狀造成影響，所以較佳為其側面大致垂直於被形成面。

[0162] 接著，如圖 17C 及圖 17D 所示，形成將成為源極區域及汲極區域的區域 131a 及區域 131b。例如，藉由以犧牲層 190 為遮罩對氧化物半導體 130b 添加硼、磷、氫等雜質，使氧化物半導體 130b 低電阻化，從而可以形成區域 131a 及區域 131b。另外，當添加雜質時，在，藉由還對氧化物半導體 130b 中的與犧牲層 190 重疊的區域添加雜質，可以提高電晶體的通態特性。注意，此時，還可以在氧化物半導體 130a 中形成低電阻區域。

[0163] 另外，藉由使與區域 131a 及區域 131b 接觸的氮化矽膜等包含氫的膜中的氫擴散到氧化物半導體 130b 的一部分中，可以進一步實現低電阻化。藉由作為後面形成的絕緣體 180A 使用氮化矽膜等包含氫的膜，可以實現氧化物半導體 130b 的一部分（此時，至少為區域 131a 及區域 131b）與氮化矽膜等包含氫的膜接觸的結構。另外，也可以在形成氮化矽膜等包含氫的膜之後形成絕緣體 180A。注意，藉由採用添加上述雜質的結構和形成包含氫的膜的結構中的一個，可以形成區域 131a 及區域 131b。

[0164] 另外，例如，還可以在以與氧化物半導體 130b 及犧牲層 190 接觸的方式形成金屬層之後去除該金屬層，由此形成區域 131a 及區域 131b。在與金屬層接觸的區域形成有氧缺陷，並且氧化物半導體所含的氫進入該氧缺陷，而使該區域 n 型化。n 型化的區域被用作源極區域或汲極區域，可以降低氧化物半導體與源極電極及汲極電極之間的接觸電阻。因此，藉由形成 n 型化區域，可以提高電晶體 100 的移動率及通態電流，由此，可以實現使用電晶體 100 的半導體裝置的高速工作。

[0165] 注意，金屬層所引起的氧的抽出有可能在藉由濺射法等形成金屬層時發生，在欲進一步抽出氧時，也可以在形成金屬層之後進行加熱處理。藉由將容易與氧鍵合的導電性材料用於金屬層，更容易形成 n 型化區域。作為上述導電性材料，例如可以舉出 Al、Cr、Cu、Ta、

Ti、Mo、W 等。

[0166] 另外，也可以在去除金屬層之後，形成與區域 131a 及區域 131b 接觸的氮化矽膜等包含氫的膜，使氫擴散到氧化物半導體 130b 的一部分中。

[0167] 接著，如圖 17E 及圖 17F 所示，在氧化物半導體 130b 及犧牲層 190 上形成絕緣體 180A。接著，如圖 18A 及圖 18B 所示，藉由化學機械拋光處理等，直到露出犧牲層 190 為止，去除絕緣體 180A 的一部分，形成絕緣體 180。CMP 處理既可只進行一次，又可進行多次。當進行 CMP 處理多次時，較佳為在進行高拋光率的初期拋光之後，進行低拋光率的精拋光。如此，藉由將拋光率不同的拋光組合，可以進一步提高絕緣體 180 的平坦性。

[0168] 接著，對犧牲層 190 選擇性地進行蝕刻，如圖 18C 及圖 18D 所示，形成開口部。注意，在去除犧牲層 190 的製程中，較佳為利用濕蝕刻法。

[0169] 接著，如圖 18E 及圖 18F 所示，形成氧化物半導體 130C、絕緣體 150A 及導電體 160A。

[0170] 接著，藉由 CMP 處理等，直到露出絕緣體 180 為止，去除氧化物半導體 130C、導電體 160A、絕緣體 150A 的一部分，形成氧化物半導體 130c、絕緣體 150 及導電體 160（圖 19A 及圖 19B）。此時，可以將絕緣體 180 用作停止層，有時絕緣體 180 的厚度減少。

[0171] 藉由上述製程，可以製造圖 20A 至圖 20C 所示的電晶體 100。圖 20A 示出電晶體 100 的俯視圖的一個

例子。圖 20B 及圖 20C 分別是對應於圖 20A 所示的點劃線 X1-X2 及 Y1-Y2 的剖面圖。電晶體 100 也可以如圖 20A 至圖 20C 所示那樣包括導電體 165。

[0172] 在電晶體 100 中，氧化物半導體 130b 具有通道形成區域的功能。另外，區域 131a 及區域 131b 具有源極區域及汲極區域的功能。另外，絕緣體 150 具有閘極絕緣體的功能。導電體 160 具有第一閘極電極的功能。導電體 165 具有第二閘極電極的功能。

[0173] 藉由本實施方式，可以製造微型化的電晶體 100。在電晶體 100 中，區域 131a 及區域 131b 與導電體 160 幾乎不重疊，所以可以減小導電體 160 和區域 131a 及區域 131b 之間發生的寄生電容。也就是說，電晶體 100 的工作頻率高。另外，藉由在使用犧牲層 190 形成的開口部中形成具有閘極絕緣體的功能的絕緣體 150 及具有閘極電極的功能的導電體 160，可以抑制在同一製程中製造的電晶體間的通道長度的偏差。

[0174] 另外，可以使形成的導電體 160 的寬度小於犧牲層 190 的寬度。因此，與利用光微影法直接形成相同寬度的閘極電極的情況相比更可以穩定地形成閘極電極。例如，當閘極電極的寬度過小時，有時在形成閘極電極時會發生倒塌的情況，但是本發明的一個實施方式的電晶體的閘極電極不容易倒塌。與此同樣，可以使用作閘極電極的導電體 160 較厚。明確而言，可以使導電體 160 的厚度是導電體 160 的寬度的兩倍以上，較佳為三倍以上，更佳

為四倍以上。藉由使導電體 160 較厚，可以降低導電體 160 的電阻，因此可以提高電晶體的工作速度。

[0175] 由此，可以提供一種即使被微型化也具有高穩定的電特性且工作速度快的電晶體。另外，藉由使用該電晶體，可以提供一種電晶體間的偏差小且集成度高的半導體裝置。

[0176] 本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

[0177]

實施方式 5

〈半導體裝置的變形例子 4〉

在本實施方式中，參照圖 21A 至圖 25C 說明電晶體 100 的變形例子。下面，參照圖 21A 至圖 25C 說明半導體裝置的製造方法的一個例子。對與實施方式 1 所示的電晶體 100 具有同樣的功能的組件標記了與實施方式 1 相同的符號，而可以參照實施方式 1 所示的電晶體。

[0178] 首先，如圖 21A 及圖 21B 所示，在基板 101 上形成絕緣體 110、絕緣體 120、氧化物半導體 130A 及氧化物半導體 130B。

[0179] 接著，如圖 21C 及圖 21D 所示，藉由光微影法等在氧化物半導體 130B 上形成光阻遮罩 135，來去除氧化物半導體 130A 及氧化物半導體 130B 的不需要的部分。然後去除光阻遮罩 135，由此可以形成圖 21E 及圖 21F 所示的島狀的氧化物半導體 130a 及氧化物半導體

130b。

[0180] 接著，如圖 21G 及圖 21H 所示，在島狀的氧化物半導體 130a 及氧化物半導體 130b 上形成氧化物半導體 130C。接著，如圖 22A 及圖 22B 所示，形成成為犧牲層 190 的膜 190A。然後，以與上述同樣的方法，藉由形成光阻遮罩 195 並去除膜 190A 及氧化物半導體 130C 的不需要的部分，由此形成犧牲層 190 及氧化物半導體 130c（圖 22C 及圖 22D）。注意，由於犧牲層 190 的形狀會影響到後面形成的導電體 160 的形狀，因此較佳為其側面大致垂直於被形成面。

[0181] 接著，如圖 22E 及圖 22F 所示，與上述同樣地形成將成為源極區域及汲極區域的區域 131a 及區域 131b。

[0182] 接著，如圖 23A 及圖 23B 所示，在氧化物半導體 130b 及犧牲層 190 上形成絕緣體 180A。接著，如圖 23C 及圖 23D 所示，藉由化學機械拋光處理等，直到露出犧牲層 190 為止，去除絕緣體 180A 的一部分，形成絕緣體 180。CMP 處理既可只進行一次，又可進行多次。當進行 CMP 處理多次時，較佳為在進行高拋光率的初期拋光之後，進行低拋光率的精拋光。如此，藉由將拋光率不同的拋光組合，可以進一步提高絕緣體 180 的平坦性。

[0183] 接著，對犧牲層 190 選擇性地進行蝕刻，如圖 23E 及圖 23F 所示，形成開口部。注意，在去除犧牲層 190 的製程中，較佳為利用濕蝕刻法。

[0184] 在本實施方式中的電晶體的結構中，氧化物半導體 130b 中的形成有通道的區域被氧化物半導體 130a 及氧化物半導體 130c 覆蓋。藉由採用該結構，在去除犧牲層 190 的製程中，可以由氧化物半導體 130c 保護氧化物半導體 130b。

[0185] 接著，如圖 24A 及圖 24B 所示，形成絕緣體 150A 及導電體 160A。

[0186] 接著，藉由 CMP 處理等，直到露出絕緣體 180 為止，去除導電體 160A、絕緣體 150A 及氧化物半導體 130C 的一部分，形成絕緣體 150、導電體 160（圖 24C 及圖 24D）。此時，可以將絕緣體 180 用作停止層，有時絕緣體 180 的厚度減少。

[0187] 藉由上述製程，可以製造圖 25A 至圖 25C 所示的電晶體 100。圖 25A 示出電晶體 100 的俯視圖的一個例子。圖 25B 及圖 25C 分別是對應於圖 25A 所示的點劃線 X1-X2 及 Y1-Y2 的剖面圖。電晶體 100 也可以如圖 25A 至圖 25C 所示那樣包括導電體 165。

[0188] 在電晶體 100 中，氧化物半導體 130b 具有通道形成區域的功能。另外，區域 131a 及區域 131b 具有源極電極及汲極電極的功能。另外，絕緣體 150 具有閘極絕緣體的功能。導電體 160 具有第一閘極電極的功能。導電體 165 具有第二閘極電極的功能。

[0189] 藉由本實施方式，可以製造微型化的電晶體 100。在電晶體 100 中，區域 131a 及區域 131b 與導電體

160 幾乎不重疊，所以可以減小導電體 160 和區域 131a 及區域 131b 之間發生的寄生電容。也就是說，電晶體 100 的工作頻率高。另外，藉由在使用犧牲層 190 形成的開口部中形成具有閘極絕緣體的功能的絕緣體 150 及具有閘極電極的功能的導電體 160，可以抑制在同一製程中製造的電晶體間的通道長度的偏差。

[0190] 另外，可以使形成的導電體 160 的寬度小於犧牲層 190 的寬度。因此，與利用光微影法直接形成相同寬度的閘極電極的情況相比更可以穩定地形成閘極電極。例如，當閘極電極的寬度過小時，有時在形成閘極電極時會發生倒塌的情況，但是本發明的一個實施方式的電晶體的閘極電極不容易倒塌。與此同樣，可以使用作閘極電極的導電體 160 較厚。明確而言，可以使導電體 160 的厚度是導電體 160 的寬度的兩倍以上，較佳為三倍以上，更佳為四倍以上。藉由使導電體 160 較厚，可以降低導電體 160 的電阻，因此可以提高電晶體的工作速度。

[0191] 另外，在本實施方式中，由於不將氧化物半導體 130c 形成在開口部，所以即使使用犧牲層 190 形成的開口部進一步微型化，也可以確保其中埋入有絕緣體 150 及導電體 160 的區域。

[0192] 由此，可以提供一種即使被微型化也具有高穩定的電特性且工作速度快的電晶體。另外，藉由使用該電晶體，可以提供一種電晶體間的偏差小且集成度高的半導體裝置。

[0193] 本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

[0194]

實施方式 6

〈氧化物半導體的結構〉

下面說明氧化物半導體的結構。

[0195] 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有 CAAC-OS（c-axis-aligned crystalline oxide semiconductor）、多晶氧化物半導體、nc-OS（nanocrystalline oxide semiconductor）、a-like OS（amorphous-like oxide semiconductor）及非晶氧化物半導體等。

[0196] 從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體，有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及 nc-OS 等。

[0197] 一般而言，非晶結構具有如下特徵：具有各向同性而不具有不均勻結構；處於亞穩態且原子的配置沒有被固定化；鍵角不固定；具有短程有序而不具有長程有序；等。

[0198] 亦即，不能將穩定的氧化物半導體稱為完全非晶（completely amorphous）氧化物半導體。另外，不能將不具有各向同性（例如，在微小區域中具有週期結構）的氧化物半導體稱為完全非晶氧化物半導體。另一方

面，a-like OS不具有各向同性但卻是具有空洞（void）的不穩定結構。在不穩定這一點上，a-like OS 在物性上接近於非晶氧化物半導體。

[0199]

〈CAAC-OS〉

首先，說明 CAAC-OS。

[0200] CAAC-OS 是包含多個 c 軸配向的結晶部（也稱為顆粒）的氧化物半導體之一。

[0201] 說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 進行分析時的情況。例如，當利用 out-of-plane 法分析包含分類為空間群 R-3m 的 $InGaZnO_4$ 結晶的 CAAC-OS 的結構時，如圖 27A 所示，在繞射角（2θ）為 31°附近出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可確認到在 CAAC-OS 中結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於形成 CAAC-OS 的膜的面（也稱為被形成面）或頂面的方向。注意，除了 2θ為 31°附近的峰值以外，有時在 2θ為 36°附近時也出現峰值。2θ為 36°附近的峰值起因於分類為空間群 Fd-3m 的結晶結構。因此，較佳的是，在 CAAC-OS 中不出現該峰值。

[0202] 另一方面，當利用從平行於被形成面的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ為 56°附近出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。並且，即使將 2θ固定為 56°附近並在

以樣本面的法線向量為軸（ϕ軸）旋轉樣本的條件下進行分析（ϕ掃描），也如圖 27B 所示的那樣觀察不到明確的峰值。另一方面，當對單晶 $InGaZnO_4$ 將 2θ固定為 56°附近來進行ϕ掃描時，如圖 27C 所示，觀察到來源於相等於（110）面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0203] 接著，說明利用電子繞射分析的 CAAC-OS。例如，當對包含 $InGaZnO_4$ 結晶的 CAAC-OS 在平行於 CAAC-OS 的被形成面的方向上入射束徑為 300nm 的電子束時，有可能出現圖 27D 所示的繞射圖案（也稱為選區電子繞射圖案）。在該繞射圖案中包含起因於 $InGaZnO_4$ 結晶的（009）面的斑點。因此，電子繞射也示出 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 27E 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子束時的繞射圖案。從圖 27E 觀察到環狀的繞射圖案。因此，使用束徑為 300nm 的電子束的電子繞射也示出 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 27E 中的第一環起因於 $InGaZnO_4$ 結晶的（010）面和（100）面等。另外，可以認為圖 27E 中的第二環起因於（110）面等。

[0204] 另外，在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所獲取的 CAAC-

OS 的明視野影像與繞射圖案的複合分析影像（也稱為高解析度 TEM 影像）中，可以觀察到多個顆粒。然而，即使在高解析度 TEM 影像中，有時也觀察不到顆粒與顆粒之間的明確的邊界，亦即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0205] 圖 28A 示出從大致平行於樣本面的方向觀察所獲取的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度 TEM 影像。尤其將利用球面像差校正功能獲取的高解析度 TEM 影像稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等觀察 Cs 校正高解析度 TEM 影像。

[0206] 從圖 28A 可確認到其中金屬原子排列為層狀的顆粒。並且可知一個顆粒的尺寸為 1nm 以上或者 3nm 以上。因此，也可以將顆粒稱為奈米晶（nc：nanocrystal）。另外，也可以將 CAAC-OS 稱為具有 CANC（C-Axis Aligned nanocrystals：c 軸配向奈米晶）的氧化物半導體。顆粒反映 CAAC-OS 的被形成面或頂面的凸凹並平行於 CAAC-OS 的被形成面或頂面。

[0207] 另外，圖 28B 及圖 28C 示出從大致垂直於樣本面的方向觀察所獲取的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 28D 及圖 28E 是藉由對圖 28B 及圖

28C 進行影像處理得到的影像。下面說明影像處理的方法。首先，藉由對圖 28B 進行快速傅立葉變換（FFT：Fast Fourier Transform）處理，獲取 FFT 影像。接著，以保留所獲取的 FFT 影像中的離原點 2.8nm^{-1} 至 5.0nm^{-1} 的範圍的方式進行遮罩處理。接著，對經過遮罩處理的 FFT 影像進行快速傅立葉逆變換（IFFT：Inverse Fast Fourier Transform）處理而獲取經過處理的影像。將所獲取的影像稱為 FFT 濾波影像。FFT 濾波影像是從 Cs 校正高解析度 TEM 影像中提取出週期分量的影像，其示出晶格排列。

[0208] 在圖 28D 中，以虛線示出晶格排列被打亂的部分。由虛線圍繞的區域是一個顆粒。並且，以虛線示出的部分是顆粒與顆粒的聯結部。虛線呈現六角形，由此可知顆粒為六角形。注意，顆粒的形狀並不侷限於正六角形，不是正六角形的情況較多。

[0209] 在圖 28E 中，以點線示出晶格排列一致的區域與其他晶格排列一致的區域之間，並且以虛線示出晶格排列的方向。在點線附近也無法確認到明確的晶界。當以點線附近的晶格點為中心周圍的晶格點相接時，可以形成畸變的六角形、五角形、七角形等。亦即，可知藉由使晶格排列畸變，可抑制晶界的形成。這可能是由於 CAAC-OS 可容許因如下原因而發生的畸變：在 a-b 面方向上的原子排列的低密度或因金屬元素被取代而使原子間的鍵合距離產生變化等。

[0210] 如上所示，CAAC-OS 具有 c 軸配向性，其多個顆粒（奈米晶）在 a-b 面方向上連結而結晶結構具有畸變。因此，也可以將 CAAC-OS 稱為具有 CAA crystal（c-axis-aligned a-b-plane-anchored crystal）的氧化物半導體。

[0211] CAAC-OS 是結晶性高的氧化物半導體。氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低，因此可以說 CAAC-OS 是雜質或缺陷（氧缺陷等）少的氧化物半導體。

[0212] 此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0213] 當氧化物半導體包含雜質或缺陷時，其特性有時會因光或熱等發生變動。例如，包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。例如，氧化物半導體中的氧缺陷有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0214] 雜質及氧缺陷少的 CAAC-OS 是載子密度低的氧化物半導體。明確而言，可以使用載子密度小於 8×10^{11} 個/cm^3，較佳為小於 1×10^{11} 個/cm^3，更佳為小於 1×10^{10} 個

/cm^3，且是 1×10^{-9} 個/cm^3 以上的氧化物半導體。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷能階密度低。亦即，可以說 CAAC-OS 是具有穩定特性的氧化物半導體。

[0215]

<nc-OS>

接著，對 nc-OS 進行說明。

[0216] 說明使用 XRD 裝置對 nc-OS 進行分析的情況。例如，當利用 out-of-plane 法分析 nc-OS 的結構時，不出現表示配向性的峰值。換言之，nc-OS 的結晶不具有配向性。

[0217] 另外，例如，當使包含 $InGaZnO_4$ 結晶的 nc-OS 薄片化，並在平行於被形成面的方向上使束徑為 50nm 的電子束入射到厚度為 34nm 的區域時，觀察到如圖 29A 所示的環狀繞射圖案（奈米束電子繞射圖案）。另外，圖 29B 示出將束徑為 1nm 的電子束入射到相同的樣本時的繞射圖案（奈米束電子繞射圖案）。從圖 29B 觀察到環狀區域內的多個斑點。因此，nc-OS 在入射束徑為 50nm 的電子束時觀察不到秩序性，但是在入射束徑為 1nm 的電子束時確認到秩序性。

[0218] 另外，當使束徑為 1nm 的電子束入射到厚度小於 10nm 的區域時，如圖 29C 所示，有時觀察到斑點被配置為准正六角形的電子繞射圖案。由此可知，nc-OS 在厚度小於 10nm 的範圍內包含秩序性高的區域，亦即結

晶。注意，因為結晶朝向各種各樣的方向，所以也有觀察不到有規律性的電子繞射圖案的區域。

[0219] 圖 29D 示出從大致平行於被形成面的方向觀察到的 nc-OS 的剖面的 Cs 校正高解析度 TEM 影像。在 nc-OS 的高解析度 TEM 影像中有如由輔助線所示的部分那樣能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。nc-OS 所包含的結晶部的尺寸為 1nm 以上且 10nm 以下，尤其大多為 1nm 以上且 3nm 以下。注意，有時將其結晶部的尺寸大於 10nm 且是 100nm 以下的氧化物半導體稱為微晶氧化物半導體（microcrystalline oxide semiconductor）。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0220] 如此，在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。

[0221] 另外，由於在顆粒（奈米晶）之間結晶定向沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無

配向奈米晶）的氧化物半導體。

[0222] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷能階密度比 a-like OS 或非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷能階密度比 CAAC-OS 高。

[0223]

<a-like OS>

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。

[0224] 圖 30A 和圖 30B 示出 a-like OS 的高解析度剖面 TEM 影像。圖 30A 示出電子照射開始時的 a-like OS 的高解析度剖面 TEM 影像。圖 30B 示出照射 4.3$\times 10^8 e^-/nm^2$ 的電子（e^-）之後的 a-like OS 的高解析度剖面 TEM 影像。由圖 30A 和圖 30B 可知，a-like OS 從電子照射開始時被觀察到在縱向方向上延伸的條狀明亮區域。另外，可知明亮區域的形狀在照射電子之後變化。明亮區域被估計為空洞或低密度區域。

[0225] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0226] 作為樣本，準備 a-like OS、nc-OS 和 CAAC-OS。每個樣本都是 In-Ga-Zn 氧化物。

[0227] 首先，取得各樣本的高解析度剖面 TEM 影

像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0228] 已知 $InGaZnO_4$ 結晶的單位晶格具有所包括的三個 In-O 層和六個 Ga-Zn-O 層共計九個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層之間的間隔與（009）面的晶格表面間隔（也稱為 d 值）幾乎相等，由結晶結構分析求出其值為 0.29nm。由此，以下可以將晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的部分看作 $InGaZnO_4$ 結晶部。晶格條紋對應於 $InGaZnO_4$ 結晶的 a-b 面。

[0229] 圖 31 示出調查了各樣本的結晶部（22 至 30 處）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 31 可知，在 a-like OS 中，結晶部根據有關取得 TEM 影像等的電子的累積照射量逐漸變大。由圖 31 可知，在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在電子（e^-）的累積照射量為 $4.2\times10^8e^-/nm^2$ 時生長到 1.9nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2\times10^8e^-/nm^2$ 的範圍內，結晶部的尺寸都沒有變化。由圖 31 可知，無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的結晶部尺寸分別為 1.3nm 左右及 1.8nm 左右。此外，使用日立穿透式電子顯微鏡 H-9000NAR 進行電子束照射及 TEM 的觀察。作為電子束照射條件，加速電壓為 300kV；電流密度為 $6.7\times10^5e^-/(nm^2\cdot s)$；照射區

域的直徑為 230nm。

[0230] 如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0231] 此外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6%以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78%的氧化物半導體。

[0232] 例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密度為 6.357g/cm^3。因此，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，a-like OS 的密度為 5.0g/cm^3 以上且小於 5.9g/cm^3。另外，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 5.9g/cm^3 以上且小於 6.3g/cm^3。

[0233] 注意，當不存在相同組成的單晶氧化物半導體時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶氧化物半導體的組合比例使用加權平均估計出相當於所希望的組成的單晶氧化物半導

體的密度即可。注意，較佳為儘可能減少所組合的單晶氧化物半導體的種類來估計密度。

[0234] 如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、nc-OS 和 CAAC-OS 中的兩種以上的疊層膜。

[0235]

實施方式 7

在本實施方式中，說明利用本發明的一個實施方式的電晶體等的半導體裝置的電路的一個例子。

[0236]

<CMOS 反相器>

圖 32A 所示的電路圖示出所謂的 CMOS 反相器的結構，其中使 p 通道電晶體 2200 與 n 通道電晶體 2100 串聯連接，並使其閘極互相連接。

[0237]

<半導體裝置的結構 1>

圖 33 是對應於圖 32A 的半導體裝置的剖面圖。圖 33 所示的半導體裝置包括電晶體 2200 以及電晶體 2100。電晶體 2100 配置於電晶體 2200 的上方。此外，可以將上述實施方式所記載的電晶體用作電晶體 2100。因此，關於電晶體 2100，可以適當地參照上述電晶體的記載。

[0238] 圖 33 所示的電晶體 2200 是使用半導體基板 450 的電晶體。電晶體 2200 包括半導體基板 450 中的區

域 472a、半導體基板 450 中的區域 472b、絕緣體 462 以及導電體 454。

[0239] 在電晶體 2200 中，區域 472a 及區域 472b 具有源極區域及汲極區域的功能。另外，絕緣體 462 具有閘極絕緣體的功能。另外，導電體 454 具有閘極電極的功能。因此，能夠由施加到導電體 454 的電位控制通道形成區域的電阻。亦即，能夠由施加到導電體 454 的電位控制區域 472a 與區域 472b 之間的導通或非導通。

[0240] 作為半導體基板 450，例如可以使用由矽或鍺等構成的單一材料半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵等構成的半導體基板等。較佳的是，作為半導體基板 450 使用單晶矽基板。

[0241] 作為半導體基板 450 使用包含賦予 n 型導電性的雜質的半導體基板。注意，作為半導體基板 450，也可以使用包含賦予 p 型導電性的雜質的半導體基板。此時，在形成電晶體 2200 的區域中配置包含賦予 n 型導電性的雜質的井即可。或者，半導體基板 450 也可以為 i 型。

[0242] 半導體基板 450 的頂面較佳為具有（110）面。由此，能夠提高電晶體 2200 的通態特性。

[0243] 區域 472a 及區域 472b 是包含賦予 p 型導電性的雜質的區域。由此，電晶體 2200 具有 p 通道電晶體的結構。

[0244] 注意，電晶體 2200 與鄰接的電晶體被區域

460 等隔開。區域 460 具有絕緣性。

[0245] 圖 33 所示的半導體裝置包括絕緣體 464、絕緣體 466、絕緣體 468、導電體 480a、導電體 480b、導電體 480c、導電體 478a、導電體 478b、導電體 478c、導電體 476a、導電體 476b、導電體 474a、導電體 474b、導電體 474c、導電體 496a、導電體 496b、導電體 496c、導電體 496d、導電體 498a、導電體 498b、導電體 498c、絕緣體 489、絕緣體 490、絕緣體 492、絕緣體 493、絕緣體 494 以及絕緣體 495。

[0246] 絕緣體 464 配置於電晶體 2200 上。絕緣體 466 配置於絕緣體 464 上。絕緣體 468 配置於絕緣體 466 上。絕緣體 489 配置於絕緣體 468 上。電晶體 2100 配置於絕緣體 489 上。絕緣體 493 配置於電晶體 2100 上。絕緣體 494 配置於絕緣體 493 上。

[0247] 絕緣體 464 包括到達區域 472a 的開口部、到達區域 472b 的開口部以及到達導電體 454 的開口部。導電體 480a、導電體 480b 及導電體 480c 分別填充於各開口部中。

[0248] 絕緣體 466 包括到達導電體 480a 的開口部、到達導電體 480b 的開口部以及到達導電體 480c 的開口部。導電體 478a、導電體 478b 及導電體 478c 分別填充於各開口部中。

[0249] 絕緣體 468 包括到達導電體 478b 的開口部以及到達導電體 478c 的開口部。導電體 476a 及導電體 476b

分別填充於各開口部中。

[0250] 絕緣體 489 包括與電晶體 2100 的通道形成區域重疊的開口部、到達導電體 476a 的開口部以及到達導電體 476b 的開口部。導電體 474a、導電體 474b 及導電體 474c 分別填充於各開口部中。

[0251] 導電體 474a 也可以具有電晶體 2100 的閘極電極的功能。或者，例如，也可以藉由對導電體 474a 施加預定的電位，來控制電晶體 2100 的臨界電壓等的電特性。或者，例如，也可以將導電體 474a 與具有電晶體 2100 的閘極電極的功能的導電體 504 電連接。由此，可以增加電晶體 2100 的通態電流。此外，由於可以抑制衝穿現象，因此可以使電晶體 2100 的飽和區中的電特性穩定。注意，因為導電體 474a 相當於上述實施方式所示的導電體 165，所以關於其詳細內容，參照導電體 165 的記載。

[0252] 絕緣體 490 包括到達導電體 474b 的開口部。注意，因為絕緣體 490 相當於上述實施方式所示的絕緣體 120，所以關於其詳細內容，可以參照絕緣體 120 的記載。

[0253] 絕緣體 495 包括穿過電晶體 2100 的源極和汲極中的一個的導電體 507b 到達導電體 474b 的開口部、到達電晶體 2100 的源極和汲極中的另一個的導電體 507a 的開口部、到達電晶體 2100 的閘極電極的導電體 504 的開口部以及到達導電體 474c 的開口部。注意，因為絕緣體

495 相當於上述實施方式所示的絕緣體 180，所以關於其詳細內容，參照絕緣體 180 的記載。

[0254] 絕緣體 493 包括穿過電晶體 2100 的源極和汲極中的一個的導電體 507b 到達導電體 474b 的開口部、到達電晶體 2100 的源極和汲極中的另一個的導電體 507a 的開口部、到達電晶體 2100 的閘極電極的導電體 504 的開口部以及到達導電體 474c 的開口部。導電體 496a、導電體 496b、導電體 496c 及導電體 496d 分別填充於各開口部中。注意，設置在電晶體 2100 等的組件中的開口部有時位於設置在其他組件中的開口部之間。

[0255] 絕緣體 494 包括到達導電體 496a 的開口部、到達導電體 496b 及導電體 496d 的開口部以及到達導電體 496c 的開口部。導電體 498a、導電體 498b 及導電體 498c 分別填充於各開口部中。

[0256] 作為絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 489、絕緣體 493 及絕緣體 494，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、釹、鉿或鉭的絕緣體的單層或疊層。

[0257] 絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 489、絕緣體 493 和絕緣體 494 中的一個以上較佳為具有阻擋氫等雜質及氧的功能。藉由在電晶體 2100 的附近配置具有阻擋氫等雜質及氧的功能的絕緣體，可以使電晶體 2100 的電特性穩定。

[0258] 作為具有阻擋氫等雜質及氧的功能的絕緣

體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰或鉭的絕緣體的單層或疊層。

[0259] 作為導電體 480a、導電體 480b、導電體 480c、導電體 478a、導電體 478b、導電體 478c、導電體 476a、導電體 476b、導電體 474a、導電體 474b、導電體 474c、導電體 496a、導電體 496b、導電體 496c、導電體 496d、導電體 498a、導電體 498b 及導電體 498c，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0260] 注意，圖 34 所示的半導體裝置與圖 33 所示的半導體裝置的不同之處只在於電晶體 2200 的結構。因此，圖 34 所示的半導體裝置參照圖 33 所示的半導體裝置的記載。明確而言，在圖 34 所示的半導體裝置中，電晶體 2200 為 Fin 型。藉由使電晶體 2200 成為 Fin 型，實效的通道寬度得到增大，從而能夠提高電晶體 2200 的通態特性。另外，由於可以增大閘極電極的電場的影響，所以能夠提高電晶體 2200 的關態特性。

[0261] 另外，圖 35 所示的半導體裝置與圖 33 所示的半導體裝置的不同之處只在於電晶體 2200 的結構。因

此，圖 35 所示的半導體裝置參照圖 33 所示的半導體裝置的記載。明確而言，在圖 35 所示的半導體裝置中，電晶體 2200 設置在 SOI 基板的半導體基板 450。圖 35 示出區域 456 與半導體基板 450 被絕緣體 452 隔開的結構。藉由作為半導體基板 450 使用 SOI 基板，可以抑制衝穿現象等，所以能夠提高電晶體 2200 的關態特性。注意，絕緣體 452 可以藉由使半導體基板 450 絕緣體化形成。例如，作為絕緣體 452 可以使用氧化矽。

[0262] 在圖 33 至圖 35 所示的半導體裝置中，使用半導體基板形成 p 通道電晶體並在其上方形成 n 通道電晶體，因此能夠減少元件所占的面積。亦即，可以提高半導體裝置的集成度。另外，與使用同一半導體基板形成 n 通道電晶體和 p 通道電晶體的情況相比，可以簡化製程，所以能夠提高半導體裝置的生產率。另外，能夠提高半導體裝置的良率。另外，p 通道電晶體有時可以省略 LDD（Lightly Doped Drain：輕摻雜汲極）區域的形成、淺溝槽（Shallow Trench）結構的形成或變形設計等複雜的製程。因此，與使用半導體基板形成 n 通道電晶體的半導體裝置相比，圖 33 至圖 35 所示的半導體裝置有時能夠提高生產率和良率。

[0263]

<CMOS 類比開關>

此外，圖 32B 所示的電路圖示出使電晶體 2100 和電晶體 2200 的源極互相連接且使電晶體 2100 和電晶體

2200 的汲極互相連接的結構。藉由採用這種結構，可以將該電晶體用作所謂的 CMOS 類比開關。

[0264]

<記憶體裝置 1>

參照圖 36A 和圖 36B 示出半導體裝置（記憶體裝置）的一個例子，該半導體裝置（記憶體裝置）使用本發明的一個實施方式的電晶體，即便在沒有電力供應的情況下也能夠保持存儲內容，並且對寫入次數也沒有限制。

[0265] 圖 36A 所示的半導體裝置包括使用第一半導體的電晶體 3200、使用第二半導體的電晶體 3300 以及電容元件 3400。另外，作為電晶體 3300 可以使用與上述電晶體 2100 同樣的電晶體。

[0266] 電晶體 3300 較佳為使用關態電流小的電晶體。電晶體 3300 例如可以使用包含氧化物半導體的電晶體。由於電晶體 3300 的關態電流小，所以可以長期間使半導體裝置的特定的節點保持存儲內容。亦即，因為不需要更新工作或可以使更新工作的頻率極低，所以能夠實現低功耗的半導體裝置。

[0267] 在圖 36A 中，第一佈線 3001 與電晶體 3200 的源極電連接，第二佈線 3002 與電晶體 3200 的汲極電連接。此外，第三佈線 3003 與電晶體 3300 的源極和汲極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電連接。再者，電晶體 3200 的閘極及電晶體 3300 的源極和汲極中的另一個與電容元件 3400 的一個電極電連接，第五

佈線 3005 與電容元件 3400 的另一個電極電連接。

[0268] 圖 36A 所示的半導體裝置藉由具有能夠保持電晶體 3200 的閘極的電位的特徵，可以如下所示進行資料的寫入、保持以及讀出。

[0269] 對資料的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 導通的電位，而使電晶體 3300 導通。由此，第三佈線 3003 的電位施加到與電晶體 3200 的閘極及電容元件 3400 的一個電極電連接的節點 FG。換言之，對電晶體 3200 的閘極施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一個。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 關閉的電位而使電晶體 3300 關閉，使電荷保持在節點 FG（保持）。

[0270] 因為電晶體 3300 的關態電流較小，所以節點 FG 的電荷被長時間保持。

[0271] 接著，對資料的讀出進行說明。當在對第一佈線 3001 施加規定的電位（恆電位）的狀態下對第五佈線 3005 施加適當的電位（讀出電位）時，第二佈線 3002 具有對應於保持在節點 FG 中的電荷量的電位。這是因為：在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極施加低位準電荷時的外觀上的臨界電壓 V_{th_L}。在此，外觀上的臨界電壓是指為了使電

晶體 3200 成為“導通狀態”而需要的第五佈線 3005 的電位。由此，藉由將第五佈線 3005 的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0，可以辨別施加到節點 FG 的電荷。例如，在寫入時節點 FG 被供應高位準電荷的情況下，若第五佈線 3005 的電位為 V_0（$>V_{th_H}$），電晶體 3200 則成為“導通狀態”。另一方面，當節點 FG 被供應低位準電荷時，即便第五佈線 3005 的電位為 V_0（$<V_{th_L}$），電晶體 3200 也保持“關閉狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出節點 FG 所保持的資料。

[0272] 注意，當將記憶單元設置為陣列狀時，在讀出時必須讀出所希望的記憶單元的資料。例如，在不讀出資料的記憶單元中，藉由對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“關閉狀態”的電位，亦即低於 V_{th_H} 的電位，能夠僅讀出所希望的記憶單元中的資料。或者，在不讀出資料的記憶單元中，藉由對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“導通狀態”的電位，亦即高於 V_{th_L} 的電位，能夠僅讀出所希望的記憶單元中的資料。

[0273] 注意，雖然在上述中示出了兩種電荷被保持在節點 FG 的例子，但是根據本發明的半導體裝置不侷限於此。例如，可以將三種以上的電荷保持在半導體裝置的節點 FG。藉由採用上述結構，能夠使半導體裝置多位準而增大記憶容量。

[0274]

<記憶體裝置的結構 1>

圖 37 是對應於圖 36A 的半導體裝置的剖面圖。圖 37 所示的半導體裝置包括電晶體 3200、電晶體 3300 以及電容元件 3400。電晶體 3300 及電容元件 3400 配置於電晶體 3200 的上方。電晶體 3300 參照上述電晶體 2100 的記載。電晶體 3200 參照圖 33 所示的電晶體 2200 的記載。在圖 33 中，對電晶體 2200 為 p 通道電晶體的情況進行說明，但是電晶體 3200 也可以為 n 通道電晶體。

[0275] 圖 37 所示的電晶體 2200 是使用半導體基板 450 的電晶體。電晶體 2200 包括半導體基板 450 中的區域 472a、半導體基板 450 中的區域 472b、絕緣體 462 以及導電體 454。

[0276] 圖 37 所示的半導體裝置包括絕緣體 464、絕緣體 466、絕緣體 468、導電體 480a、導電體 480b、導電體 480c、導電體 478a、導電體 478b、導電體 478c、導電體 476a、導電體 476b、導電體 474a、導電體 474b、導電體 474c、導電體 496a、導電體 496b、導電體 496c、導電體 496d、導電體 498a、導電體 498b、導電體 498c、絕緣體 489、絕緣體 490、絕緣體 492、絕緣體 493、絕緣體 494 以及絕緣體 495。

[0277] 絕緣體 464 配置於電晶體 3200 上。絕緣體 466 配置於絕緣體 464 上。絕緣體 468 配置於絕緣體 466 上。絕緣體 489 配置於絕緣體 468 上。電晶體 2100 配置於絕緣體 489 上。絕緣體 493 配置於電晶體 2100 上。絕

緣體 494 配置於絕緣體 493 上。

[0278] 絕緣體 464 包括到達區域 472a 的開口部、到達區域 472b 的開口部以及到達導電體 454 的開口部。導電體 480a、導電體 480b 及導電體 480c 分別填充於各開口部中。

[0279] 絕緣體 466 包括到達導電體 480a 的開口部、到達導電體 480b 的開口部以及到達導電體 480c 的開口部。導電體 478a、導電體 478b 及導電體 478c 分別填充於各開口部中。

[0280] 絕緣體 468 包括到達導電體 478b 的開口部以及到達導電體 478c 的開口部。導電體 476a 及導電體 476b 分別填充於各開口部中。

[0281] 絕緣體 489 包括與電晶體 3300 的通道形成區域重疊的開口部、到達導電體 476a 的開口部以及到達導電體 476b 的開口部。導電體 474a、導電體 474b 及導電體 474c 分別填充於各開口部中。

[0282] 導電體 474a 也可以具有電晶體 3300 的底閘極電極的功能。或者，例如，也可以藉由對導電體 474a 施加預定的電位，來控制電晶體 3300 的臨界電壓等的電特性。或者，例如，也可以將導電體 474a 與電晶體 3300 的頂閘極電極的導電體 504 電連接。由此，可以增加電晶體 3300 的通態電流。此外，由於可以抑制衝穿現象，因此可以使電晶體 3300 的飽和區中的電特性穩定。

[0283] 絕緣體 490 包括到達導電體 474b 的開口部以

及到達導電體 474c 的開口部。

[0284] 絕緣體 495 包括穿過電晶體 3300 的源極和汲極中的一個的導電體 507b 到達導電體 474b 的開口部以及穿過電晶體 3300 的源極和汲極中的另一個的導電體 507a 到達導電體 474c 的開口部。導電體 496a 及導電體 496c 分別填充於各開口部中。注意，設置在電晶體 3300 等的組件中的開口部有時位於設置在其他組件中的開口部之間。

[0285] 另外，絕緣體 493 包括到達電容元件 3400 的一個電極的導電體 514 的開口部、到達接觸與電晶體 3300 的源極和汲極中的另一個的導電體 507b 連接的導電體 496c 的導電體的開口部以及到達電晶體 3300 的閘極的開口部。另外，導電體 496e、導電體 496d 及導電體 496b 分別填充於各開口部中。

[0286] 絕緣體 494 包括到達導電體 496b 的開口部、到達導電體 496d 的開口部以及到達導電體 496e 的開口部。導電體 498a、導電體 498b 及導電體 498c 分別填充於各開口部中。

[0287] 絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 489、絕緣體 493 和絕緣體 494 中的一個以上較佳為具有阻擋氫等雜質及氧的功能。藉由在電晶體 3300 附近配置具有阻擋氫等雜質及氧的功能的絕緣體，可以使電晶體 3300 的電特性穩定。

[0288] 電晶體 3200 的源極或汲極藉由導電體 480b、

導電體 478b、導電體 476a、導電體 474b 以及導電體 496c 電連接到電晶體 3300 的源極和汲極中的一個的導電體 507b。電晶體 3200 的閘極電極的導電體 454 藉由導電體 480c、導電體 478c、導電體 476b、導電體 474c 以及導電體 496d 電連接到電晶體 3300 的源極和汲極中的另一個的導電體 507a。

[0289] 電容元件 3400 包括導電體 515、導電體 514 以及絕緣體 511。

[0290] 其他組件的結構可以適當地參照關於圖 33 等的記載。

[0291] 注意，圖 38 所示的半導體裝置與圖 37 所示的半導體裝置的不同之處只在於電晶體 3200 的結構。因此，圖 38 所示的半導體裝置參照圖 37 所示的半導體裝置的記載。明確而言，在圖 38 所示的半導體裝置中，電晶體 3200 為 Fin 型。Fin 型電晶體 3200 參照圖 34 所示的電晶體 2200 的記載。在圖 34 中，對電晶體 2200 為 p 通道電晶體的情況進行說明，但是電晶體 3200 也可以為 n 通道電晶體。

[0292] 另外，圖 39 所示的半導體裝置與圖 37 所示的半導體裝置的不同之處只在於電晶體 3200 的結構。因此，圖 39 所示的半導體裝置參照圖 37 所示的半導體裝置的記載。明確而言，在圖 39 所示的半導體裝置中，電晶體 3200 設置在作為 SOI 基板的半導體基板 450 中。設置在作為 SOI 基板的半導體基板 450 中的電晶體 3200 參照

圖 35 所示的電晶體 2200 的記載。在圖 35 中，對電晶體 2200 為 p 通道電晶體的情況進行說明，但是電晶體 3200 也可以為 n 通道電晶體。

[0293]

<記憶體裝置 2>

圖 36B 所示的半導體裝置在不包括電晶體 3200 之處與圖 36A 所示的半導體裝置不同。在此情況下也可以藉由與圖 36A 所示的半導體裝置同樣的工作進行資料的寫入及保持工作。

[0294] 以下，說明圖 36B 所示的半導體裝置中的資料讀出。在電晶體 3300 成為導通狀態時，使處於浮動狀態的第三佈線 3003 和電容元件 3400 導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果是，第三佈線 3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件 3400 的一個電極的電位（或積累在電容元件 3400 中的電荷）而具有不同的值。

[0295] 例如，在電容元件 3400 的一個電極的電位為 V，電容元件 3400 的電容為 C，第三佈線 3003 所具有的電容成分為 CB，再次分配電荷之前的第三佈線 3003 的電位為 VB0 時，再次分配電荷之後的第三佈線 3003 的電位為（CB×VB0+CV）/（CB+C）。因此，在假定記憶單元處於其電容元件 3400 的一個電極的電位為兩種的狀態，亦即 V1 和 V0（V1>V0）時，可以得知保持電位 V1 時的第三佈線 3003 的電位（=（CB×VB0+CV1）/（CB+C））高

於保持電位 V0 時的第三佈線 3003 的電位（=（CB×VB0+CV0）/（CB+C））。

[0296] 並且，藉由對第三佈線 3003 的電位和規定的電位進行比較，可以讀出資料。

[0297] 在此情況下，可以將上述使用第一半導體的電晶體用於用來驅動記憶單元的驅動電路，且將作為電晶體 3300 使用第二半導體的電晶體層疊在該驅動電路上。

[0298] 上述半導體裝置可以應用使用氧化物半導體的關態電流較小的電晶體來長期間保持存儲內容。亦即，因為不需要更新工作或可以使更新工作的頻率極低，所以能夠實現低功耗的半導體裝置。此外，即便在沒有電力供應的情況下（但較佳為固定電位）也能夠長期間保持存儲內容。

[0299] 此外，因為該半導體裝置在寫入資料時不需要高電壓，所以其中不容易產生元件的劣化。例如，不同於習知的非揮發性記憶體，不需要對浮動閘極注入電子或從浮動閘極抽出電子，因此不會發生絕緣體劣化等問題。換言之，在本發明的一個實施方式的半導體裝置中，在現有非揮發性記憶體中成為問題的重寫次數不受到限制，並且其可靠性得到極大的提高。再者，根據電晶體的導通狀態/關閉狀態進行資料的寫入，所以能夠高速工作。

[0300]

<記憶體裝置 3>

參照圖 40 所示的電路圖對圖 36A 所示的半導體裝置

（記憶體裝置）的變形例子進行說明。

[0301] 圖 40 所示的半導體裝置包括電晶體 4100 至電晶體 4400、電容元件 4500 及電容元件 4600。在此，作為電晶體 4100 可以使用與上述電晶體 3200 同樣的電晶體，作為電晶體 4200 至 4400 可以使用與上述電晶體 3300 同樣的電晶體。注意，在圖 40 中省略示出圖 40 所示的半導體裝置，但是該半導體裝置被設置為矩陣狀。圖 40 所示的半導體裝置可以根據供應到佈線 4001、佈線 4003、佈線 4005 至 4009 的信號或電位而控制資料電壓的寫入及讀出。

[0302] 電晶體 4100 的源極和汲極中的一個連接於佈線 4003。電晶體 4100 的源極和汲極中的另一個連接於佈線 4001。注意，雖然在圖 40 中示出電晶體 4100 為 p 通道電晶體的情況，但是該電晶體 4100 也可以為 n 通道電晶體。

[0303] 圖 40 所示的半導體裝置包括兩個資料保持部。例如，第一資料保持部在連接於節點 FG1 的電晶體 4400 的源極和汲極中的一個、電容元件 4600 的一個電極以及電晶體 4200 的源極和汲極中的一個之間保持電荷。另外，第二資料保持部在連接於節點 FG2 的電晶體 4100 的閘極、電晶體 4200 的源極和汲極中的另一個、電晶體 4300 的源極和汲極中的一個以及電容元件 4500 的一個電極之間保持電荷。

[0304] 電晶體 4300 的源極和汲極中的另一個連接於

佈線 4003。電晶體 4400 的源極和汲極中的另一個連接於佈線 4001。電晶體 4400 的閘極連接於佈線 4005。電晶體 4200 的閘極連接於佈線 4006。電晶體 4300 的閘極連接於佈線 4007。電容元件 4600 的另一個電極連接於佈線 4008。電容元件 4500 的另一個電極連接於佈線 4009。

[0305] 電晶體 4200 至 4400 具有控制資料電壓的寫入及電荷的保持的開關的功能。注意，作為電晶體 4200 至 4400 較佳為使用在關閉狀態下流過源極與汲極之間的電流（關態電流）較低的電晶體。作為關態電流較低的電晶體，較佳為在其通道形成區域中包括氧化物半導體的電晶體（OS 電晶體）。OS 電晶體具有如下優點：關態電流較低、可以以與包含矽的電晶體重疊的方式製造等。注意，雖然在圖 40 中示出電晶體 4200 至 4400 為 n 通道電晶體的情況，但是該電晶體 4200 至 4400 也可以為 p 通道電晶體。

[0306] 即便電晶體 4200、電晶體 4300 及電晶體 4400 是使用氧化物半導體的電晶體，也較佳為將該電晶體 4200、電晶體 4300 及電晶體 4400 設置在不同的層中。也就是說，如圖 40 所示，圖 40 所示的半導體裝置較佳為由包括電晶體 4100 的第一層 4021、包括電晶體 4200 及電晶體 4300 的第二層 4022 以及包括電晶體 4400 的第三層 4023 構成。藉由層疊包括電晶體的層，能夠縮小電路面積，而能夠實現半導體裝置的小型化。

[0307] 接著，說明對圖 40 所示的半導體裝置進行的

資料寫入工作。

[0308] 首先，說明對連接於節點 FG1 的資料保持部進行的資料電壓的寫入工作（以下稱為寫入工作 1）。注意，以下將寫入到連接於節點 FG1 的資料保持部的資料電壓為 V_{D1}，而將電晶體 4100 的臨界電壓為 V_{th}。

[0309] 在寫入工作 1 中，在將佈線 4003 的電位設定為 V_{D1} 並將佈線 4001 的電位設定為接地電位之後，使佈線 4001 處於電浮動狀態。此外，將佈線 4005 及 4006 的電位設定為高位準。另外，將佈線 4007 至 4009 的電位設定為低位準。由此，處於電浮動狀態的節點 FG2 的電位上升，而使電流流過電晶體 4100。當電流流過時，佈線 4001 的電位上升。此外，使電晶體 4400 及電晶體 4200 導通。因此，隨著佈線 4001 的電位上升，節點 FG1 及 FG2 的電位就上升。當節點 FG2 的電位上升而使電晶體 4100 的閘極與源極之間的電壓（V_{gs}）成為電晶體 4100 的臨界電壓 V_{th} 時，流過電晶體 4100 的電流變小。因此，佈線 4001、節點 FG1 及 FG2 的電位上升停止，而固定為比 V_{D1} 低出 V_{th} 的 “$V_{D1}-V_{th}$” 。

[0310] 也就是說，當電流流過電晶體 4100 時，施加到佈線 4003 的 V_{D1} 被施加到佈線 4001，而節點 FG1 及 FG2 的電位上升。當由於電位的上升而使節點 FG2 的電位成為“$V_{D1}-V_{th}$” 時，電晶體 4100 的 V_{gs} 成為 V_{th}，所以電流停止。

[0311] 接著，說明對連接於節點 FG2 的資料保持部

進行的資料電壓的寫入工作（以下稱為寫入工作 2）。注意，說明寫入到連接於節點 FG2 的資料保持部的資料電壓為 V_{D2} 的情況。

[0312] 在寫入工作 2 中，在將佈線 4001 的電位設定為 V_{D2} 並將佈線 4003 的電位設定為接地電位之後，使佈線 4003 處於電浮動狀態。此外，將佈線 4007 的電位設定為高位準。另外，將佈線 4005、4006、4008 及 4009 的電位設定為低位準。使電晶體 4300 導通，而將佈線 4003 的電位設定為低位準。因此，節點 FG2 的電位也降低到低位準，而使電流流過電晶體 4100。當電流流過時，佈線 4003 的電位上升。此外，使電晶體 4300 導通。因此，隨著佈線 4003 的電位上升，節點 FG2 的電位就上升。當節點 FG2 的電位上升而使電晶體 4100 的 V_{gs} 成為電晶體 4100 的 V_{th} 時，流過電晶體 4100 的電流變小。因此，佈線 4003 及節點 FG2 的電位的上升停止，而固定為從 V_{D2} 下降了對應於 V_{th} 的 “$V_{D2}-V_{th}$” 。

[0313] 也就是說，當電流流過電晶體 4100 時，施加到佈線 4001 的 V_{D2} 被施加到佈線 4003，而節點 FG2 的電位上升。當由於電位的上升而使節點 FG2 的電位成為 “$V_{D2}-V_{th}$” 時，電晶體 4100 的 V_{gs} 成為 V_{th}，所以電流停止。此時，電晶體 4200 和 4400 都處於關閉狀態，而節點 FG1 保持在寫入工作 1 中寫入的“$V_{D1}-V_{th}$” 。

[0314] 在圖 40 所示的半導體裝置中，在將資料電壓寫入到多個資料保持部之後，將佈線 4009 的電位設定為

高位準，而使節點 FG1 及 FG2 的電位上升。然後，使各電晶體關閉以停止電荷移動，由此保持所寫入的資料電壓。

[0315] 如上所述，藉由對節點 FG1 及 FG2 進行資料電壓的寫入工作，可以將資料電壓保持在多個資料保持部。注意，雖然作為所寫入的電位的例子舉出了“$V_{D1}-V_{th}$”及“$V_{D2}-V_{th}$”，但是這些電位是對應於多值的資料的資料電壓。因此，當在各資料保持部中保持 4 位元的資料時，可能會得到 16 位的“$V_{D1}-V_{th}$”及 16 位的“$V_{D2}-V_{th}$”。

[0316] 接著，說明對圖 40 所示的半導體裝置進行的資料讀出工作。

[0317] 首先，說明對連接於節點 FG2 的資料保持部進行的資料電壓的讀出工作（以下稱為讀出工作 1）。

[0318] 在讀出工作 1 中，對預充電後處於電浮動狀態的佈線 4003 進行放電。此外，將佈線 4005 至 4008 的電位設定為低位準。另外，將佈線 4009 的電位設定為低位準，而使處於電浮動狀態的節點 FG2 的電位為“$V_{D2}-V_{th}$”。當節點 FG2 的電位降低時，電流流過電晶體 4100。當電流流過時，電浮動狀態的佈線 4003 的電位降低。隨著佈線 4003 的電位的降低，電晶體 4100 的 V_{gs} 就變小。當電晶體 4100 的 V_{gs} 成為電晶體 4100 的 V_{th} 時，流過電晶體 4100 的電流變小。也就是說，佈線 4003 的電位成為比節點 FG2 的電位“$V_{D2}-V_{th}$”高出 V_{th} 的值的

“V_{D2}”。該佈線 4003 的電位對應於連接到節點 FG2 的資料保持部的資料電壓。對所讀出的類比值的資料電壓進行 A/D 轉換，以取得連接於節點 FG2 的資料保持部的資料。

[0319] 也就是說，使經預充電後的佈線 4003 成為浮動狀態，而將佈線 4009 的電位從高位準換到低位準，由此使電流流過電晶體 4100。當電流流過時，處於浮動狀態的佈線 4003 的電位降低而成為“V_{D2}”。在電晶體 4100 中，由於節點 FG2 的“$V_{D2}-V_{th}$”與佈線 4003 的“V_{D2}”之間的 V_{gs} 成為 V_{th}，因此電流停止。然後，在寫入工作 2 中寫入的 V_{D2} 被讀出到佈線 4003。

[0320] 在取得連接於節點 FG2 的資料保持部的資料之後，使電晶體 4300 導通，而使節點 FG2 的“$V_{D2}-V_{th}$”放電。

[0321] 接著，將保持在節點 FG1 的電荷分配到節點 FG2，而將連接於節點 FG1 的資料保持部的資料電壓移動到連接於節點 FG2 的資料保持部。在此，將佈線 4001 及 4003 的電位設定為低位準。此外，將佈線 4006 的電位設定為高位準。另外，將佈線 4005、佈線 4007 至 4009 的電位設定為低位準。藉由使電晶體 4200 導通，節點 FG1 的電荷被分配在節點 FG1 與節點 FG2 之間。

[0322] 在此，電荷分配後的電位從所寫入的電位“$V_{D1}-V_{th}$”降低。因此，電容元件 4600 的電容值較佳為大於電容元件 4500 的電容值。或者，寫入到節點 FG1 的

電位“$V_{D1}-V_{th}$”較佳為大於表示相同的資料的電位“$V_{D2}-V_{th}$”。如此，藉由改變電容值的比而使預先寫入的電位變大，可以抑制電荷分配後的電位下降。關於電荷分配所引起的電位變動，將在後面進行說明。

[0323] 接著，說明對連接於節點 FG1 的資料保持部進行的資料電壓的讀出工作（以下稱為讀出工作 2）。

[0324] 在讀出工作 2 中，對預充電後處於電浮動狀態的佈線 4003 進行放電。此外，將佈線 4005 至 4008 的電位設定為低位準。另外，佈線 4009 的電位在預充電時被設定為高位準，之後被設定為低位準。藉由將佈線 4009 的電位設定為低位準，使處於電浮動狀態的節點 FG2 的電位成為電位“$V_{D1}-V_{th}$”。當節點 FG2 的電位降低時，電流流過電晶體 4100。當電流流過時，電浮動狀態的佈線 4003 的電位降低。隨著佈線 4003 的電位的降低，電晶體 4100 的 V_{gs} 就變小。當電晶體 4100 的 V_{gs} 成為電晶體 4100 的 V_{th} 時，流過電晶體 4100 的電流變小。也就是說，佈線 4003 的電位成為比節點 FG2 的電位“$V_{D1}-V_{th}$”高出 V_{th} 的值的“V_{D1}”。該佈線 4003 的電位對應於連接到節點 FG1 的資料保持部的資料電壓。對所讀出的類比值的資料電壓進行 A/D 轉換，以取得連接於節點 FG1 的資料保持部的資料。以上是對連接於節點 FG1 的資料保持部進行的資料電壓的讀出工作。

[0325] 也就是說，使經預充電後的佈線 4003 成為浮動狀態，而將佈線 4009 的電位從高位準換到低位準，由

此使電流流過電晶體 4100。當電流流過時，處於浮動狀態的佈線 4003 的電位降低而成為 V_{D1}。在電晶體 4100 中，由於節點 FG2 的“$V_{D1}-V_{th}$”與佈線 4003 的“V_{D1}”之間的 V_{gs} 成為 V_{th}，因此電流停止。然後，在寫入工作 1 中寫入的“V_{D1}”被讀出到佈線 4003。

[0326] 如上所述，藉由對節點 FG1 及 FG2 進行資料電壓的讀出工作，可以從多個資料保持部讀出資料電壓。例如，藉由在節點 FG1 及節點 FG2 的每一個中保持 4 位元（16 個值）的資料，總共可以保持 8 位元（256 個值）的資料。另外，雖然在圖 40 中採用了由第一層 4021 至第三層 4023 構成的結構，但是藉由形成更多的層，能夠實現記憶容量的增大而無需增加半導體裝置的面積。

[0327] 注意，所讀出的電位可以作為比所寫入的資料電壓高出 V_{th} 的電壓被讀出。因此，可以藉由抵消在寫入工作中寫入的“$V_{D1}-V_{th}$”或“$V_{D2}-V_{th}$”的 V_{th} 而讀出。其結果是，在可以提供每記憶單元的記憶容量的同時，還可以將所讀出的資料接近於正確的資料，所以可以實現較高的資料可靠性。

[0328] 圖 41 示出對應於圖 40 的半導體裝置的剖面圖。圖 41 所示的半導體裝置包括電晶體 4100 至電晶體 4400、電容元件 4500 及電容元件 4600。在此，電晶體 4100 形成在第一層 4021 中，電晶體 4200、4300 及電容元件 4500 形成在第二層 4022 中，並且，電晶體 4400 及電容元件 4600 形成在第三層 4023 中。

[0329] 在此，關於電晶體 4200 至 4400 可以參照電晶體 3300 的記載，關於電晶體 4100 可以參照電晶體 3200 的記載。另外，關於其他佈線及絕緣體等也可以適當地參照圖 37 的記載。

[0330] 注意，在圖 37 所示的半導體裝置的電容元件 3400 中，以平行於基板的方式設置導電層而形成電容器，但是在圖 41 所示的電容元件 4500 及 4600 中，將導電層設置為溝槽形狀而形成電容器。藉由採用這種結構，即便佔有面積相同也能夠確保較大的電容值。

[0331]

<FPGA>

本發明的一個實施方式可以適用於 FPGA（Field Programmable Gate Array：現場可程式邏輯閘陣列）等的 LSI。

[0332] 圖 42A 示出 FPGA 的方塊圖的一個例子。FPGA 由選路切換元件 521 及邏輯元件 522 構成。另外，邏輯元件 522 根據組態記憶體所儲存的組態資料，可以改變組合電路的功能以及時序電路的功能等邏輯電路的功能。

[0333] 圖 42B 是用來說明選路切換元件 521 的作用的示意圖。選路切換元件 521 根據組態記憶體 523 所儲存的組態資料，可以切換邏輯元件 522 之間的連接。注意，在圖 42B 中示出一個開關，其中切換端子 IN 與端子 OUT 之間的連接，但是實際上在多個邏輯元件 522 之間設置有

多個開關。

[0334] 圖 42C 示出用作組態記憶體 523 的電路結構的一個例子。組態記憶體 523 由使用 OS 電晶體的電晶體 M11 以及使用 Si 電晶體的電晶體 M12 構成。對節點 FN_{SW} 藉由電晶體 M11 施加組態資料 D_{SW}。藉由使電晶體 M11 處於關閉狀態可以保持該組態資料 D_{SW} 的電位。由於被保持的組態資料 D_{SW} 的電位而使電晶體 M12 的開啟/關閉狀態切換，由此可以切換端子 IN 與端子 OUT 之間的連接。

[0335] 圖 42D 是用來說明邏輯元件 522 的作用的示意圖。邏輯元件 522 根據組態記憶體 527 所儲存的組態資料，可以切換端子 OUT_{mem} 的電位。查找表 524 根據端子 OUT_{mem} 的電位，可以改變對端子 IN 的信號進行處理的組合電路的功能。另外，邏輯元件 522 包括時序電路的暫存器 525 以及用來切換端子 OUT 的信號的選擇器 526。選擇器 526 根據從組態記憶體 527 輸出的端子 OUT_{mem} 的電位，可以選擇查找表 524 的信號的輸出還是暫存器 525 的信號的輸出。

[0336] 圖 42E 示出用作組態記憶體 527 的電路結構的一個例子。組態記憶體 527 由使用 OS 電晶體的電晶體 M13、電晶體 M14 以及使用 Si 電晶體的電晶體 M15、電晶體 M16 構成。對節點 FN_{LE} 藉由電晶體 M13 施加組態資料 D_{LE}。對節點 FNB_{LE} 藉由電晶體 M14 施加組態資料 DB_{LE}。組態資料 DB_{LE} 相當於反轉了組態資料 D_{LE} 的邏輯的電位。藉由使電晶體 M13、M14 處於關閉狀態可以保持

該組態資料 D_{LE}、組態資料 DB_{LE} 的電位。由於被保持的組態資料 D_{LE} 及組態資料 DB_{LE} 的電位而使電晶體 M15 和電晶體 M16 中的一個的開啟/關閉狀態切換，由此可以對端子 OUT_{mem} 施加電位 VDD 或電位 VSS。

[0337] 可以將上述實施方式所示的結構適用於圖 42A 至圖 42E 所示的結構。例如，電晶體 M12、電晶體 M15 及電晶體 M16 使用 Si 電晶體構成，而電晶體 M11、電晶體 M13 及電晶體 M14 使用 OS 電晶體構成。在此情況下，可以使用低電阻的導電材料形成使下層的 Si 電晶體之間連接的佈線。由此，可以實現存取速度得到提高且低功耗化的電路。

[0338] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

[0339]

實施方式 8

在本實施方式中，對利用本發明的一個實施方式的電晶體等的攝像裝置的一個例子進行說明。

[0340]

<攝像裝置的結構>

圖 43A 是示出本發明的一個實施方式的攝像裝置 200 的例子的平面圖。攝像裝置 200 包括像素部 210、用來驅動像素部 210 的週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290。像素部 210 包括配置為 p 列 q 行（p 及 q 為 2 以上的整數）的矩陣狀的多個像素 211。週邊電

路 260、週邊電路 270、週邊電路 280 及週邊電路 290 分別與多個像素 211 連接，並具有供應用來驅動多個像素 211 的信號的功能。另外，在本說明書等中，有時將週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290 等總稱為“週邊電路”或“驅動電路”。例如，週邊電路 260 也可以說是週邊電路的一部分。

[0341] 攝像裝置 200 較佳為包括光源 291。光源 291 能夠發射檢測光 P1。

[0342] 週邊電路至少包括邏輯電路、開關、緩衝器、放大電路和轉換電路中的一個。另外，也可以在形成像素部 210 的基板上形成週邊電路。另外，也可以將 IC 晶片等半導體裝置用於週邊電路的一部分或全部。注意，也可以省略週邊電路 260、週邊電路 270、週邊電路 280 和週邊電路 290 中的一個以上。

[0343] 如圖 43B 所示，在攝像裝置 200 所包括的像素部 210 中，也可以以像素 211 傾斜的方式配置。藉由以像素 211 傾斜的方式配置，可以縮短在列方向上及行方向上的像素間隔（間距）。由此，可以進一步提高攝像裝置 200 的攝像品質。

[0344]

<像素的結構實例 1>

藉由使攝像裝置 200 所包括的一個像素 211 由多個子像素 212 構成，且使每個子像素 212 與使特定的波長範圍的光透過的濾光片（濾色片）組合，可以獲得用來實現彩

色影像顯示的資料。

[0345] 圖 44A 是示出用來取得彩色影像的像素 211 的一個例子的平面圖。圖 44A 所示的像素 211 包括設置有使紅色（R）的波長範圍的光透過的濾色片的子像素 212（以下也稱為“子像素 212R”）、設置有使綠色（G）的波長範圍的光透過的濾色片的子像素 212（以下也稱為“子像素 212G”）及設置有使藍色（B）的波長範圍的光透過的濾色片的子像素 212（以下也稱為“子像素 212B”）。子像素 212 可以被用作光感測器。

[0346] 子像素 212（子像素 212R、子像素 212G 及子像素 212B）與佈線 231、佈線 247、佈線 248、佈線 249、佈線 250 電連接。另外，子像素 212R、子像素 212G 及子像素 212B 分別獨立地連接於佈線 253。在本說明書等中，例如將與第 n 列的像素 211 連接的佈線 248 及佈線 249 分別稱為佈線 248[n]及佈線 249[n]。另外，例如，將與第 m 行的像素 211 連接的佈線 253 稱為佈線 253[m]。另外，在圖 44A 中，與第 m 行的像素 211 所包括的子像素 212R 連接的佈線 253 稱為佈線 253[m]R，將與子像素 212G 連接的佈線 253 稱為佈線 253[m]G，將與子像素 212B 連接的佈線 253 稱為佈線 253[m]B。子像素 212 藉由上述佈線與週邊電路電連接。

[0347] 攝像裝置 200 具有相鄰的像素 211 中的設置有使相同的波長範圍的光透過的濾色片的子像素 212 藉由開關彼此電連接的結構。圖 44B 示出配置在第 n 列（n 為

1 以上且 p 以下的整數）第 m 行（m 為 1 以上且 q 以下的整數）的像素 211 所包括的子像素 212 與相鄰於該像素 211 的配置在第 n+1 列第 m 行的像素 211 所包括的子像素 212 的連接例子。在圖 44B 中，配置在第 n 列第 m 行的子像素 212R 與配置在第 n+1 列第 m 行的子像素 212R 藉由開關 201 連接。另外，配置在第 n 列第 m 行的子像素 212G 與配置在第 n+1 列第 m 行的子像素 212G 藉由開關 202 連接。另外，配置在第 n 列第 m 行的子像素 212B 與配置在第 n+1 列第 m 行的子像素 212B 藉由開關 203 連接。

[0348] 用於子像素 212 的濾色片的顏色不侷限於紅色（R）、綠色（G）、藍色（B），也可以使用使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片。藉由在一個像素 211 中設置檢測三種不同波長範圍的光的子像素 212，可以獲得全彩色影像。

[0349] 或者，可以使用除了包括分別設置有使紅色（R）、綠色（G）及藍色（B）的光透過的濾色片的子像素 212 以外，還包括設置有使黃色（Y）的光透過的濾色片的子像素 212 的像素 211。或者，可以使用除了包括分別設置有使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片的子像素 212 以外，還包括設置有使藍色（B）的光透過的濾色片的子像素 212 的像素 211。藉由在一個像素 211 中設置檢測四種不同波長範圍的光的子像素 212，可以進一步提高所獲得的影像的顏色再現性。

[0350] 例如，在圖 44A 中，檢測紅色的波長範圍的光的子像素 212、檢測綠色的波長範圍的光的子像素 212 及檢測藍色的波長範圍的光的子像素 212 的像素數比（或受光面積比）不侷限於 1:1:1。例如，也可以採用像素數比（受光面積比）為紅色:綠色:藍色=1:2:1 的 Bayer 排列。或者，像素數比（受光面積比）也可以為紅色:綠色:藍色=1:6:1。

[0351] 設置在像素 211 中的子像素 212 的數量可以為一個，但較佳為兩個以上。例如，藉由設置兩個以上的檢測相同的波長範圍的光的子像素 212，可以提高冗餘性，由此可以提高攝像裝置 200 的可靠性。

[0352] 另外，藉由使用反射或吸收可見光且使紅外光透過的 IR（IR：Infrared）濾光片，可以實現檢測紅外光的攝像裝置 200。

[0353] 藉由使用 ND（ND：Neutral Density）濾光片（減光濾光片），可以防止大光量光入射光電轉換元件（受光元件）時產生的輸出飽和。藉由組合使用減光量不同的 ND 濾光片，可以增大攝像裝置的動態範圍。

[0354] 除了上述濾光片以外，還可以在像素 211 中設置透鏡。在此，參照圖 45A 及圖 45B 的剖面圖說明像素 211、濾光片 254、透鏡 255 的配置例子。藉由設置透鏡 255，可以使光電轉換元件高效地受光。明確而言，如圖 45A 所示，可以使光 256 穿過形成在像素 211 中的透鏡 255、濾光片 254（濾光片 254R、濾光片 254G 及濾光片

254B）及像素電路 230 等而入射到光電轉換元件 220。

[0355] 注意，如由雙點劃線圍繞的區域所示，有時箭頭所示的光 256 的一部分被佈線 257 的一部分遮蔽。因此，如圖 45B 所示，較佳為採用在光電轉換元件 220 一側配置透鏡 255 及濾光片 254，而使光電轉換元件 220 高效地接收光 256 的結構。藉由從光電轉換元件 220 一側將光 256 入射到光電轉換元件 220，可以提供檢測靈敏度高的攝像裝置 200。

[0356] 作為圖 45A 及圖 45B 所示的光電轉換元件 220，也可以使用形成有 pn 接面或 pin 接面的光電轉換元件。

[0357] 光電轉換元件 220 也可以使用具有吸收輻射產生電荷的功能的物質形成。作為具有吸收輻射產生電荷的功能的物質，可舉出硒、碘化鉛、碘化汞、砷化鎵、碲化鎘、鎘鋅合金等。

[0358] 例如，在將硒用於光電轉換元件 220 時，光電轉換元件 220 可以在可見光、紫外光、紅外光、X 射線、伽瑪射線等較寬的波長範圍中具有光吸收係數。

[0359] 在此，攝像裝置 200 所包括的一個像素 211 除了圖 44A 及圖 44B 所示的子像素 212 以外，還可以包括具有第一濾光片的子像素 212。

[0360]

<像素的結構實例 2>

下面，對包括使用矽的電晶體及使用氧化物半導體的

電晶體的像素的一個例子進行說明。

[0361] 圖 46A 及圖 46B 是構成攝像裝置的元件的剖面圖。圖 46A 所示的攝像裝置包括設置在矽基板 300 上的使用矽形成的電晶體 351、在電晶體 351 上層疊配置的使用氧化物半導體形成的電晶體 352 及電晶體 353 以及設置在矽基板 300 中的光電二極體 360。各電晶體及光電二極體 360 與各種插頭 370 及佈線 371 電連接。另外，光電二極體 360 的陽極 361 藉由低電阻區域 363 與插頭 370 電連接。

[0362] 攝像裝置包括：包括設置在矽基板 300 上的電晶體 351 及光電二極體 360 的層 310、以與層 310 接觸的方式設置且包括佈線 371 的層 320、以與層 320 接觸的方式設置且包括電晶體 352 及電晶體 353 的層 330、以與層 330 接觸的方式設置且包括佈線 372 及佈線 373 的層 340。

[0363] 在圖 46A 的剖面圖的一個例子中，在矽基板 300 中，在與形成有電晶體 351 的面相反一側設置有光電二極體 360 的受光面。藉由採用該結構，可以確保光路而不受各種電晶體或佈線等的影響。因此，可以形成高開口率的像素。另外，光電二極體 360 的受光面也可以是與形成有電晶體 351 的面相同的面。

[0364] 在只使用由氧化物半導體形成的電晶體構成像素時，層 310 為包括由氧化物半導體形成的電晶體的層，即可。或者，像素也可以只使用由氧化物半導體形成

的電晶體而省略層 310。

[0365] 在只使用由矽形成的電晶體構成像素時，也可以省略層 330。圖 46B 示出省略層 330 的剖面圖的一個例子。

[0366] 矽基板 300 也可以是 SOI 基板。另外，也可以使用包含鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銦、氮化鎵、有機半導體的基板代替矽基板 300。

[0367] 這裡，在包括電晶體 351 及光電二極體 360 的層 310 與包括電晶體 352 及電晶體 353 的層 330 之間設置有絕緣體 380。注意，絕緣體 380 的位置不侷限於此。

[0368] 設置在電晶體 351 的通道形成區域附近的絕緣體中的氫使矽的懸空鍵終結，由此可以提高電晶體 351 的可靠性。另一方面，設置在電晶體 352 及電晶體 353 等附近的絕緣體中的氫有可能成為在氧化物半導體中生成載子的原因之一。因此，有時引起電晶體 352 及電晶體 353 等的可靠性的下降。因此，當在使用矽類半導體的電晶體上層疊設置使用氧化物半導體的電晶體時，較佳為在它們之間設置具有阻擋氫的功能的絕緣體 380。藉由將氫封閉在絕緣體 380 下，可以提高電晶體 351 的可靠性。再者，由於可以抑制氫從絕緣體 380 下擴散至絕緣體 380 上，所以可以提高電晶體 352 及電晶體 353 等的可靠性。

[0369] 作為絕緣體 380 例如使用具有阻擋氧或氫的功能的絕緣體。

[0370] 在圖 46A 的剖面圖中，可以以設置在層 310

中的光電二極體 360 與設置在層 330 中的電晶體重疊的方式形成。因此，可以提高像素的集成度。就是說，可以提高攝像裝置的解析度。

[0371] 如圖 47A1 及圖 47B1 所示，可以使攝像裝置的一部分或全部彎曲。圖 47A1 示出使攝像裝置在該圖式中的點劃線 X1-X2 的方向上彎曲的狀態。圖 47A2 是沿著圖 47A1 中的點劃線 X1-X2 所示的部分的剖面圖。圖 47A3 是沿著圖 47A1 中的點劃線 Y1-Y2 所示的部分的剖面圖。

[0372] 圖 47B1 示出使攝像裝置在該圖式中的點劃線 X3-X4 的方向上彎曲且在該圖式中的點劃線 Y3-Y4 的方向上彎曲的狀態。圖 47B2 是沿著圖 47B1 中的點劃線 X3-X4 所示的部分的剖面圖。圖 47B3 是沿著圖 47B1 中的點劃線 Y3-Y4 所示的部分的剖面圖。

[0373] 藉由使攝像裝置彎曲，可以降低像場彎曲或像散（astigmatism）。因此，可以促進與攝像裝置組合使用的透鏡等的光學設計。例如，由於可以減少用於像差校正的透鏡的數量，因此可以實現使用攝像裝置的電子裝置等的小型化或輕量化。另外，可以提高成像的影像品質。

[0374] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

[0375]

實施方式 9

在本實施方式中，對包括本發明的一個實施方式的電

晶體及上述記憶體裝置等半導體裝置的 CPU 的一個例子進行說明。

[0376]

<CPU 的結構>

圖 48 是示出其一部分使用上述電晶體的 CPU 的結構實例的方塊圖。

[0377] 圖 48 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：算術電路）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198、能夠重寫的 ROM1199 以及 ROM 介面 1189。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 48 所示的 CPU 只是簡化其結構而所示的一個例子而已，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 48 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位元、16 位元、32 位元、64 位元等。

[0378] 藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼後輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0379] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的地址，並對應於 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0380] 另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據基準時脈信號來生成內部時脈信號的內部時脈生成器，並將內部時脈信號供應到上述各種電路。

[0381] 在圖 48 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。可以將上述電晶體或記憶體裝置等用於暫存器 1196 的記憶單元。

[0382] 在圖 48 所示的 CPU 中，暫存器控制器 1197 根據 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫

存器 1196 中的記憶單元供應電源電壓。

[0383] 圖 49 是可以用作暫存器 1196 的記憶元件 1200 的電路圖的一個例子。記憶元件 1200 包括在電源關閉時失去存儲資料的電路 1201、在電源關閉時不失去存儲資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0384] 在此，電路 1202 可以使用上述記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，GND（0V）或使電晶體 1209 關閉的電位持續被輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0385] 在此示出開關 1203 為具有一導電型（例如，n 通道型）的電晶體 1213，而開關 1204 為具有與此相反的導電型（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1213 的導通狀態或關閉狀態）由輸入到電晶體 1213 的閘極中的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電

晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1214 的導通狀態或關閉狀態）由輸入到電晶體 1214 的閘極中的控制信號 RD 選擇。

[0386] 電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極的一個是電連接的。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1207 的一對電極的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以對電容元件 1208 的一對電極的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND

等）或高電源電位（VDD 等）。電容元件 1208 的一對電極的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0387] 另外，當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0388] 控制信號 WE 輸入到電晶體 1209 的閘極。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0389] 對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 49 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0390] 另外，雖然圖 49 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號藉由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。另外，也可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當電路

1201 包括其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0391] 在圖 49 所示的用於記憶元件 1200 的電晶體中，電晶體 1209 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的膜或基板 1190 中的電晶體。例如，可以使用其通道形成在矽膜或矽基板中的電晶體。另外，用於記憶元件 1200 的電晶體可以都是其通道由氧化物半導體形成的電晶體。或者，記憶元件 1200 除了電晶體 1209 以外還可以包括其通道由氧化物半導體形成的電晶體，並且作為其餘的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。

[0392] 圖 49 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0393] 在本發明的一個實施方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0394] 另外，其通道形成在氧化物半導體中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體中的電晶體的關態電流比其通道形成在具有結晶性的矽中的

電晶體的關態電流小得多。因此，藉由將該電晶體用作電晶體 1209，即便在不向記憶元件 1200 供應電源電壓的期間也可以長期間儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持存儲內容（資料）。

[0395] 另外，由於該記憶元件藉由設置開關 1203 及開關 1204 進行預充電工作，因此可以縮短在再次開始供應電源電壓之後直到電路 1201 重新保持原來的資料為止所需要的時間。

[0396] 另外，在電路 1202 中，電容元件 1208 所保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，將由電容元件 1208 所保持的信號轉換成電晶體 1210 的狀態（導通狀態或關閉狀態），並根據其狀態從電路 1202 讀出信號。因此，即便對應於保持在電容元件 1208 中的信號的電位稍有變動，也可以準確地讀出原來的信號。

[0397] 藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在處理器整體或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制功耗。

[0398] 雖然說明將記憶元件 1200 用於 CPU 的例

子，但也可以將記憶元件 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位信號處理器）、定製 LSI、RF（Radio Frequency：射頻）裝置。此外，也可以將記憶元件 1200 應用於 LSI 諸如可程式邏輯裝置（PLD：Programmable Logic Device），該可程式邏輯電路包括 FPGA（Field Programmable Gate Array：現場可程式邏輯閘陣列）或 CPLD（Complex Programmable Logic Device：複雜可程式邏輯裝置）。

[0399] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

[0400]

實施方式 10

在本實施方式中，將參照圖 50A 至圖 50C 以及圖 51A 及圖 51B 對利用本發明的一個實施方式的電晶體等的顯示裝置進行說明。

[0401]

<顯示裝置的結構>

作為用於顯示裝置的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）等。發光元件在其範疇內包括其亮度由電流或電壓控制的元件，明確而言，包括無機 EL（Electroluminescence：電致發光）元件、有機 EL 元件等。下面，作為顯示裝置的一個例子對使用 EL 元件的顯示裝置（EL 顯示裝置）及使用液晶元件的顯示裝置（液

晶顯示裝置）進行說明。

[0402] 另外，下面示出的顯示裝置包括密封有顯示元件的面板及在該面板中安裝有包括控制器的 IC 等的模組。

[0403] 另外，下面示出的顯示裝置是指影像顯示裝置或光源（包括照明設備）。此外，顯示裝置還包括：安裝有連接器諸如 FPC 或 TCP 的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方式將 IC（集成電路）直接安裝到顯示元件的模組。

[0404] 圖 50A 至圖 50C 是根據本發明的一個實施方式的 EL 顯示裝置的一個例子。圖 50A 示出 EL 顯示裝置的像素的電路圖。圖 50B 是示出 EL 顯示裝置整體的俯視圖。此外，圖 50C 是對應於圖 50B 的點劃線 M-N 的一部分的剖面圖。

[0405] 圖 50A 是用於 EL 顯示裝置的像素的電路圖的一個例子。

[0406] 在本說明書等中，有時即使不指定主動元件（電晶體、二極體等）、被動元件（電容器、電阻元件等）等所具有的所有端子的連接位置，所屬技術領域的通常知識者也能夠構成發明的一個實施方式。就是說，即使未指定連接位置，也可以說發明的一個實施方式是明確的，並且，當在本說明書等記載有指定連接位置的內容時，有時可以判斷為在本說明書等中記載有該方式。尤其是，在端子的連接位置有多個的情況下，不一定必須要將

該端子的連接位置限於指定的部分。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容器、電阻元件等）等所具有的一部分的端子的連接位置，就能夠構成發明的一個實施方式。

[0407] 在本說明書等中，當至少指定某個電路的連接位置時，有時所屬技術領域的通常知識者能夠指定發明。或者，當至少指定某個電路的功能時，有時所屬技術領域的通常知識者能夠指定發明。也就是說，只要指定功能，就可以說是發明的一個實施方式是明確的，而判斷為在本說明書等中記載有該方式。因此，即使只指定某個電路的連接位置而不指定其功能時，也可以判斷為該電路作為發明的一個實施方式公開而構成發明的一個實施方式。或者，即使只指定某個電路的功能而不指定其連接位置時，也可以判斷為該電路作為發明的一個實施方式公開而構成發明的一個實施方式。

[0408] 圖 50A 所示的 EL 顯示裝置包括切換元件 743、電晶體 741、電容元件 742、發光元件 719。

[0409] 另外，由於圖 50A 等是電路結構的一個例子，所以還可以追加設置電晶體。與此相反，在圖 50A 的各節點中，也可以不追加電晶體、開關、被動元件等。

[0410] 電晶體 741 的閘極與切換元件 743 的一個端子及電容元件 742 的一個電極電連接。電晶體 741 的源極與電容元件 742 的另一個電極及發光元件 719 的一個電極電連接。電晶體 741 的汲極被供應電源電位 VDD。切換

元件 743 的另一個端子與信號線 744 電連接。發光元件 719 的另一個電極被供應恆電位。另外，恆電位為等於或低於接地電位 GND 的電位。

[0411] 作為切換元件 743，較佳為使用電晶體。藉由使用電晶體，可以減小像素的面積，由此可以提供解析度高的 EL 顯示裝置。作為切換元件 743，使用藉由與電晶體 741 同一製程形成的電晶體，由此可以提高 EL 顯示裝置的生產率。作為電晶體 741 及/或切換元件 743，例如可以適用上述電晶體。

[0412] 圖 50B 是 EL 顯示裝置的俯視圖。EL 顯示裝置包括基板 700、基板 750、密封材料 734、驅動電路 735、驅動電路 736、像素 737 以及 FPC732。密封材料 734 以包圍像素 737、驅動電路 735 以及驅動電路 736 的方式配置在基板 700 與基板 750 之間。另外，驅動電路 735 及/或驅動電路 736 也可以配置在密封材料 734 的外側。

[0413] 圖 50C 是對應於圖 50B 的點劃線 M-N 的一部分的 EL 顯示裝置的剖面圖。

[0414] 圖 50C 示出電晶體 741，電晶體 741 包括基板 700 上的導電體 705、埋入有導電體 705 的絕緣體 701、絕緣體 701 上的絕緣體 702、絕緣體 702 上的絕緣體 703a 及半導體 703b、半導體 703b 上的導電體 707a 及導電體 707b、半導體 703b 上的絕緣體 707c、絕緣體 707c 上的絕緣體 706 以及絕緣體 706 上的導電體 704。注意，

電晶體 741 的結構只是一個例子，也可以採用與圖 50C 所示的結構不同的結構。

[0415] 因此，在圖 50C 所示的電晶體 741 中，導電體 704 及導電體 705 具有閘極電極的功能，絕緣體 702 及絕緣體 706 具有閘極絕緣體的功能，導電體 707a 及導電體 707b 具有源極電極或汲極電極的功能。注意，半導體 703b 有時因被照射光而其電特性發生變動。為了避免該變動，導電體 705 和導電體 704 中的任一個以上較佳為具有遮光性。

[0416] 圖 50C 示出電容元件 742，電容元件 742 包括絕緣體 710 上的導電體 714c、導電體 714c 上的絕緣體 714b 以及絕緣體 714b 上的導電體 714a。

[0417] 在電容元件 742 中，導電體 714a 被用作一個電極，導電體 714c 被用作另一個電極。

[0418] 圖 50C 所示的電容元件 742 是相對於佔有面積的電容大的電容器。因此，圖 50C 是顯示品質高的 EL 顯示裝置。

[0419] 在電晶體 741 及電容元件 742 上配置有絕緣體 720。在絕緣體 720 上配置有導電體 781。導電體 781 藉由絕緣體 720 中的開口部與電晶體 741 電連接。

[0420] 在導電體 781 上配置有到達導電體 781 的開口部的分隔壁 784。在分隔壁 784 上配置有在分隔壁 784 的開口部中與導電體 781 接觸的發光層 782。在發光層 782 上配置有導電體 783。導電體 781、發光層 782 和導

電體 783 重疊的區域被用作發光元件 719。

[0421] 至此，說明了 EL 顯示裝置的例子。接著，將說明液晶顯示裝置的例子。

[0422] 圖 51A 是示出液晶顯示裝置的像素的結構實例的電路圖。圖 51A 和圖 51B 所示的像素包括電晶體 751、電容元件 752、在一對電極之間填充有液晶的元件（液晶元件）753。

[0423] 電晶體 751 的源極和汲極中的一個與信號線 755 電連接，電晶體 751 的閘極與掃描線 754 電連接。

[0424] 電容元件 752 的一個電極與電晶體 751 的源極和汲極中的另一個電連接，電容元件 752 的另一個電極與供應共用電位的佈線電連接。

[0425] 液晶元件 753 的一個電極與電晶體 751 的源極和汲極中的另一個電連接，液晶元件 753 的另一個電極與供應共用電位的佈線電連接。此外，供應到與上述電容元件 752 的另一個電極電連接的佈線的共用電位與供應到液晶元件 753 的另一個電極的共用電位可以不同。

[0426] 假設液晶顯示裝置的俯視圖與 EL 顯示裝置相同來進行說明。圖 51B 示出對應於沿著圖 50B 的點劃線 M-N 的液晶顯示裝置的剖面圖。在圖 51B 中，FPC732 藉由端子 731 與佈線 733a 連接。佈線 733a 也可以使用與構成電晶體 751 的導電體或半導體同種的導電體或半導體。

[0427] 電晶體 751 參照關於電晶體 741 的記載。電容元件 752 參照關於電容元件 742 的記載。注意，圖 51B

示出具有對應於圖 50C 所示的電容元件 742 之結構的電容元件 752 之結構，但是電容元件 752 之結構不侷限於此。

[0428] 當將氧化物半導體用於電晶體 751 的半導體時，可以實現關態電流極小的電晶體。因此，保持在電容元件 752 中的電荷不容易洩漏，而可以長期間保持施加到液晶元件 753 的電壓。因此，當顯示動作少的動態影像、靜態影像時，藉由使電晶體 751 處於關閉狀態，不需要用來使電晶體 751 工作的電力，由此可以實現低功耗的液晶顯示裝置。另外，因為可以縮小電容元件 752 的佔有面積，所以可以提供一種開口率高的液晶顯示裝置或高解析度液晶顯示裝置。

[0429] 在電晶體 751 及電容元件 752 上配置有絕緣體 721。在此，絕緣體 721 具有到達電晶體 751 的開口部。在絕緣體 721 上配置有導電體 791。導電體 791 藉由絕緣體 721 中的開口部與電晶體 751 電連接。

[0430] 在導電體 791 上配置有用作配向膜的絕緣體 792。在絕緣體 792 上配置有液晶層 793。在液晶層 793 上配置有用作配向膜的絕緣體 794。在絕緣體 794 上配置有間隔物 795。在間隔物 795 及絕緣體 794 上配置有導電體 796。在導電體 796 上配置有基板 797。

[0431] 作為液晶的驅動方式，可以使用 TN（Twisted Nematic：扭轉向列）模式、STN（Super Twisted Nematic：超扭曲向列）模式、IPS（In-Plane-Switching：平面內切換）模式、FFS（Fringe Field Switching：邊緣

場切換）模式、MVA（Multi-domain Vertical Alignment：多象限垂直配向）模式、PVA（Patterned Vertical Alignment：垂直配向構型）模式、ASV（Advanced Super View：高級超視覺）模式、ASM（Axially Symmetric aligned Micro-cell：軸對稱排列微單元）模式、OCB（Optically Compensated Birefringence：光學補償雙折射）模式、ECB（Electrically Controlled Birefringence：電控雙折射）模式、FLC（Ferroelectric Liquid Crystal：鐵電液晶）模式、AFLC（AntiFerroelectric Liquid Crystal：反鐵電液晶）模式、PDLC（Polymer Dispersed Liquid Crystal：聚合物分散液晶）模式、賓主模式、藍相（Blue Phase）模式等。但是並不侷限於此，作為液晶元件及其驅動方法可以使用各種液晶元件及其驅動方法。

[0432] 藉由採用上述結構，可以提供一種包括佔有面積小的電容器的顯示裝置。或者，可以提供一種顯示品質高的顯示裝置。或者，可以提供一種高解析度顯示裝置。

[0433] 例如，在本說明書等中，顯示元件、作為包括顯示元件的裝置的顯示裝置、發光元件以及作為包括發光元件的裝置的發光裝置可以採用各種方式或者包括各種元件。顯示元件、顯示裝置、發光元件或發光裝置例如包括白色、紅色、綠色或藍色等的發光二極體（LED：Light Emitting Diode）、電晶體（根據電流而發光的電晶體）、電子發射元件、液晶元件、電子墨水、電泳元件、

柵光閥（GLV）、電漿顯示器（PDP）、使用微機電系統（MEMS）的顯示元件、數位微鏡裝置（DMD）、數位微快門（DMS）、IMOD（干涉測量調節）元件、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件、電潤濕（electrowetting）元件、壓電陶瓷顯示器或使用碳奈米管的顯示元件等中的至少一個。除此以外，還可以包括其對比度、亮度、反射率、透射率等因電或磁作用而變化的顯示媒體。

[0434] 作為使用 EL 元件的顯示裝置的例子，有 EL 顯示器等。作為使用電子發射元件的顯示裝置的例子，有場致發射顯示器（FED）或 SED 方式平面型顯示器（SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作為使用液晶元件的顯示裝置的例子，有液晶顯示器（透射式液晶顯示器、半透射式液晶顯示器、反射式液晶顯示器、直觀式液晶顯示器、投射式液晶顯示器）等。作為使用電子墨水、或電泳元件的顯示裝置的例子，有電子紙等。注意，當實現半透射式液晶顯示器或反射式液晶顯示器時，使像素電極的一部分或全部具有作為反射電極的功能即可。例如，使像素電極的一部分或全部包含鋁、銀等即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下。由此，可以進一步降低功耗。

[0435] 注意，當使用 LED 時，也可以在 LED 的電極或氮化物半導體下配置石墨烯或石墨。石墨烯或石墨也可

以為層疊有多個層的多層膜。如此，藉由設置石墨烯或石墨，可以更容易地在其上形成氮化物半導體，如具有結晶的 n 型 GaN 半導體等。並且，在其上設置具有結晶的 p 型 GaN 半導體等，能夠構成 LED。此外，也可以在石墨烯或石墨與具有晶體的 n 型 GaN 半導體之間設置 AlN 層。可以利用 MOCVD 形成 LED 所包括的 GaN 半導體。注意，當設置石墨烯時，可以以濺射法形成 LED 所包括的 GaN 半導體。

[0436] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

[0437]

實施方式 11

在本實施方式中，對利用本發明的一個實施方式的電晶體等的電子裝置進行說明。

[0438]

<電子裝置>

本發明的一個實施方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存媒體的影像再現裝置（典型的是，能夠再現如數位影音光碟（DVD：Digital Versatile Disc）等儲存媒體的內容並具有可以顯示該再現影像的顯示器的裝置）中。另外，作為可以使用本發明的一個實施方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器

（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 52A 至圖 52F 示出這些電子裝置的具體例子。

[0439] 圖 52A 是可攜式遊戲機，其包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 52A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0440] 圖 52B 是可攜式資料終端，其包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，而第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，可以藉由連接部 915 改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置還稱為光感測器的光電轉換元件來附加位置輸入功能。

[0441] 圖 52C 是膝上型個人電腦，其包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0442] 圖 52D 是電冷藏冷凍箱，其包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0443] 圖 52E 是視頻攝影機，其包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、鏡頭 945、連接部 946 等。操作鍵 944 及鏡頭 945 設置在第一外殼 941 中，而顯示部 943 設置在第二外殼 942 中。並且，第一外殼 941 和第二外殼 942 由連接部 946 連接，可以藉由連接部 946 改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0444] 圖 52F 是汽車，其包括車體 951、車輪 952、儀表板 953 及燈 954 等。

[0445] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

[0446] 注意，在本實施方式中，對本發明的一個實施方式進行說明。但是，本發明的一個實施方式不侷限於此。換而言之，在本實施方式等中，記載有各種各樣的發明的方式，因此本發明的一個實施方式不侷限於特定的方式。例如，作為本發明的一個實施方式，示出了在電晶體的通道形成區域、源極區域或汲極區域等中包括氧化物半導體的情況的例子，但是本發明的一個實施方式不侷限於此。根據情形或狀況，本發明的一個實施方式中的各種各樣的電晶體、電晶體的通道形成區域或者電晶體的源極區域或汲極區域等也可以包括各種各樣的半導體。根據情形

或狀況，本發明的一個實施方式中的各種各樣的電晶體、電晶體的通道形成區域或者電晶體的源極區域或汲極區域等例如也可以包含矽、鍺、矽鍺、碳化矽、砷化鎵、鋁砷化鎵、磷化銦、氮化鎵和有機半導體等中的至少一個。或者，例如，根據情形或狀況，本發明的一個實施方式中的各種各樣的電晶體、電晶體的通道形成區域或者電晶體的源極區域或汲極區域等也可以不包括氧化物半導體。

【符號說明】

[0447]

11：區域

100：電晶體

101：基板

110：絕緣體

120：絕緣體

130：氧化物半導體

130a：氧化物半導體

130A：氧化物半導體

130b：氧化物半導體

130B：氧化物半導體

130c：氧化物半導體

130C：氧化物半導體

131a：區域

131b：區域

135：光阻遮罩

140：導電體

140a：導電體

140A：導電體

140b：導電體

145：光阻遮罩

150：絕緣體

150A：絕緣體

160：導電體

160A：導電體

165：導電體

180：絕緣體

180A：絕緣體

190：犧牲層

190A：膜

190B：犧牲層

195：光阻遮罩

200：攝像裝置

201：開關

202：開關

203：開關

210：像素部

211：像素

212：子像素

212B：子像素

212G：子像素

212R：子像素

220：光電轉換元件

230：像素電路

231：佈線

247：佈線

248：佈線

249：佈線

250：佈線

253：佈線

254：濾光片

254B：濾光片

254G：濾光片

254R：濾光片

255：透鏡

256：光

257：佈線

260：週邊電路

270：週邊電路

280：週邊電路

290：週邊電路

291：光源

300：矽基板

310：層

320：層

330：層

340：層

351：電晶體

352：電晶體

353：電晶體

360：光電二極體

361：陽極

363：低電阻區域

370：插頭

371：佈線

372：佈線

373：佈線

380：絕緣體

450：半導體基板

452：絕緣體

454：導電體

456：區域

460：區域

462：絕緣體

464：絕緣體

466：絕緣體

468：絕緣體

472a：區域

472b：區域

474a：導電體

474b：導電體

474c：導電體

476a：導電體

476b：導電體

478a：導電體

478b：導電體

478c：導電體

480a：導電體

480b：導電體

480c：導電體

489：絕緣體

490：絕緣體

492：絕緣體

493：絕緣體

494：絕緣體

495：絕緣體

496a：導電體

496b：導電體

496c：導電體

496d：導電體

496e：導電體

498a：導電體

498b：導電體

498c：導電體

504：導電體

507a：導電體

507b：導電體

511：絕緣體

514：導電體

515：導電體

521：選路切換元件

522：邏輯元件

523：組態記憶體

524：查找表

525：暫存器

526：選擇器

527：組態記憶體

700：基板

701：絕緣體

702：絕緣體

703a：絕緣體

703b：半導體

704：導電體

705：導電體

705a：區域

706：絕緣體

707a：導電體

707b：導電體

707c：絕緣體

710：絕緣體

714a：導電體

714b：絕緣體

714c：導電體

719：發光元件

720：絕緣體

721：絕緣體

731：端子

732：FPC

733a：佈線

734：密封材料

735：驅動電路

736：驅動電路

737：像素

741：電晶體

742：電容元件

743：切換元件

744：信號線

750：基板

751：電晶體

752：電容元件

753：液晶元件

754：掃描線

755：信號線

781：導電體

782：發光層

783：導電體

784：分隔壁

791：導電體

792：絕緣體

793：液晶層

794：絕緣體

795：間隔物

796：導電體

797：基板

901：外殼

902：外殼

903：顯示部

904：顯示部

905：麥克風

906：揚聲器

907：操作鍵

908：觸控筆

911：外殼

912：外殼

913：顯示部

914：顯示部

915：連接部

916：操作鍵

921：外殼

922：顯示部

923：鍵盤

924：指向裝置

931：外殼

932：冷藏室門

933：冷凍室門

941：外殼

942：外殼

943：顯示部

944：操作鍵

945：鏡頭

946：連接部

951：車體

952：車輪

953：儀表板

954：燈

1189：ROM 介面

1190：基板

1191：ALU

1192：ALU 控制器

1193：指令解碼器

1194：中斷控制器

1195：時序控制器

1196：暫存器

1197：暫存器控制器

1198：匯流排介面

1199：ROM

1200：記憶元件

1201：電路

1202：電路

1203：開關

1204：開關

1206：邏輯元件

1207：電容元件

1208：電容元件

1209：電晶體

1210：電晶體

1213：電晶體

1214：電晶體

1220：電路

2100：電晶體

2200：電晶體

3001：佈線

3002：佈線

3003：佈線

3004：佈線

3005：佈線

3200：電晶體

3300：電晶體

3400：電容元件

4001：佈線

4003：佈線

4005：佈線

4006：佈線

4007：佈線

4008：佈線

4009：佈線

4021：層

4022：層

4023：層

4100：電晶體

4200：電晶體

4300：電晶體

4400：電晶體

4500：電容元件

4600：電容元件

第 105113548 號　　民國 108 年 12 月 4 日修正

申請專利範圍

1.一種半導體裝置的製造方法，包括：

在基板上形成半導體；

在該半導體上形成第一導電體；

在該第一導電體上形成犧牲層；

以覆蓋該半導體、該第一導電體及該犧牲層的方式形成第一絕緣體；

使該犧牲層的頂面露出；

去除該犧牲層，以在該第一絕緣體中形成露出該第一導電體的一部分的開口；

藉由去除該第一導電體的一部分來形成一對電極；

以覆蓋該第一絕緣體及該開口的方式形成第二絕緣體；

在該第二絕緣體上形成第二導電體；以及

去除該第二導電體的一部分。

2.根據申請專利範圍第 1 項之半導體裝置的製造方法，

其中該第一導電體包括金屬膜和金屬氮化物膜中的一種，

並且該金屬膜和該金屬氮化物膜都包含鉬、鈦、鉭、鎢、鋁、銅、鉻、釹、釩中的一種。

3.根據申請專利範圍第 1 項之半導體裝置的製造方法，

其中該第一導電體包括一種材料，該材料包含銦錫氧

化物、含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦鋅氧化物以及含有氧化矽的銦錫氧化物中的一種。

4.根據申請專利範圍第 1 項之半導體裝置的製造方法，

其中該犧牲層的蝕刻速率比該第一導電體高。

5.根據申請專利範圍第 1 項之半導體裝置的製造方法，

其中藉由化學機械拋光法進行去除該第二導電體的該一部分的該步驟。

6.一種半導體裝置的製造方法，包括：

在基板上形成半導體；

在該半導體上形成犧牲層；

藉由對該半導體的一部分添加雜質來形成源極區域及汲極區域；

以覆蓋該半導體及該犧牲層的方式形成第一絕緣體；

使該犧牲層的頂面露出；

去除該犧牲層，以在該第一絕緣體中形成露出該半導體的一部分的開口；

以覆蓋該第一絕緣體及該開口的方式形成第二絕緣體；

在該第二絕緣體上形成導電體；以及

去除該導電體的一部分。

7.根據申請專利範圍第 1 或 6 項之半導體裝置的製造

方法，

其中該半導體是包含銦、元素 M 以及鋅的氧化物半導體，

並且該元素 M 是鎵、鋁、釔及錫中的一種。

8.根據申請專利範圍第 1 或 6 項之半導體裝置的製造方法，

其中該犧牲層包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭及鎢中的一種。

9.根據申請專利範圍第 1 或 6 項之半導體裝置的製造方法，

其中該犧牲層包括矽膜、鉻膜、鉬膜、鎢膜、氧化鋅膜及氧化鉬膜中的一種。

10.根據申請專利範圍第 6 項之半導體裝置的製造方法，

其中該雜質包含硼、磷及氫中的一種。

11.根據申請專利範圍第 6 項之半導體裝置的製造方法，

其中該犧牲層用作添加該雜質的該步驟時的遮罩。

12.根據申請專利範圍第 1 或 6 項之半導體裝置的製造方法，

其中藉由濕蝕刻法進行去除該犧牲層的該步驟。

13.根據申請專利範圍第 1 或 6 項之半導體裝置的製造方法，

其中藉由化學機械拋光法進行使該犧牲層的該頂面露出的該步驟。

14.根據申請專利範圍第 6 項之半導體裝置的製造方法，

其中藉由化學機械拋光法進行去除該導電體的該一部分的該步驟。

圖式

圖 1A

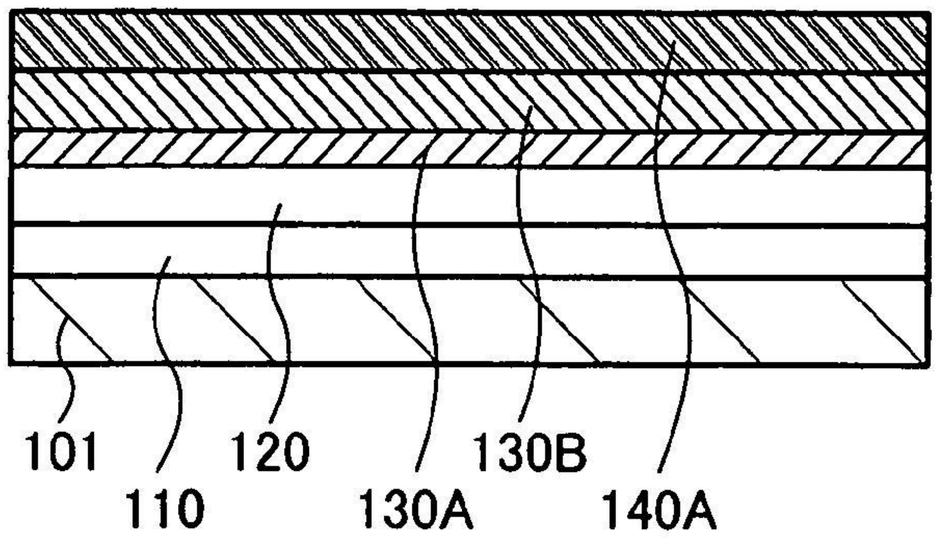


圖 1B

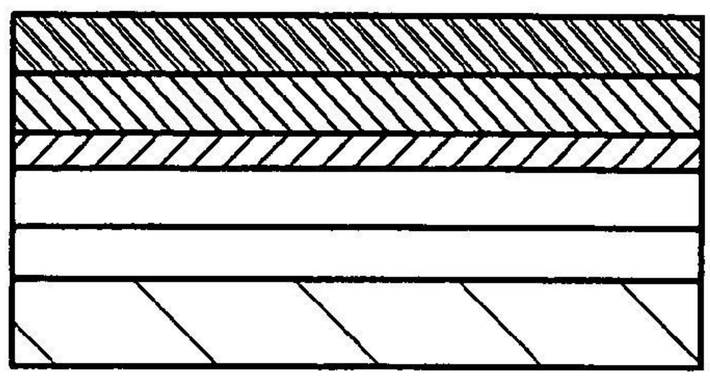


圖 1C

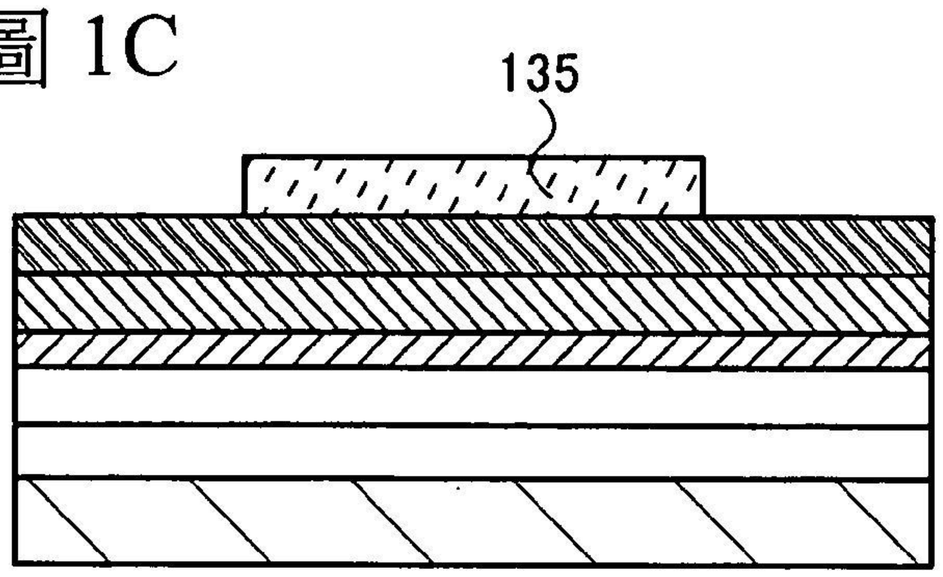


圖 1D

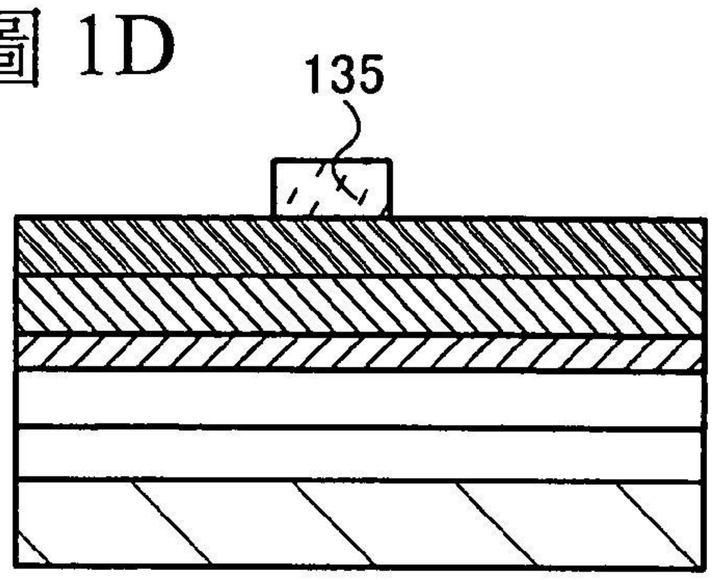


圖 1E

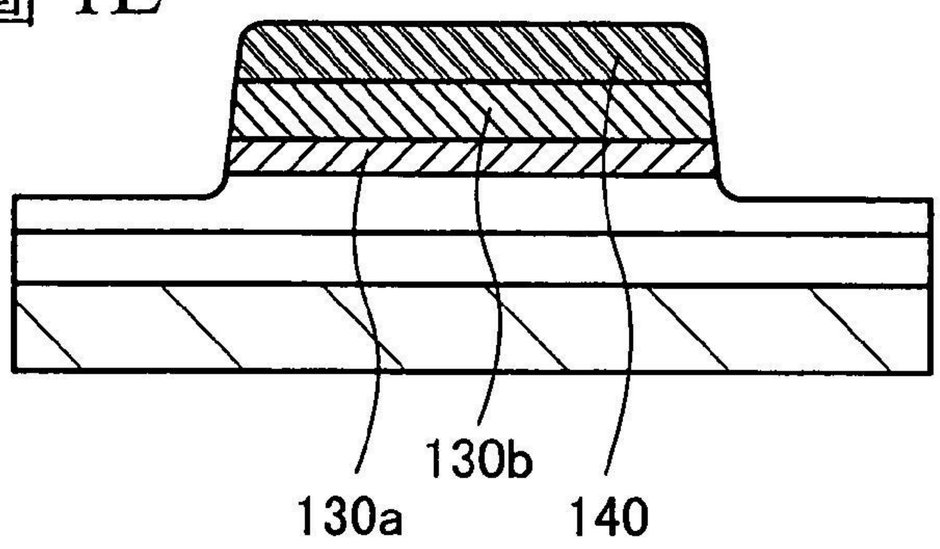


圖 1F

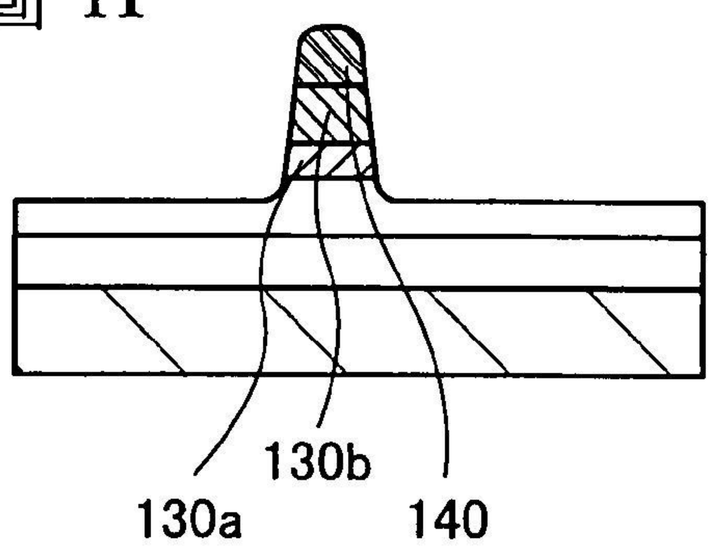


圖 1G

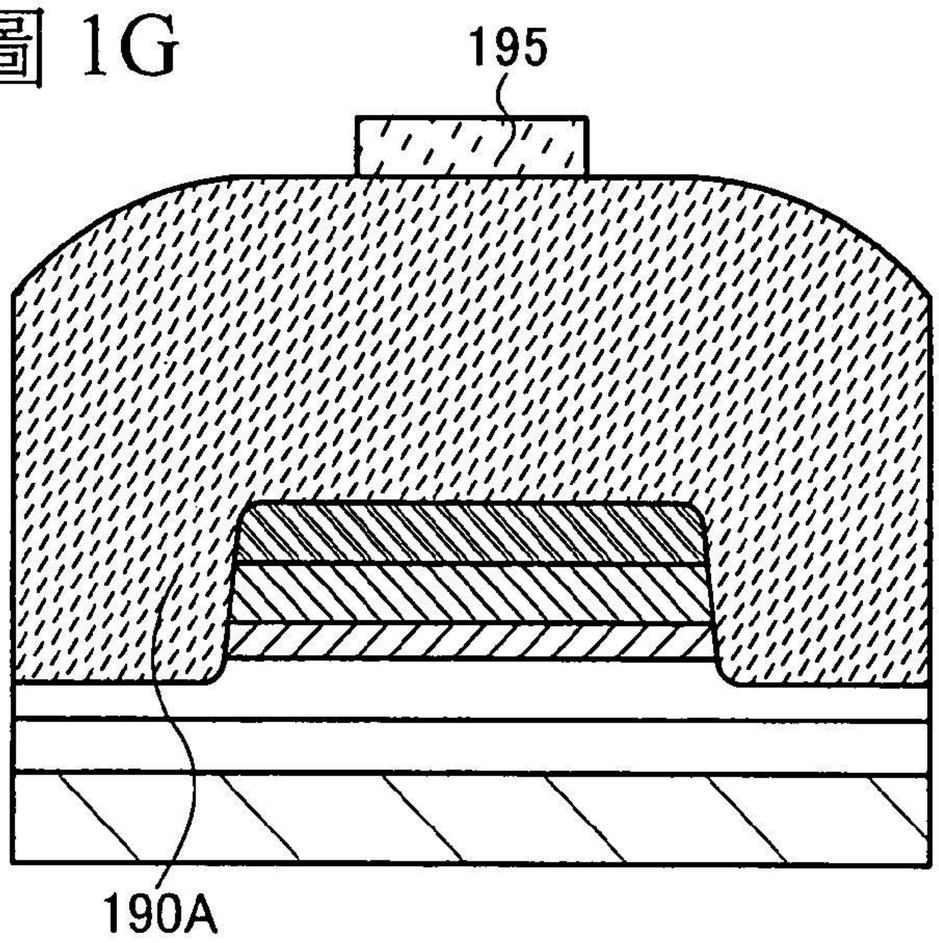


圖 1H

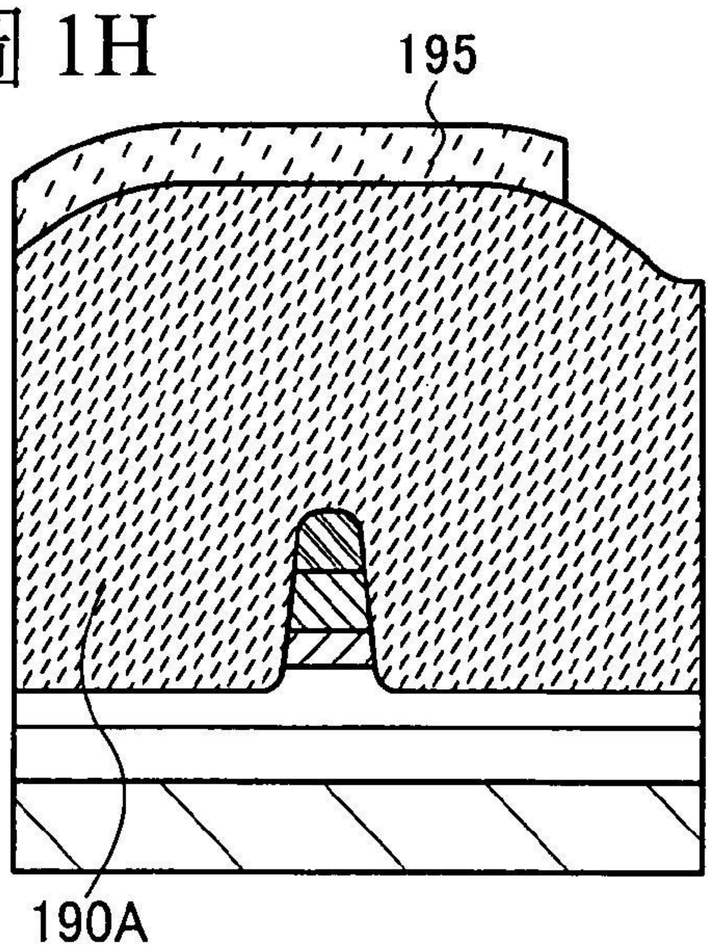


圖 2A

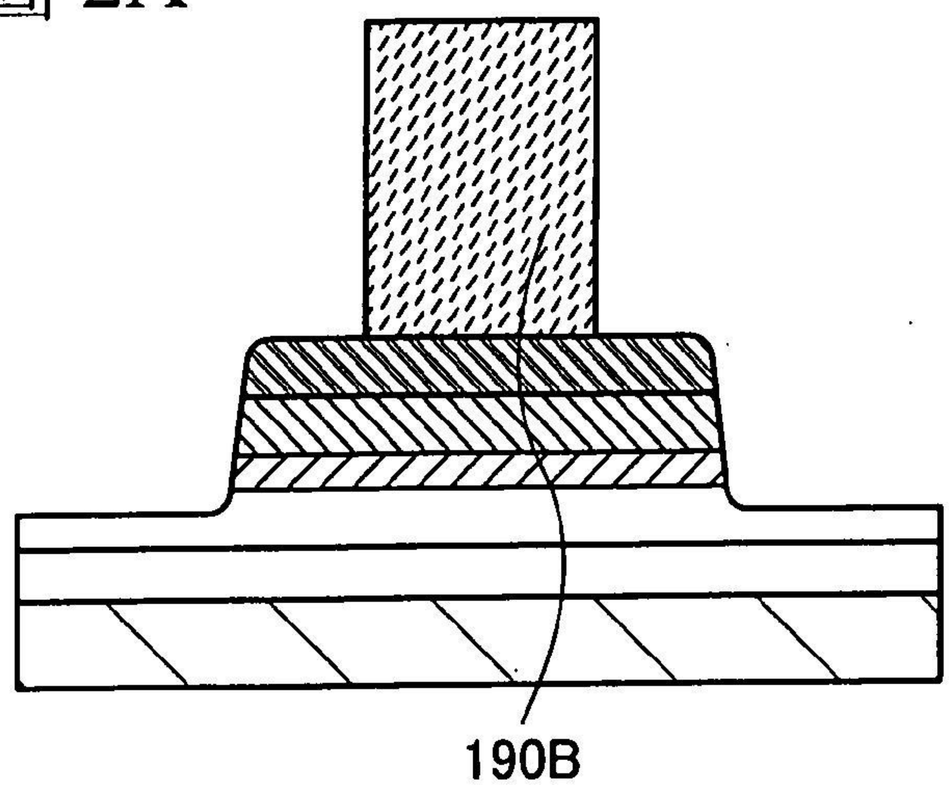


圖 2B

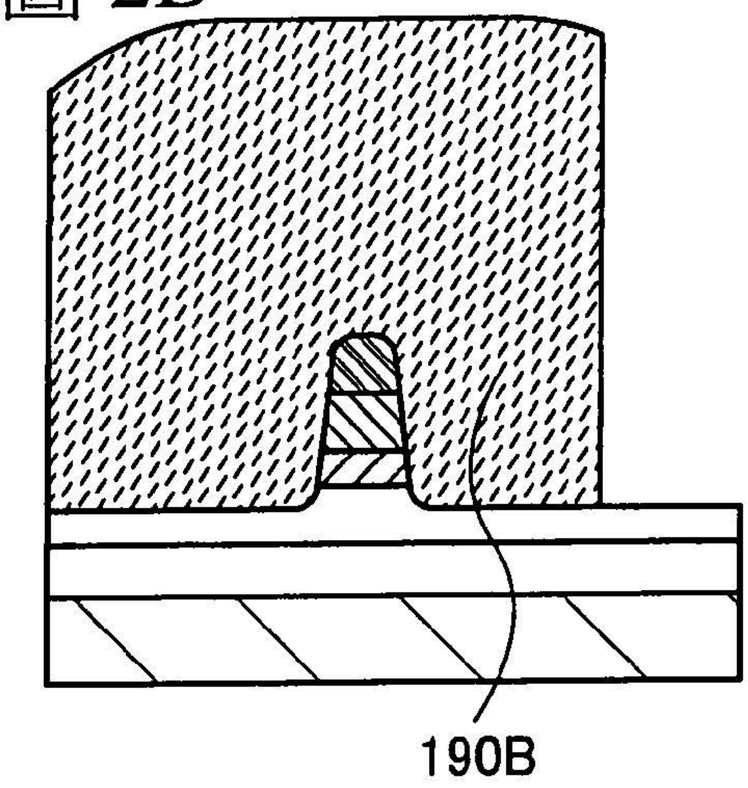


圖 2C

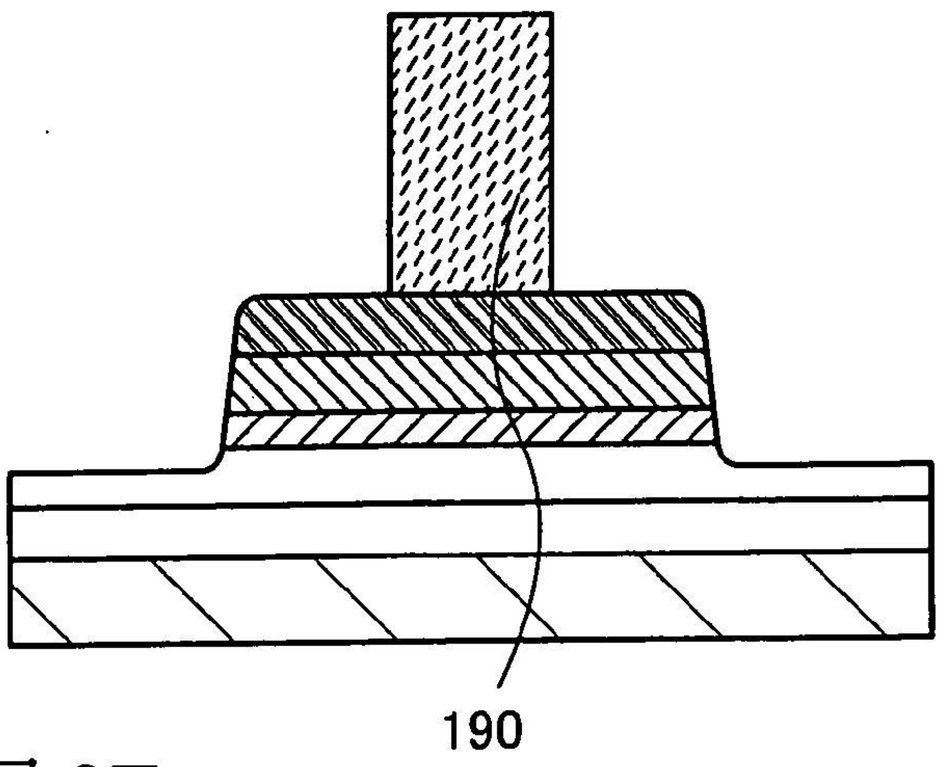


圖 2D

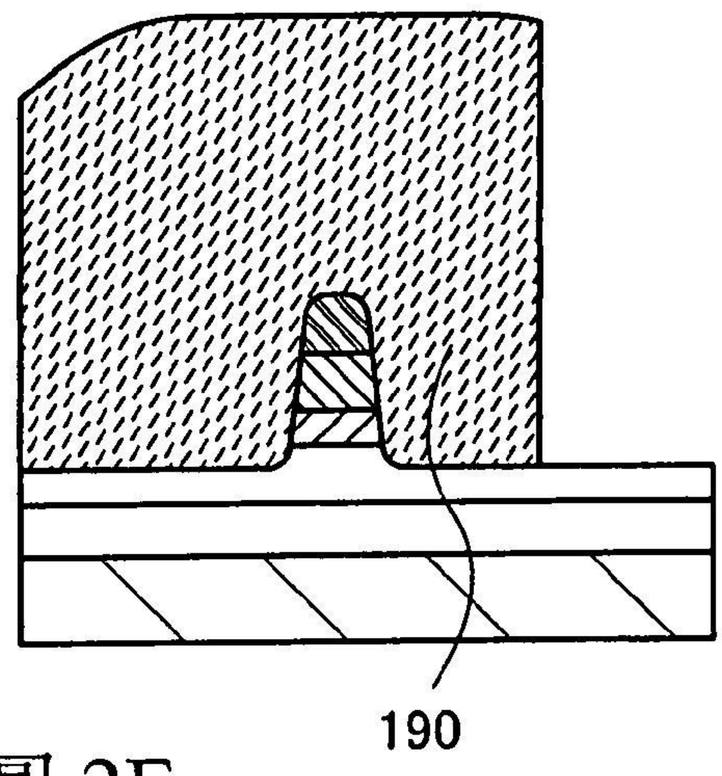


圖 2E

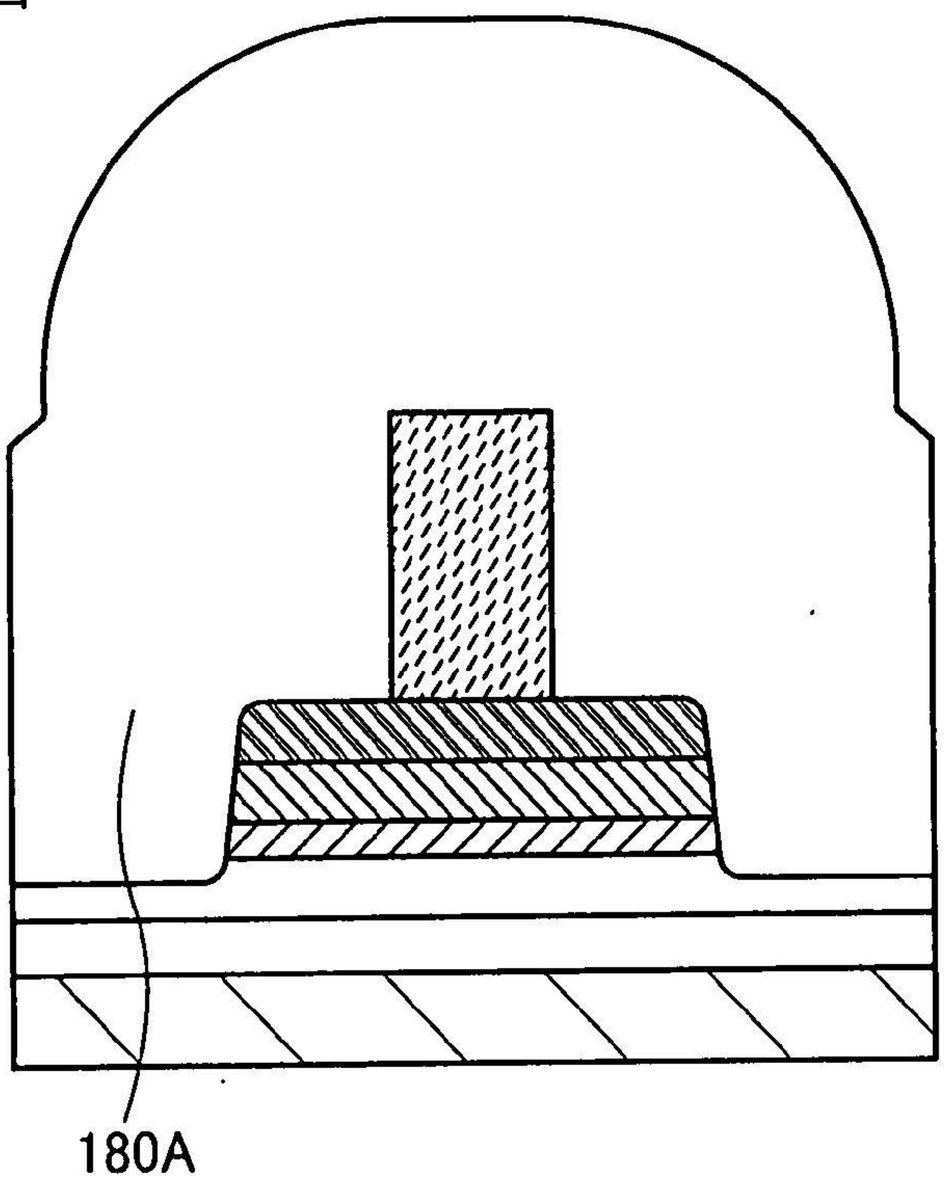


圖 2F

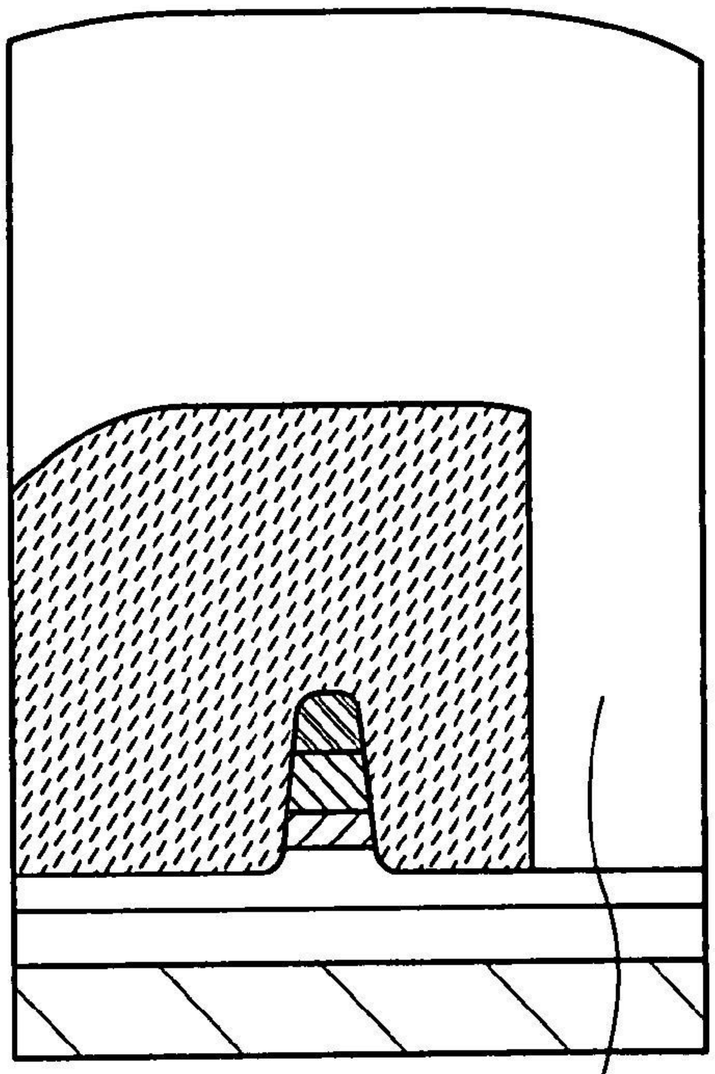


圖 3A

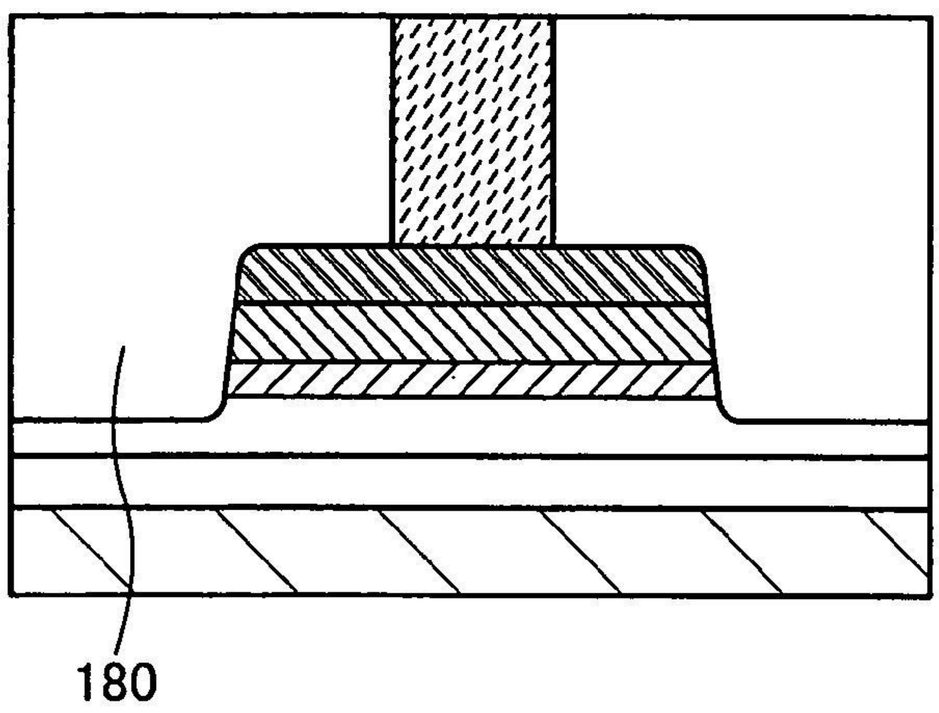


圖 3B

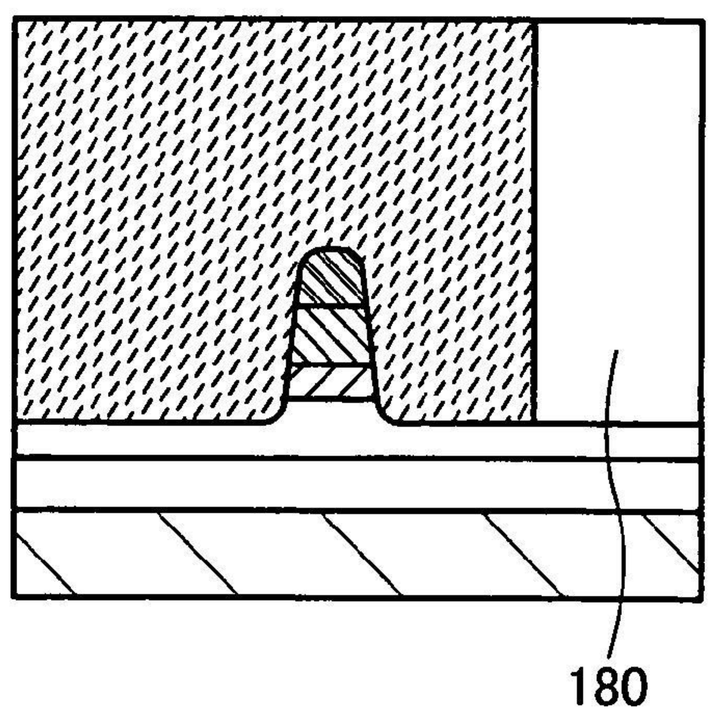


圖 3C

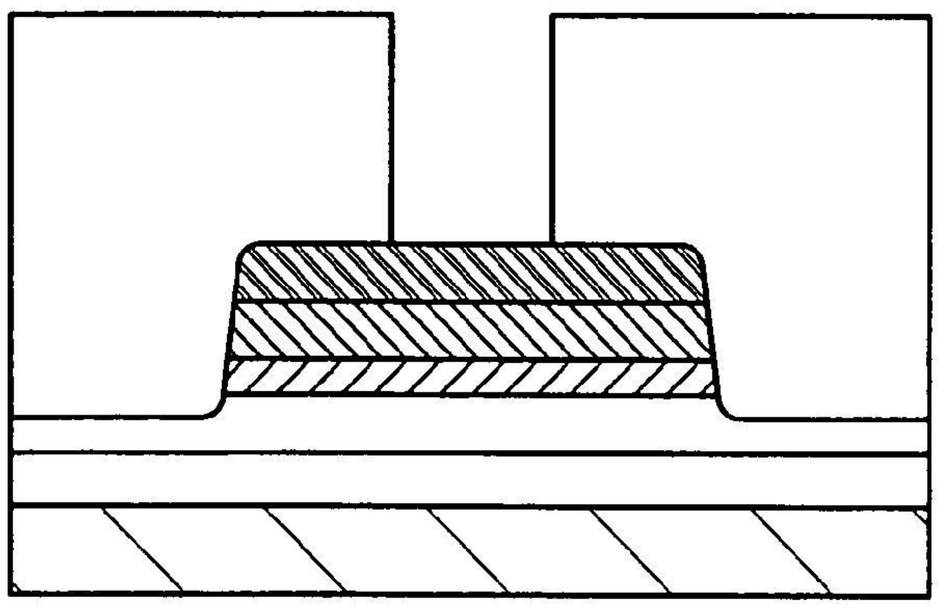


圖 3D

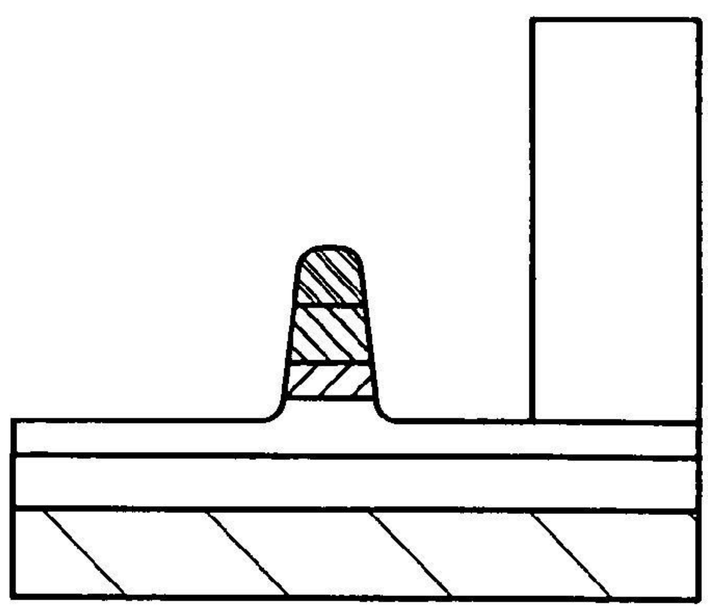


圖 3E

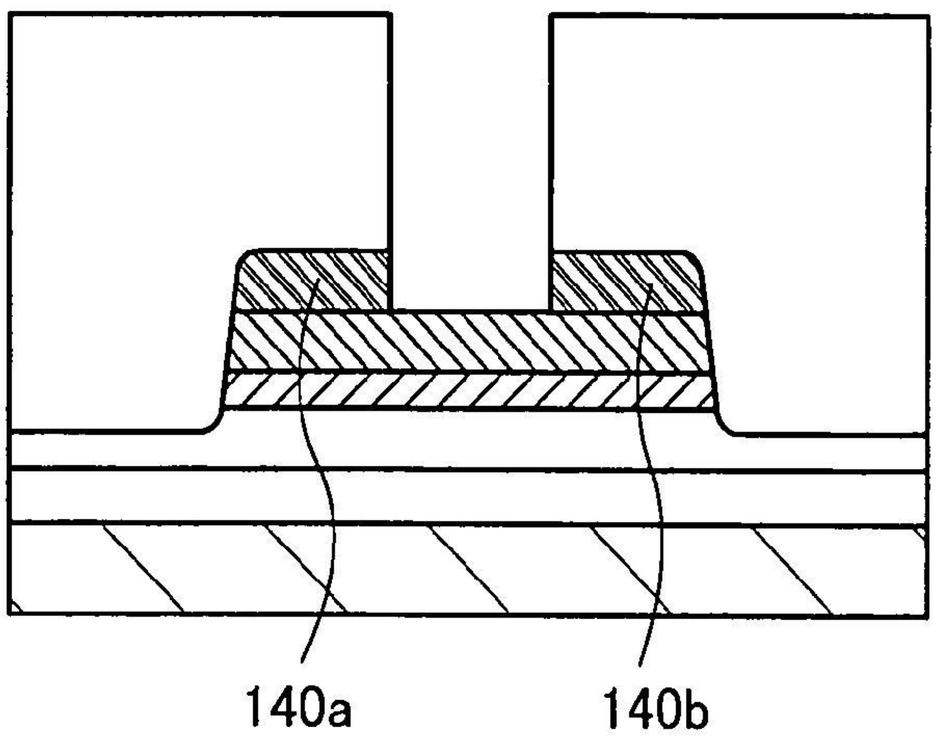


圖 3F

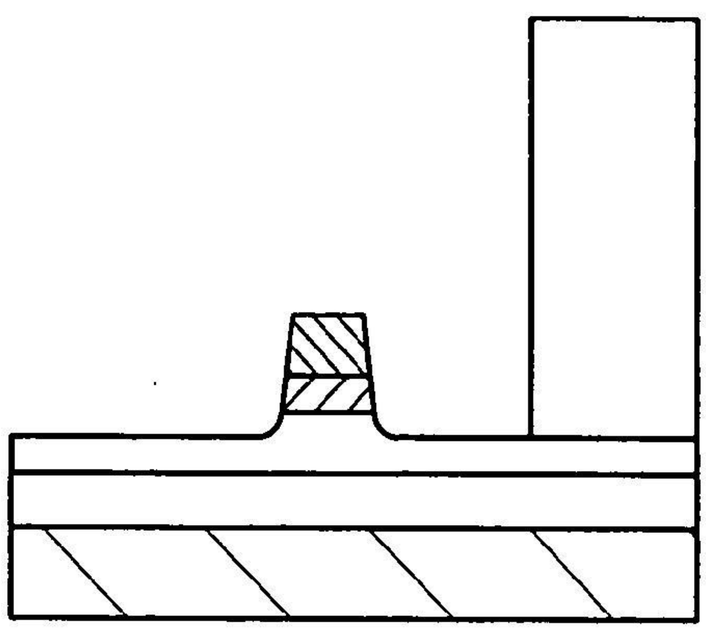


圖 4A

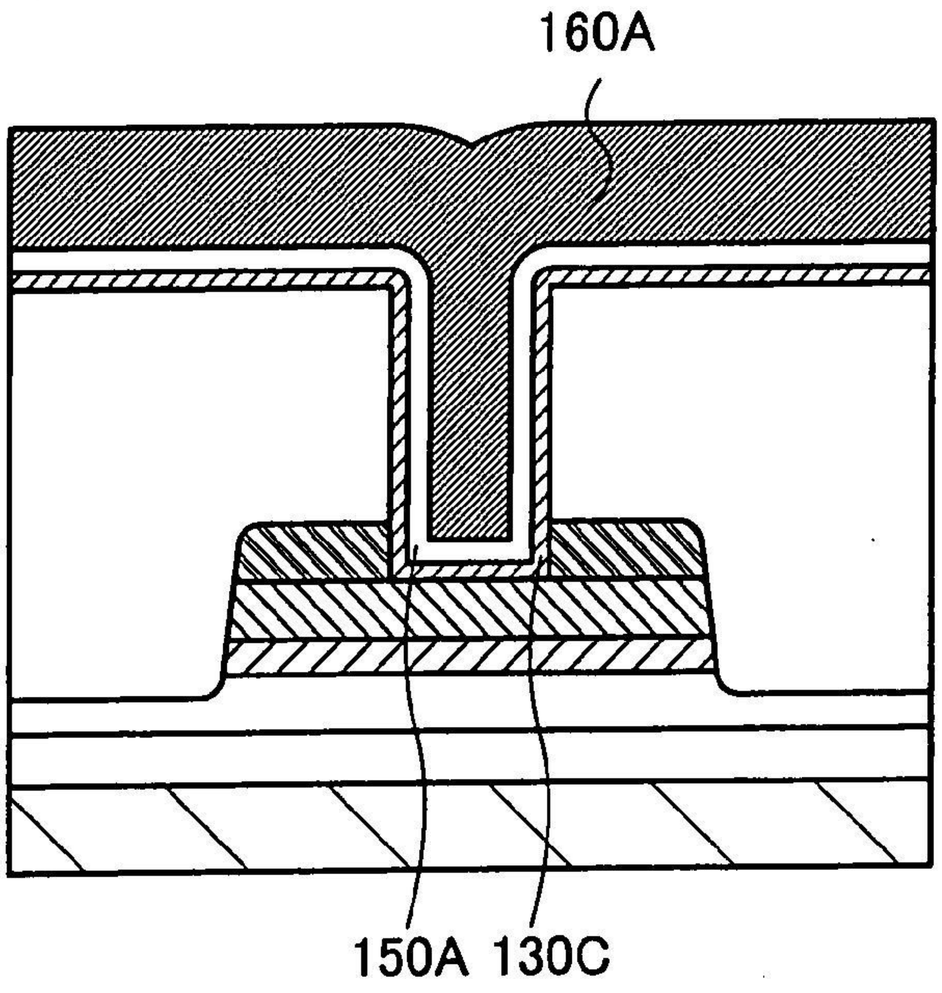


圖 4B

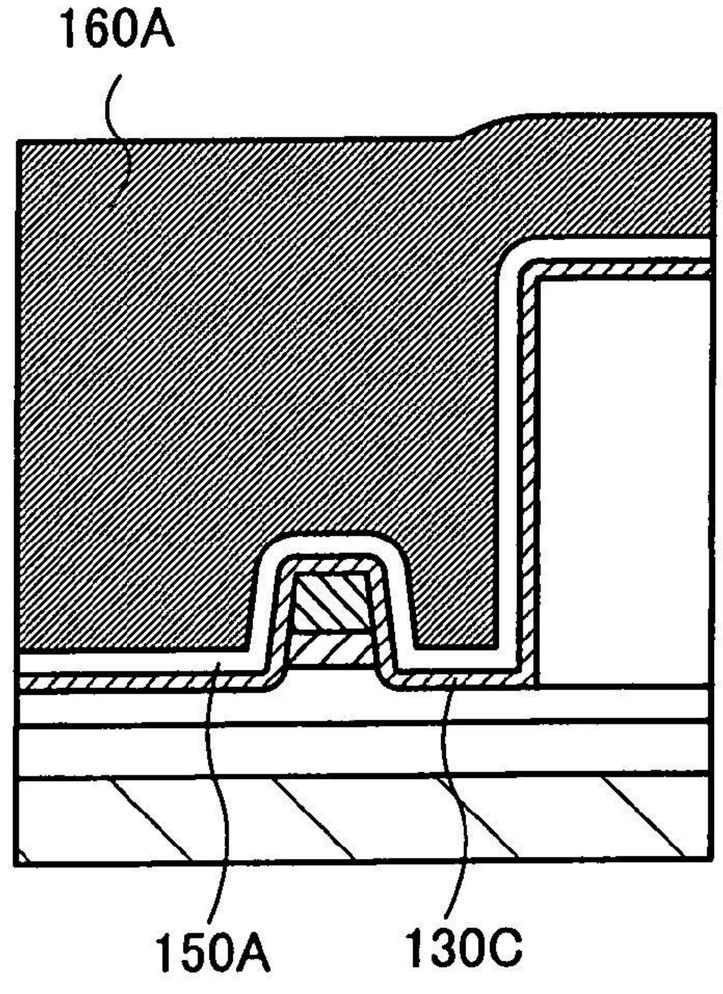


圖 4C

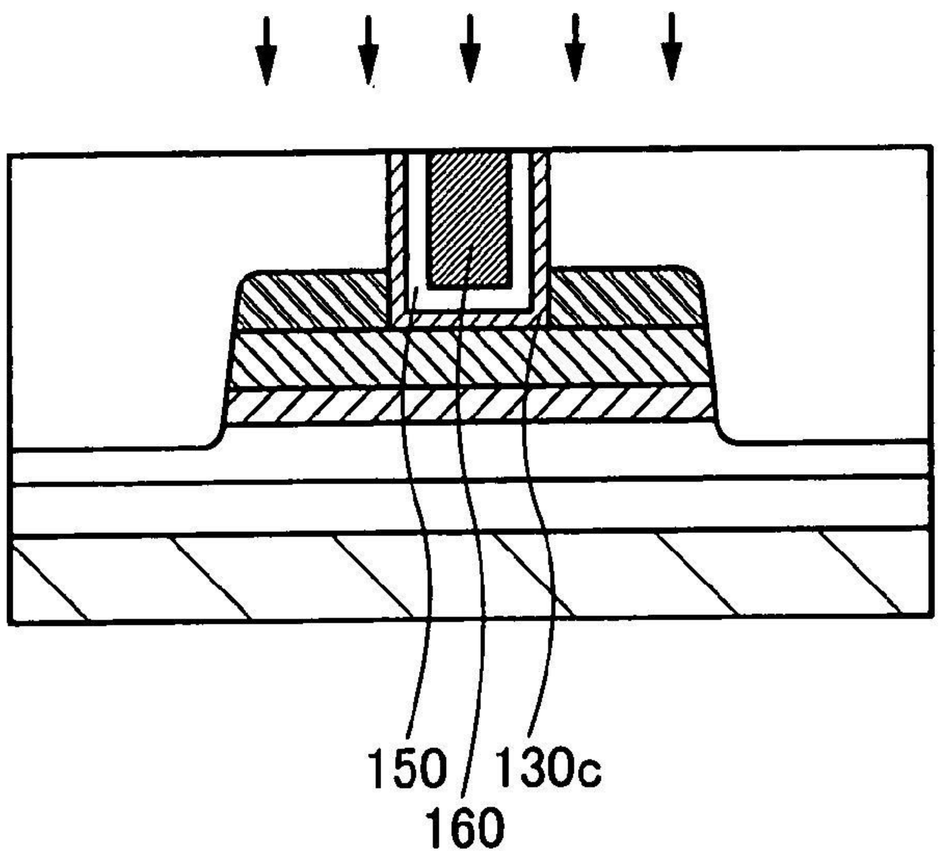


圖 4D

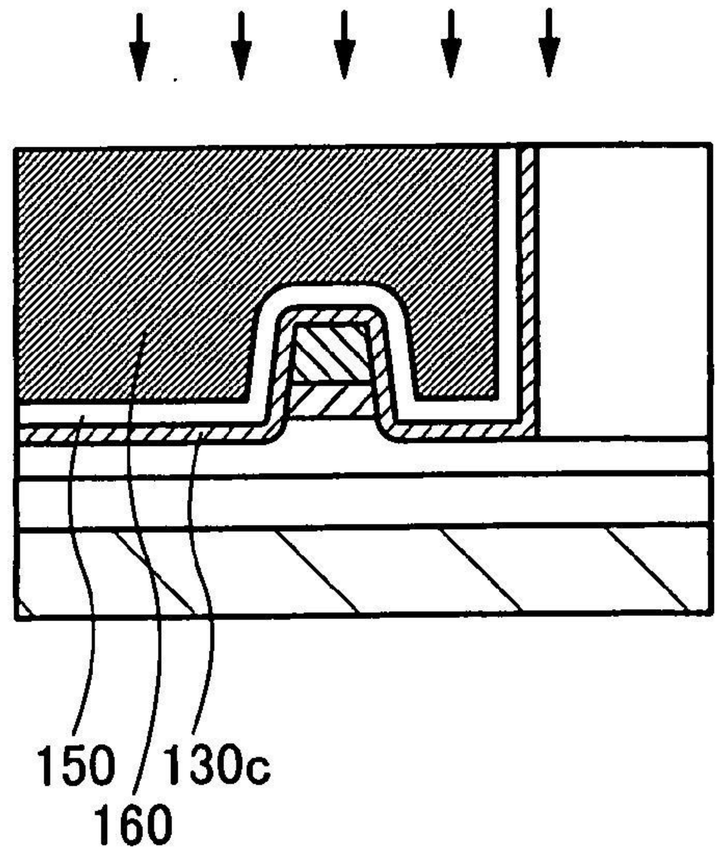


圖 5A

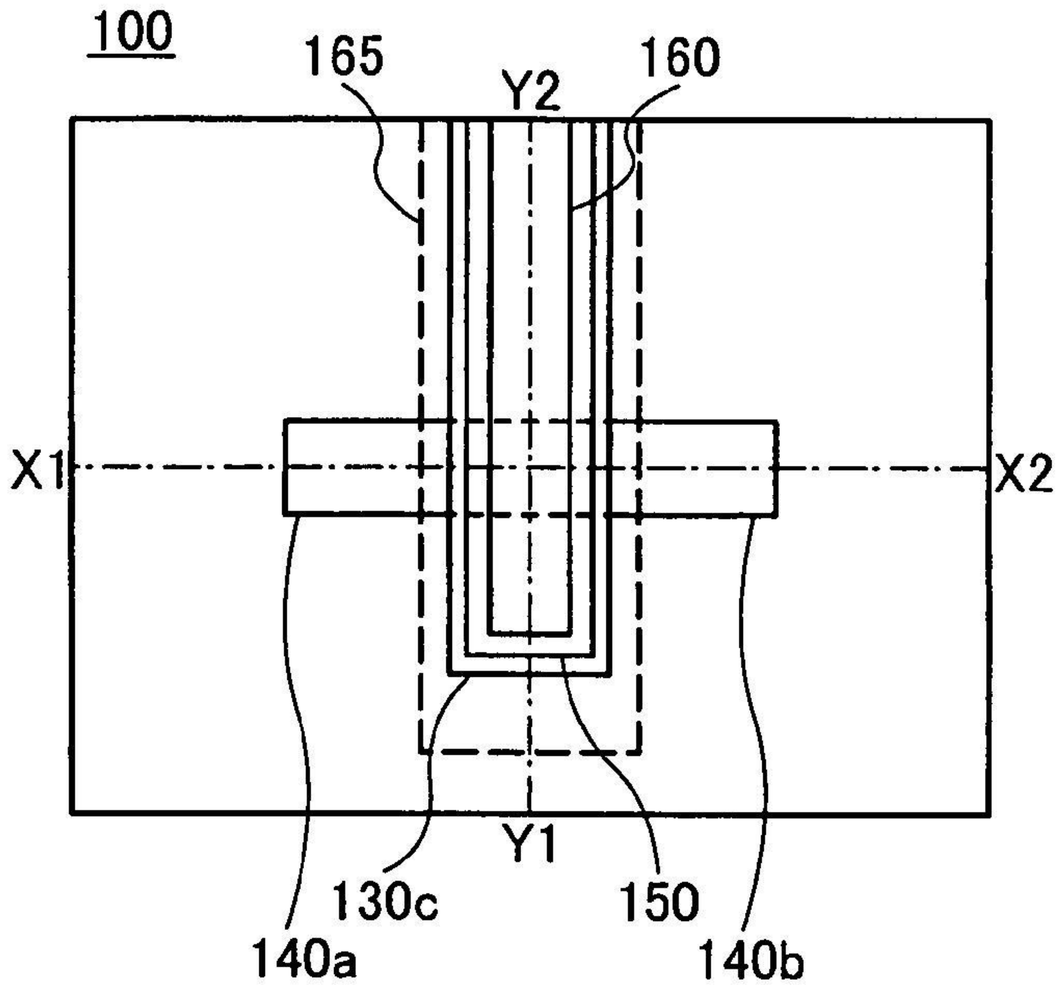

100
165
Y2
160
X1
X2
Y1
130c
150
140a
140b

圖 5B

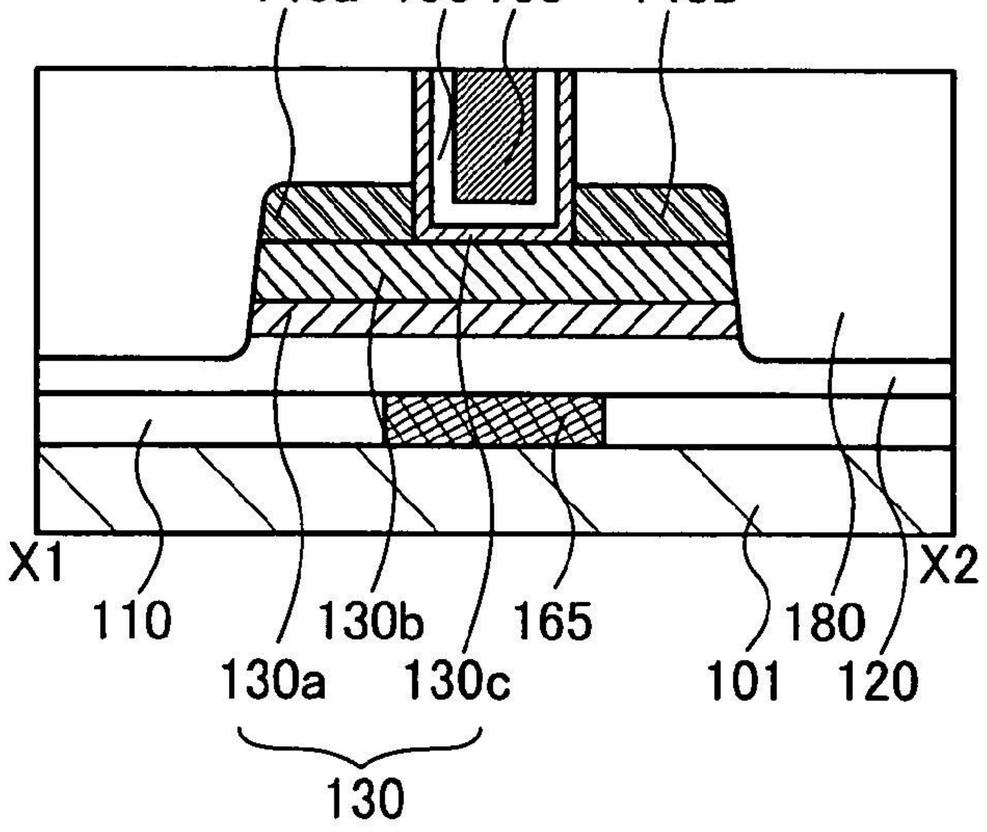

140a
150
160
140b
X1
X2
110
130b
165
180
130a
130c
101
120
130

圖 5C

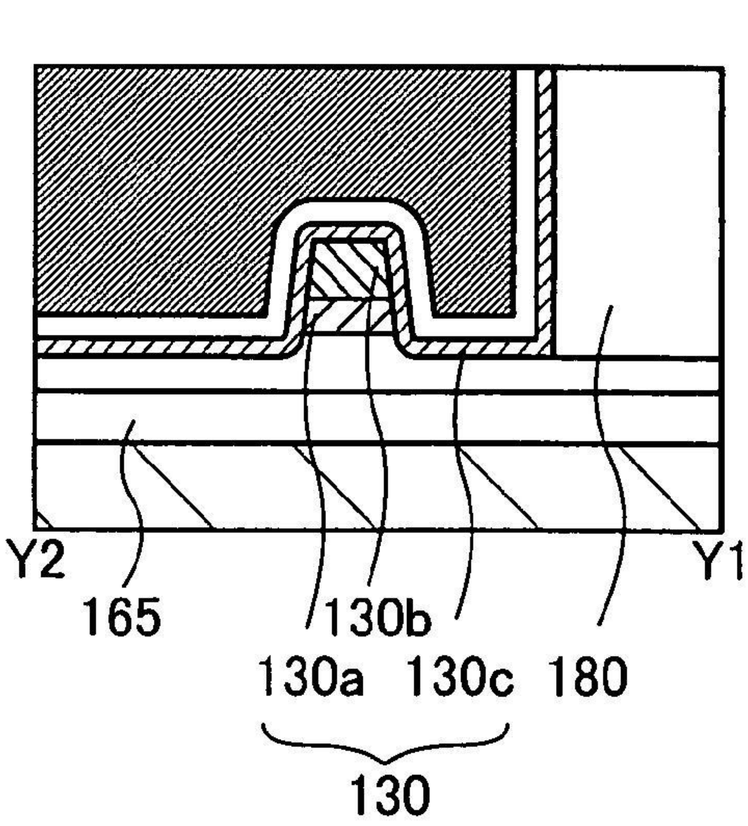

Y2
Y1
165
130b
130a
130c
180
130

圖 6A

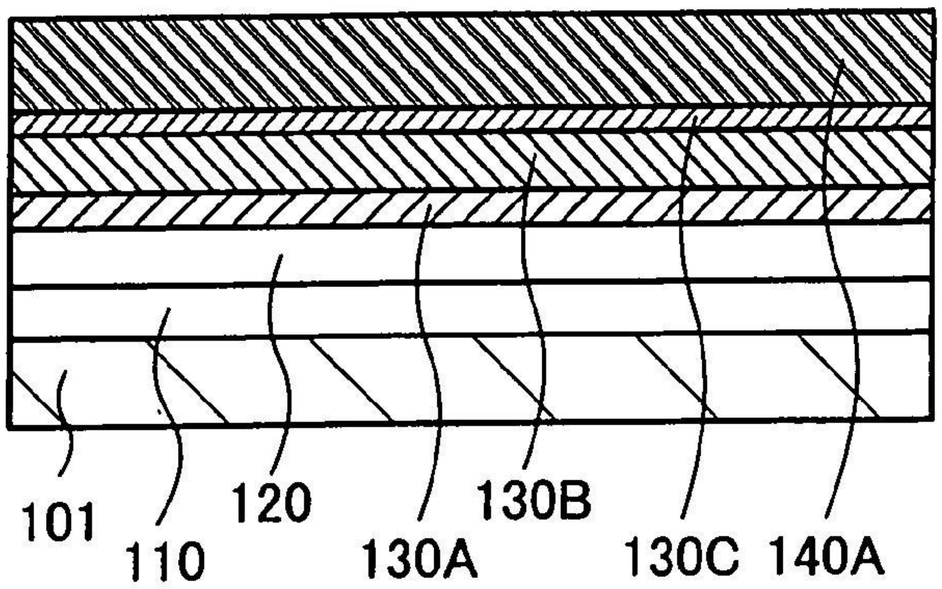


圖 6B

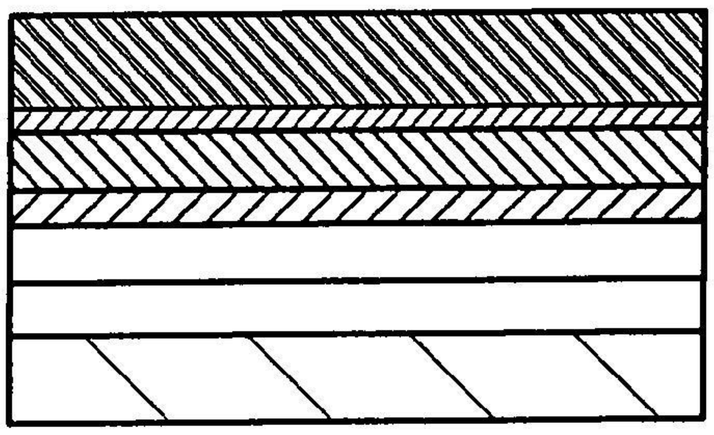


圖 6C

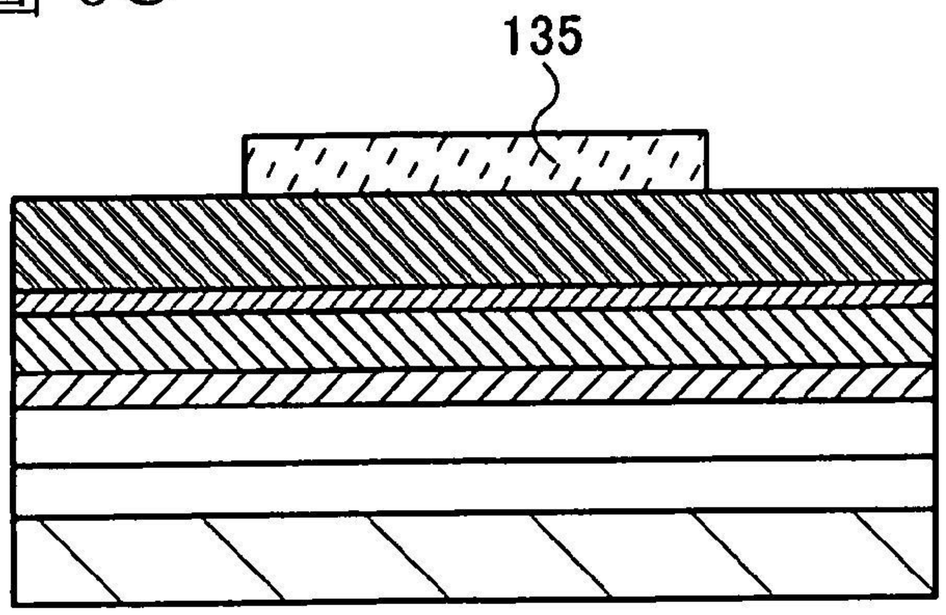


圖 6D

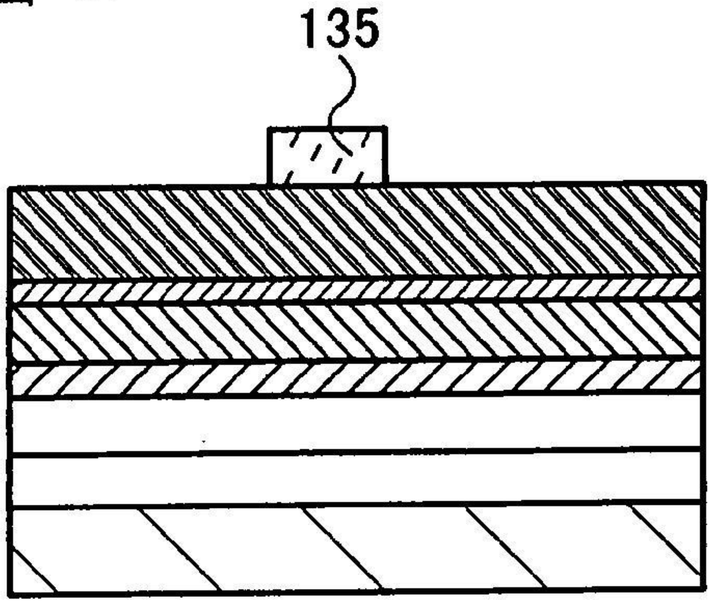


圖 6E

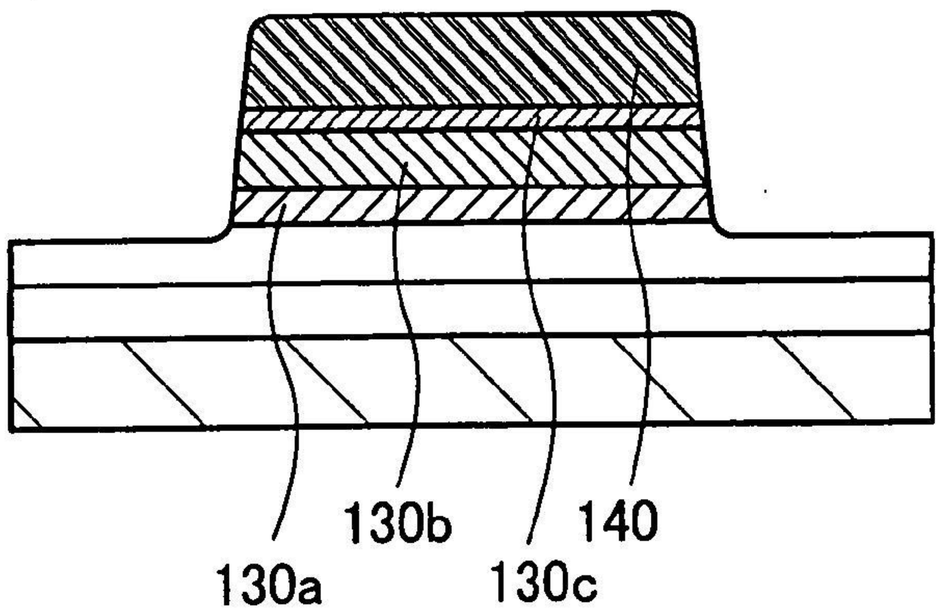


圖 6F

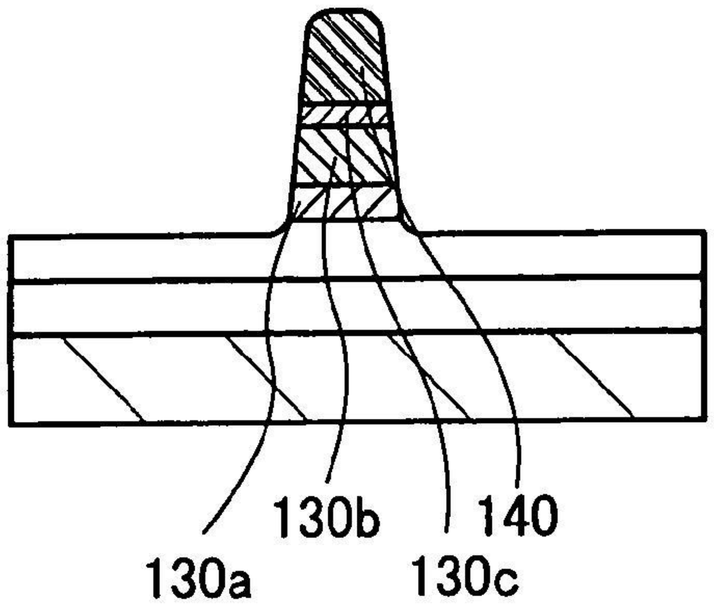


圖 7A

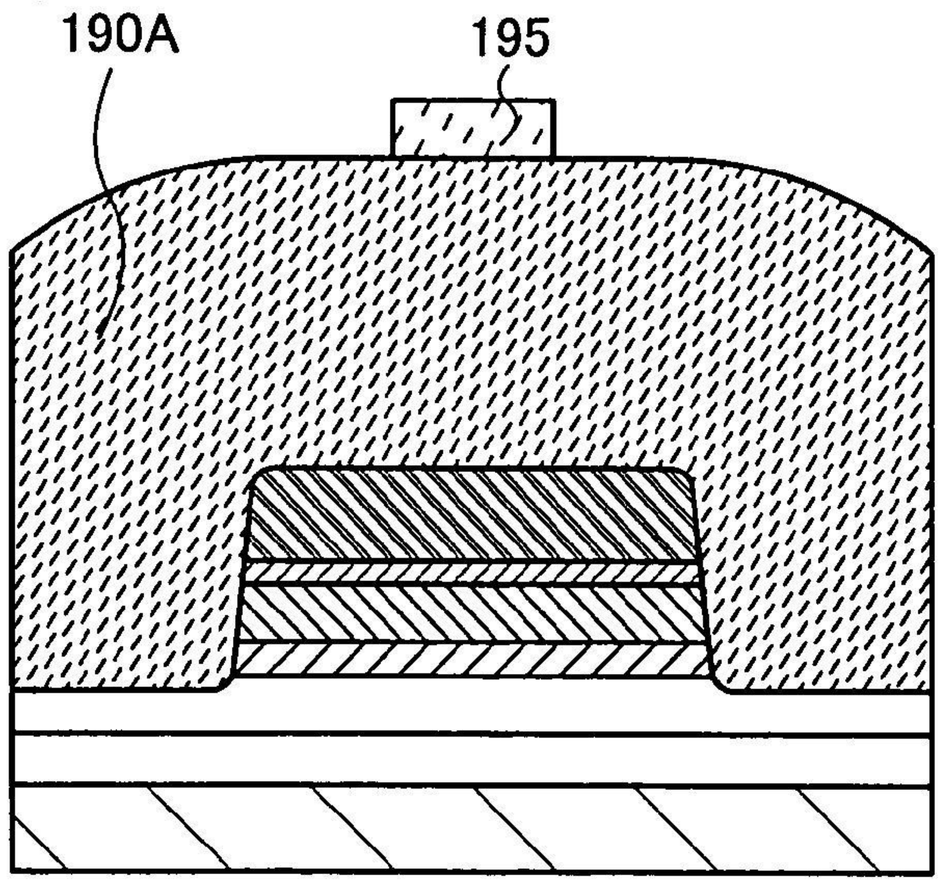


圖 7B

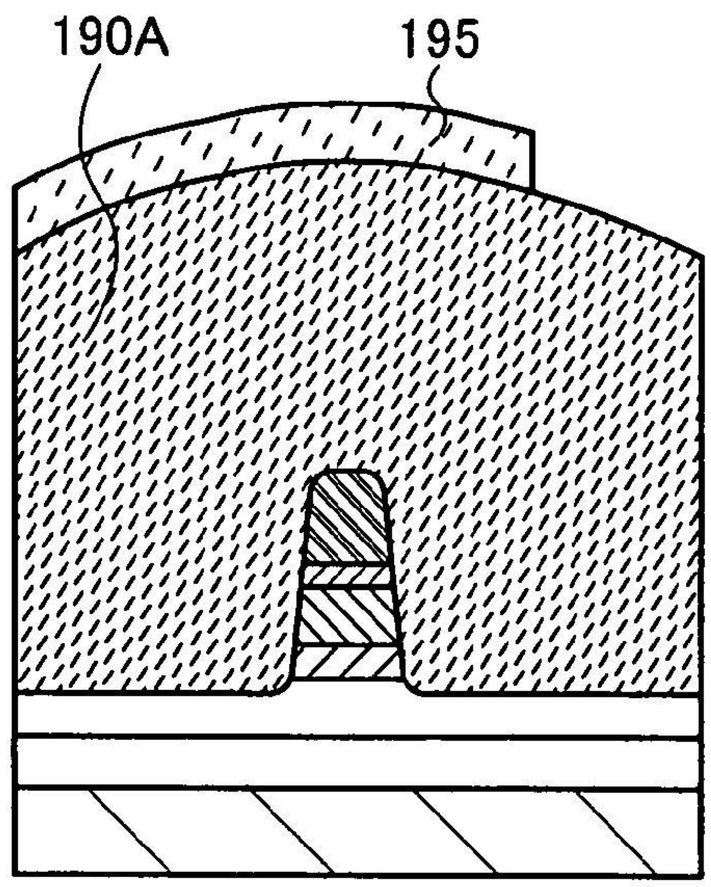


圖 7C

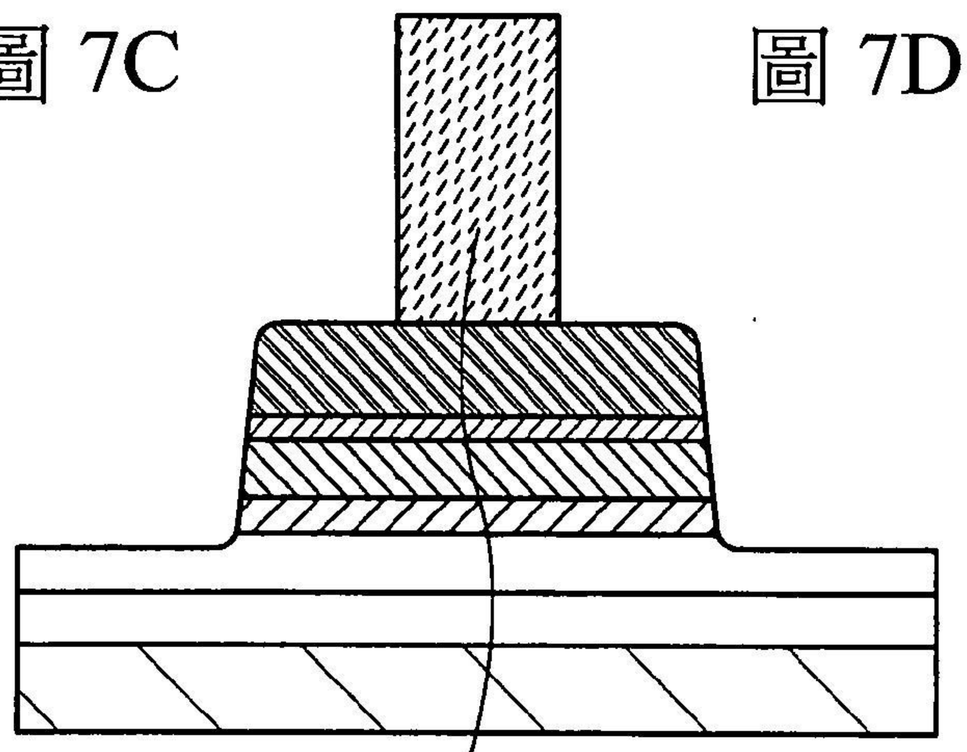


圖 7D

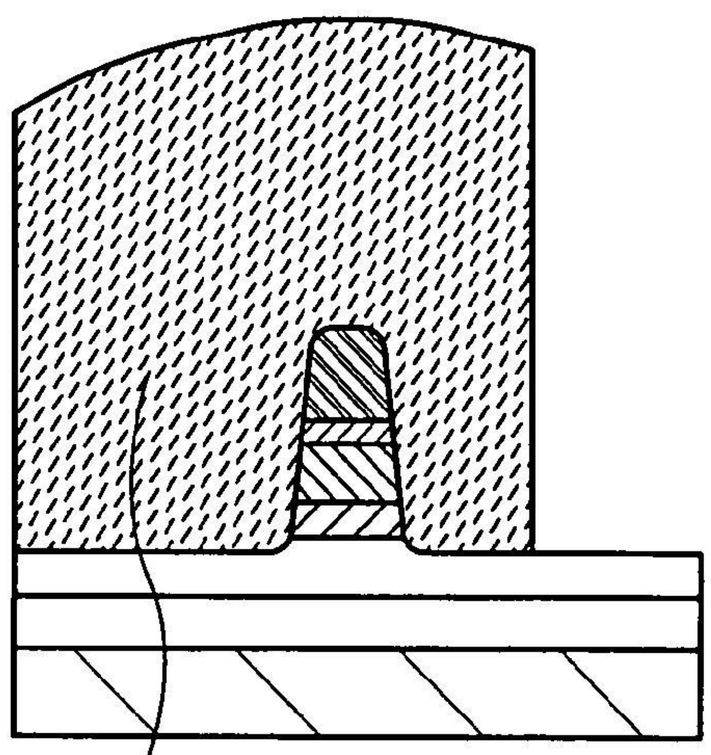


圖 7E

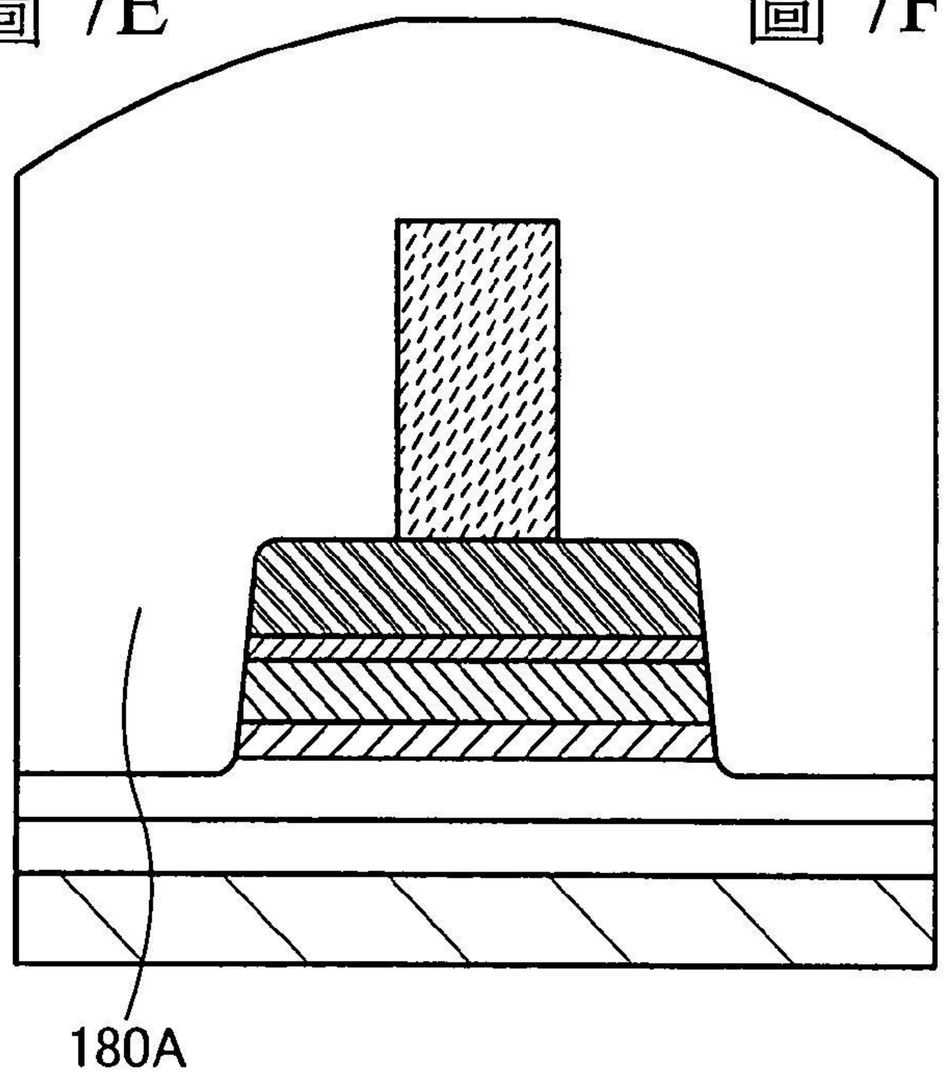


圖 7F

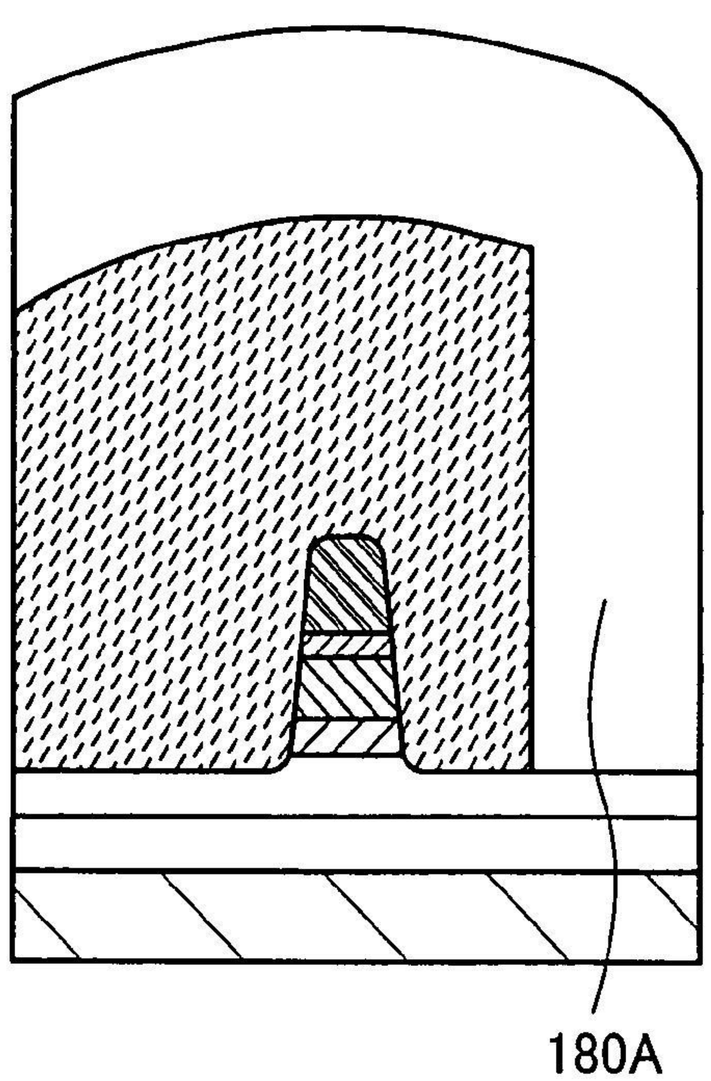


圖 8A

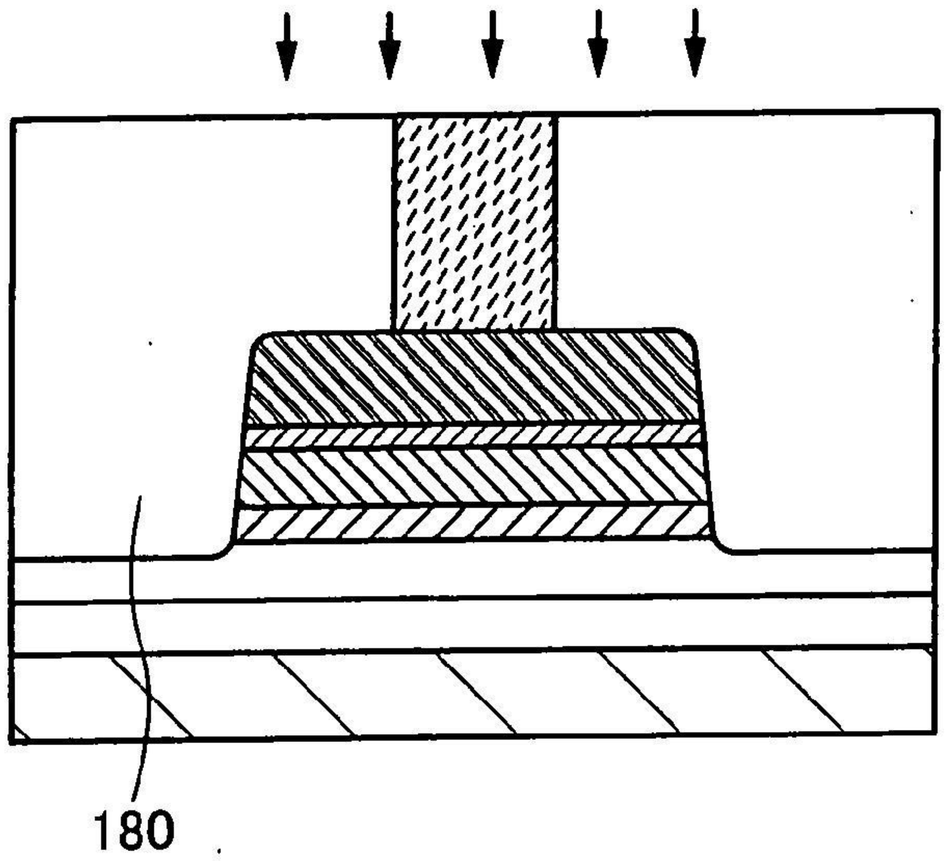


圖 8B

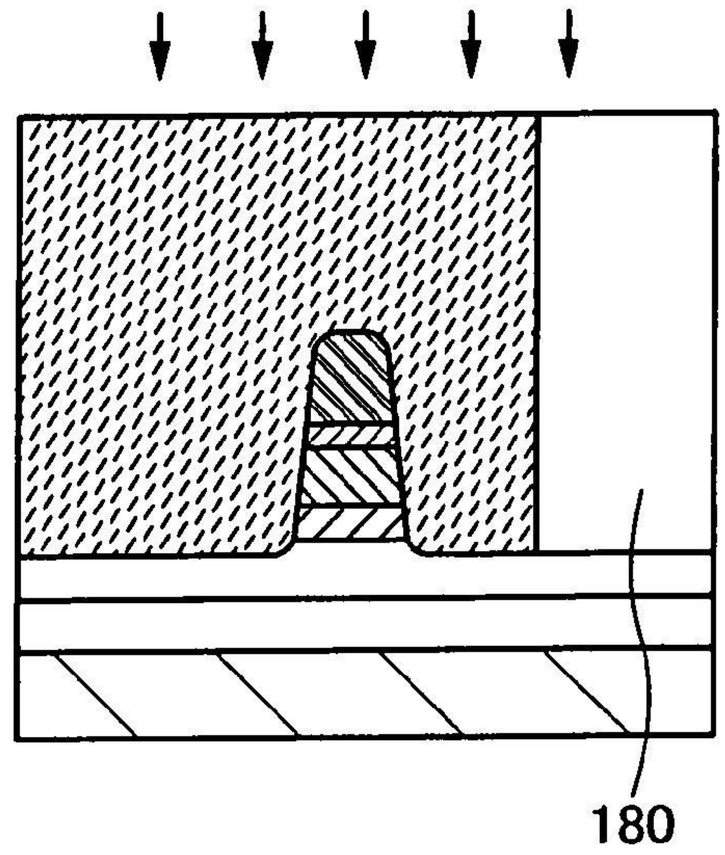


圖 8C

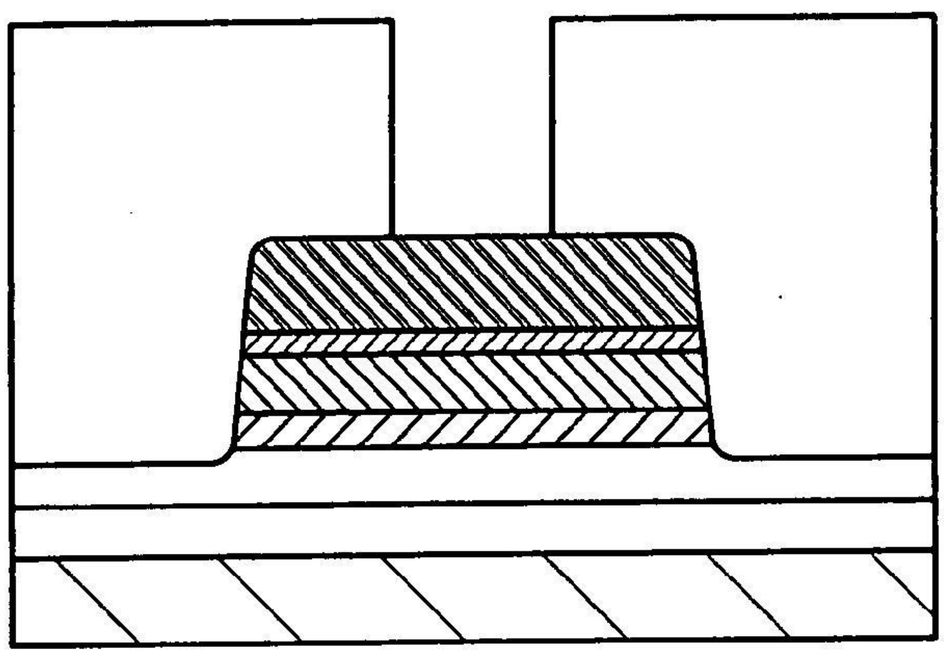


圖 8D

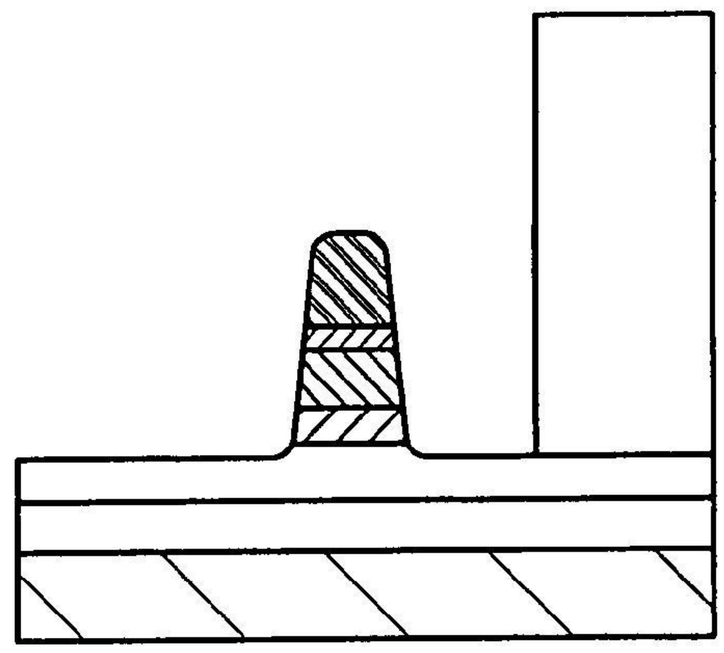


圖 8E

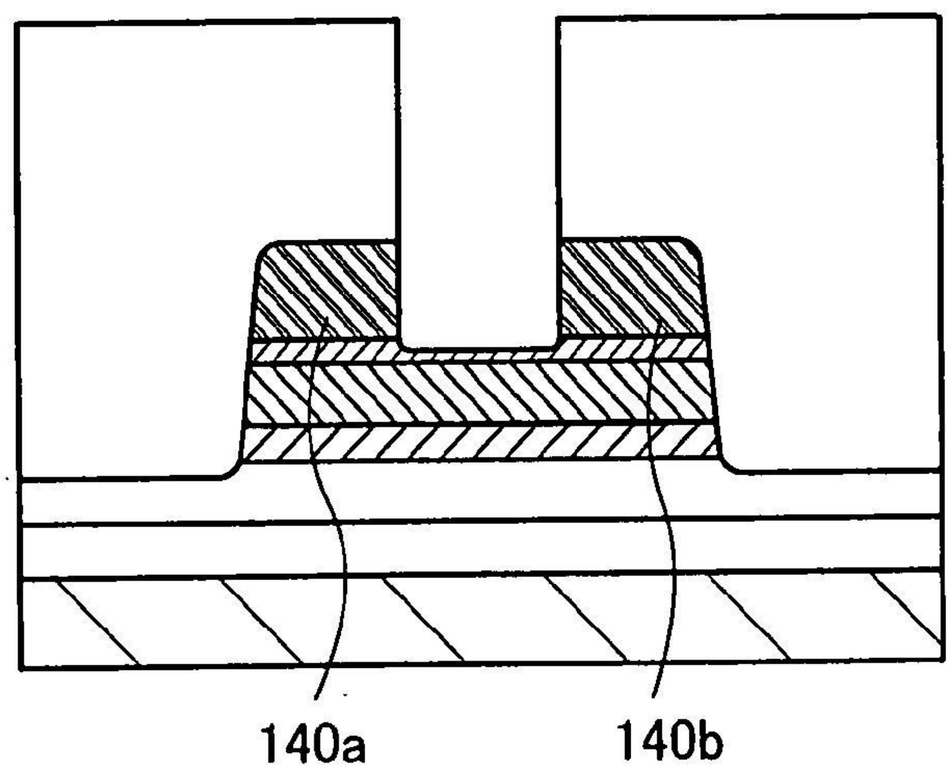


圖 8F

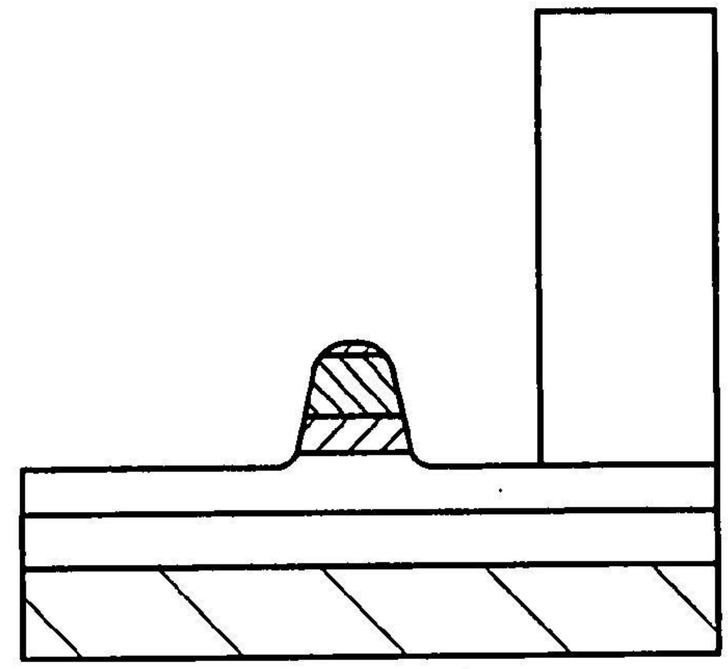


圖 9A

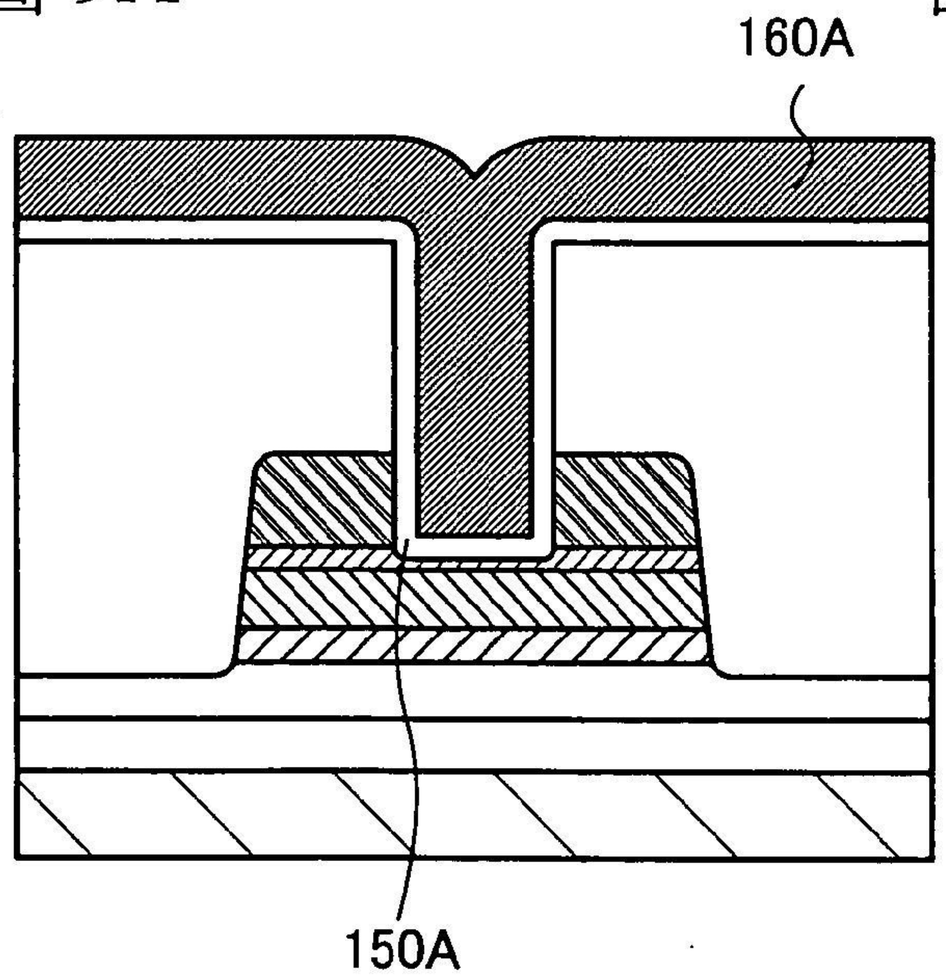


圖 9B

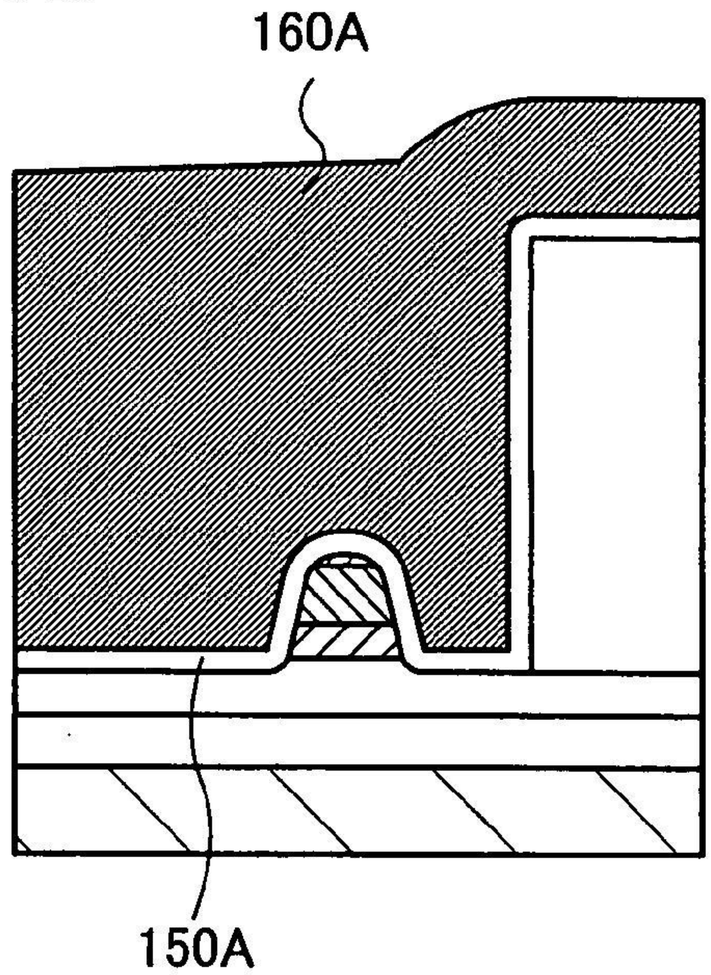


圖 9C

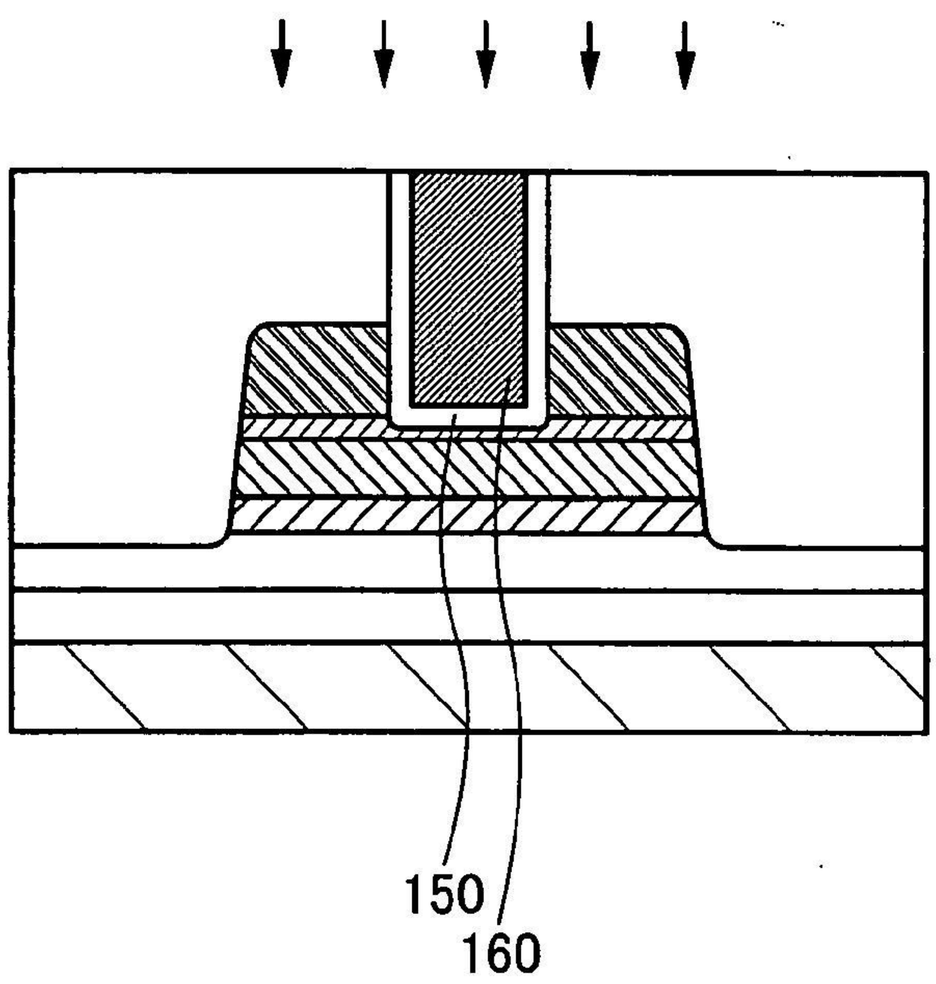


圖 9D

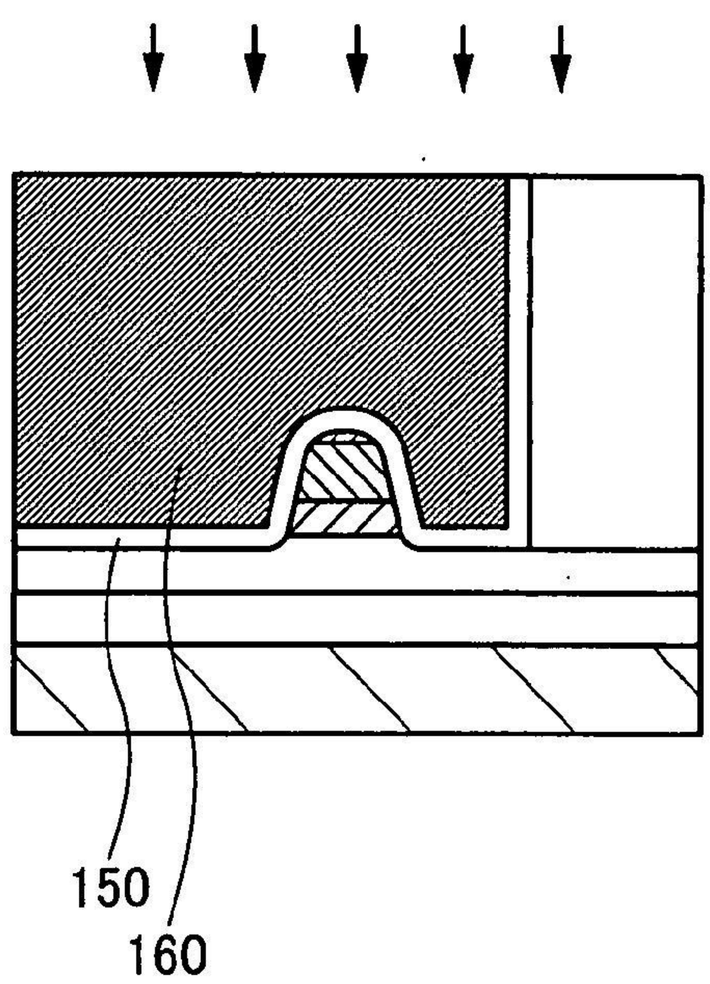


圖 10A

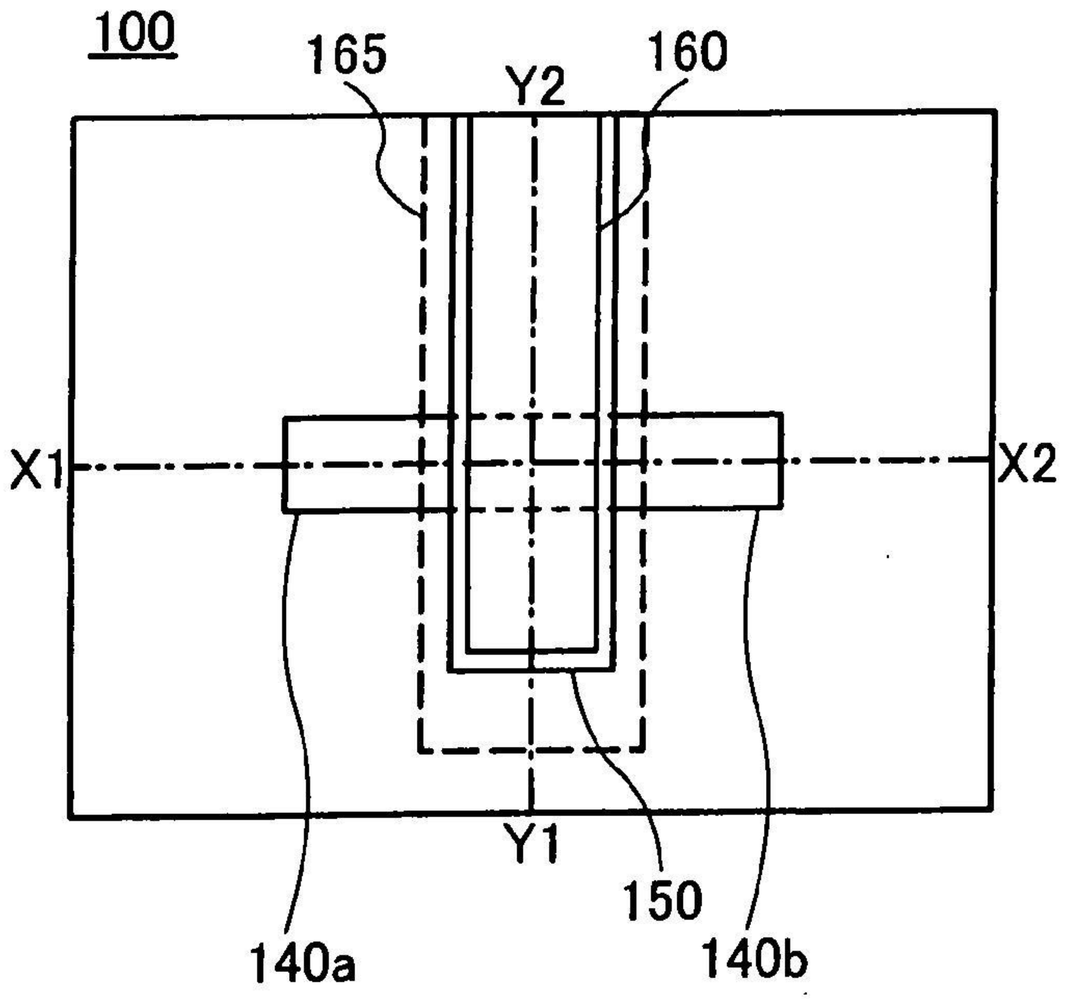


圖 10B

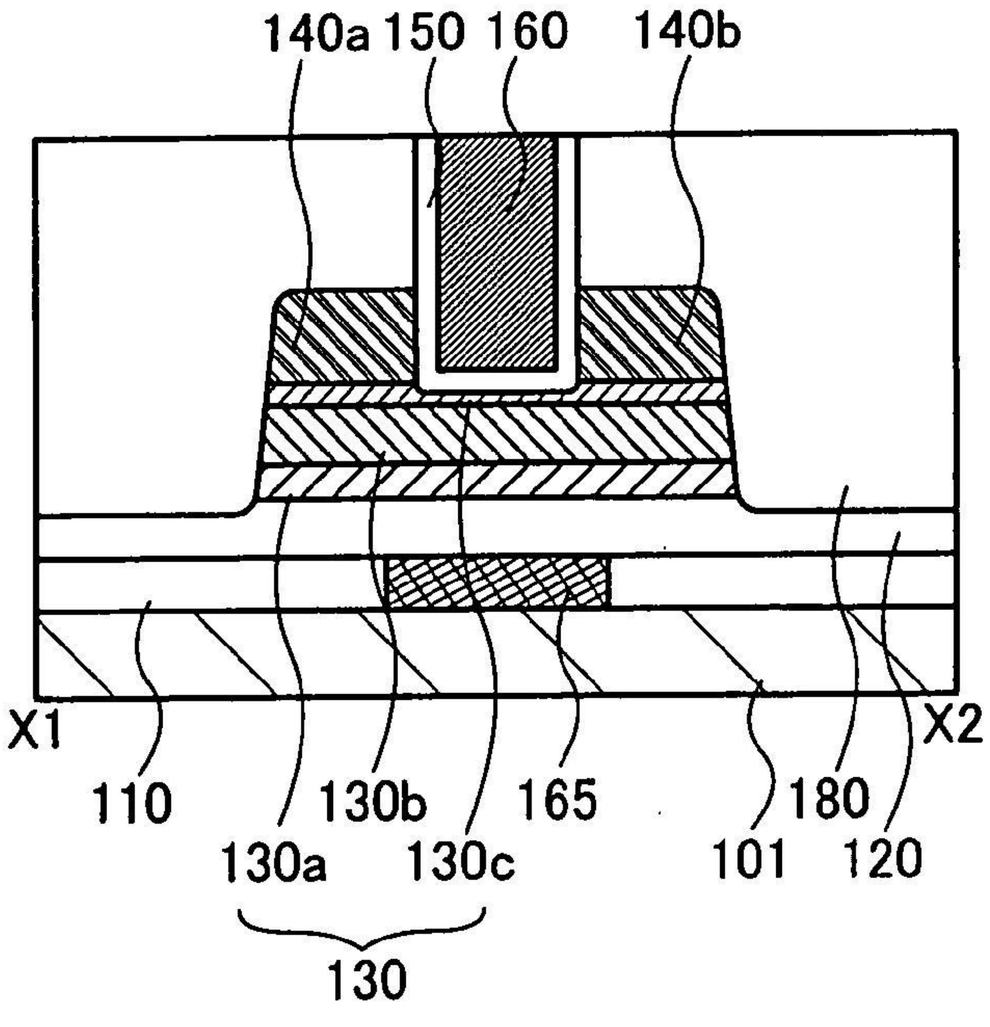


圖 10C

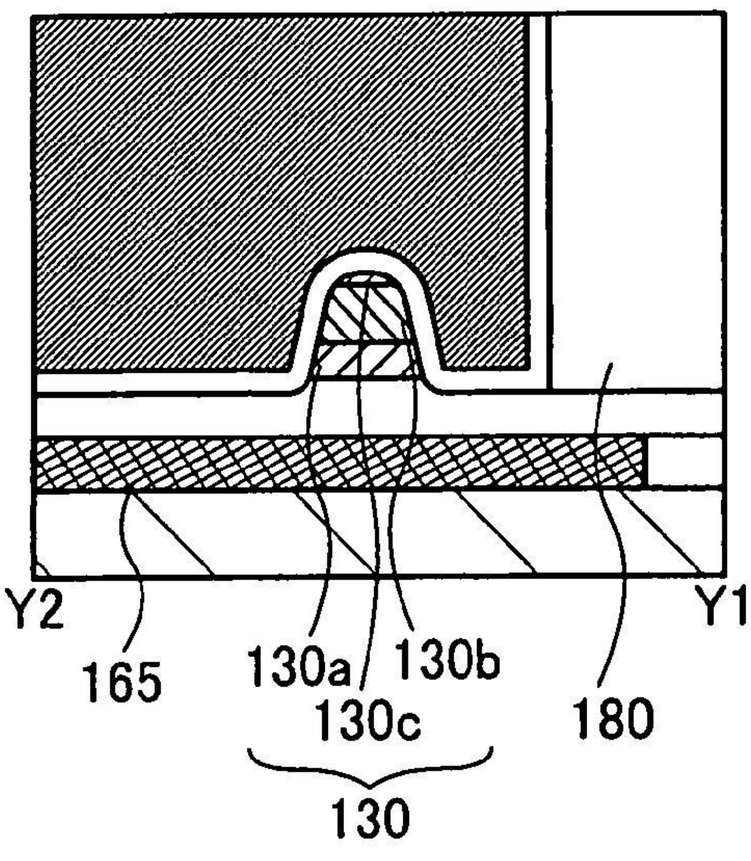


圖 11A

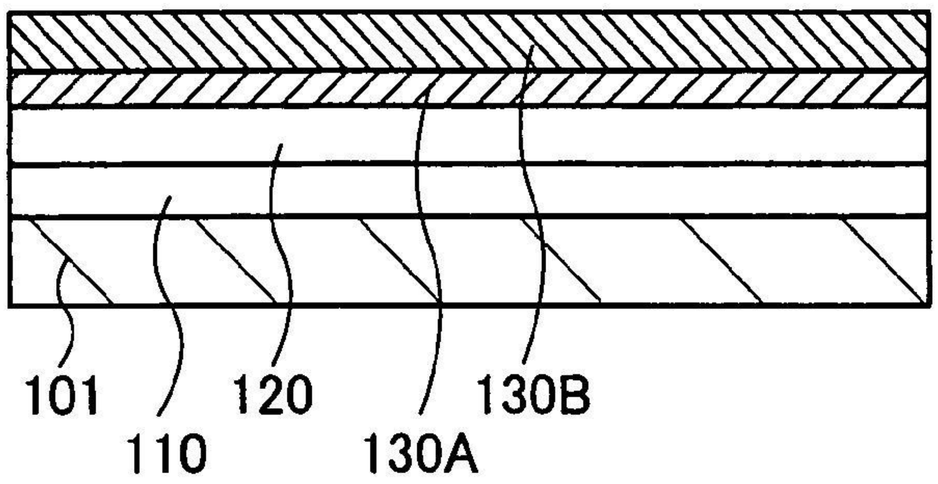


圖 11B

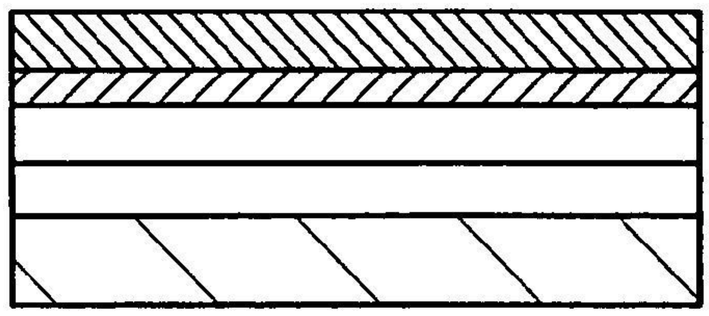


圖 11C

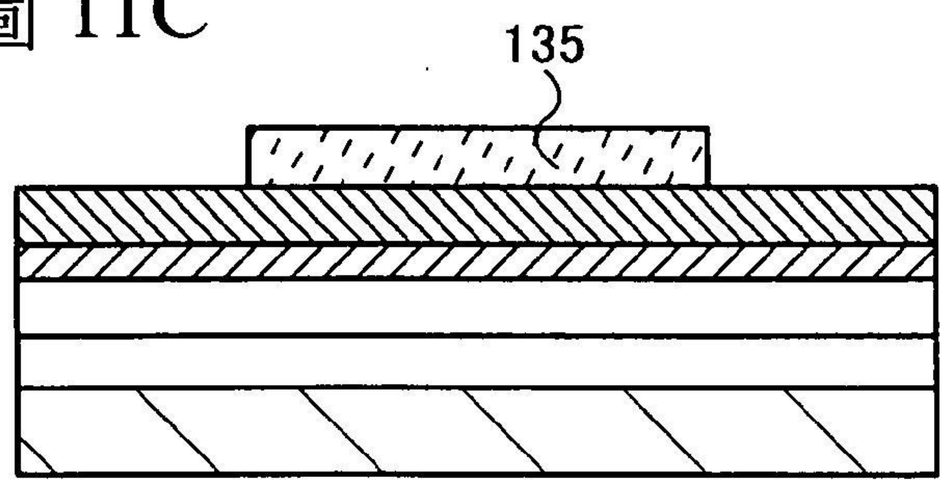


圖 11D

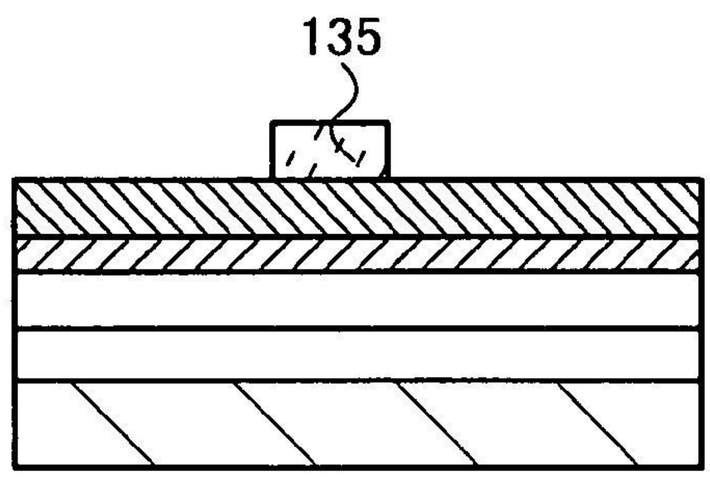


圖 11E

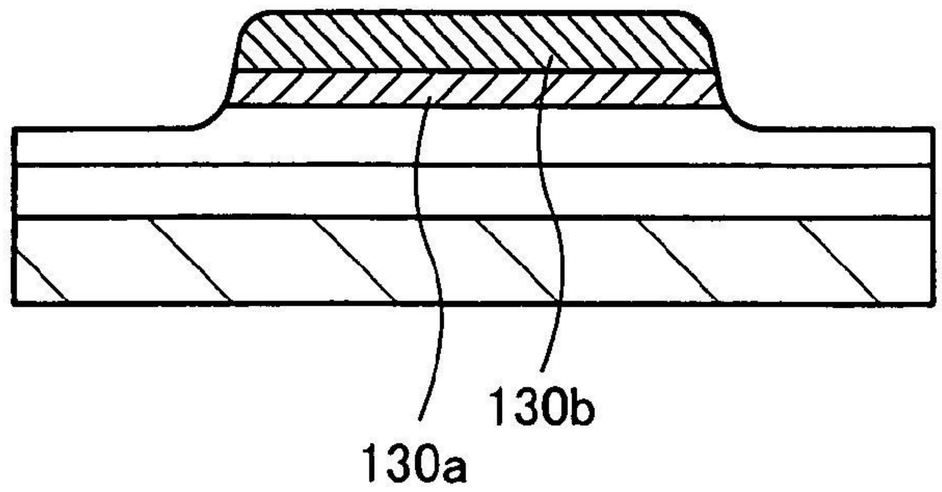


圖 11F

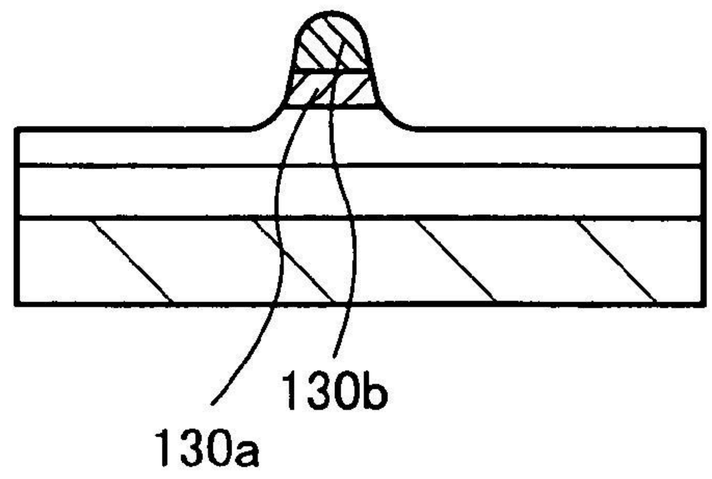


圖 11G

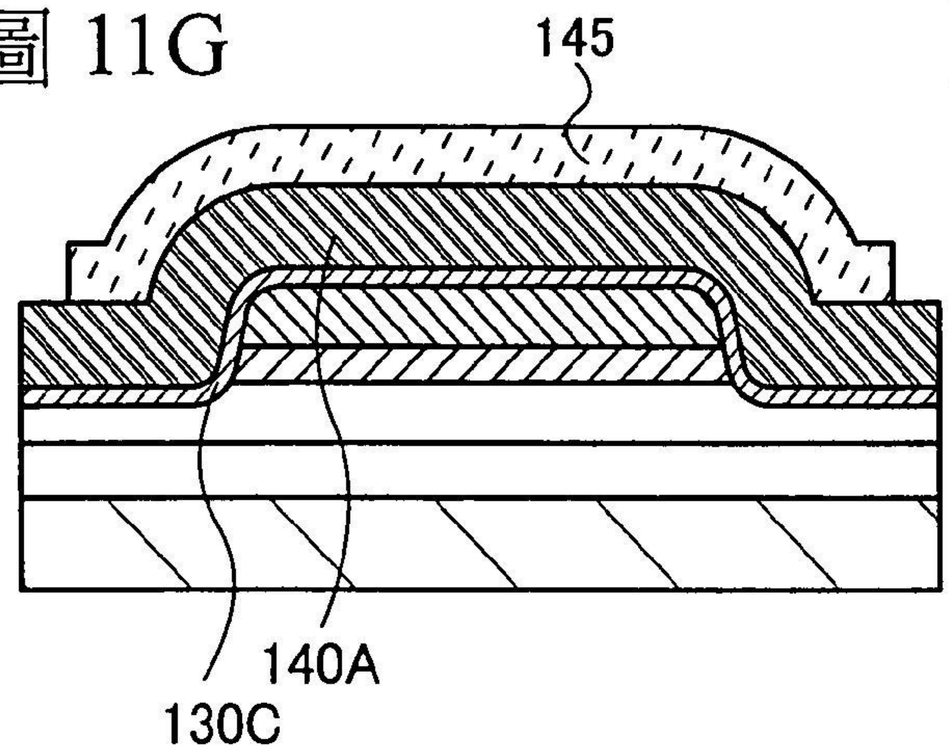


圖 11H

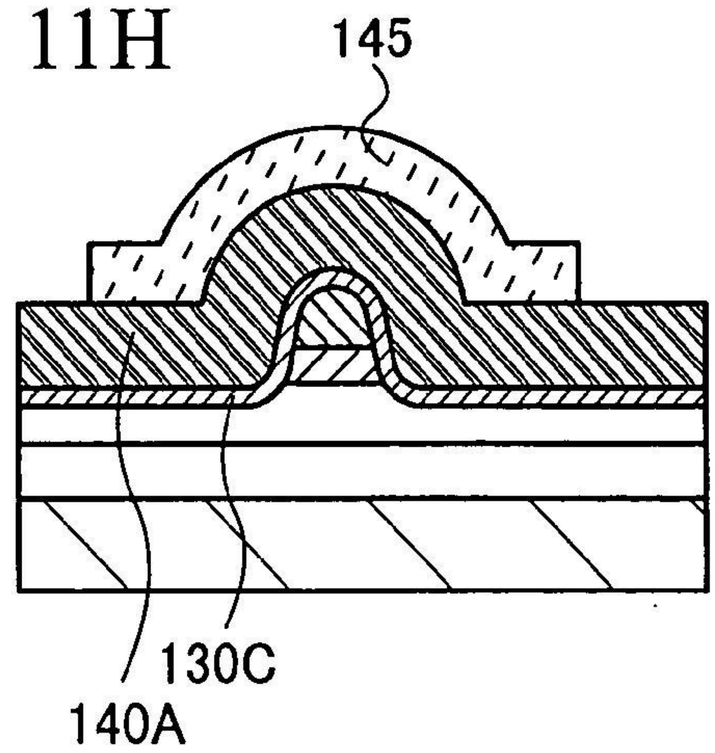


圖 12A

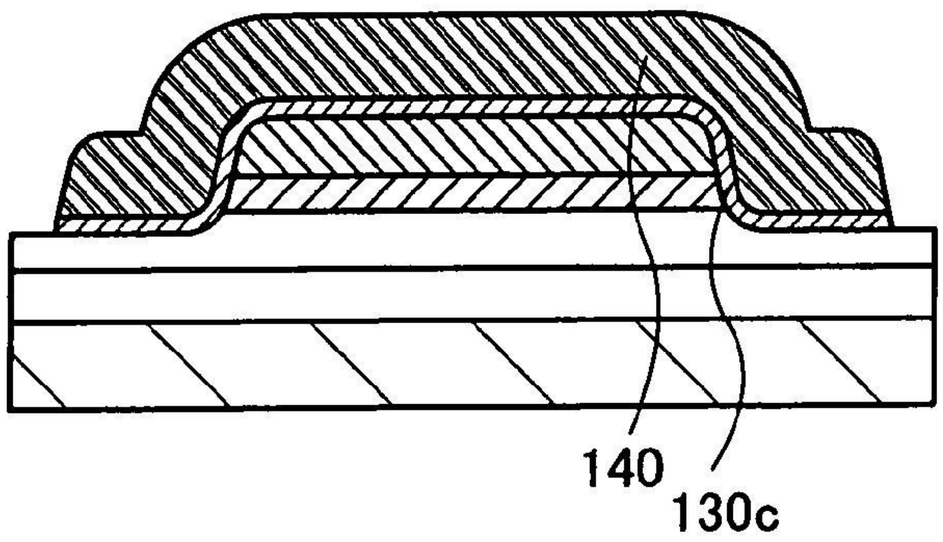


圖 12B

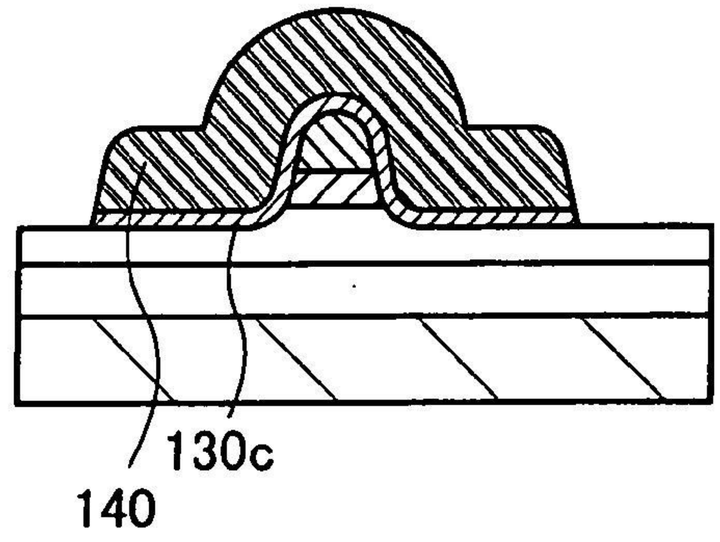


圖 12C

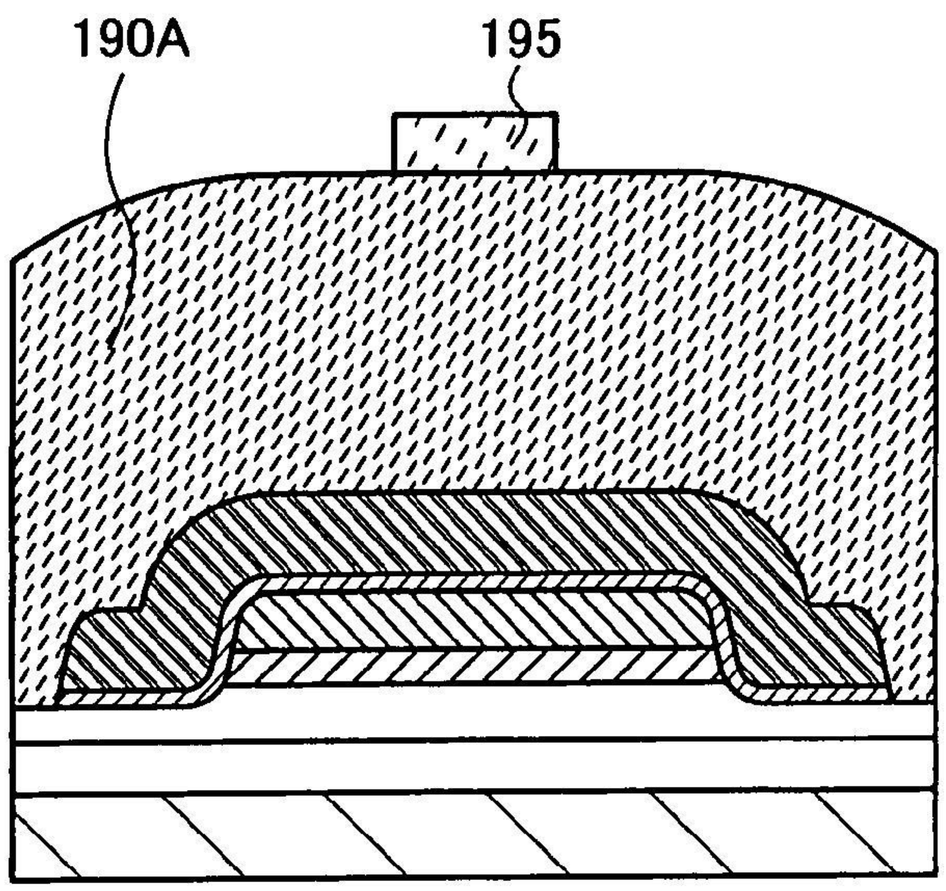


圖 12D

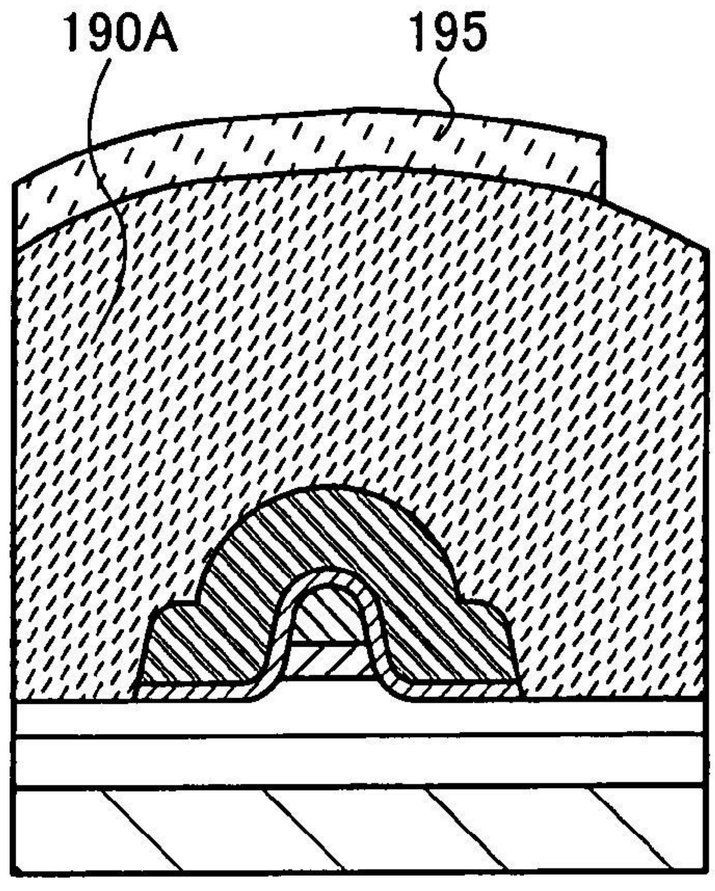


圖 12E

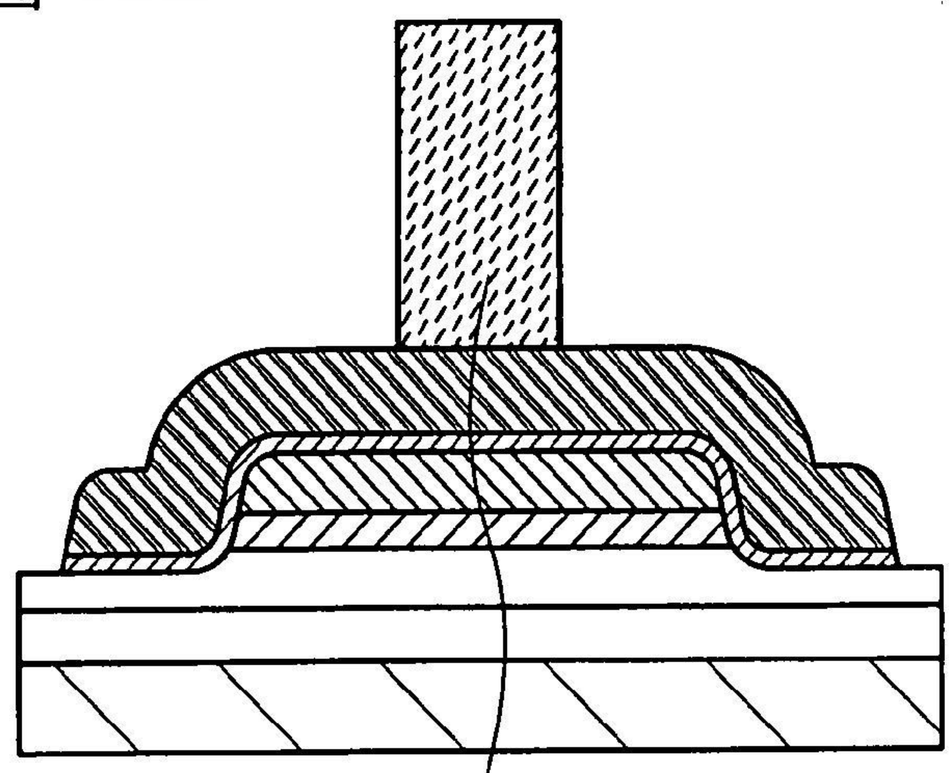


圖 12F

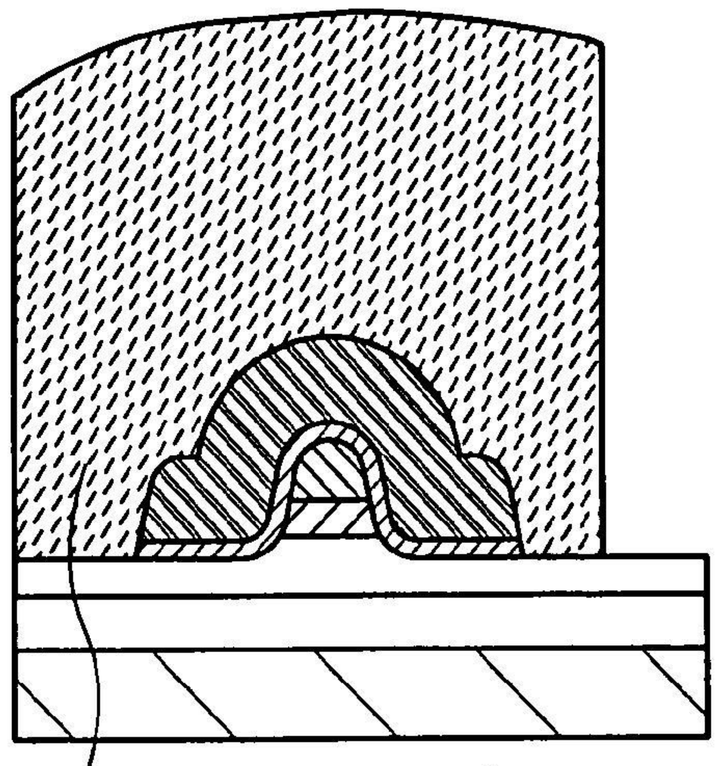


圖 13A

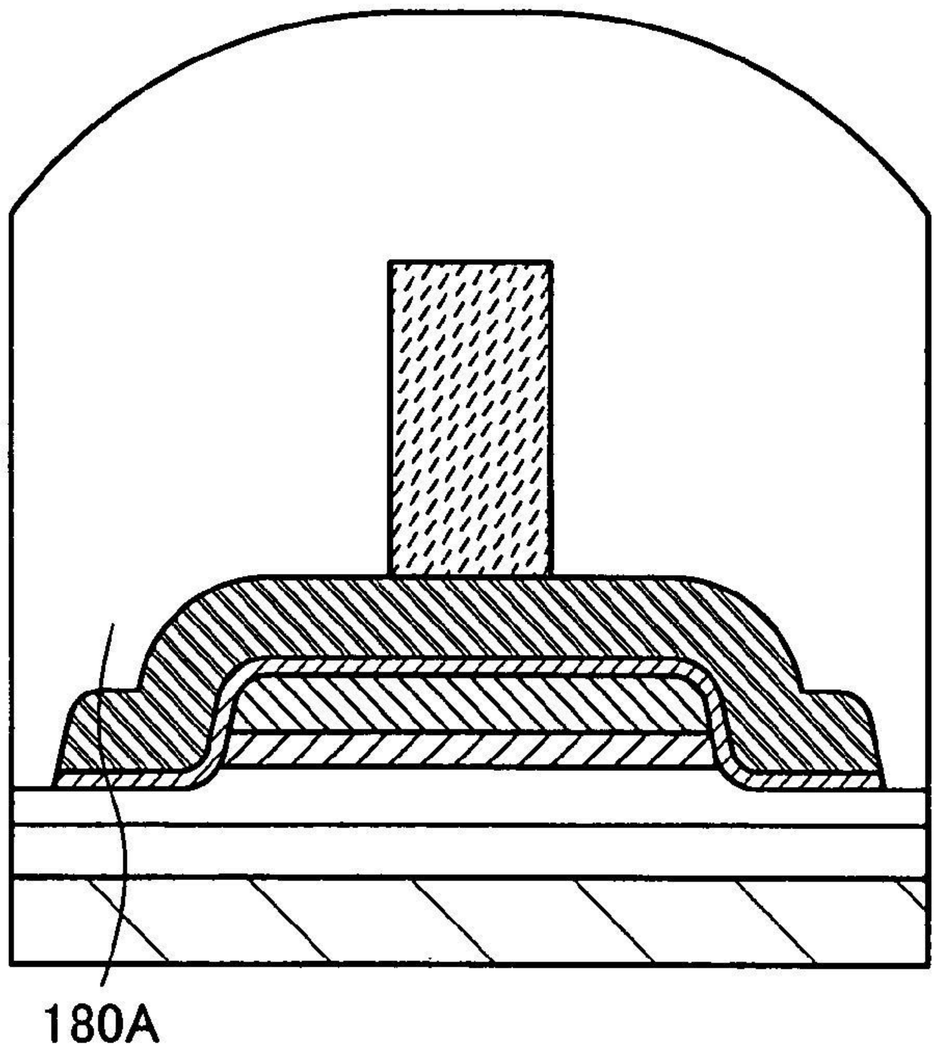


圖 13B

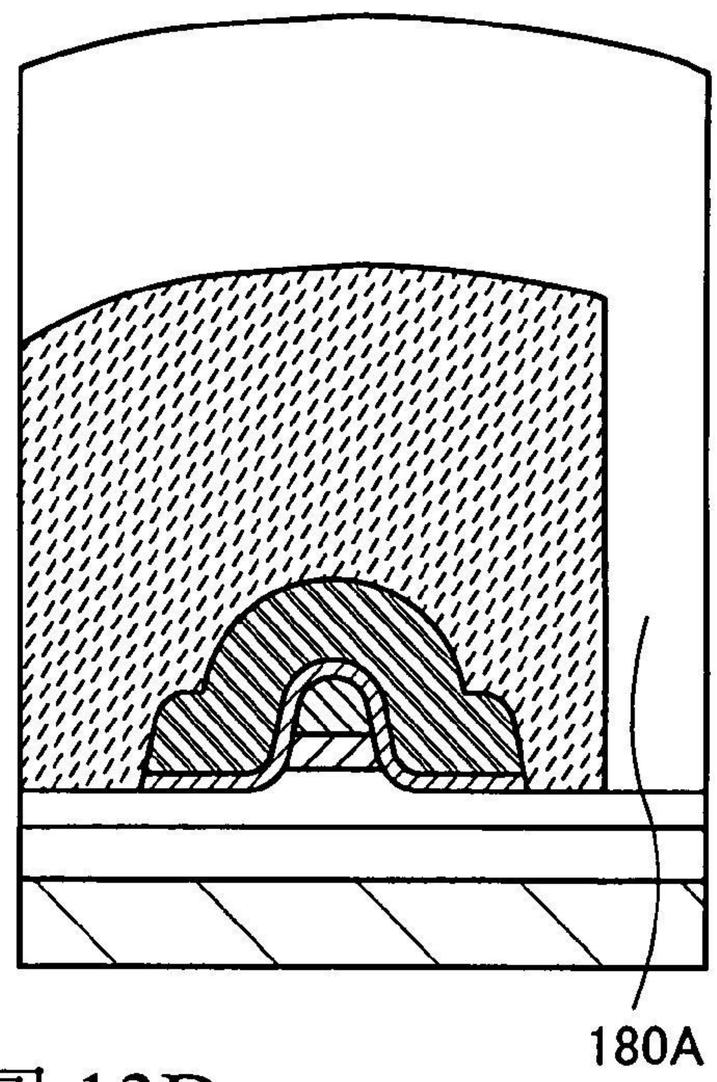


圖 13C

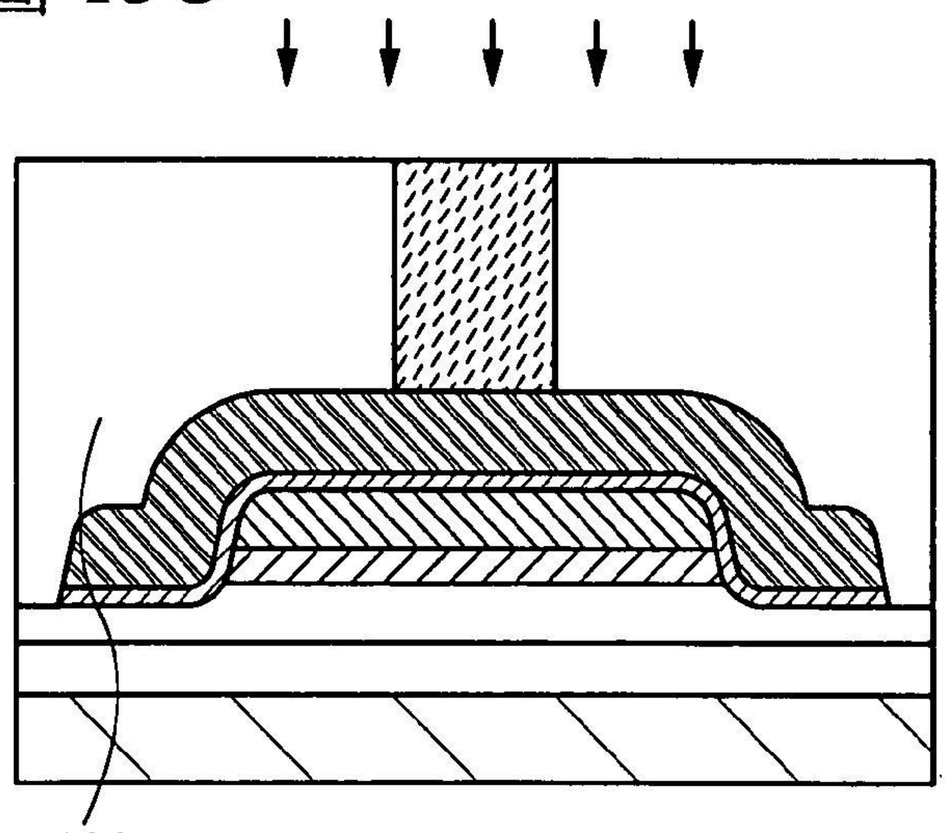


圖 13D

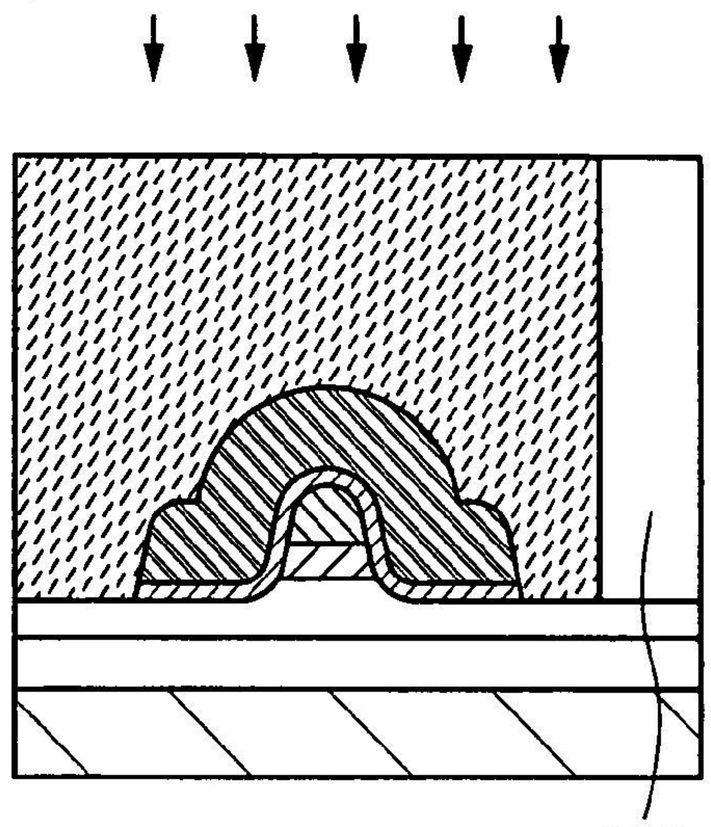


圖 13E

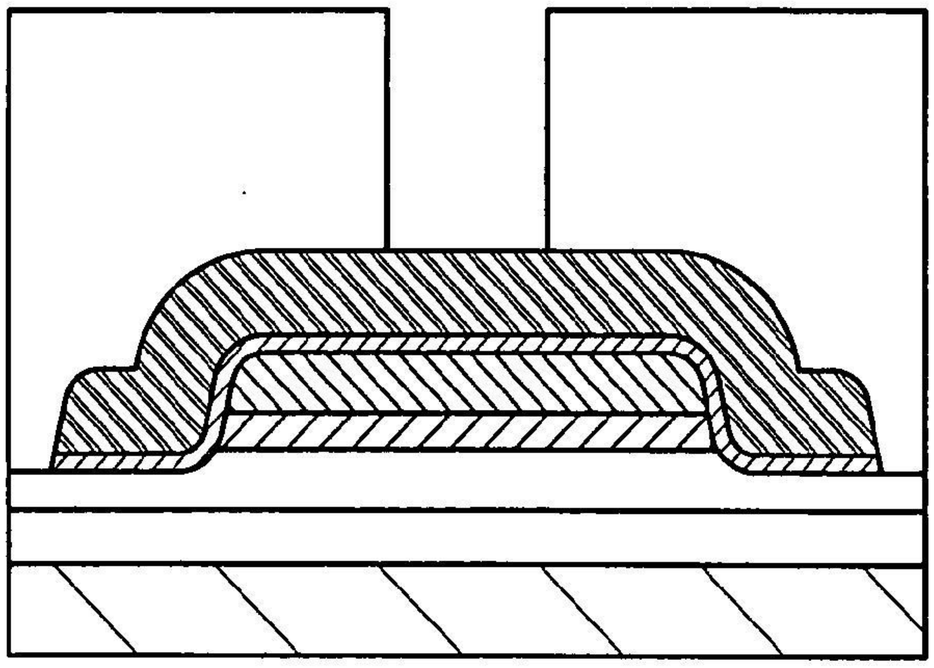


圖 13F

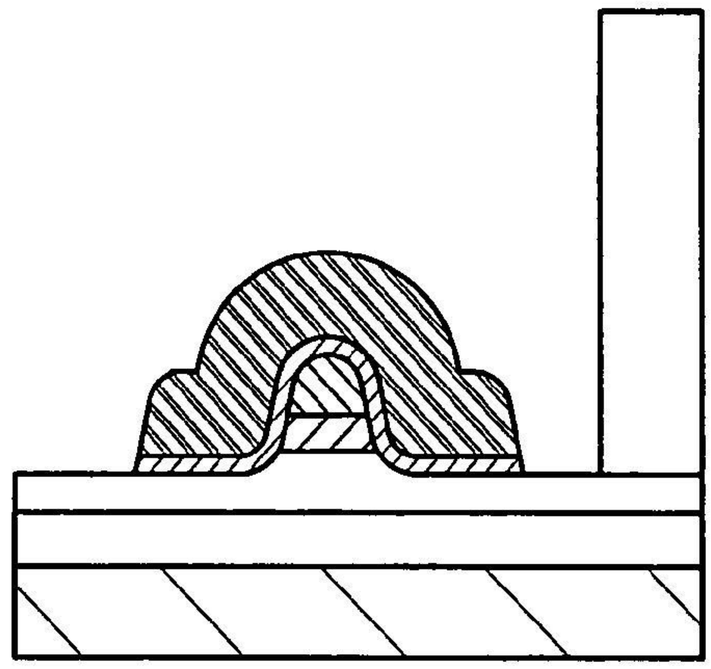


圖 14A

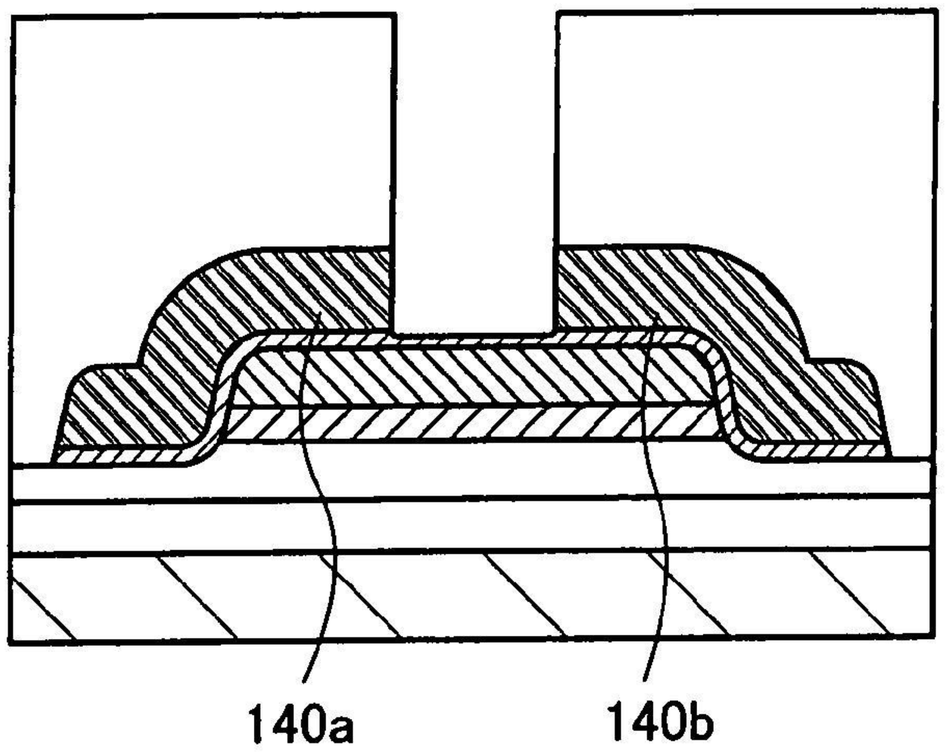


圖 14B

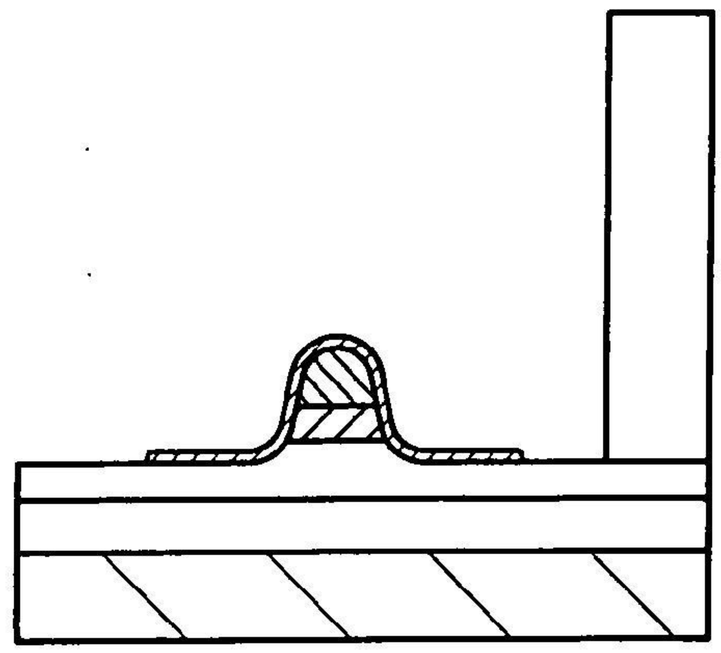


圖 14C

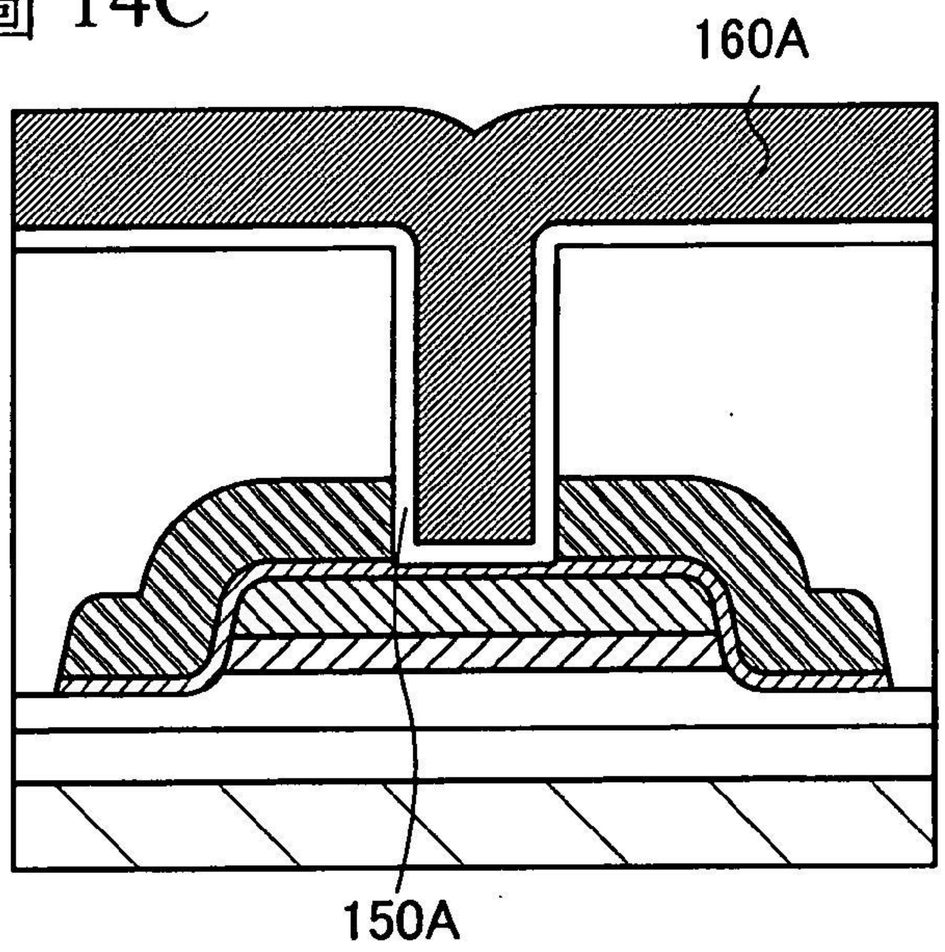


圖 14D

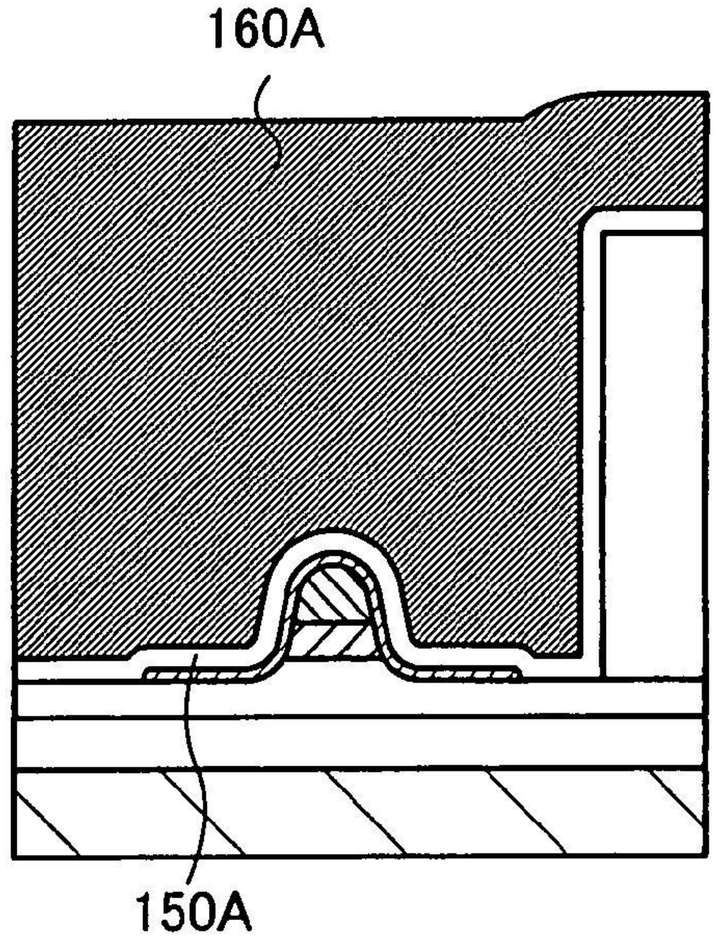


圖 14E

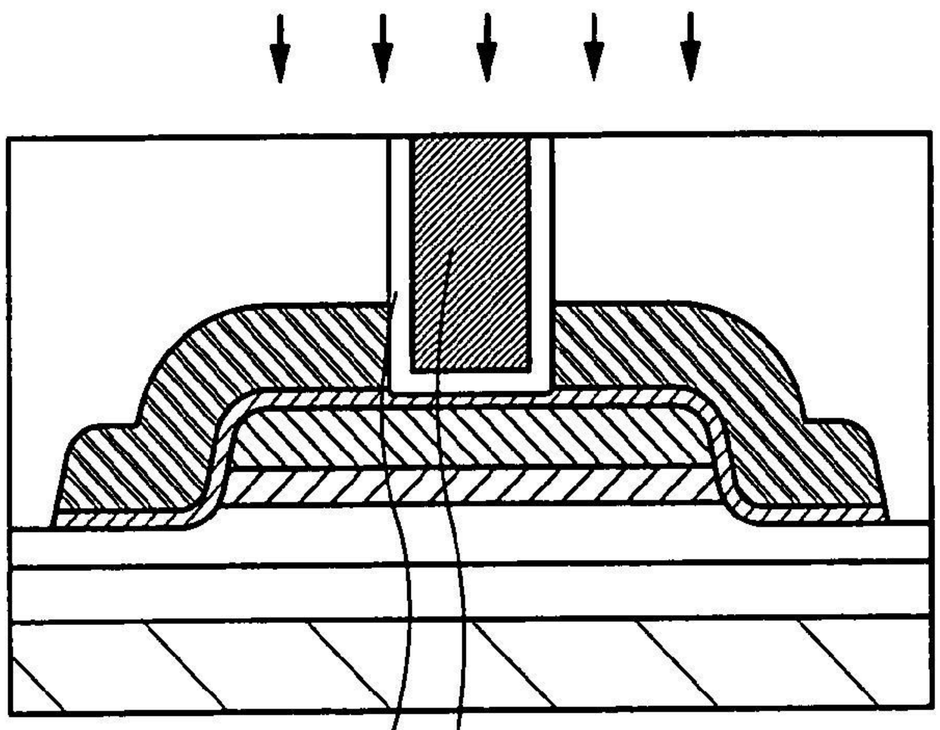


圖 14F

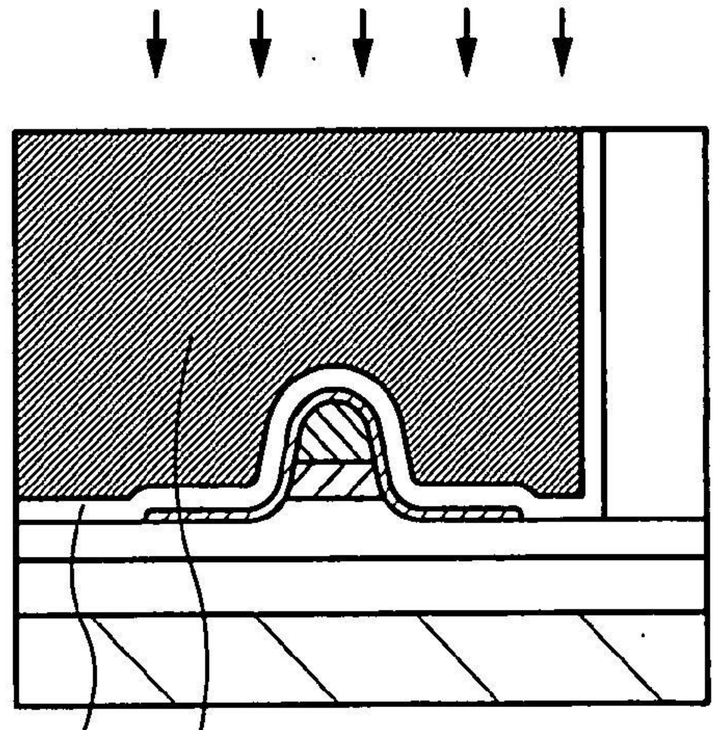


圖 15A

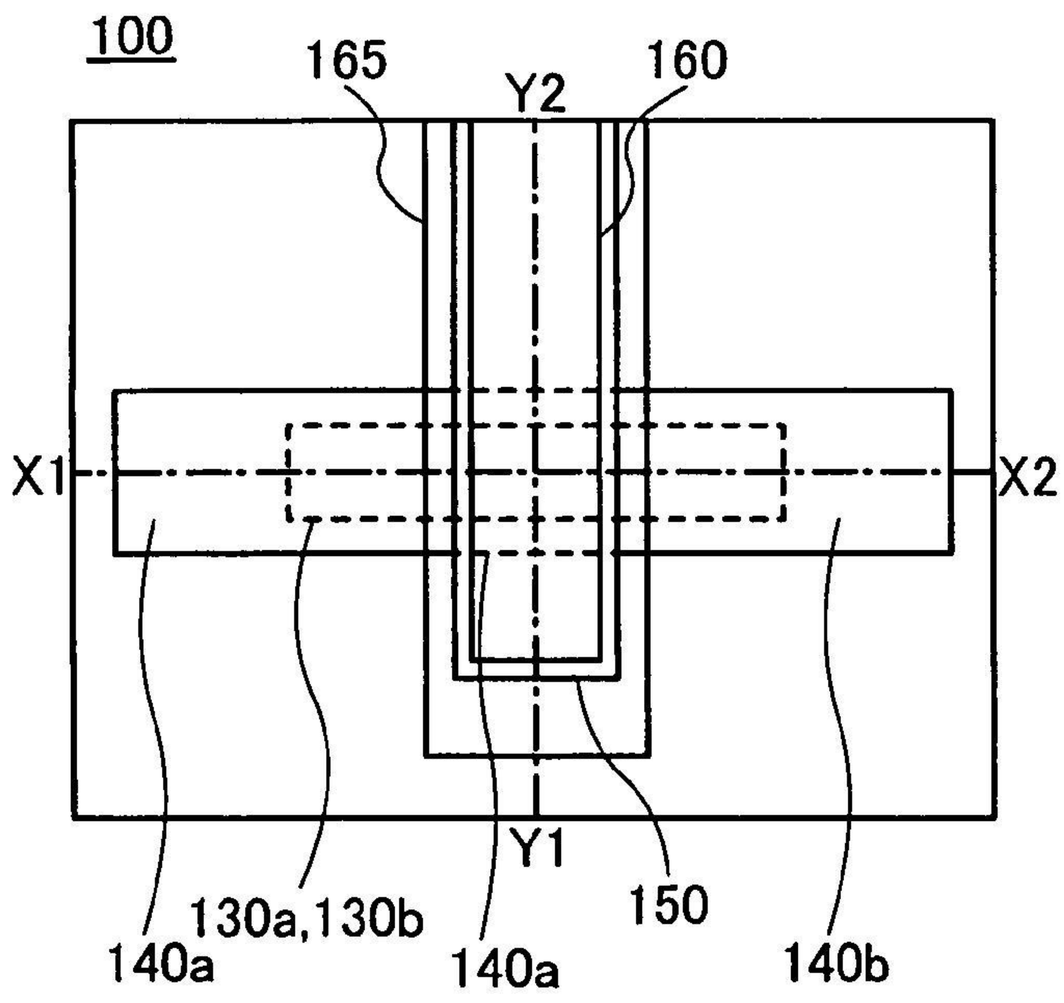


圖 15B

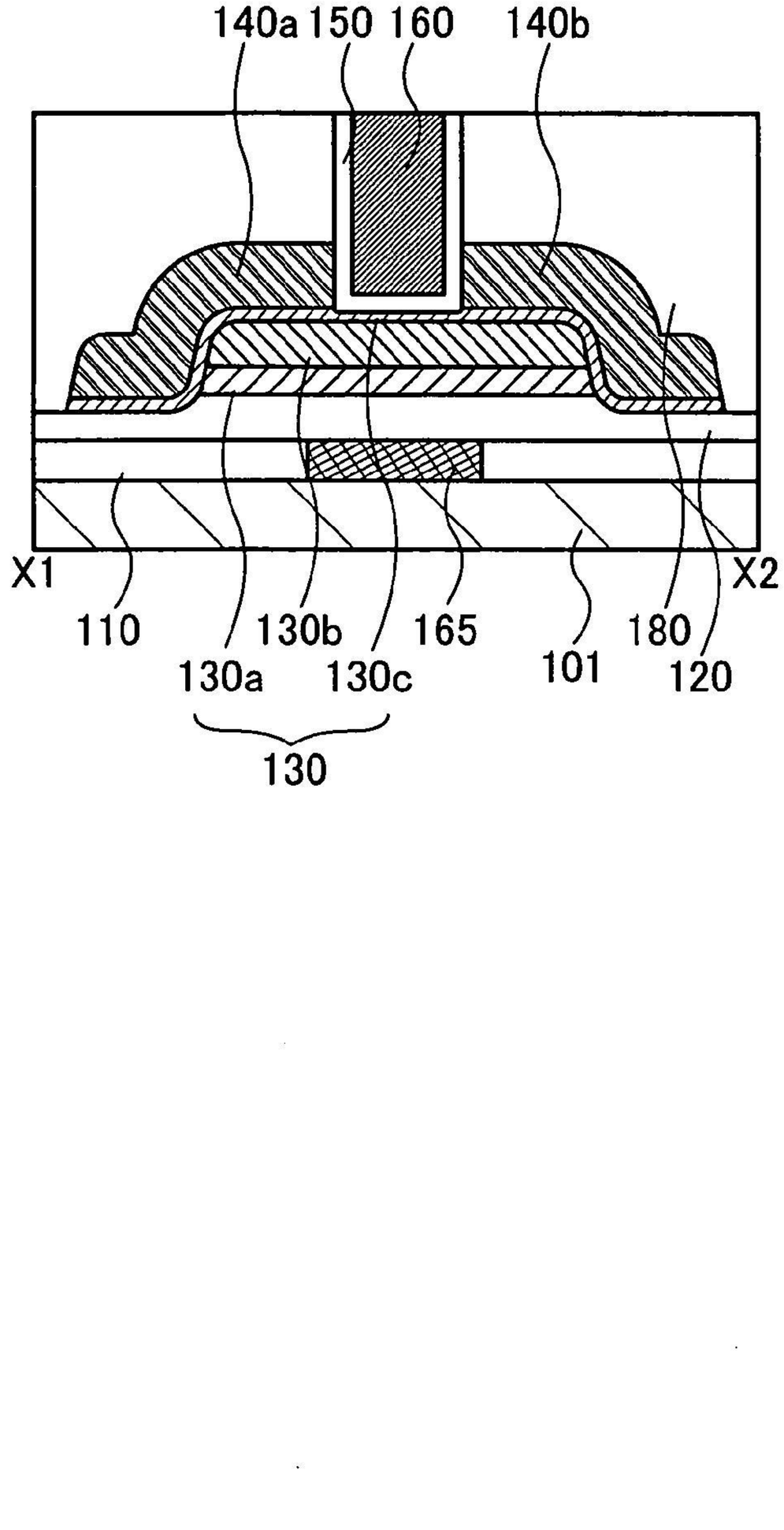


圖 15C

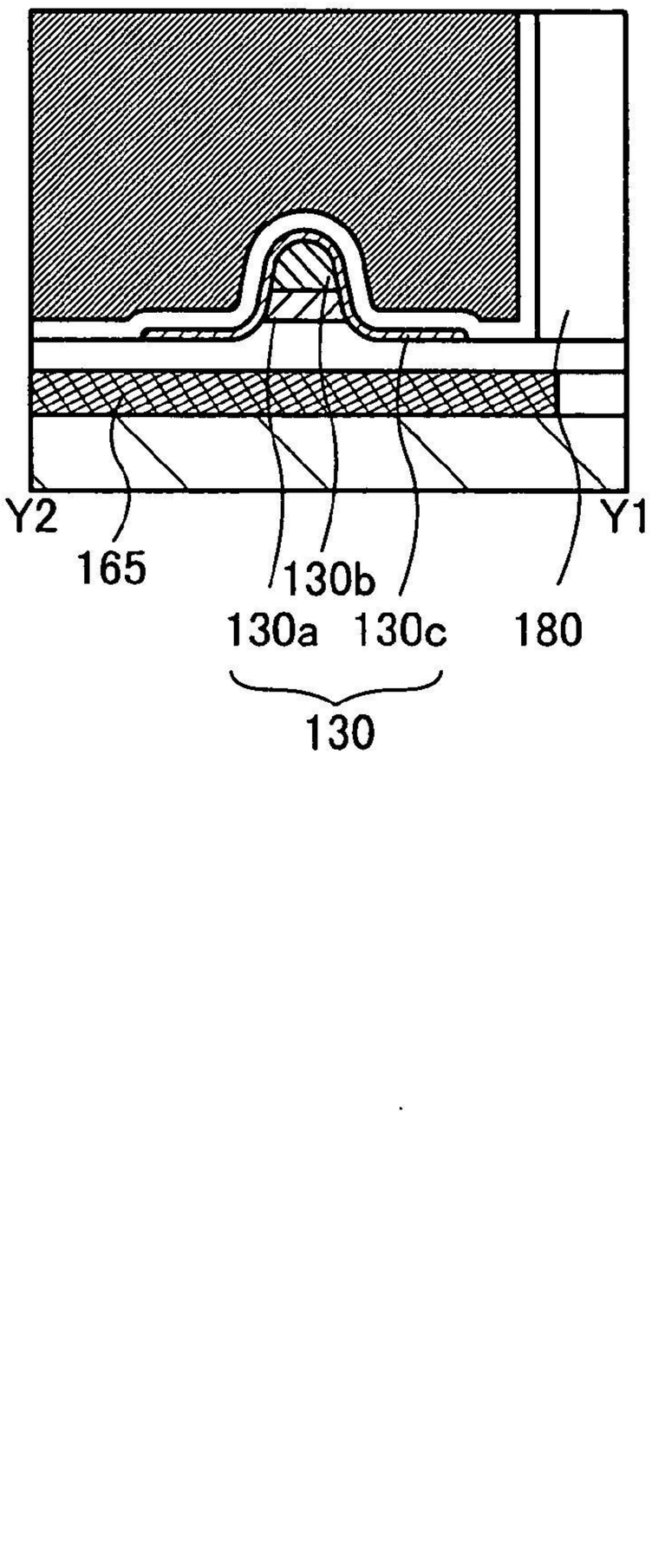


圖 16A

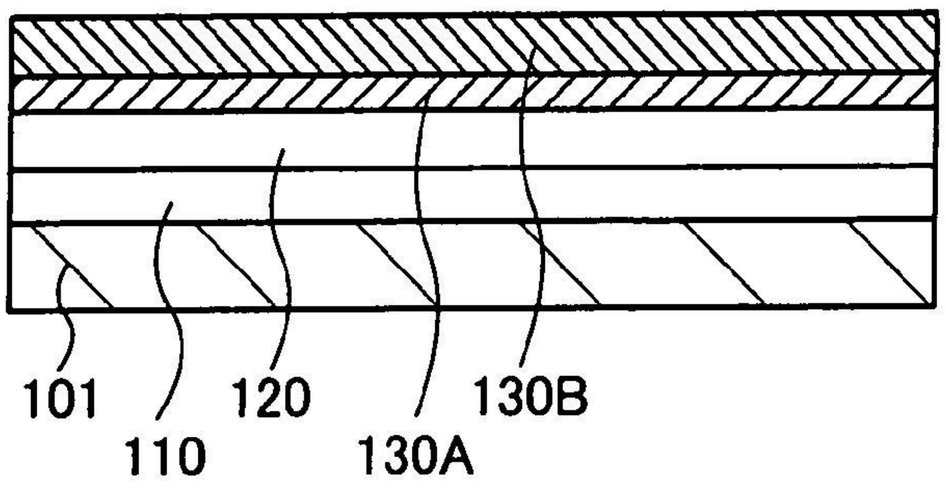


圖 16B

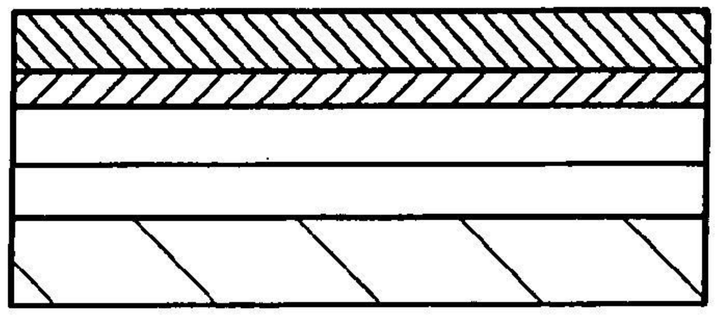


圖 16C

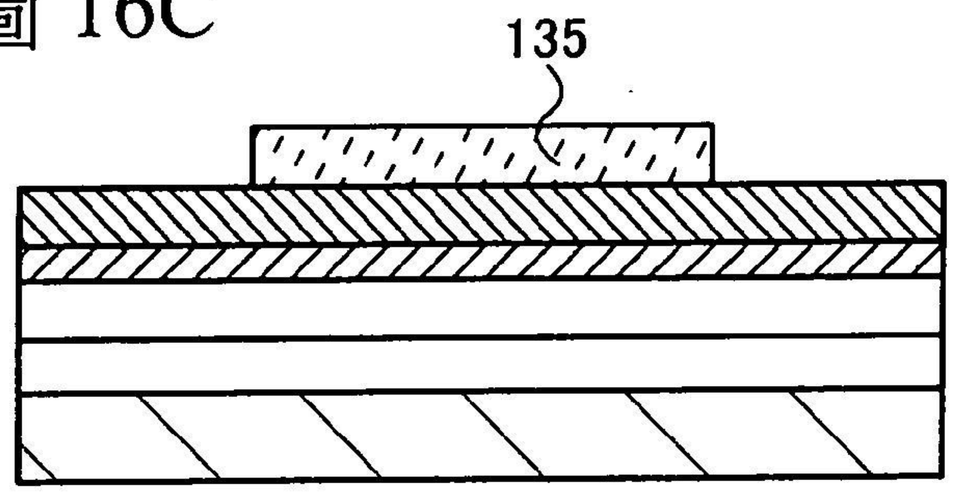


圖 16D

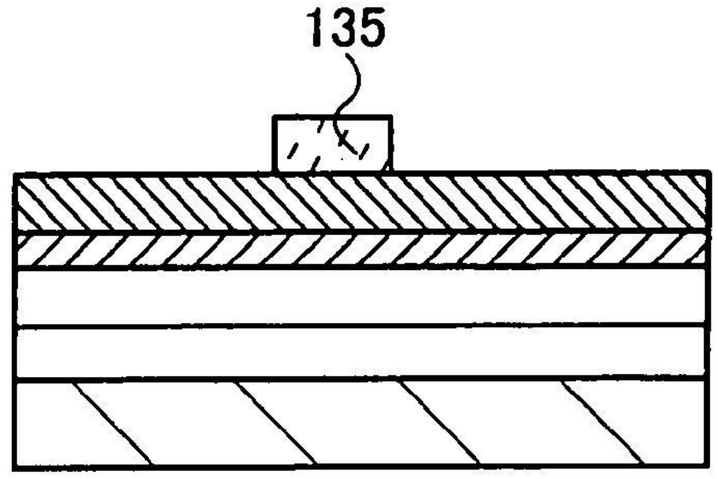


圖 16E

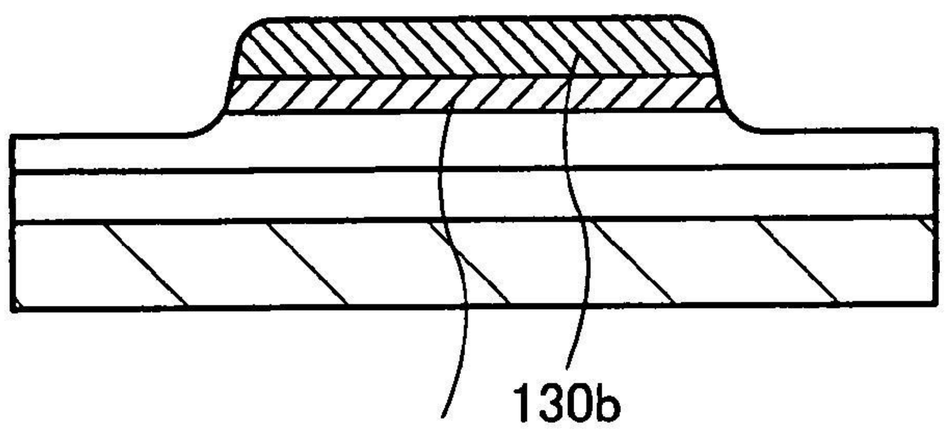


圖 16F

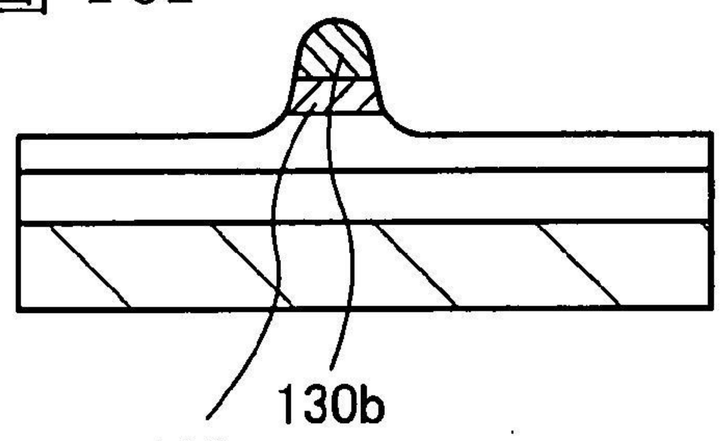


圖 16G

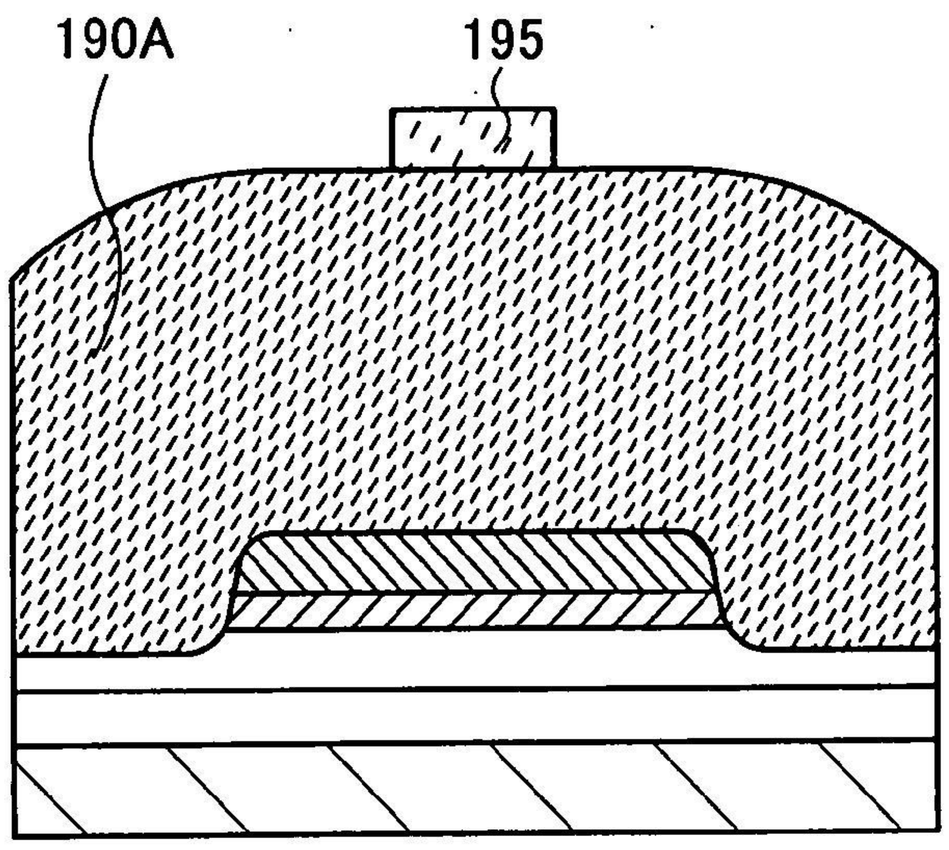


圖 16H

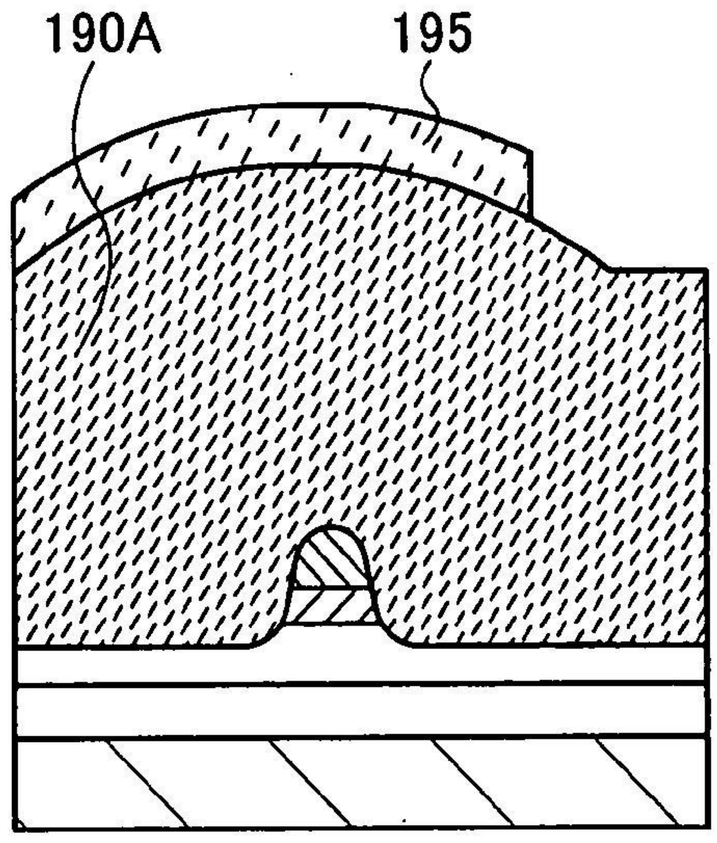


圖 17A

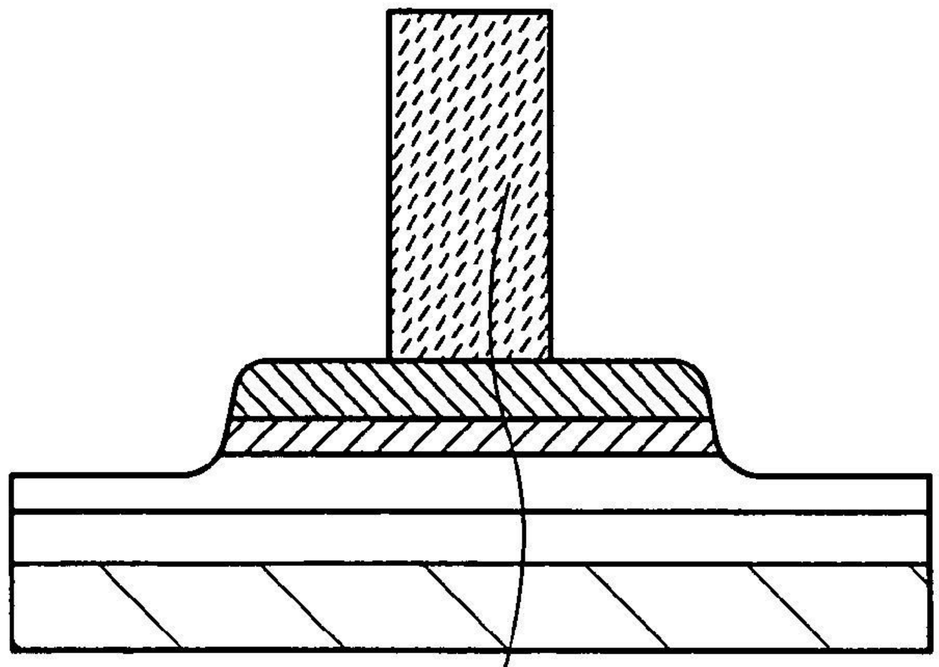


圖 17B

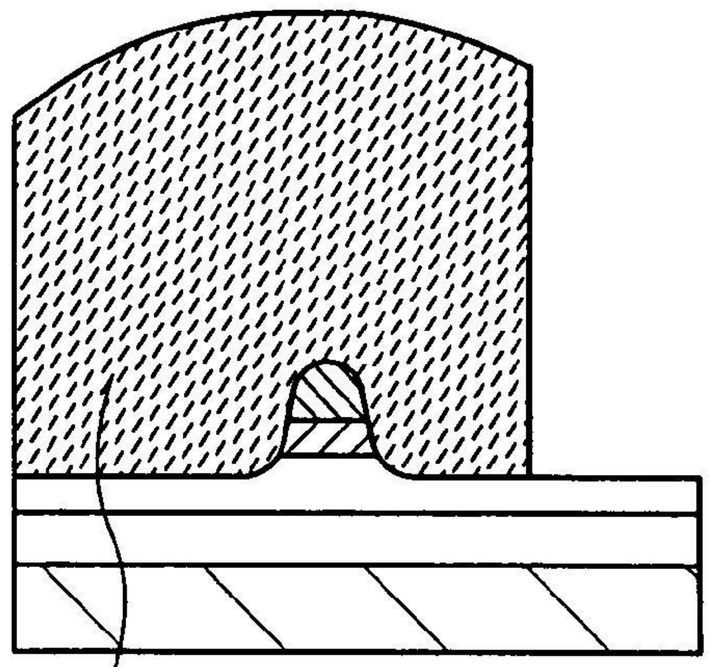


圖 17C

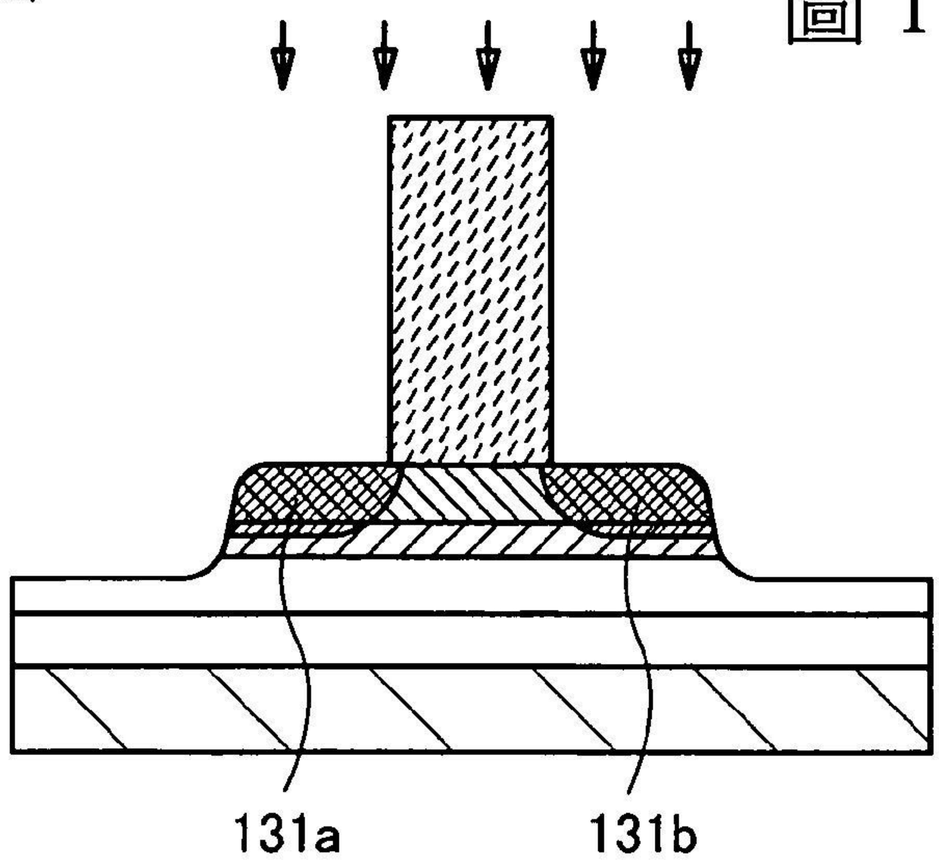


圖 17D

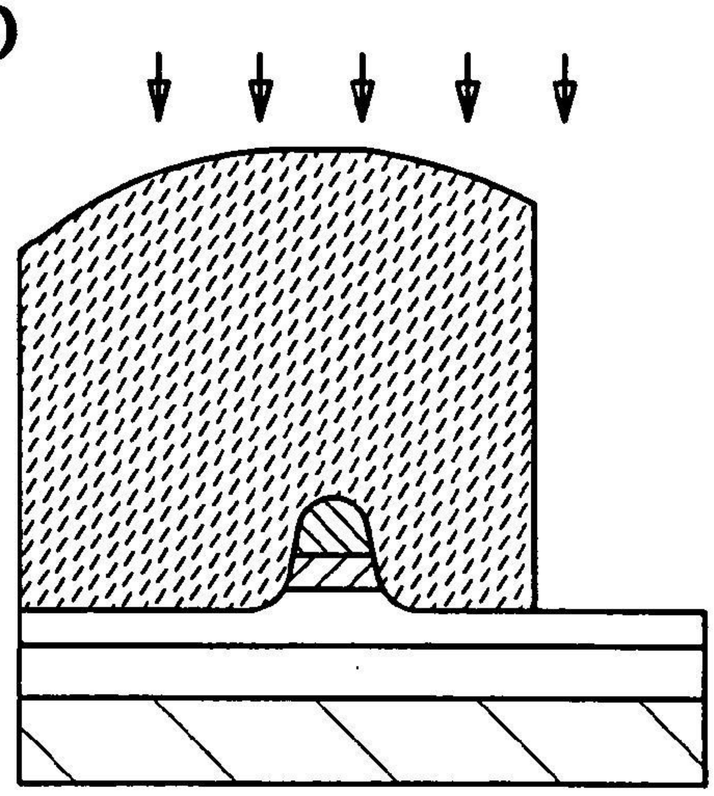


圖 17E

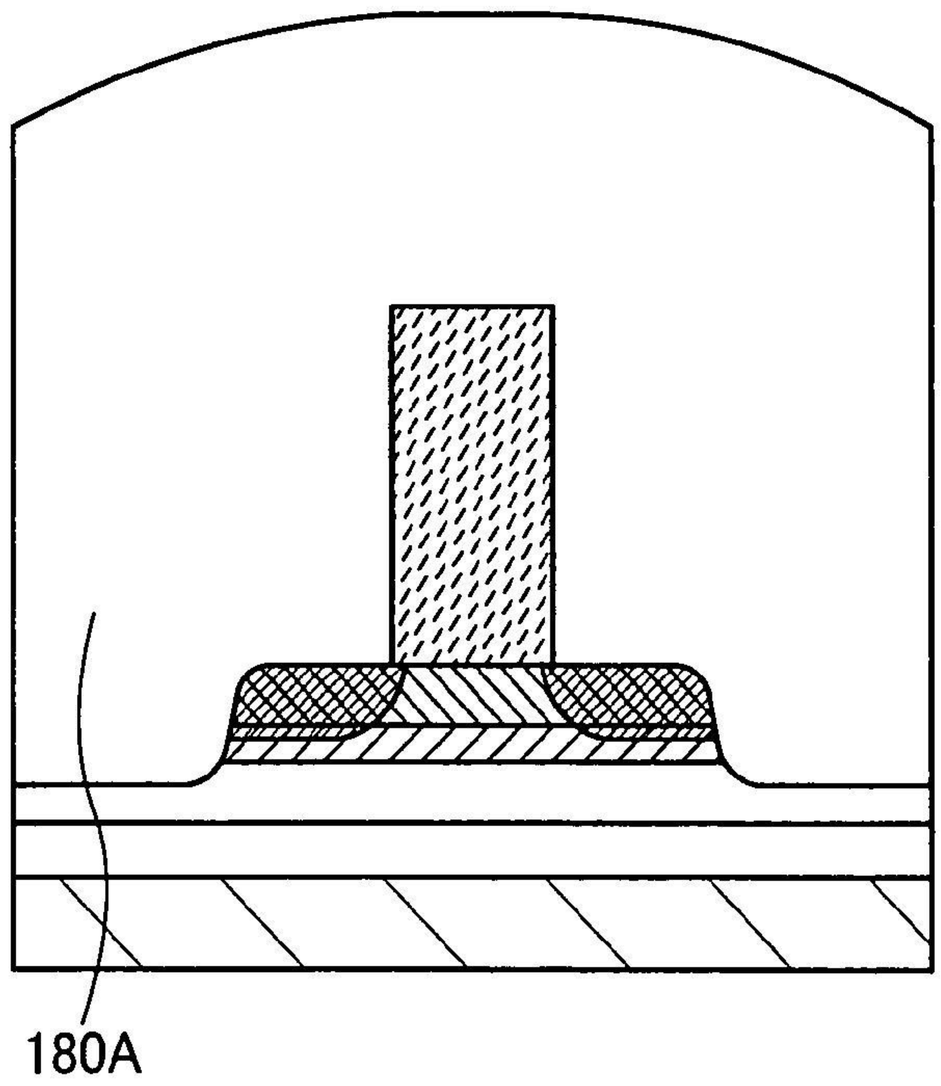


圖 17F

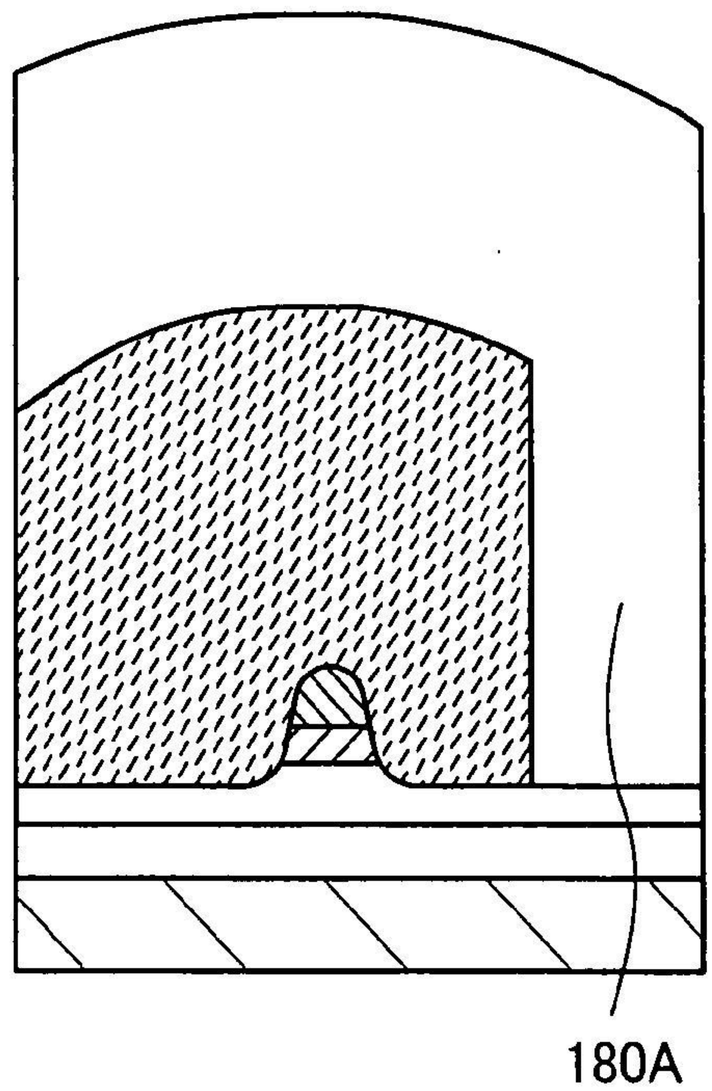


圖 18A

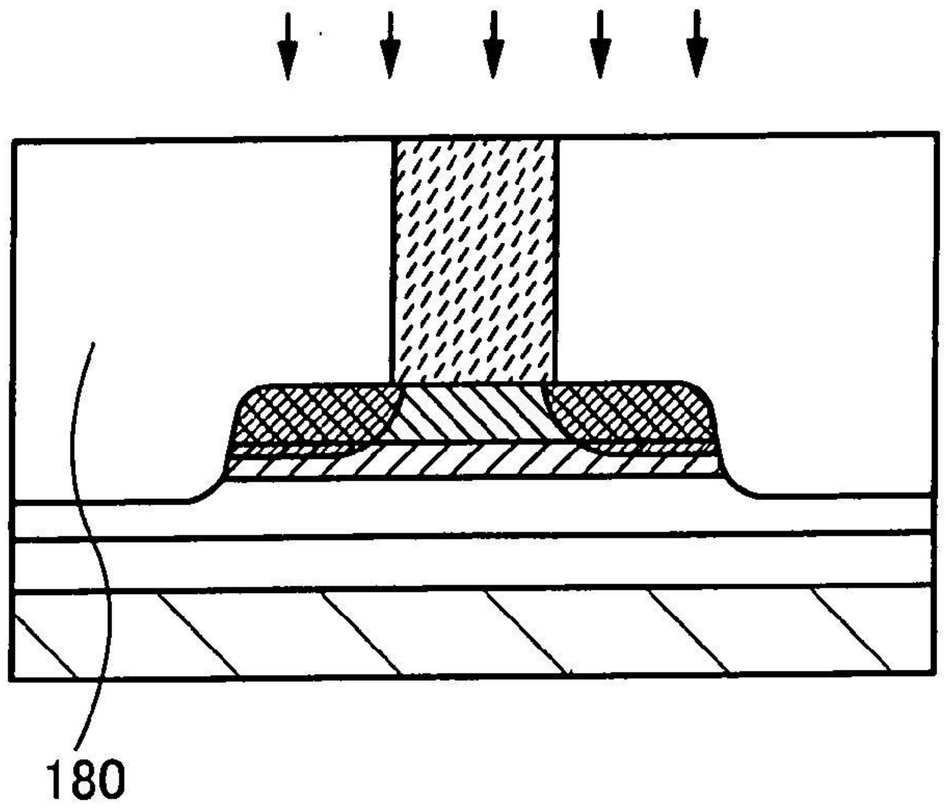


圖 18B

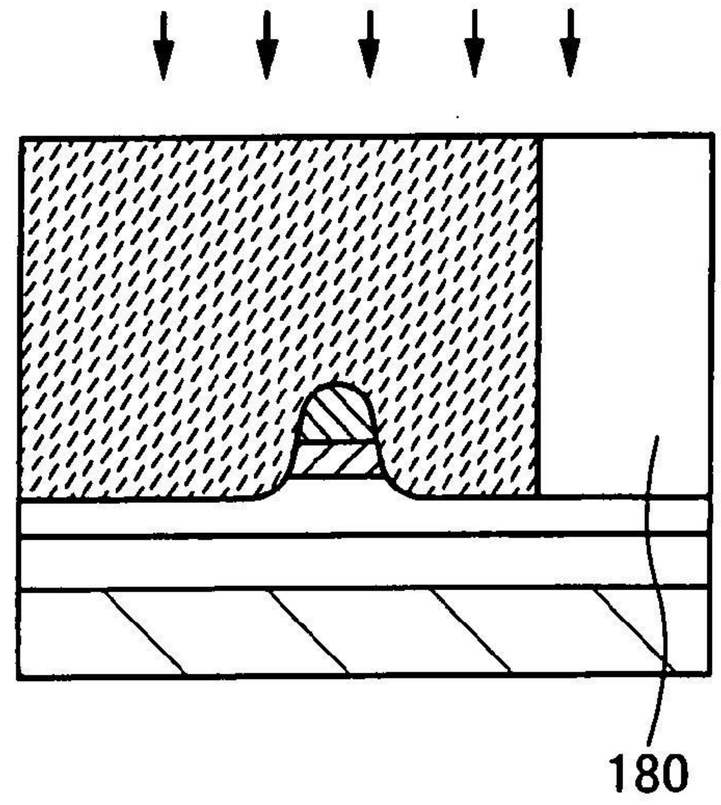


圖 18C

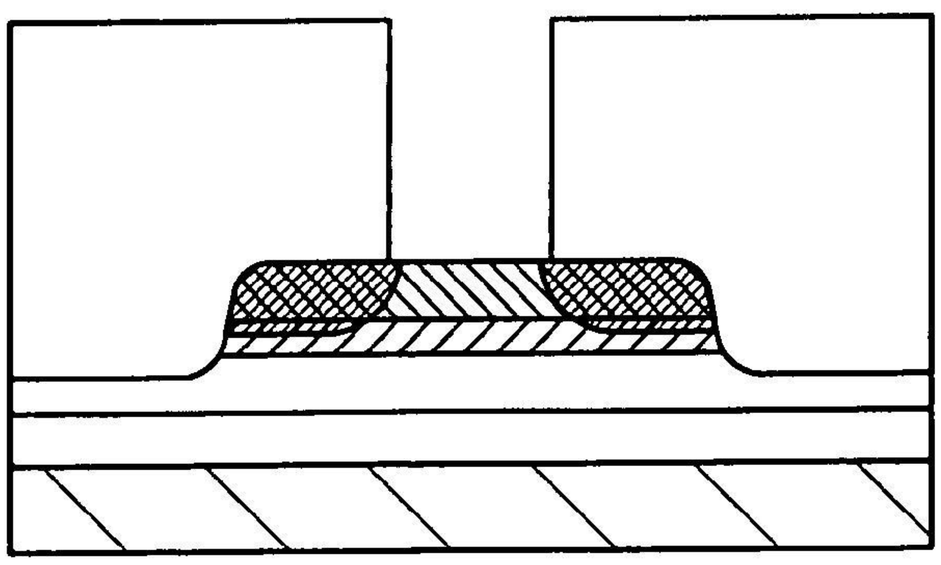


圖 18D

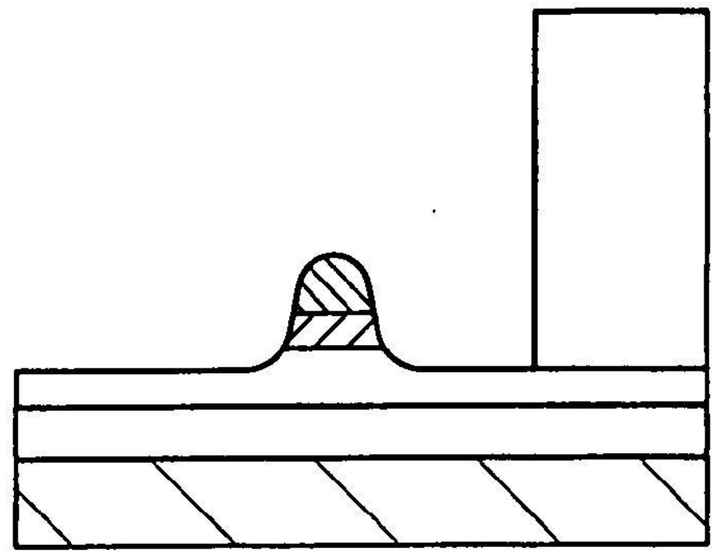


圖 18E

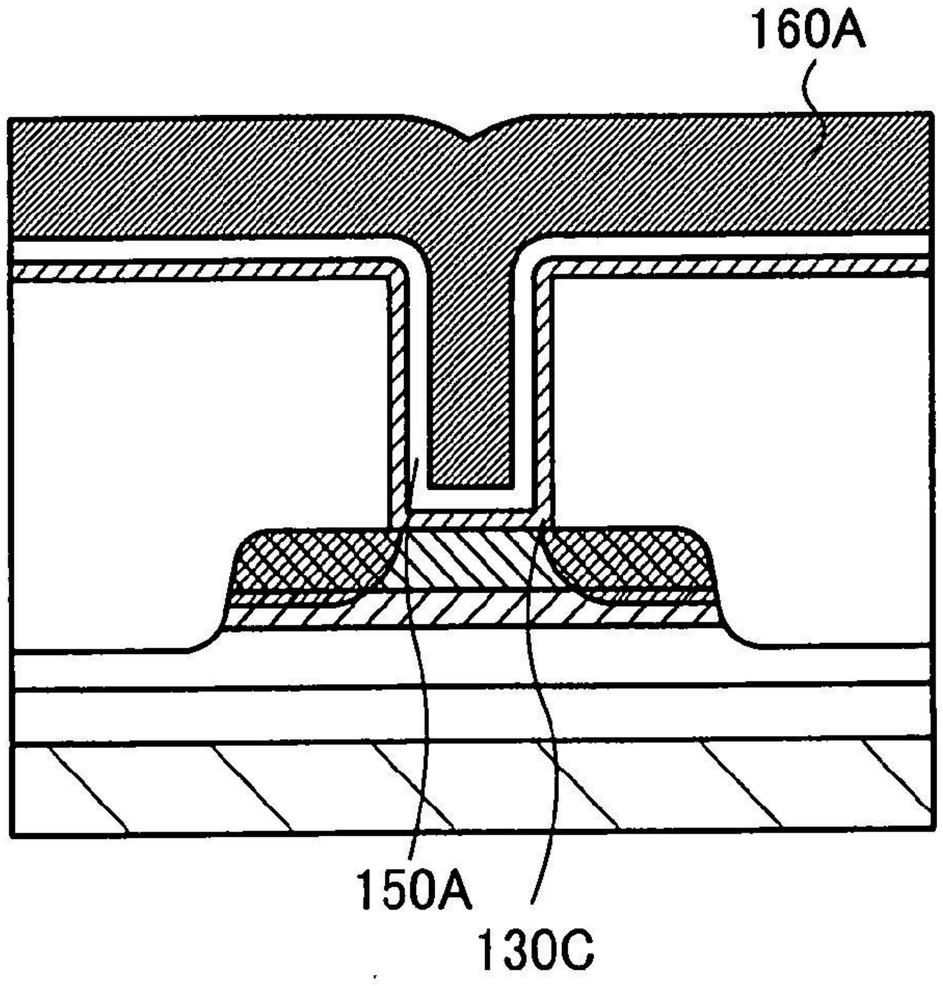


圖 18F

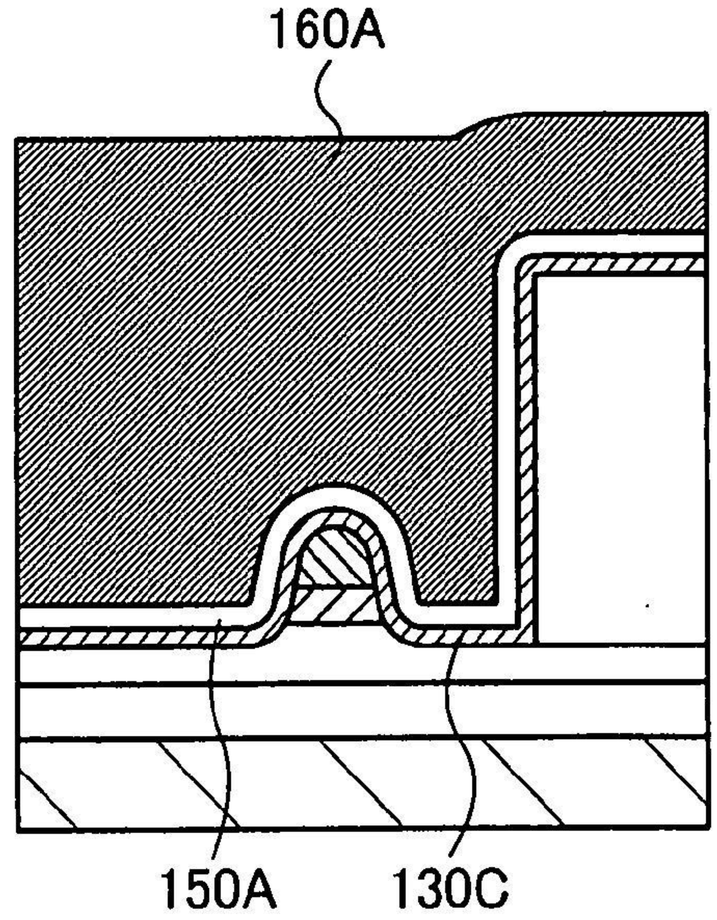


圖 19A

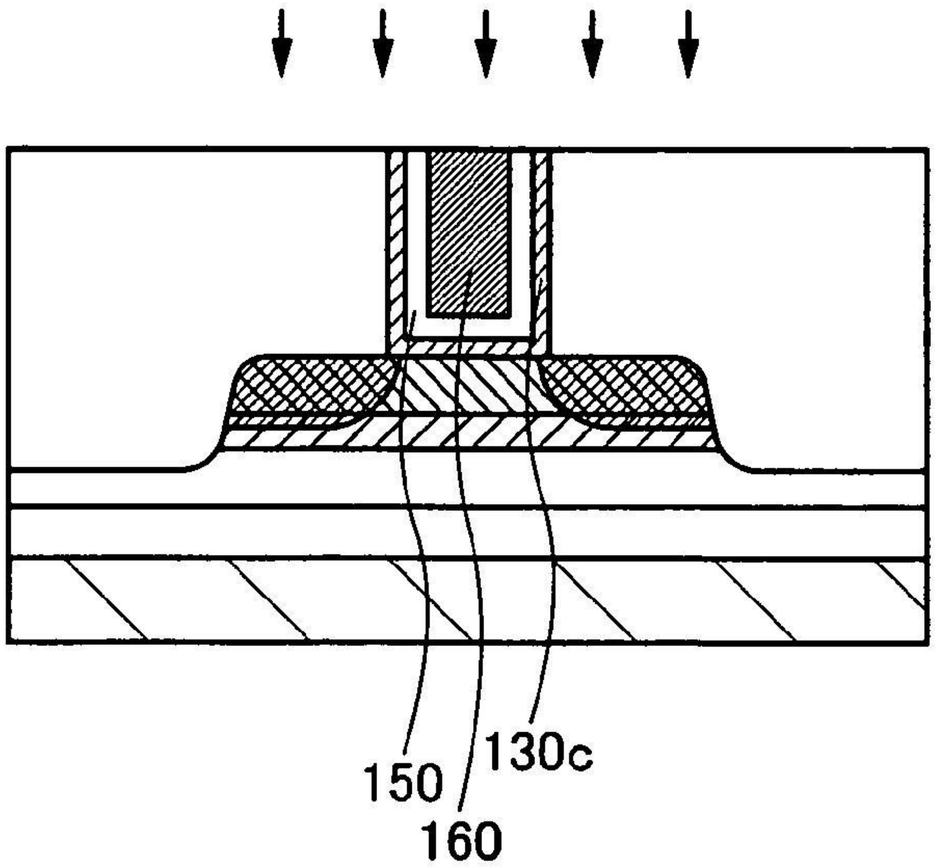


圖 19B

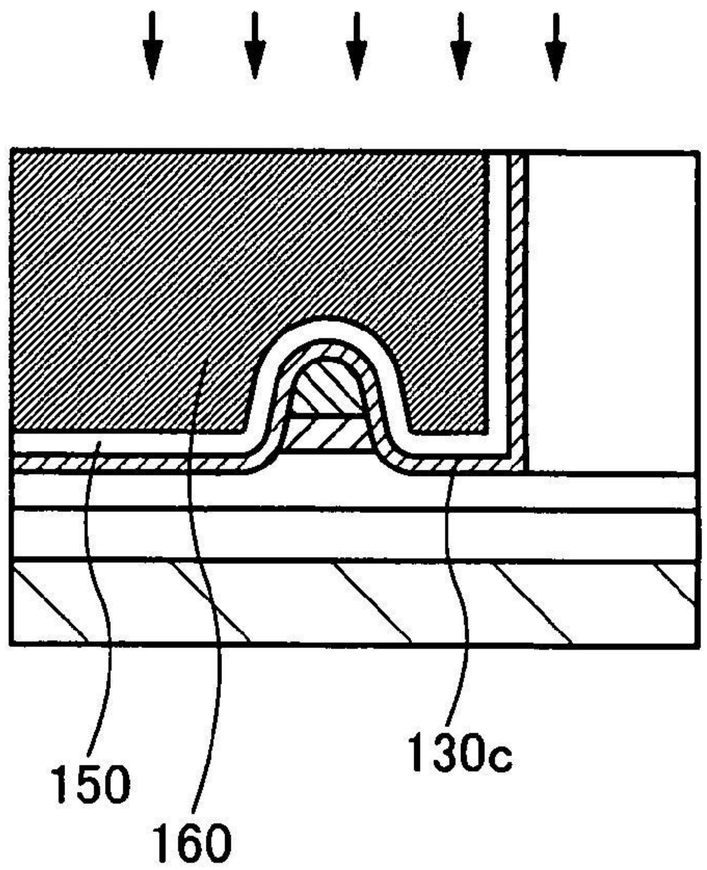


圖 20A

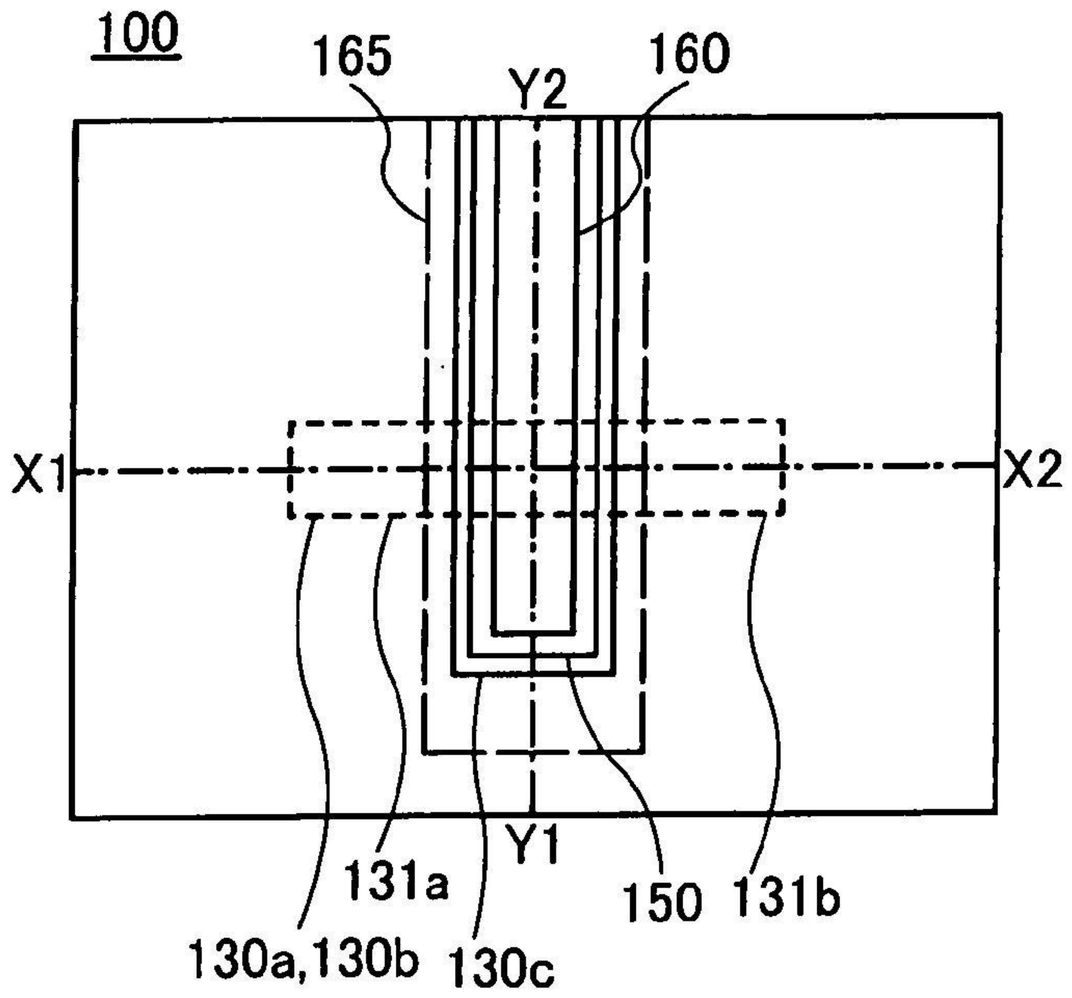


圖 20B

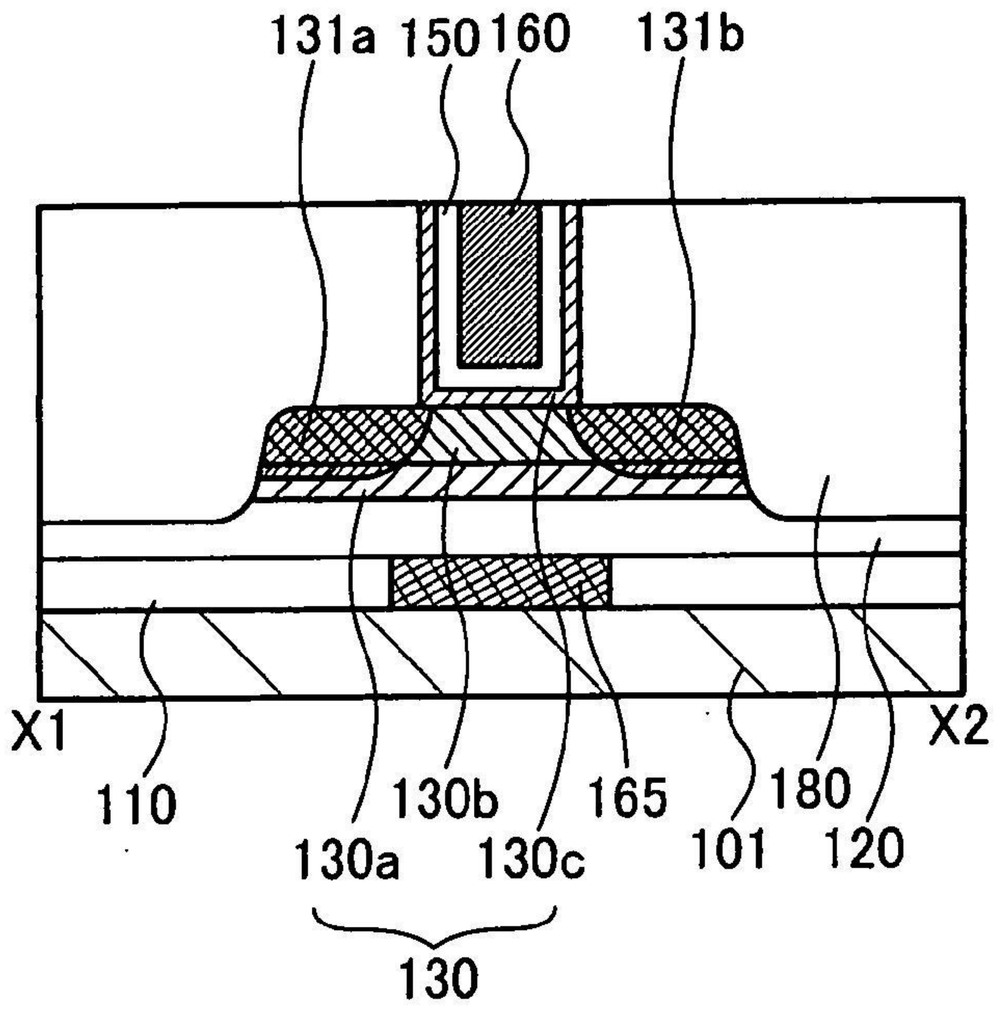


圖 20C

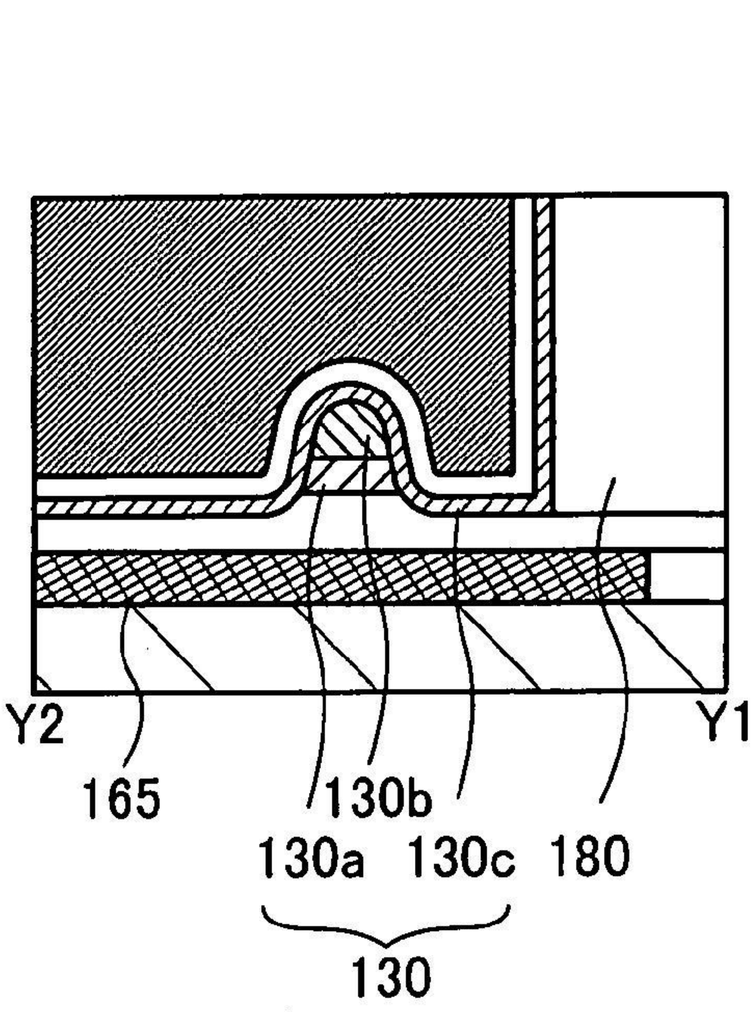


圖 21A

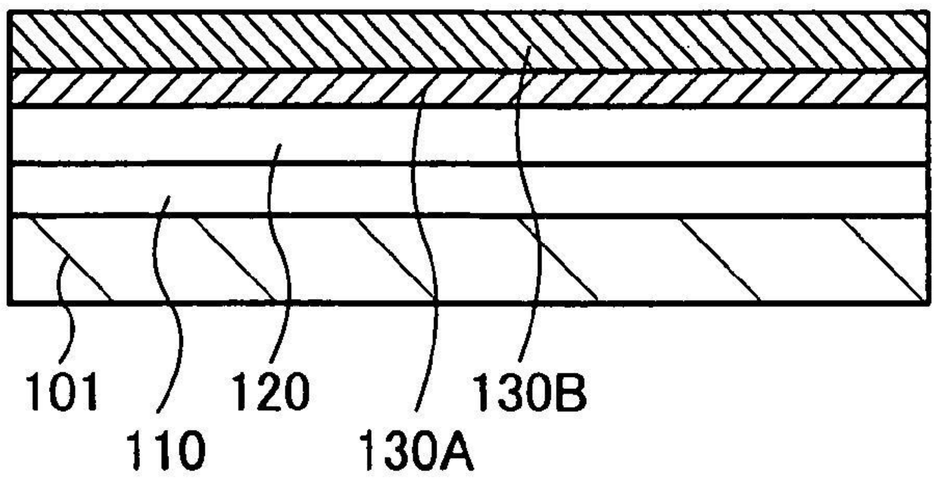


圖 21B

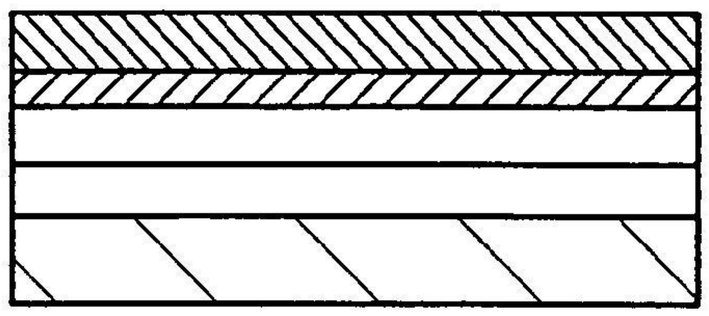


圖 21C

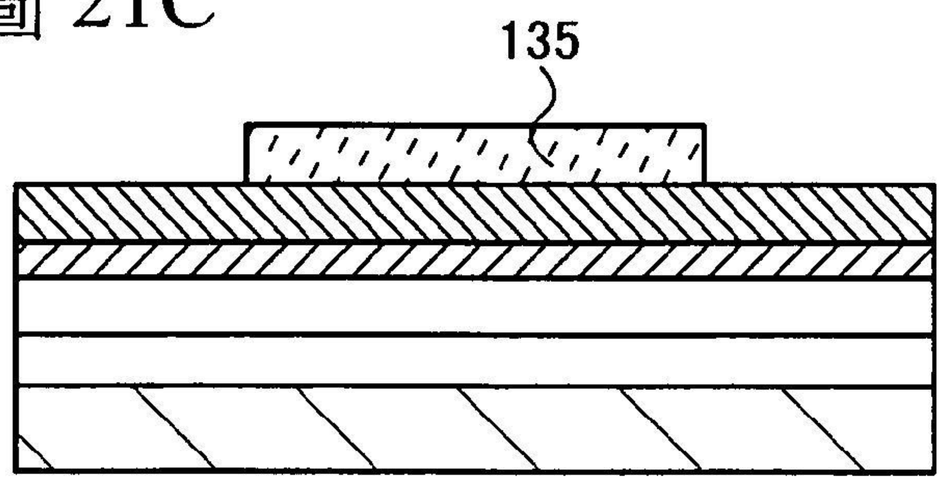


圖 21D

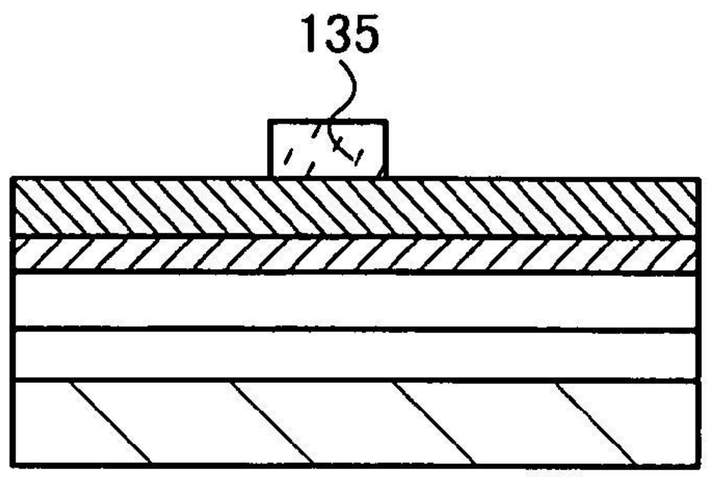


圖 21E

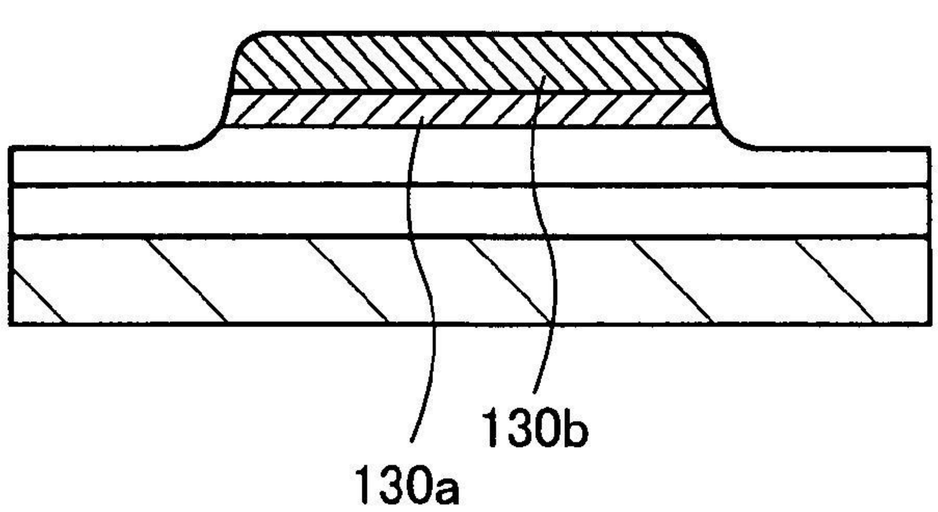


圖 21F

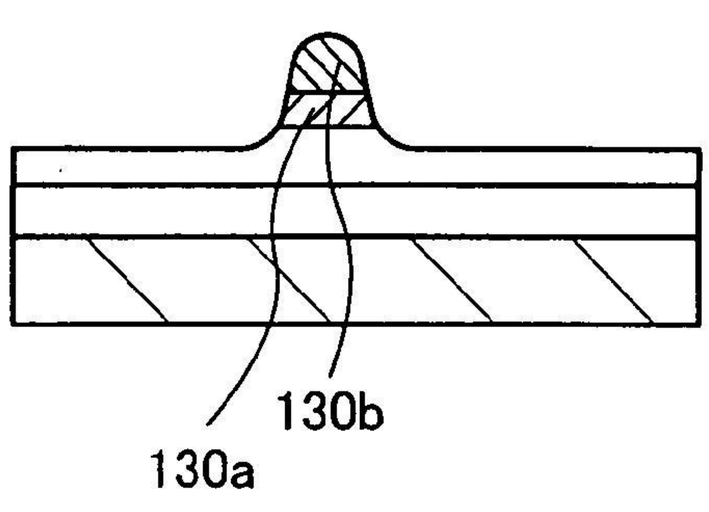


圖 21G

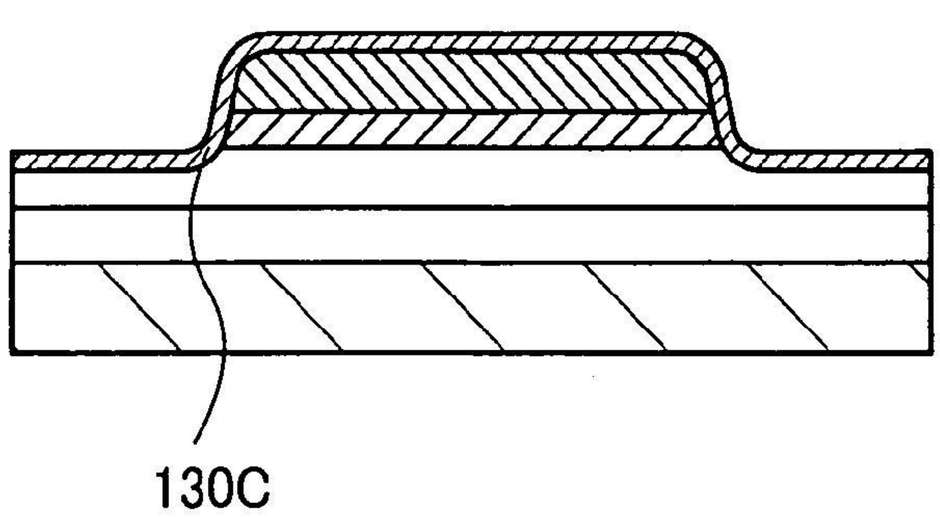


圖 21H

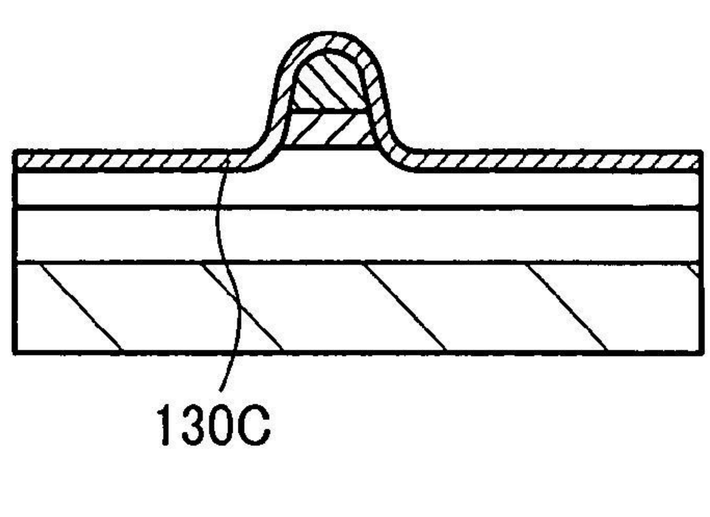


圖 22A

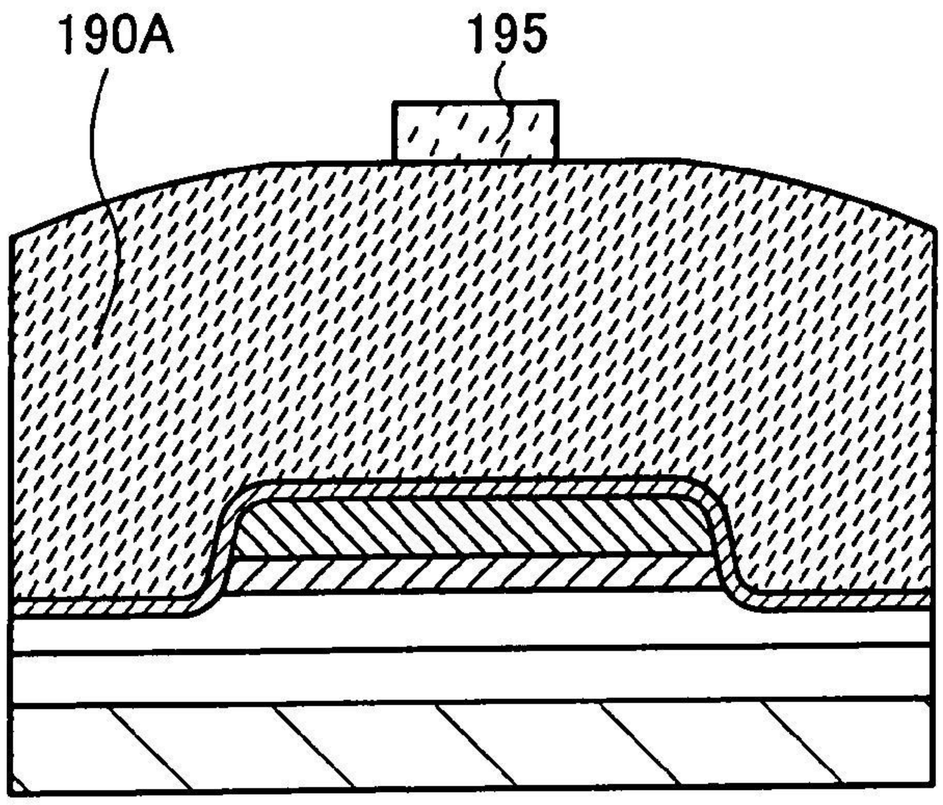


圖 22B

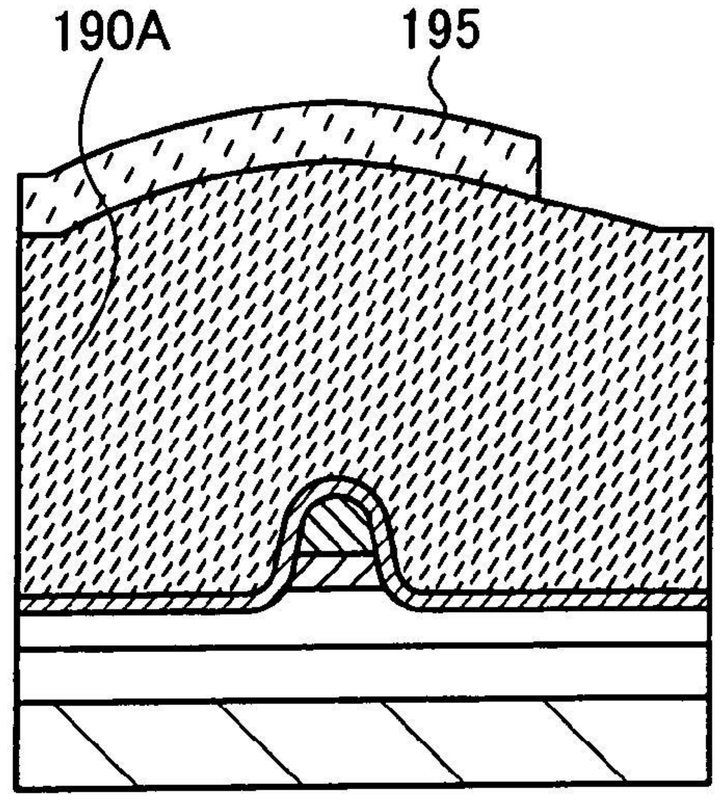


圖 22C

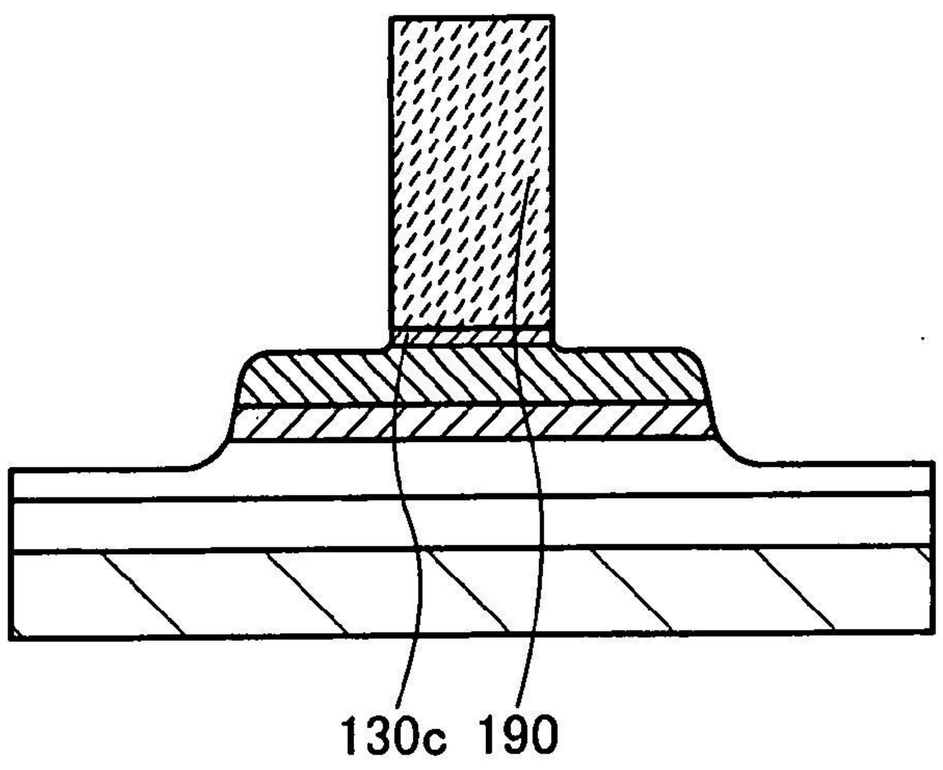


圖 22D

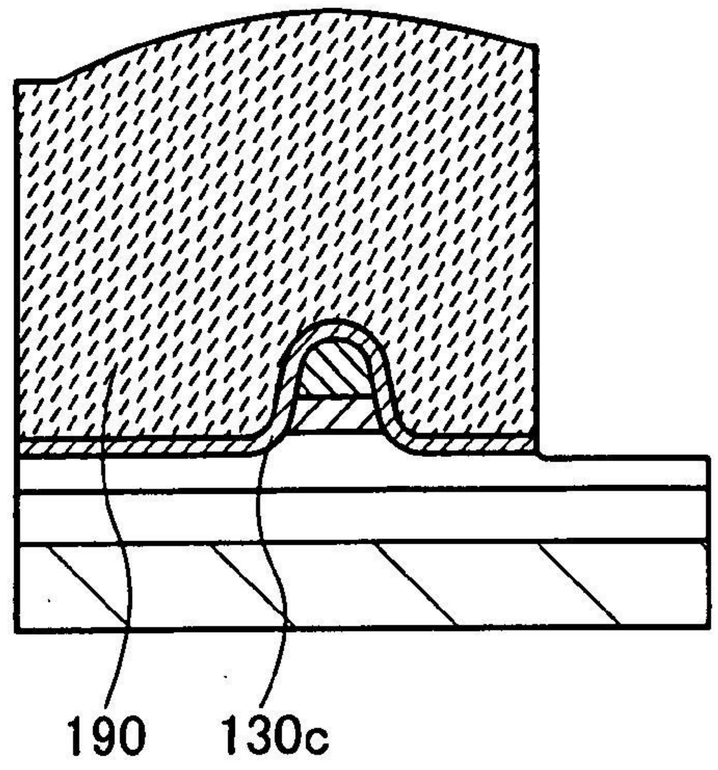


圖 22E

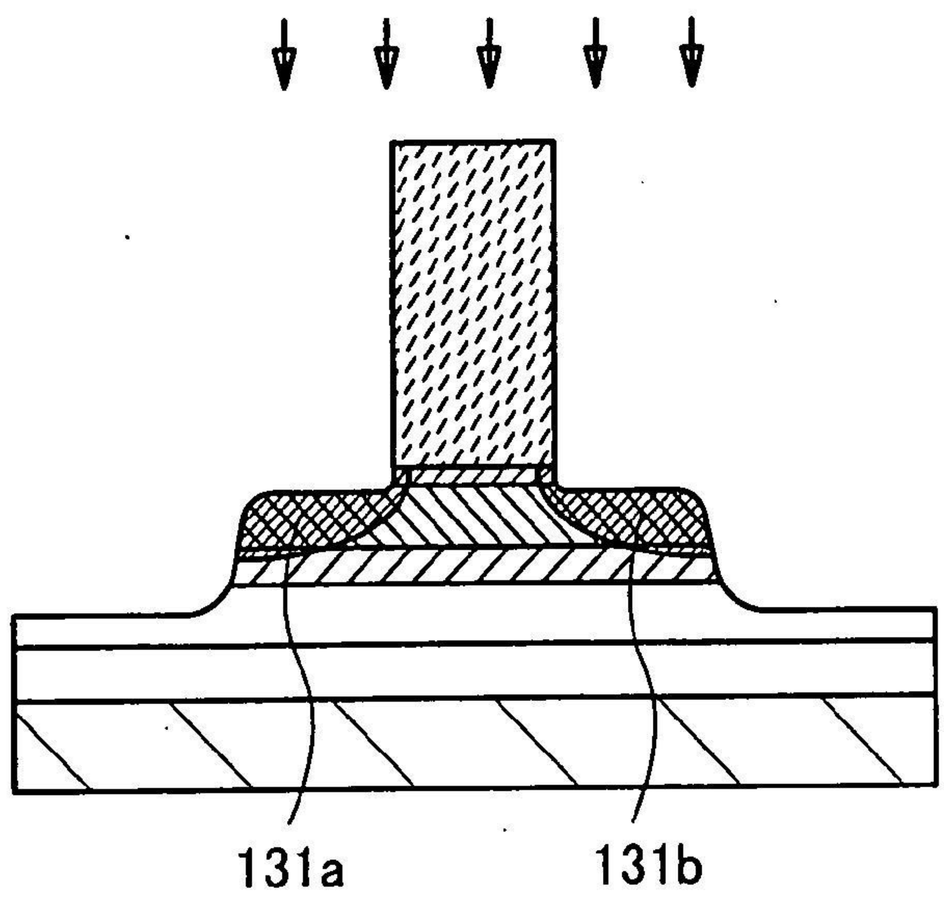


圖 22F

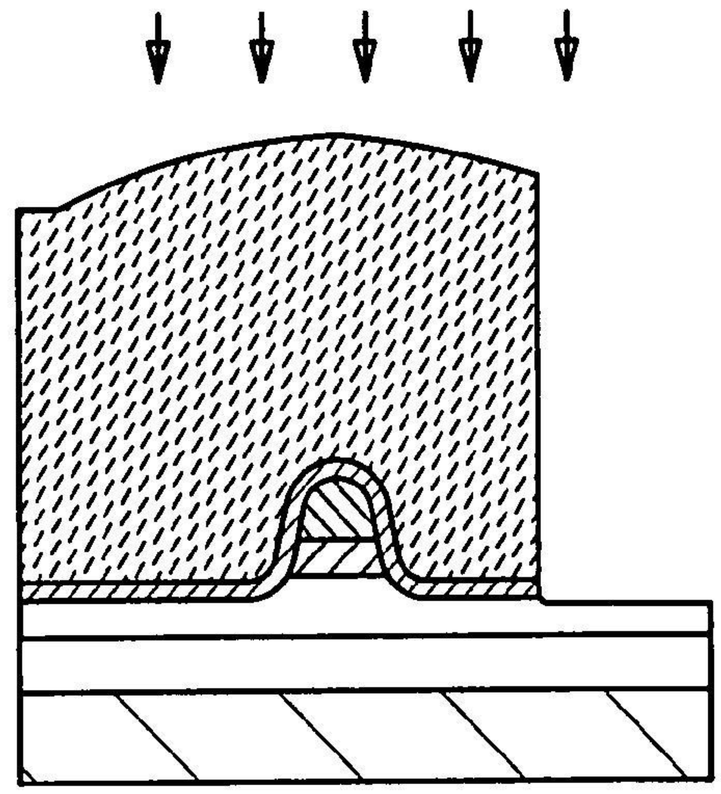


圖 23A

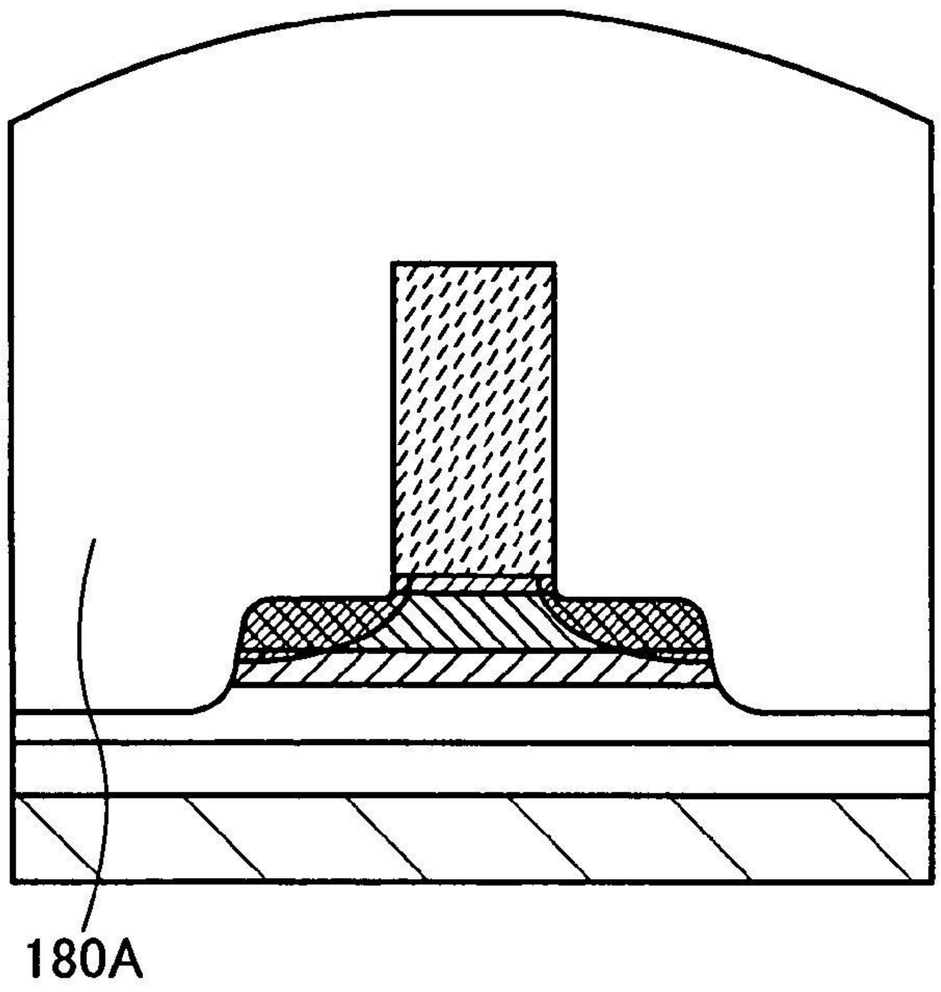


圖 23B

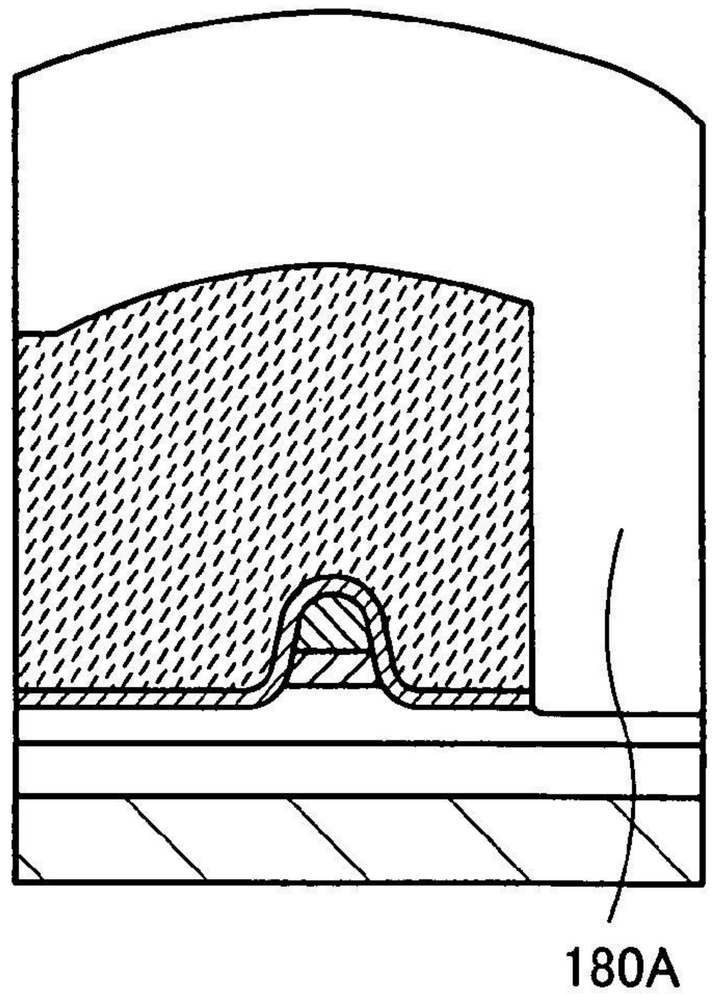


圖 23C

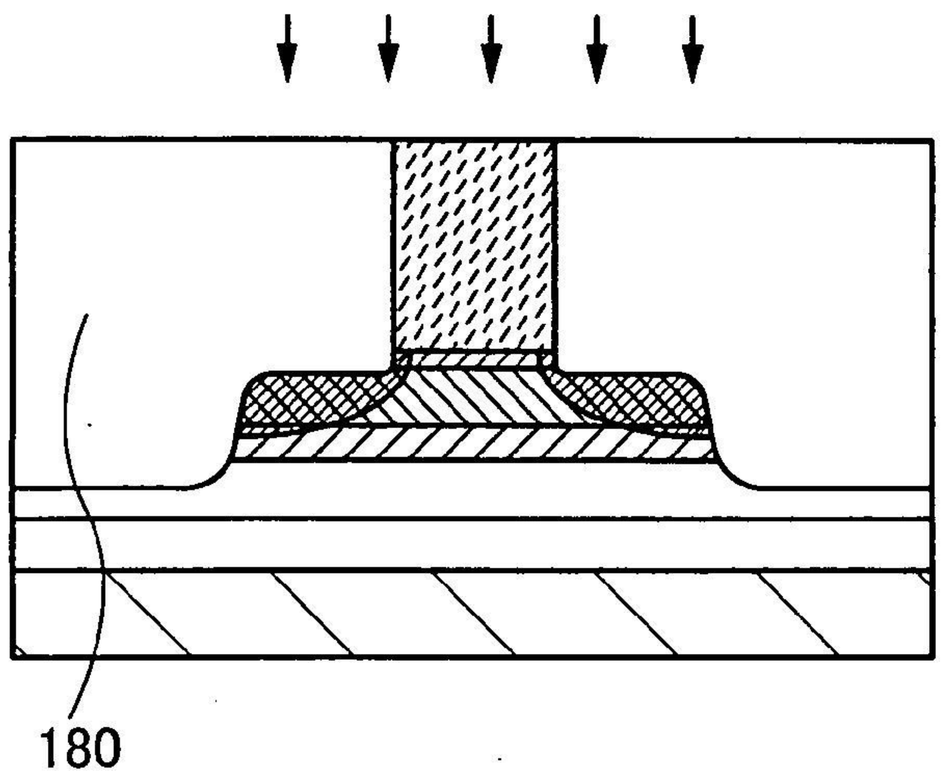


圖 23D

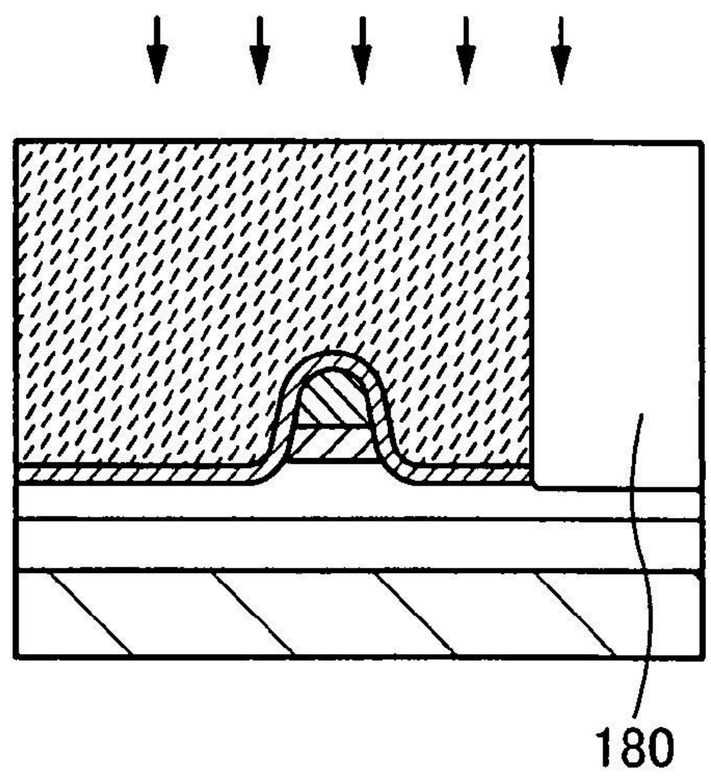


圖 23E

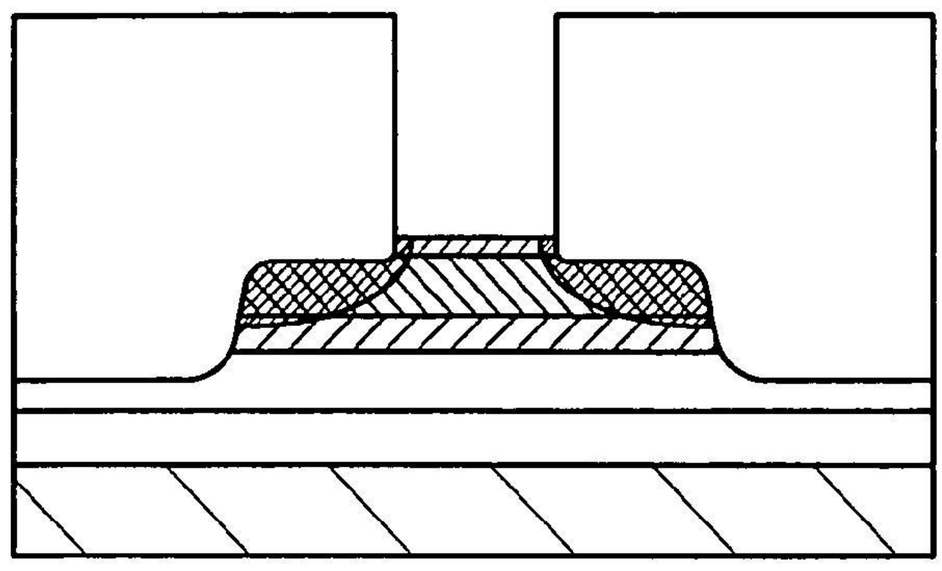


圖 23F

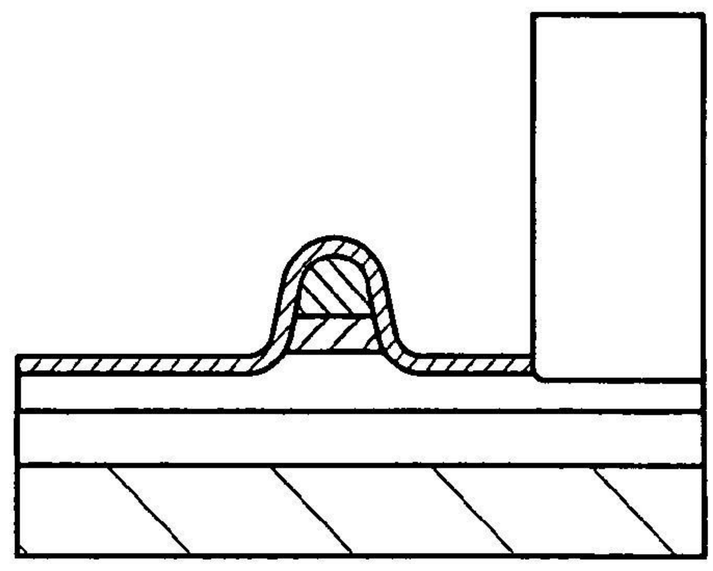


圖 24A

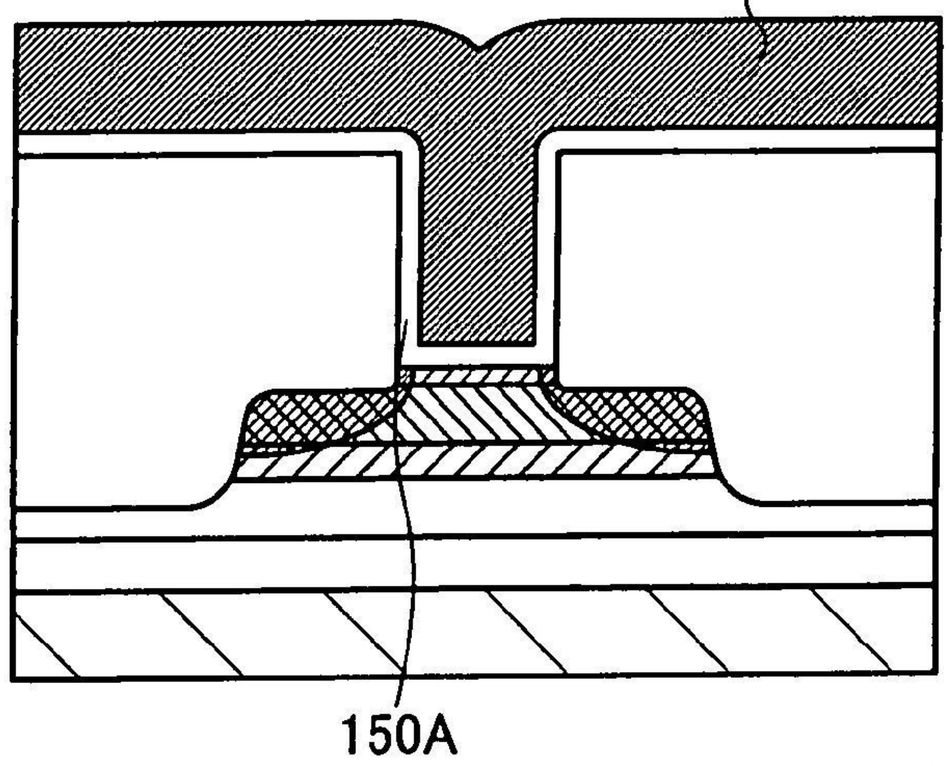


圖 24B

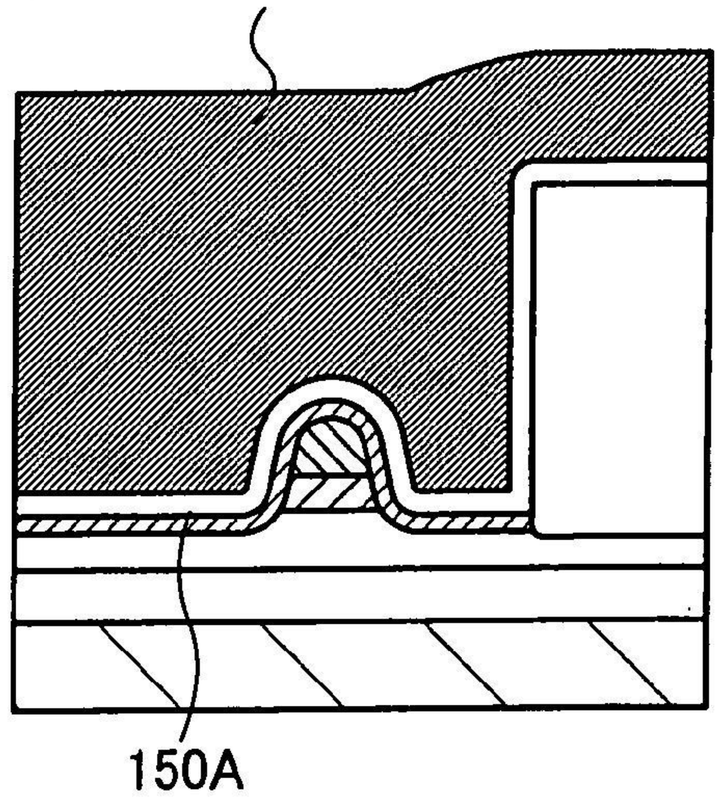


圖 24C

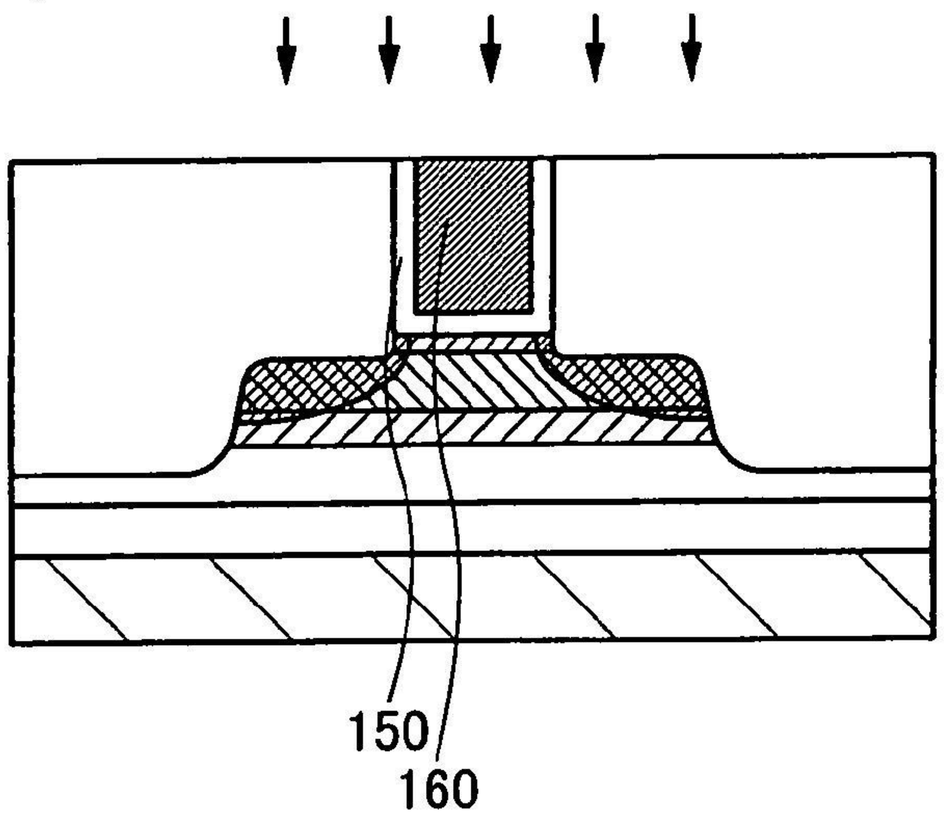


圖 24D

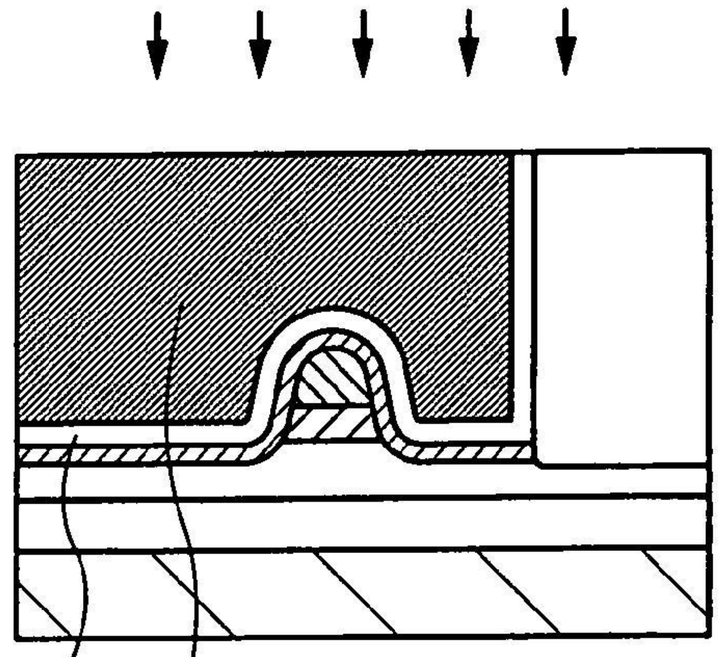


圖 25A

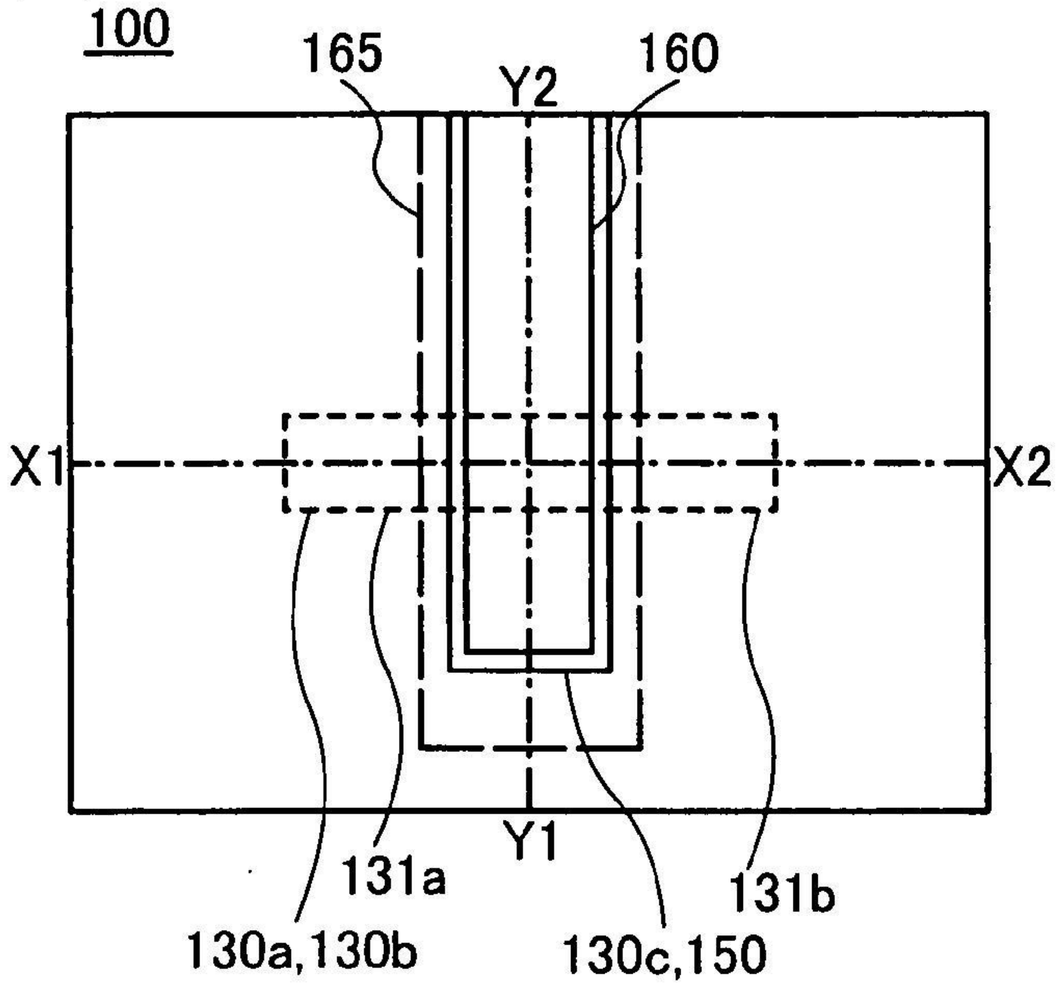


圖 25B

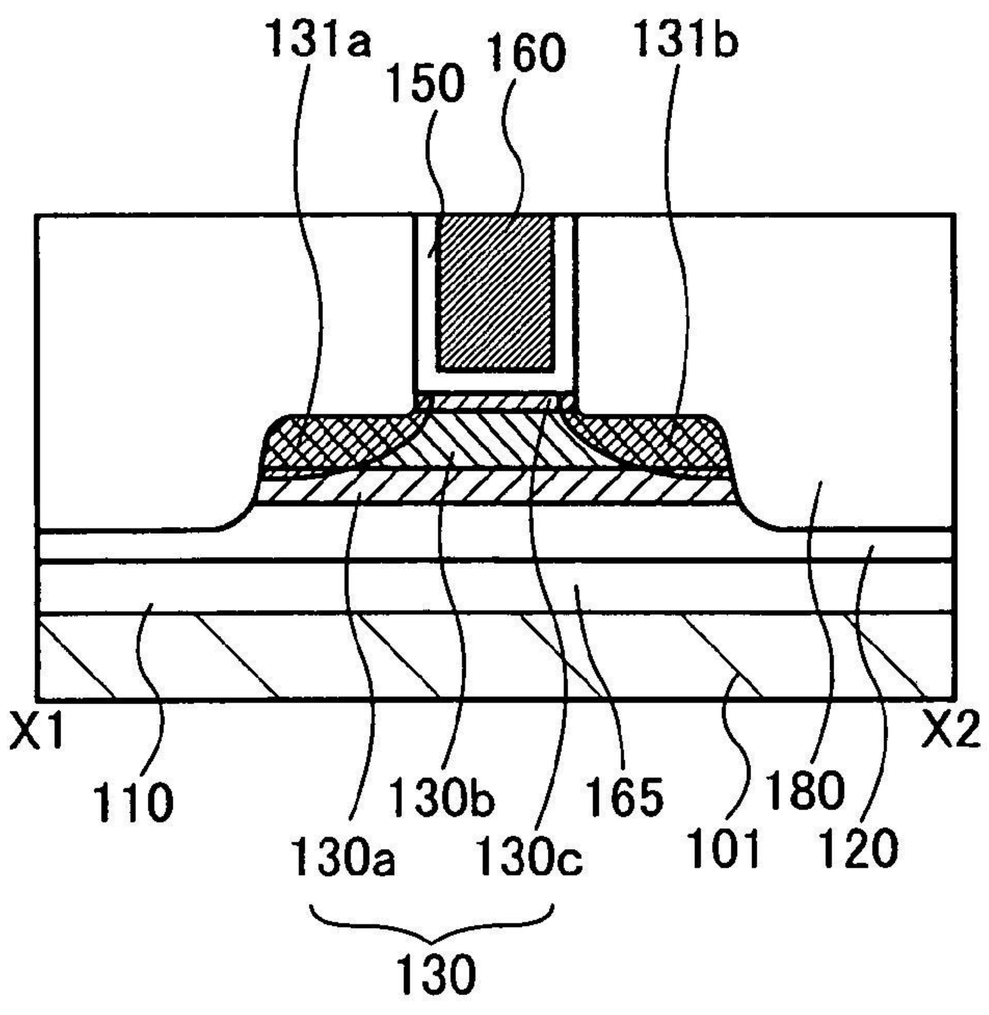


圖 25C

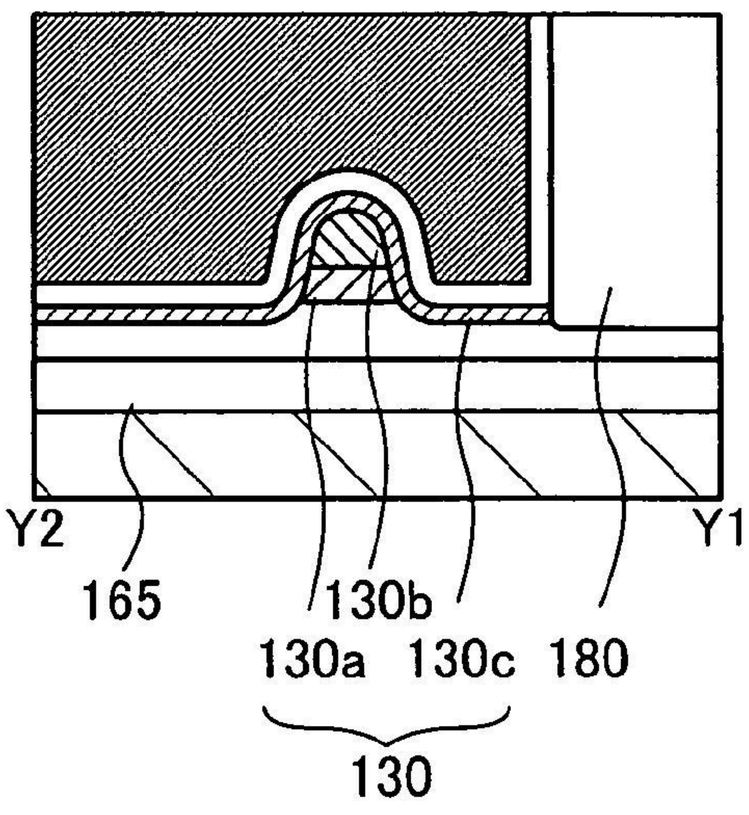


圖 26A

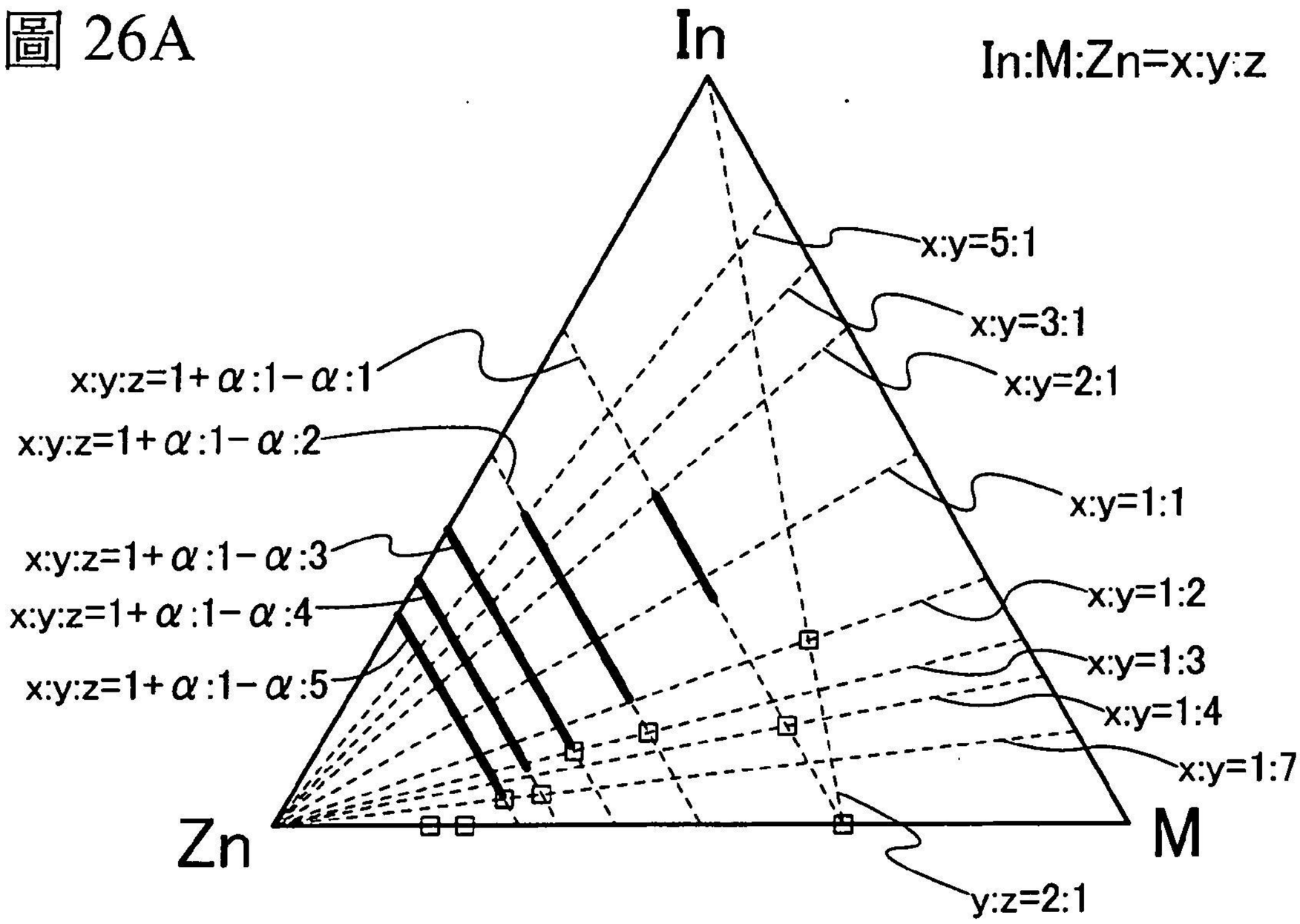

In
In:M:Zn=x:y:z
x:y=5:1
x:y=3:1
x:y=2:1
x:y:z=1+α:1−α:1
x:y:z=1+α:1−α:2
x:y=1:1
x:y:z=1+α:1−α:3
x:y=1:2
x:y:z=1+α:1−α:4
x:y=1:3
x:y:z=1+α:1−α:5
x:y=1:4
x:y=1:7
Zn
M
y:z=2:1

圖 26B

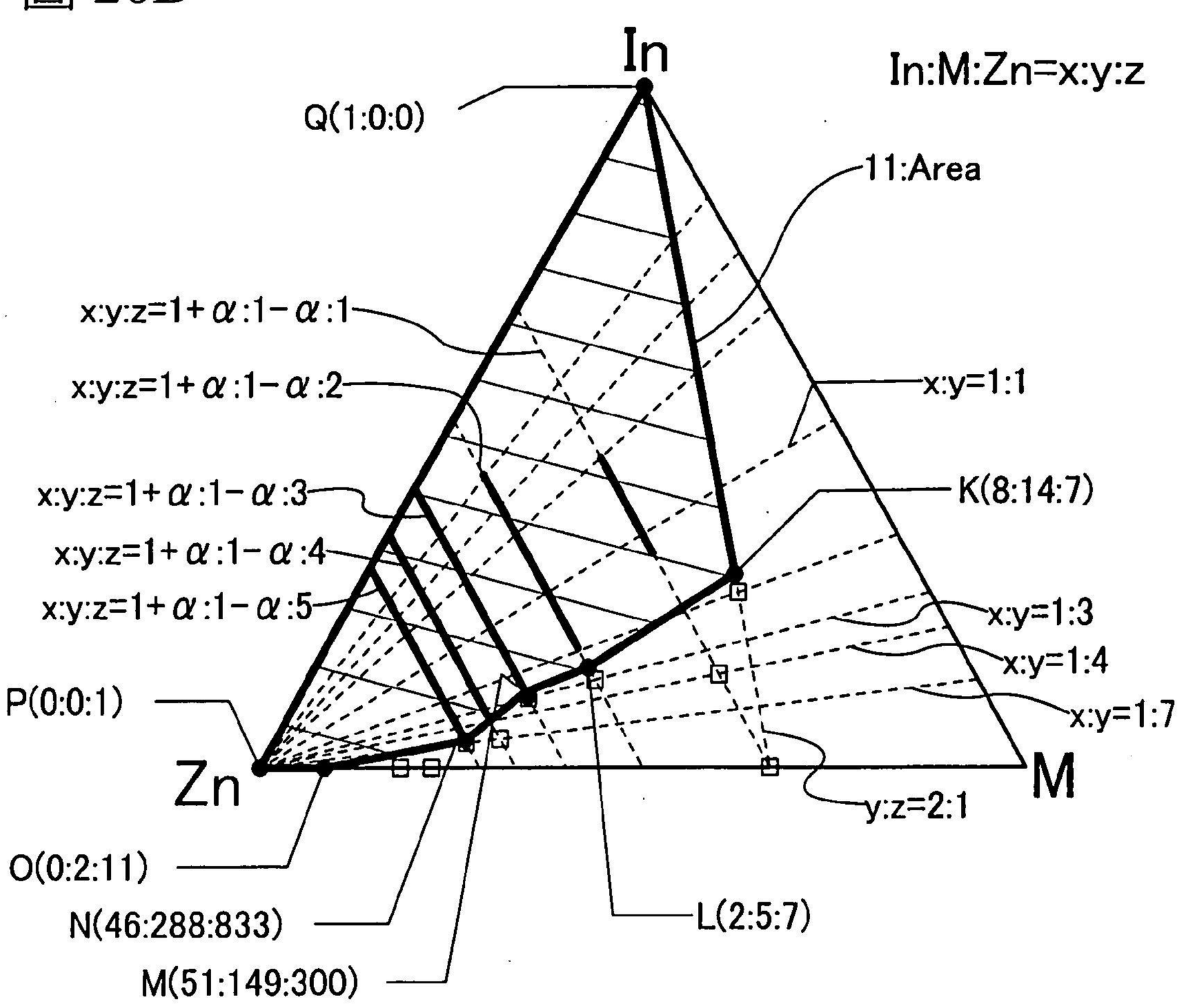

In
In:M:Zn=x:y:z
Q(1:0:0)
11:Area
x:y:z=1+α:1−α:1
x:y:z=1+α:1−α:2
x:y=1:1
x:y:z=1+α:1−α:3
K(8:14:7)
x:y:z=1+α:1−α:4
x:y:z=1+α:1−α:5
x:y=1:3
x:y=1:4
P(0:0:1)
x:y=1:7
Zn
M
y:z=2:1
O(0:2:11)
L(2:5:7)
N(46:288:833)
M(51:149:300)

圖 27A

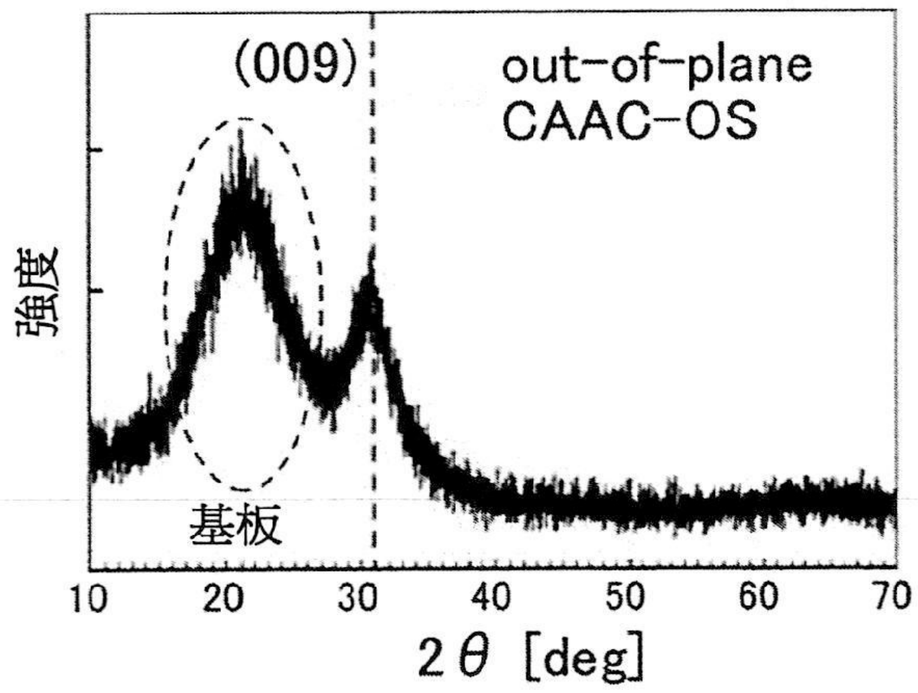


圖 27B

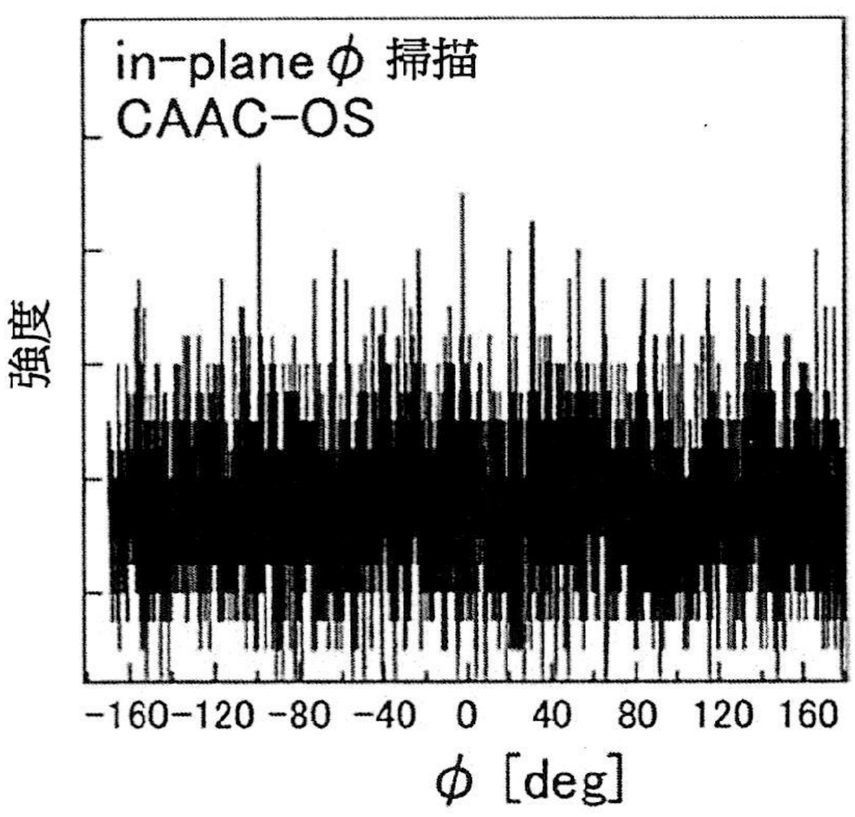


圖 27C

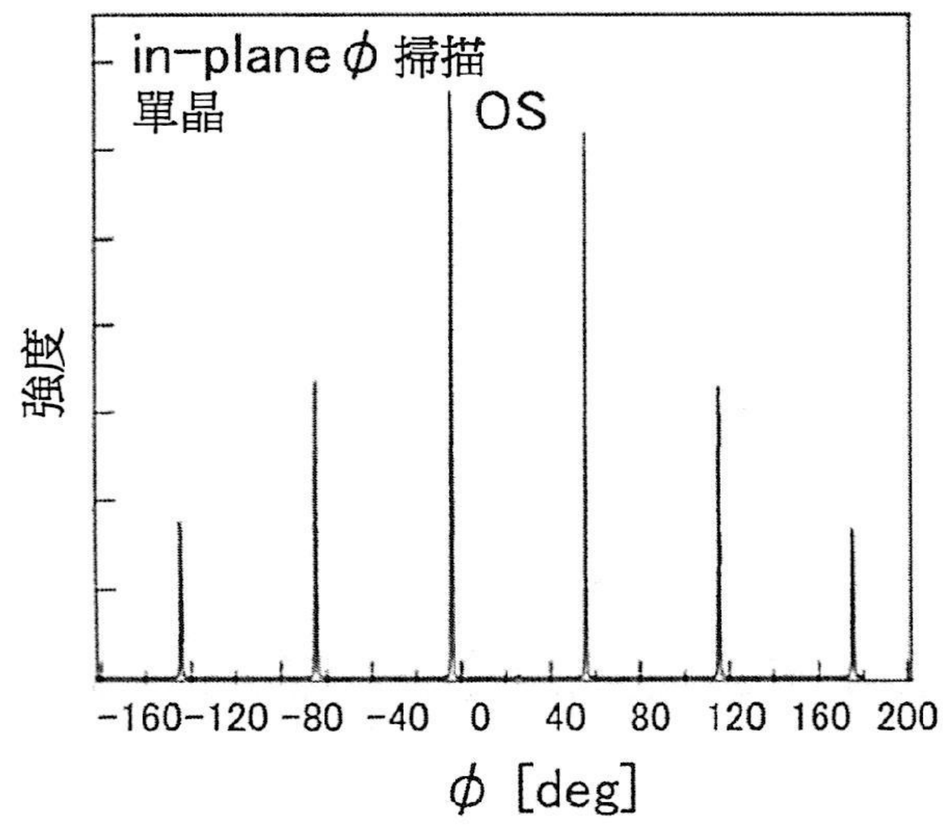


圖 27D



圖 27E

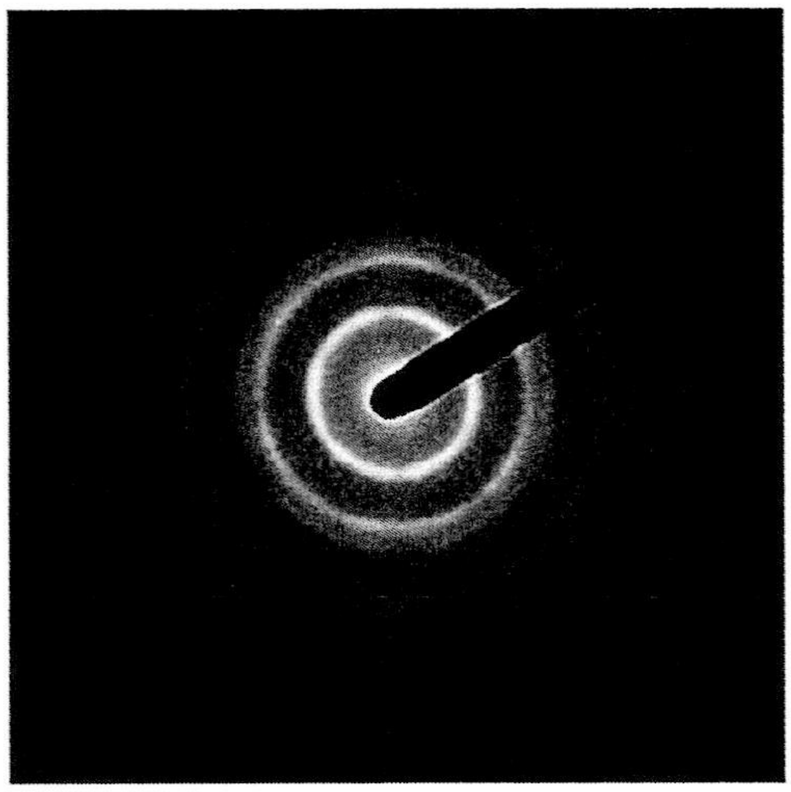


圖 28A



圖 28B

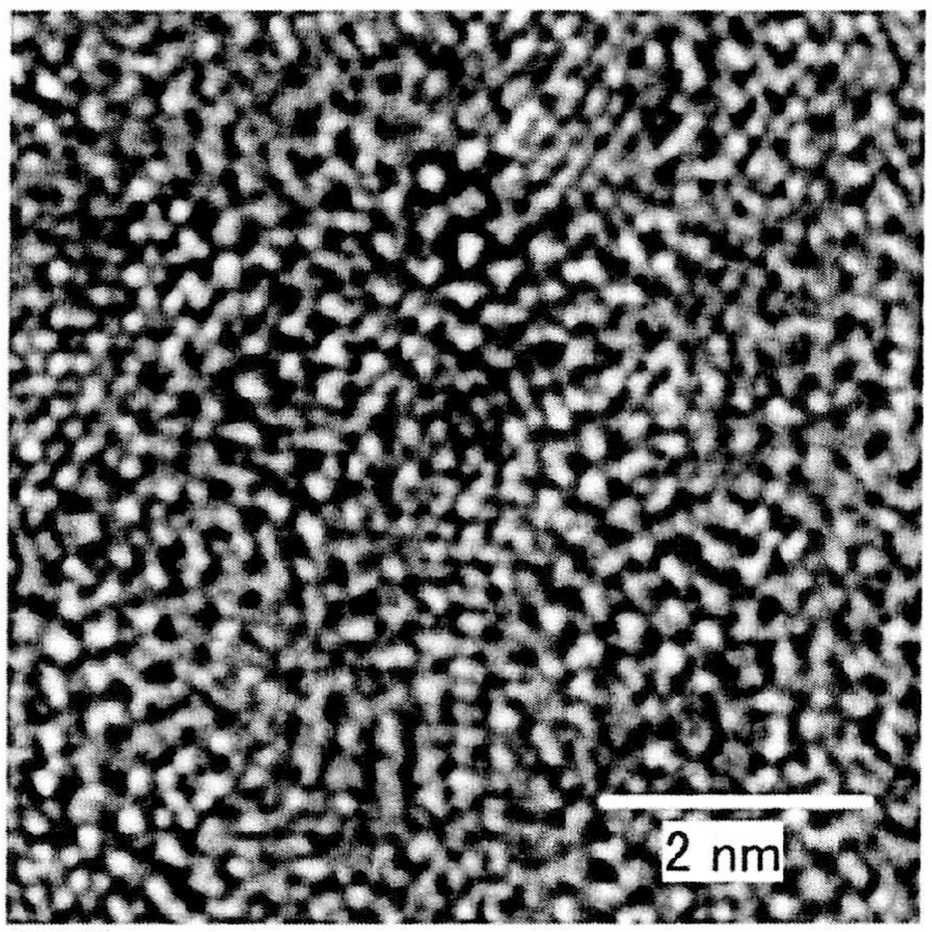


圖 28C

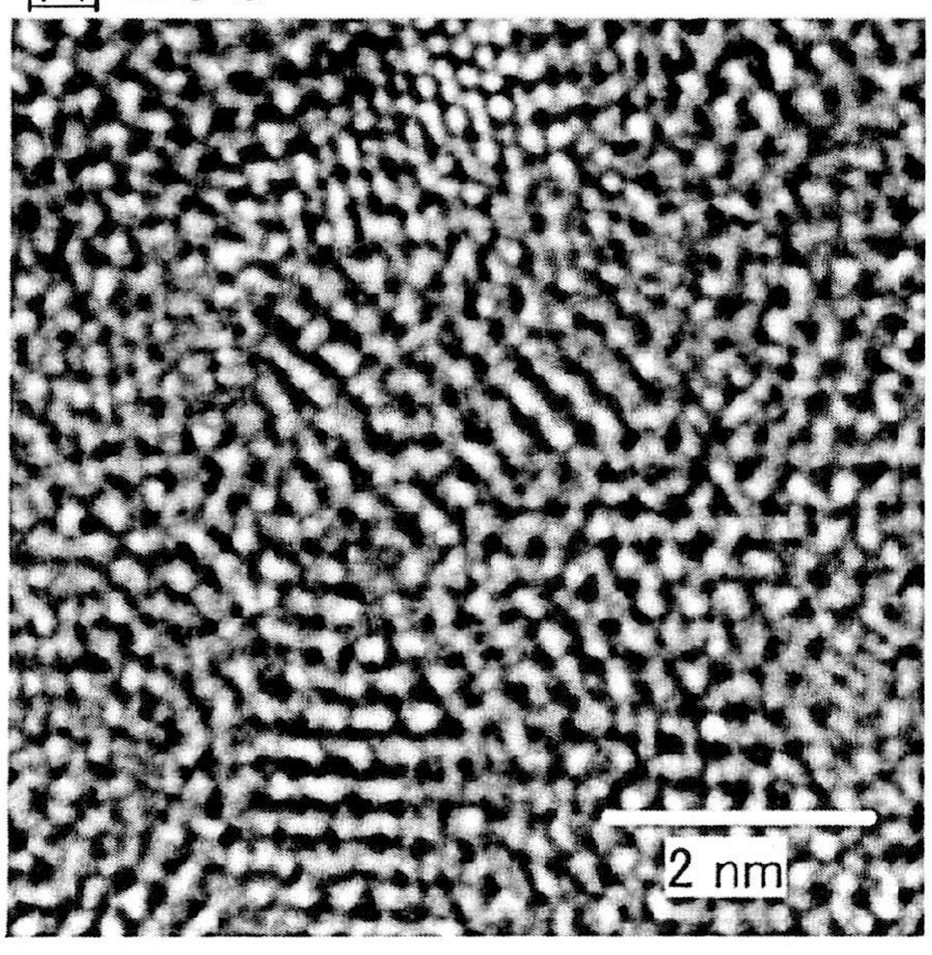


圖 28D

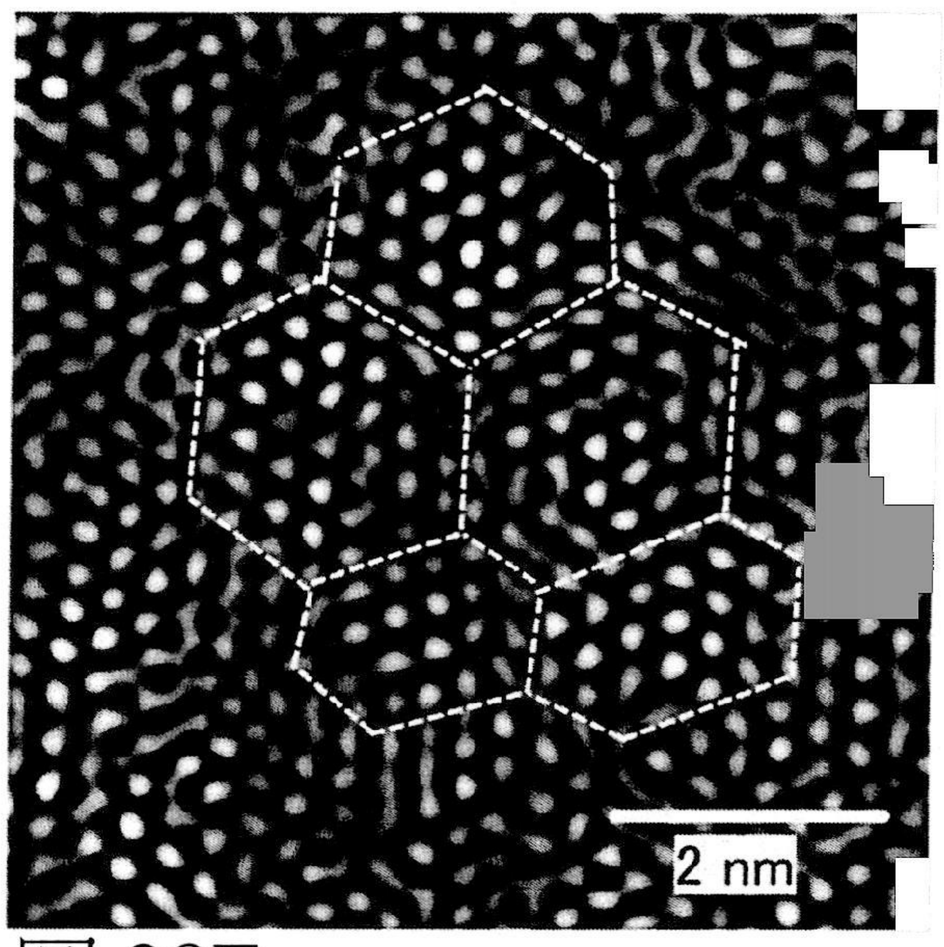


圖 28E

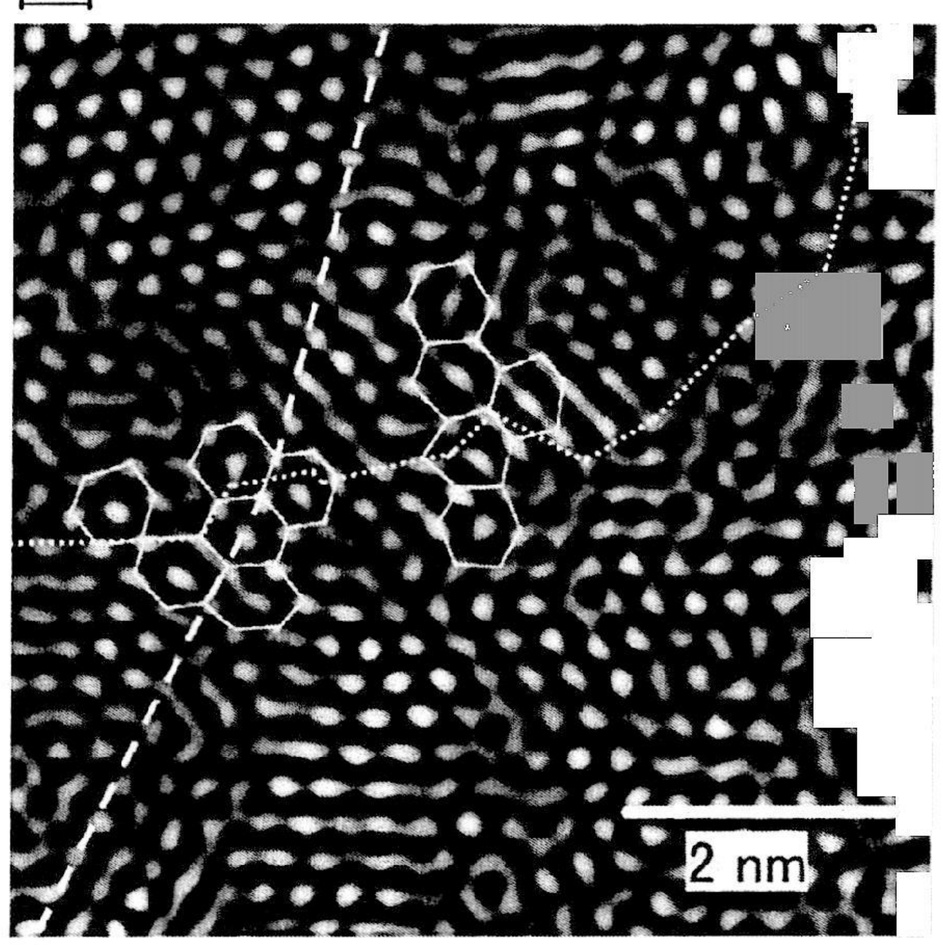


圖 29A

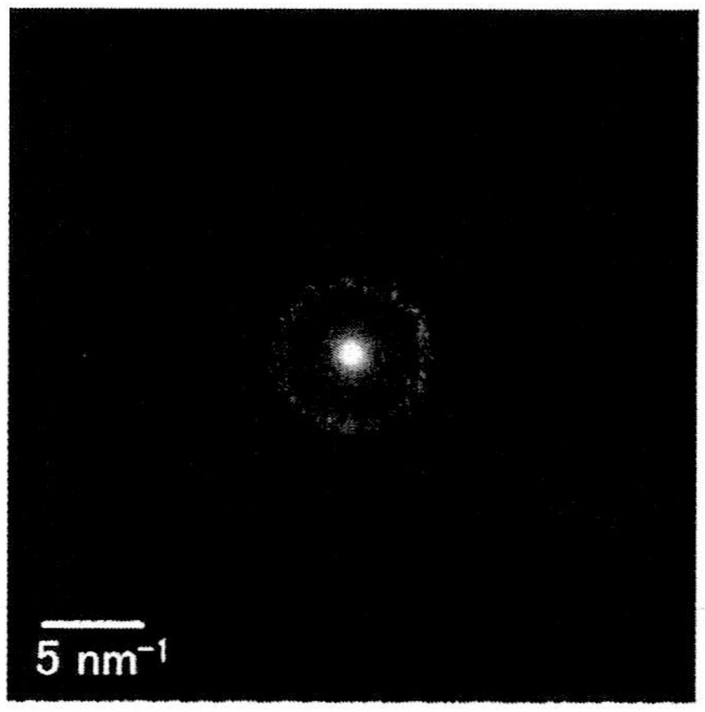


圖 29C

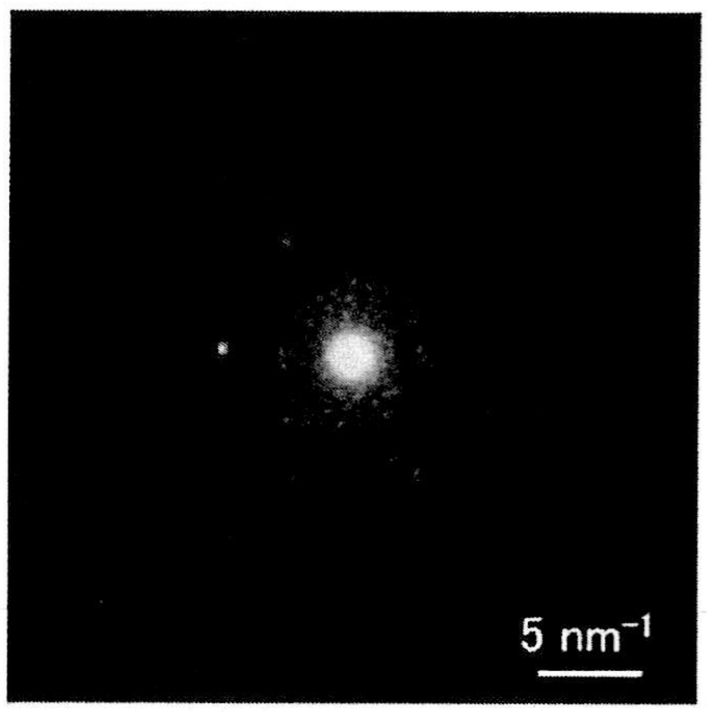


圖 29B

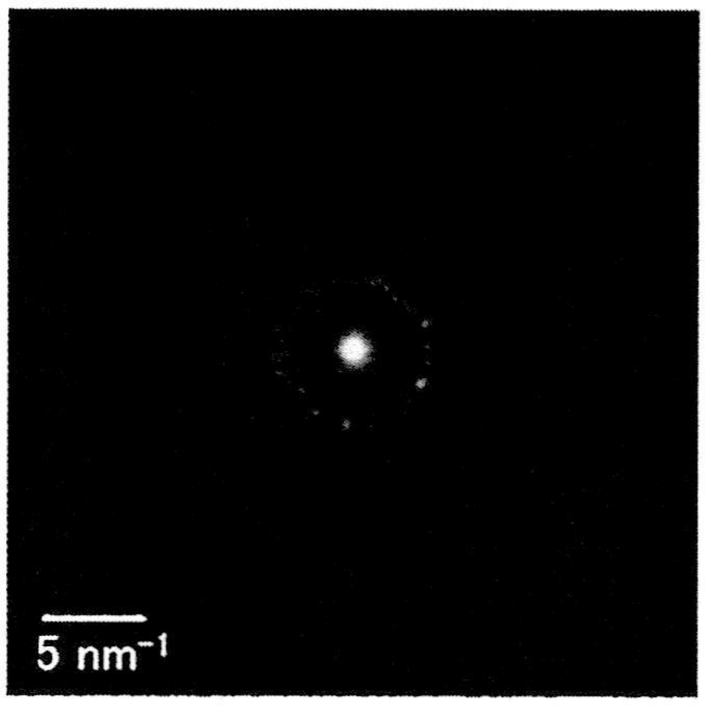


圖 29D

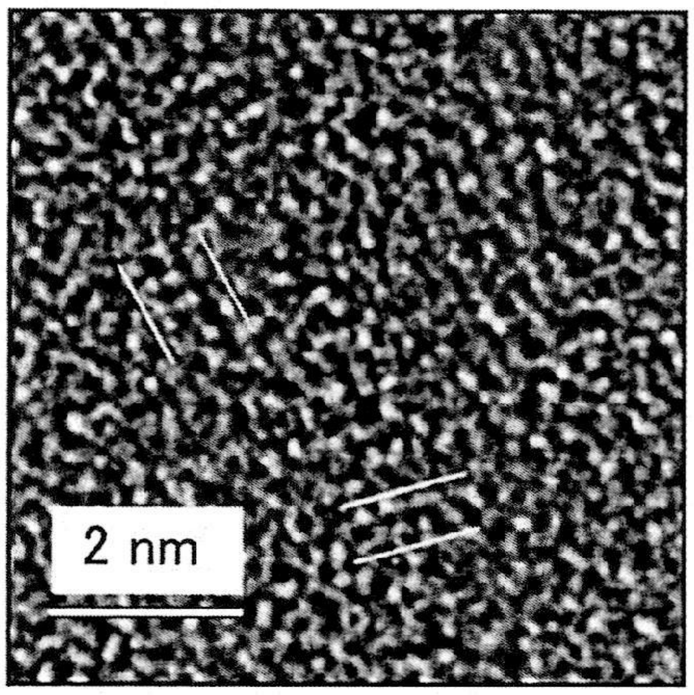


圖 30A

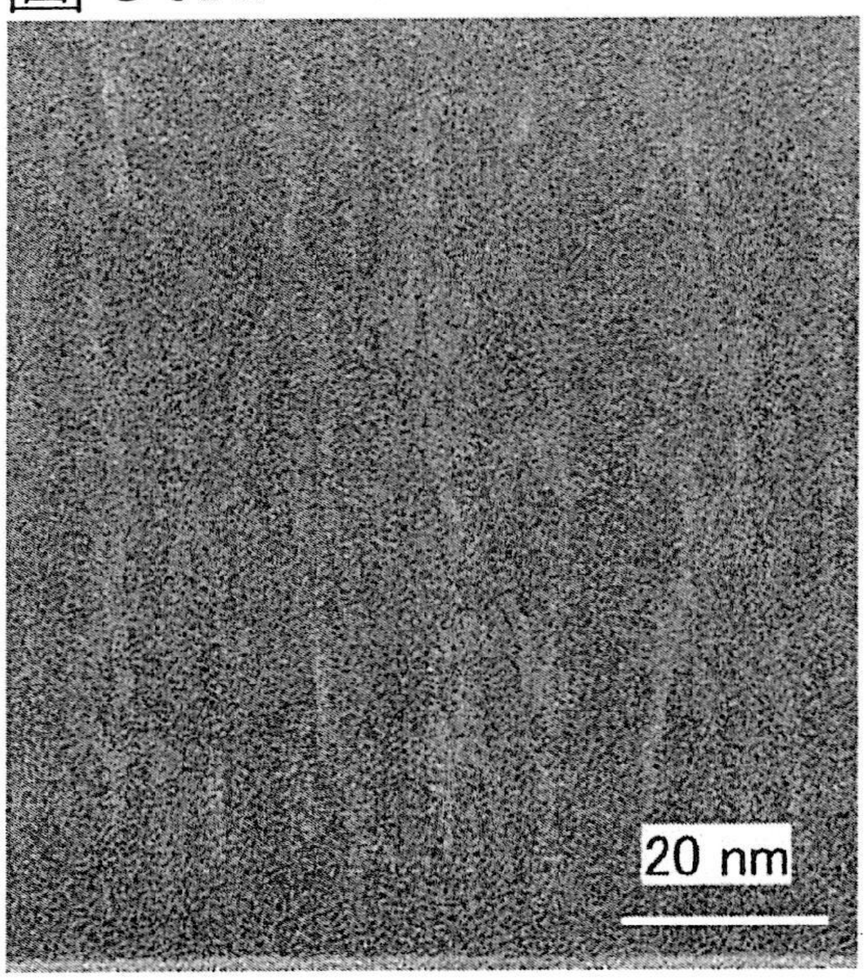


圖 30B

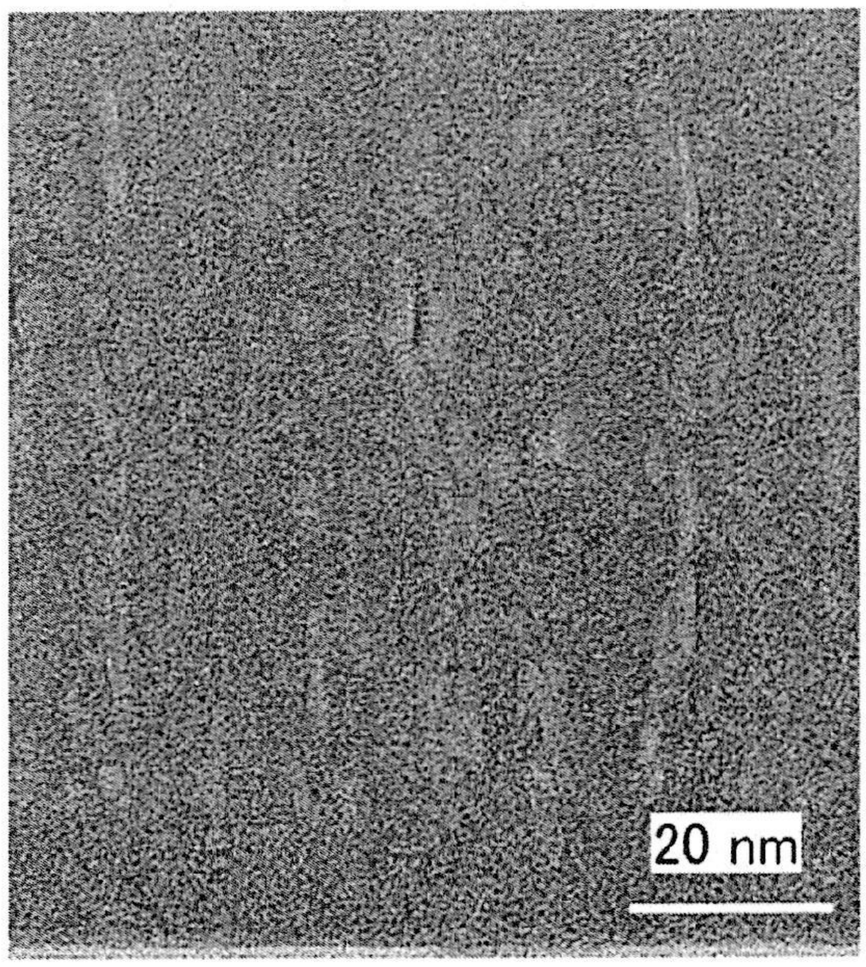


圖 31

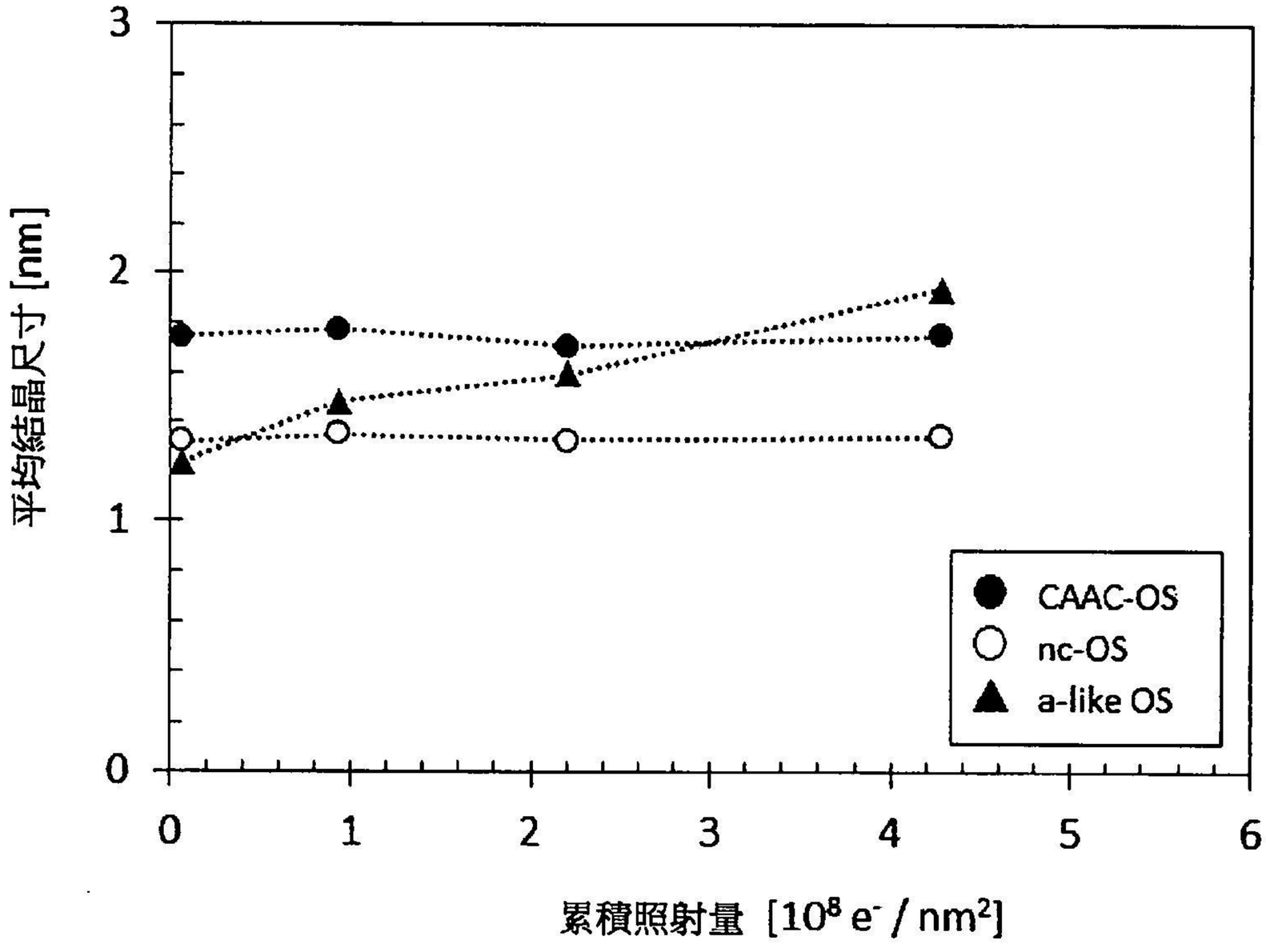


圖 32A

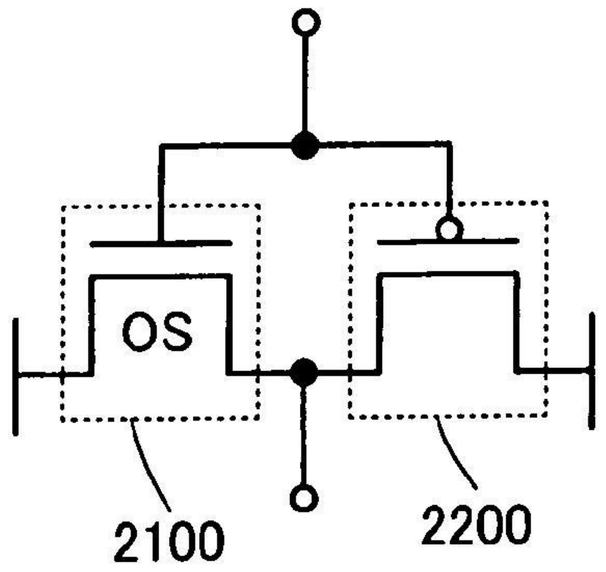


圖 32B

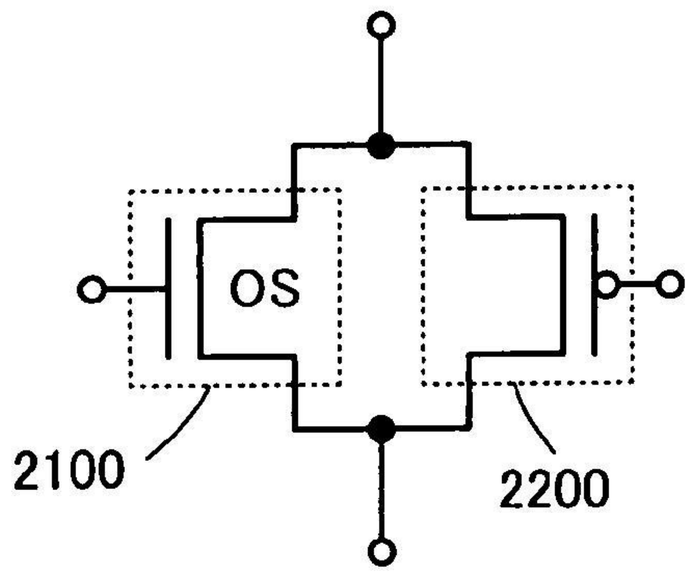


圖 33

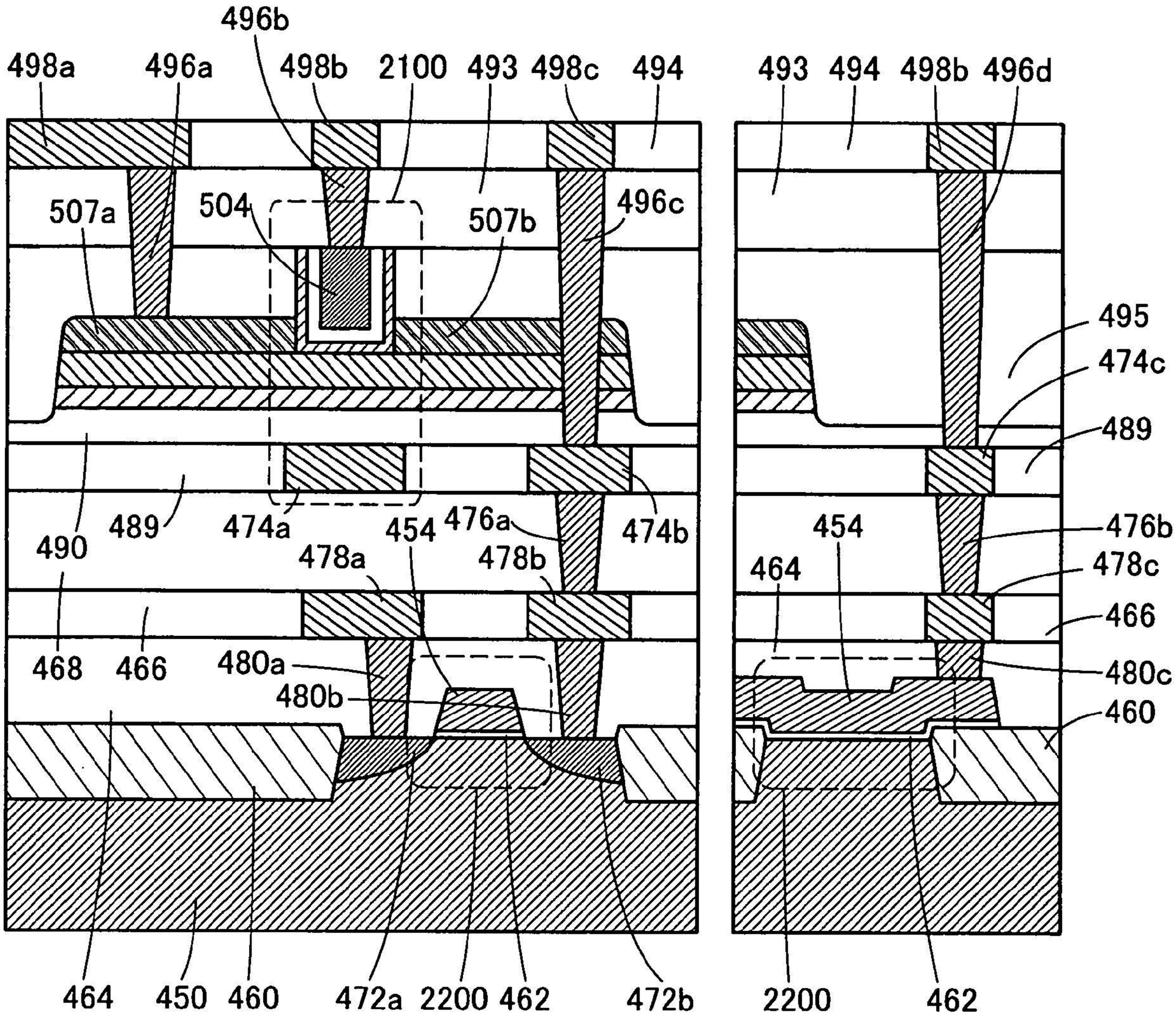

496b
498a
496a
498b
2100
493
498c
494
493
494
498b
496d
507a
504
507b
496c
495
474c
489
490
489
474a
454
476a
474b
476b
478a
478b
454
464
478c
468
466
480a
466
480b
480c
460
464
450
460
472a
2200
462
472b
2200
462

圖 34

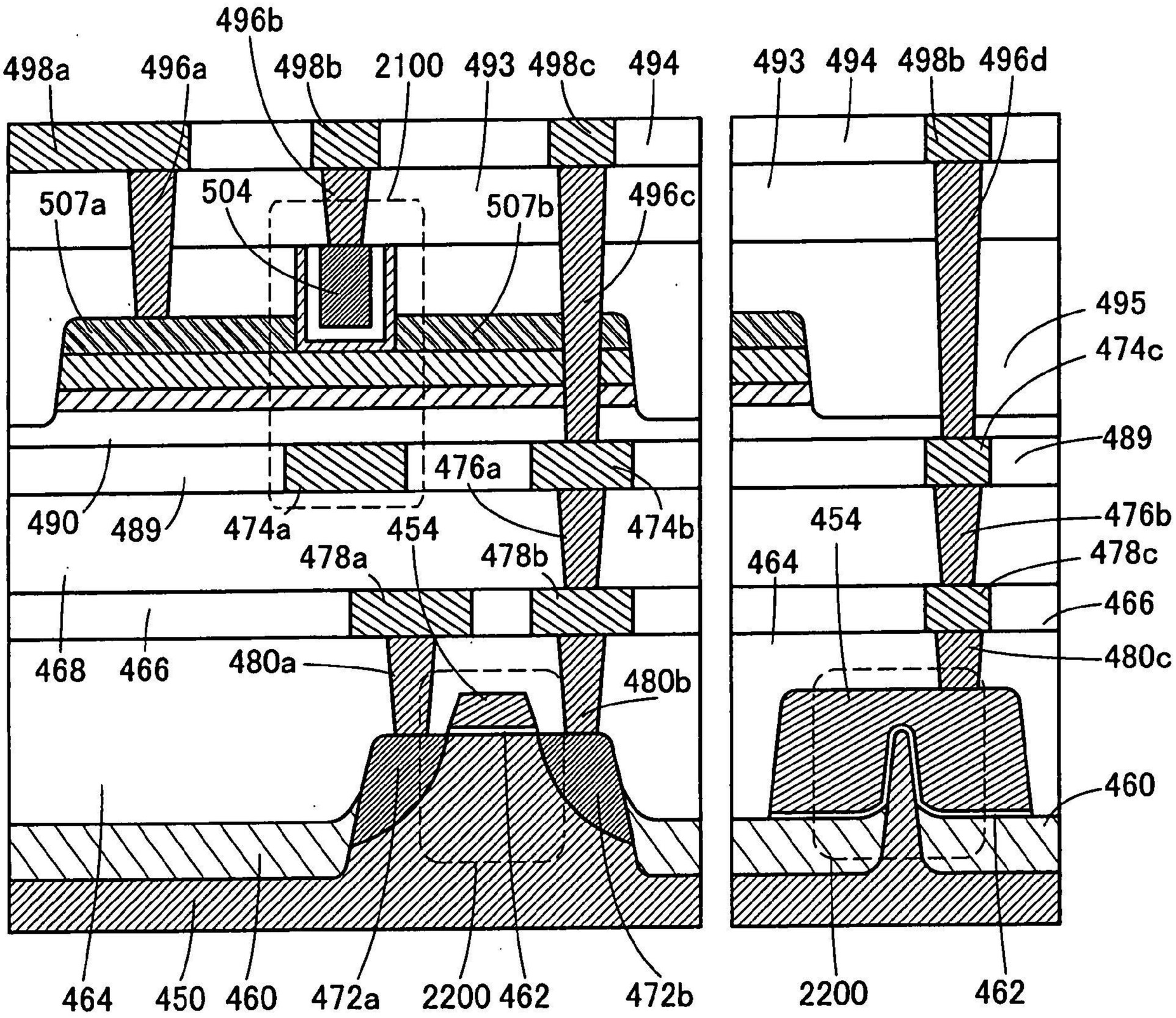

496b
498a
496a
498b
2100
493
498c
494
493
494
498b
496d
507a
504
507b
496c
495
474c
489
476a
490
489
474a
454
474b
476b
454
478a
478b
464
478c
468
466
480a
466
480b
480c
460
464
450
460
472a
2200
462
472b
2200
462

圖 35

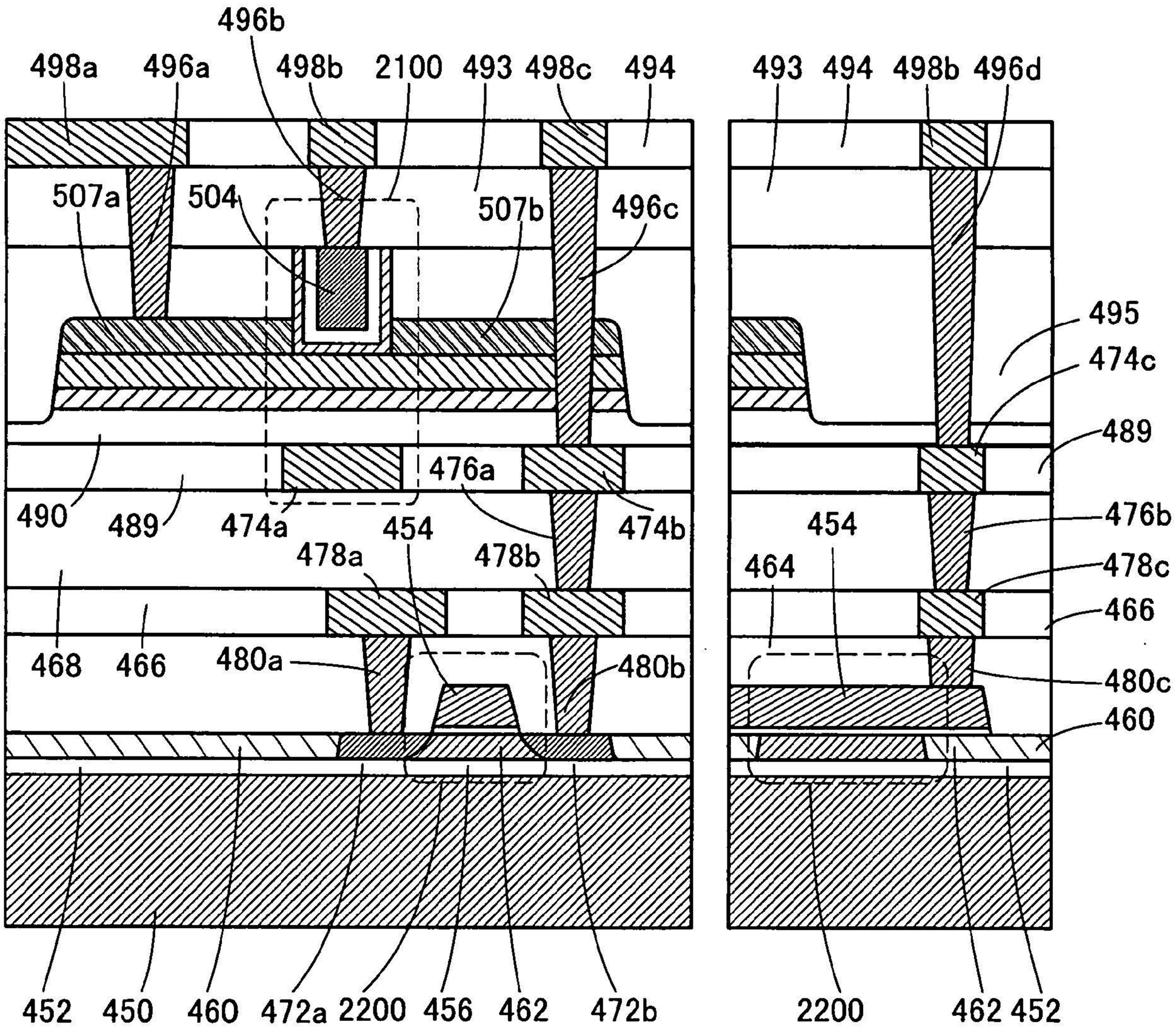

496b
498a
496a
498b
2100
493
498c
494
493
494
498b
496d
507a
504
507b
496c
495
474c
489
476a
490
489
474a
454
474b
476b
478a
478b
454
464
478c
466
468
466
480a
480b
480c
460
452
450
460
472a
2200
456
462
472b
2200
462
452

圖 36A

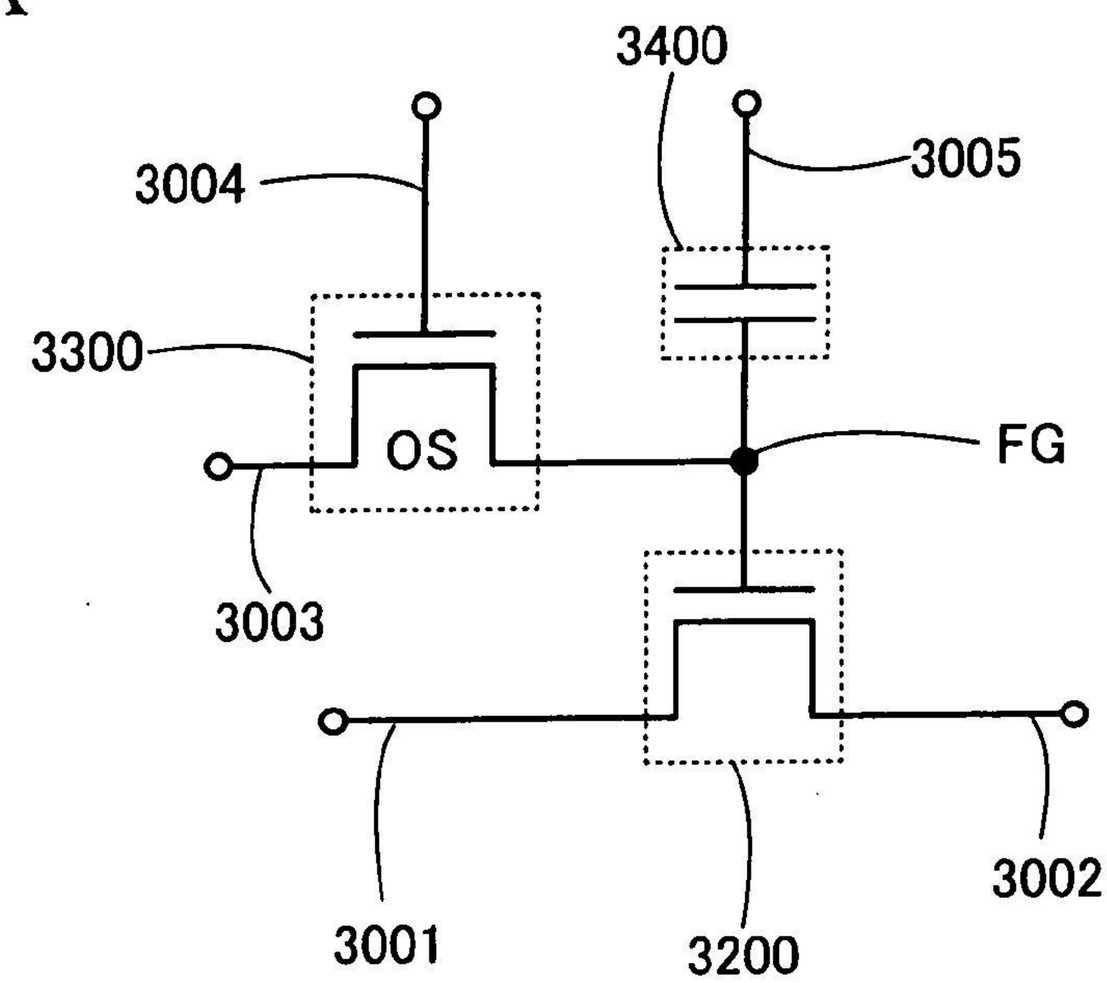

3400
3004
3005
3300
OS
FG
3003
3002
3001
3200

圖 36B

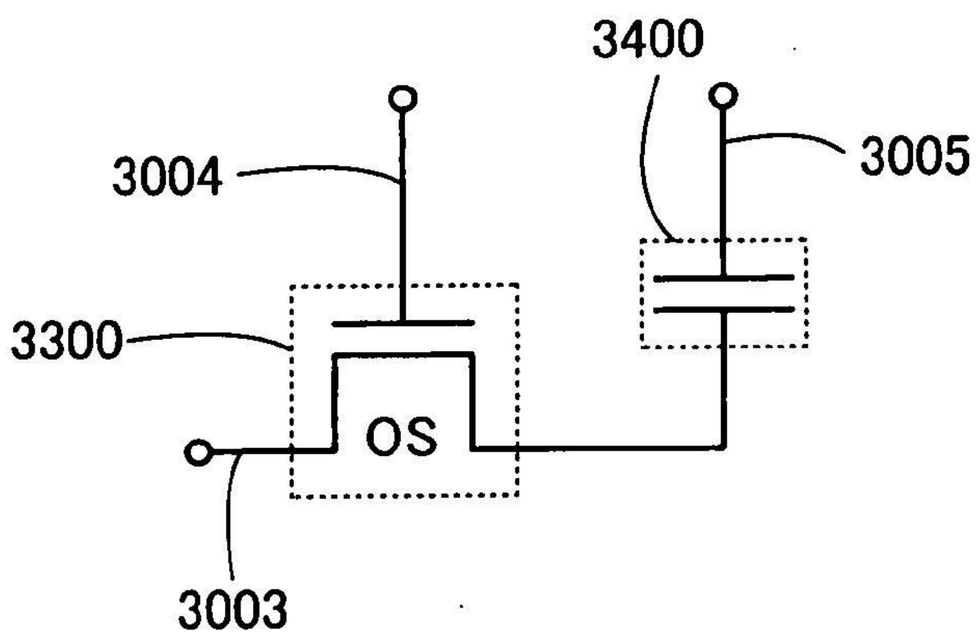

3400
3004
3005
3300
OS
3003

圖 37

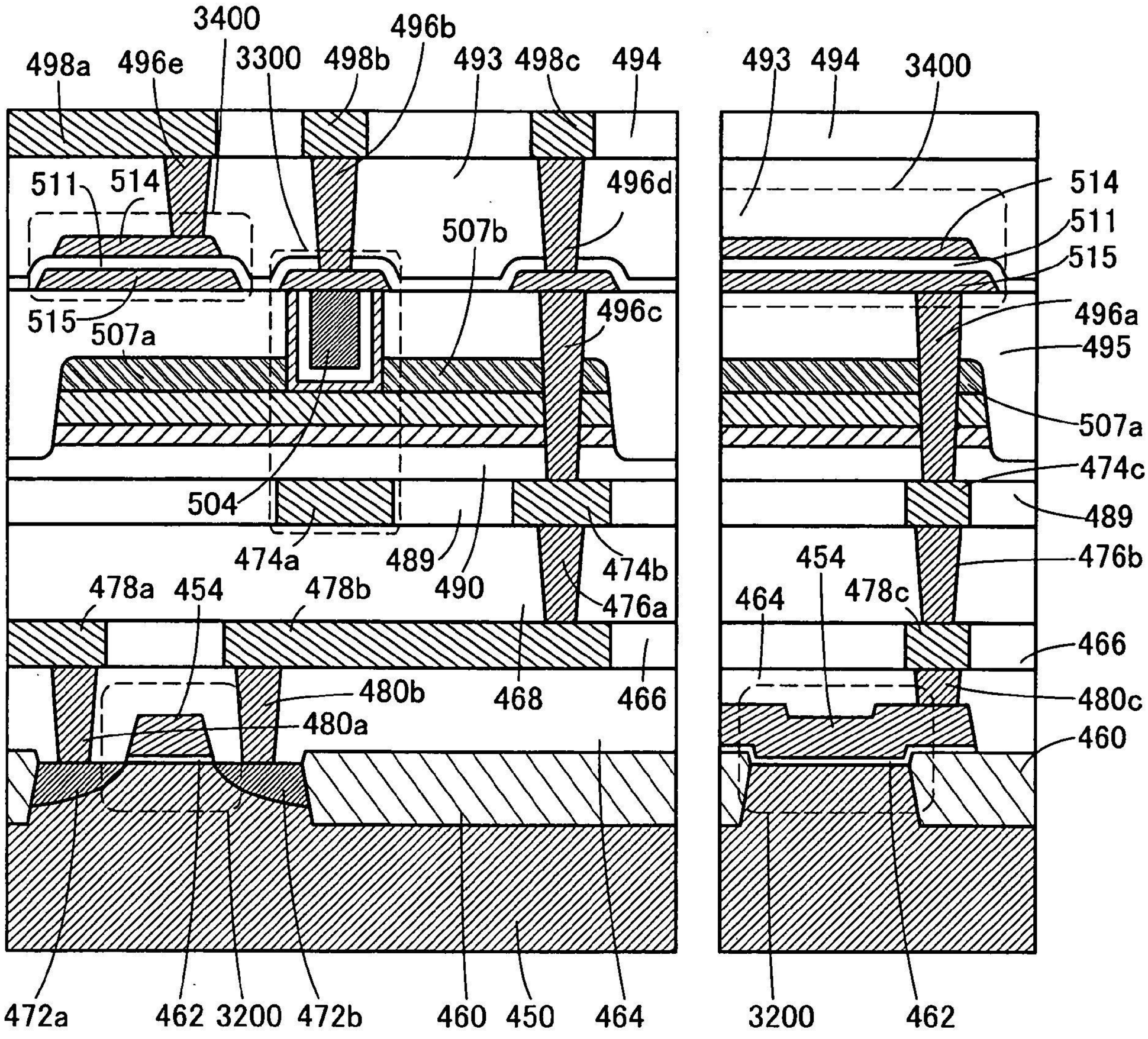

3400
496b
498a
496e
3300
498b
493
498c
494
493
494
3400
511
514
496d
507b
514
511
515
515
507a
496c
496a
495
507a
504
474c
489
474a
489
490
474b
476b
454
478a
454
478b
476a
464
478c
466
480b
468
466
480c
480a
460
472a
462
3200
472b
460
450
464
3200
462

圖 38

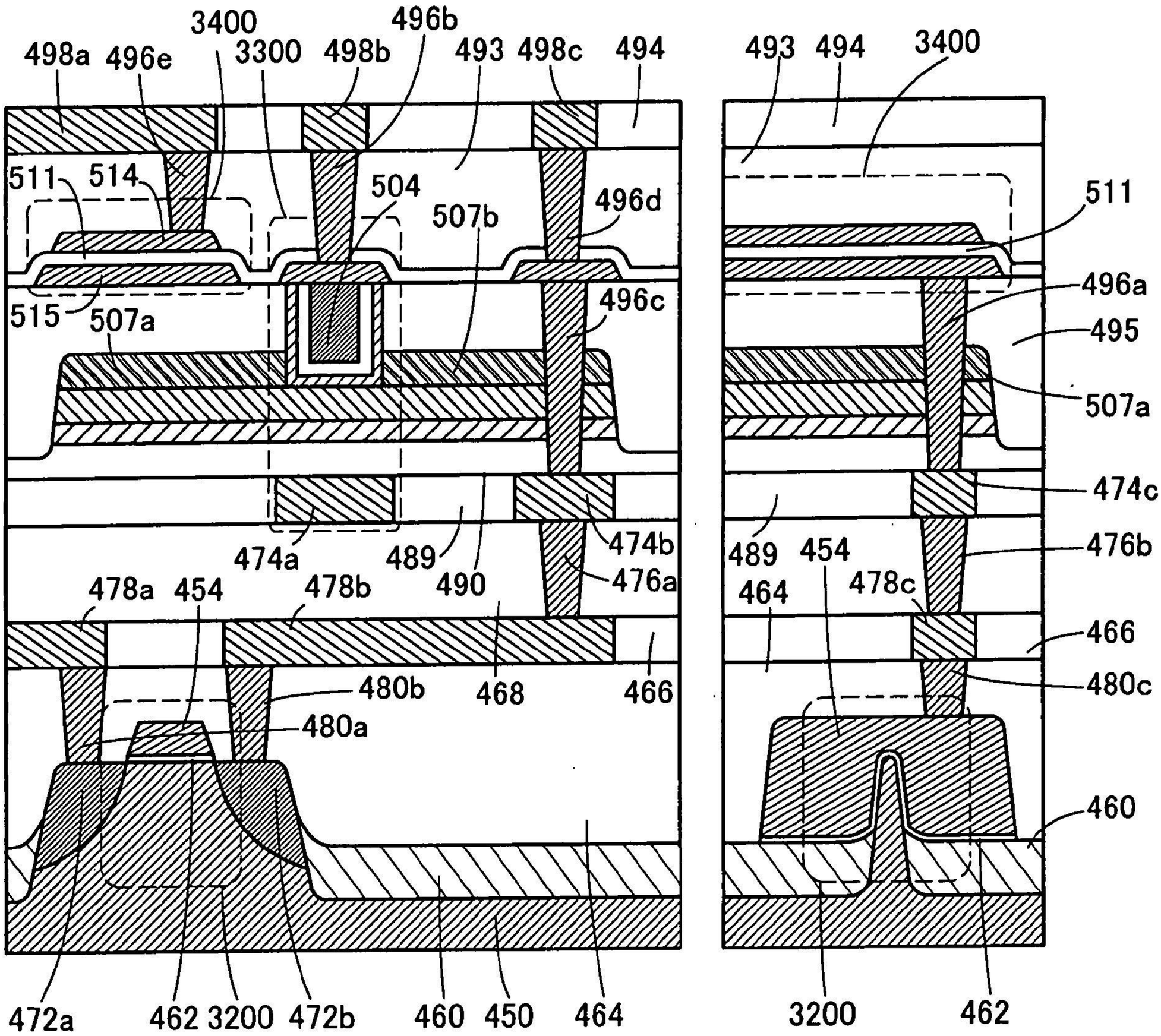

498a
496e
3400
3300
498b
496b
493
498c
494
493
494
3400
511
514
504
507b
496d
511
515
507a
496c
496a
495
507a
474c
474a
489
490
474b
476a
489
454
476b
464
478a
454
478b
478c
466
480b
468
466
480c
480a
460
472a
462
3200
472b
460
450
464
3200
462

圖 39

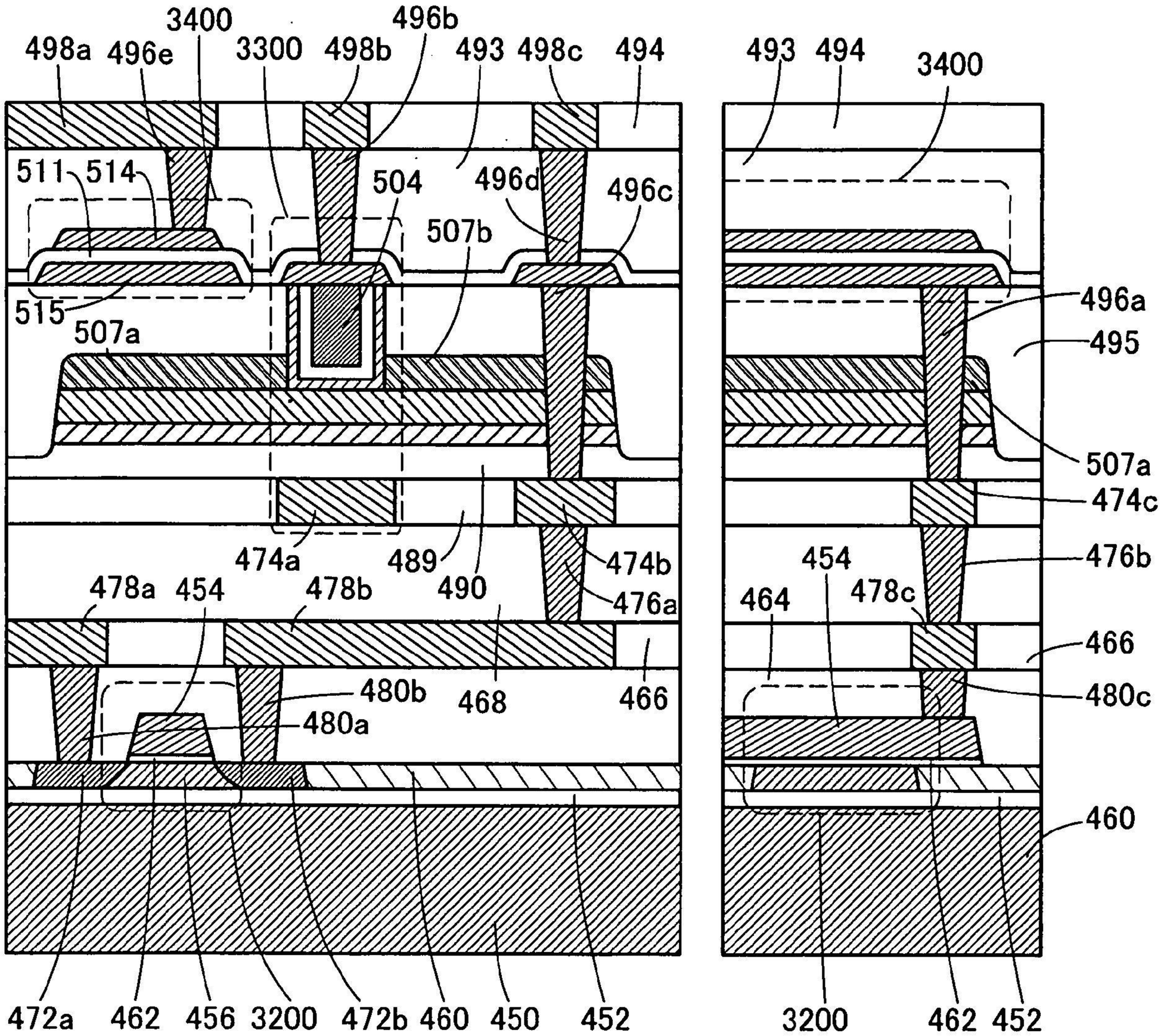

3400
496b
498a
496e
3300
498b
493
498c
494
493
494
3400
511
514
504
496d
496c
507b
515
507a
496a
495
507a
474c
474a
489
490
474b
476b
454
478a
454
478b
476a
464
478c
466
480b
468
466
480c
480a
460
472a
462
456
3200
472b
460
450
452
3200
462
452

圖 40

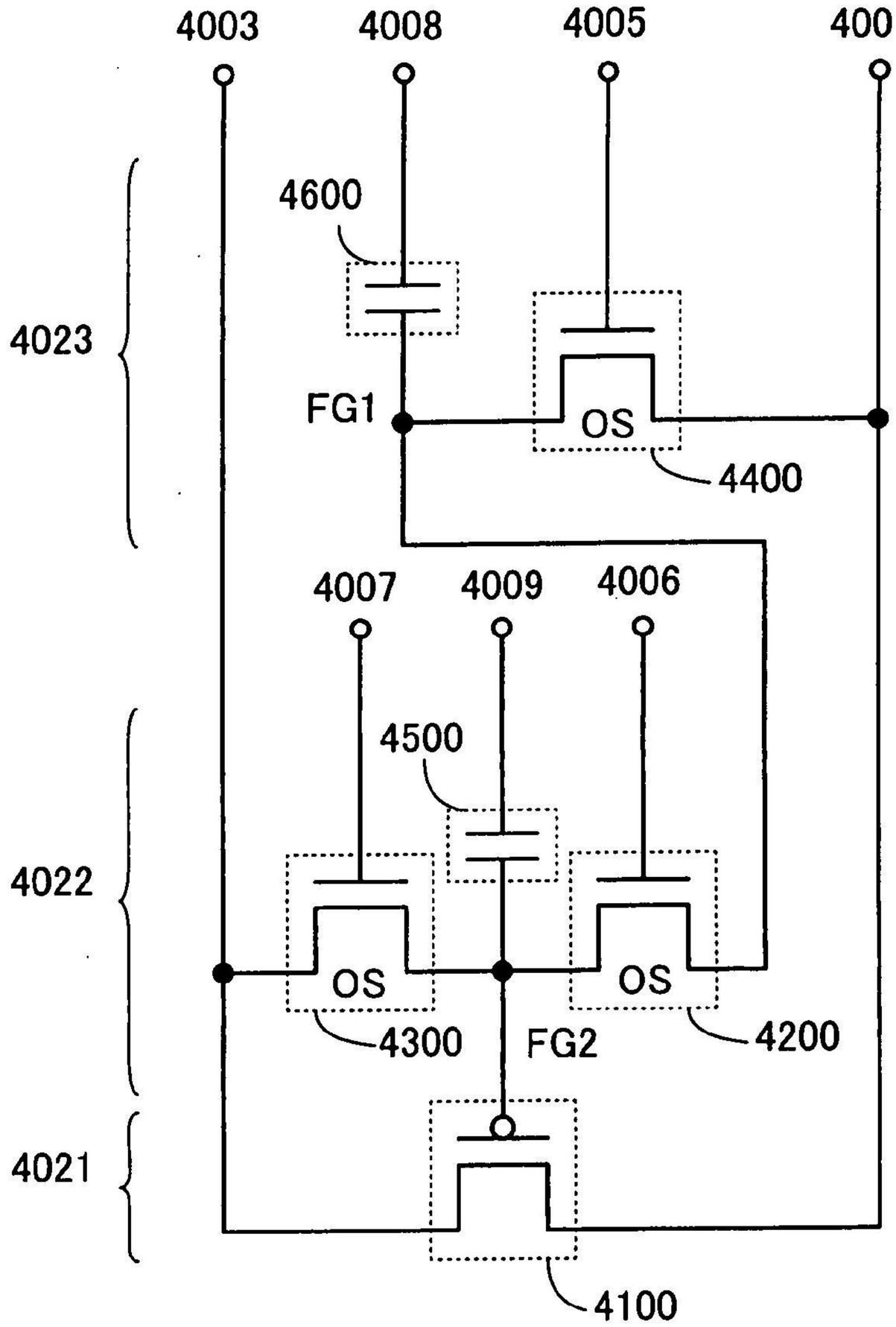

4003
4008
4005
4001
4600
4023
FG1
OS
4400
4007
4009
4006
4500
4022
OS
OS
4300
FG2
4200
4021
4100

圖 41

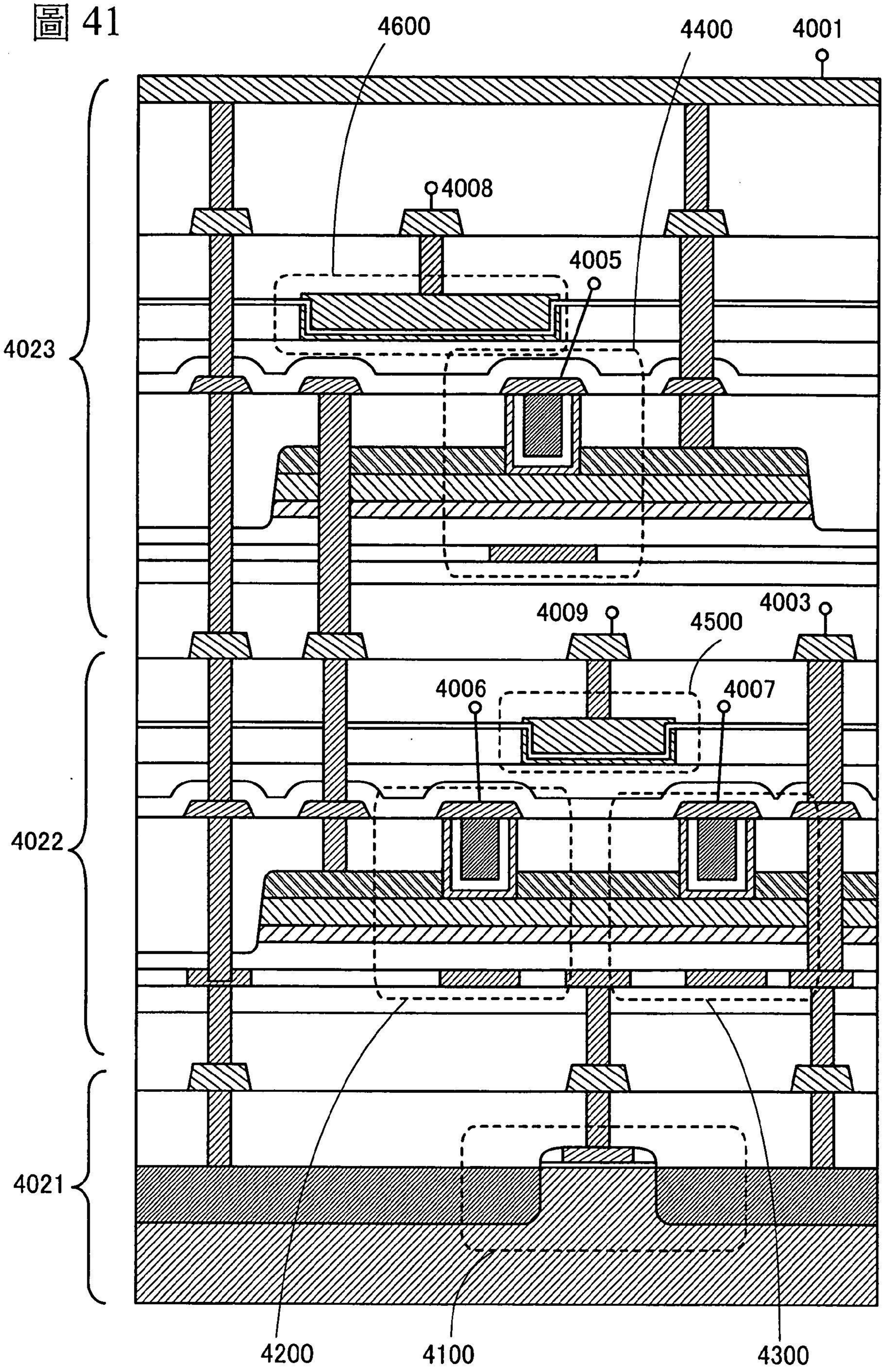

4600
4400
4001
4008
4005
4023
4009
4500
4003
4006
4007
4022
4021
4200
4100
4300

圖 42A

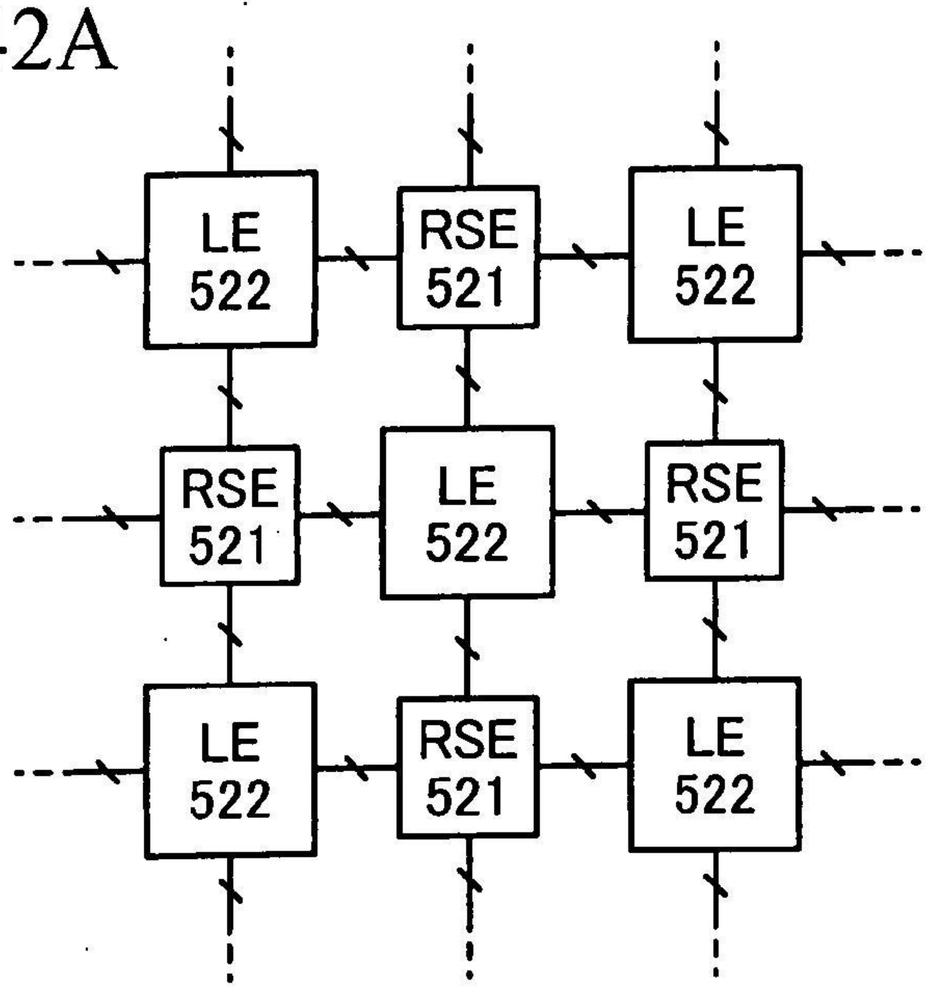


圖 42B

521

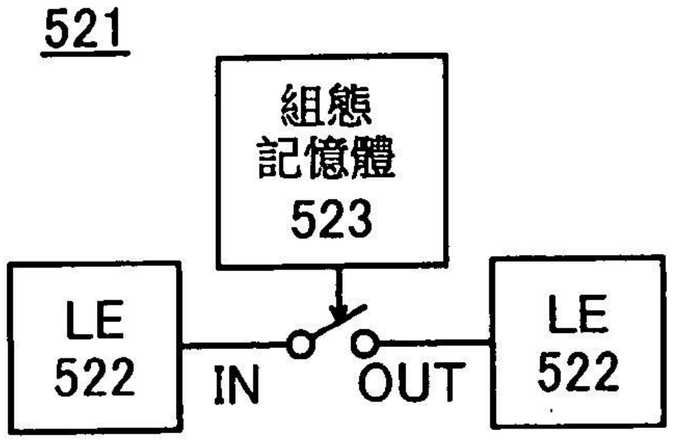


圖 42C

523

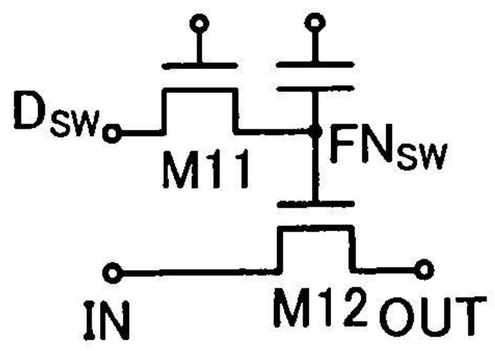


圖 42D

522

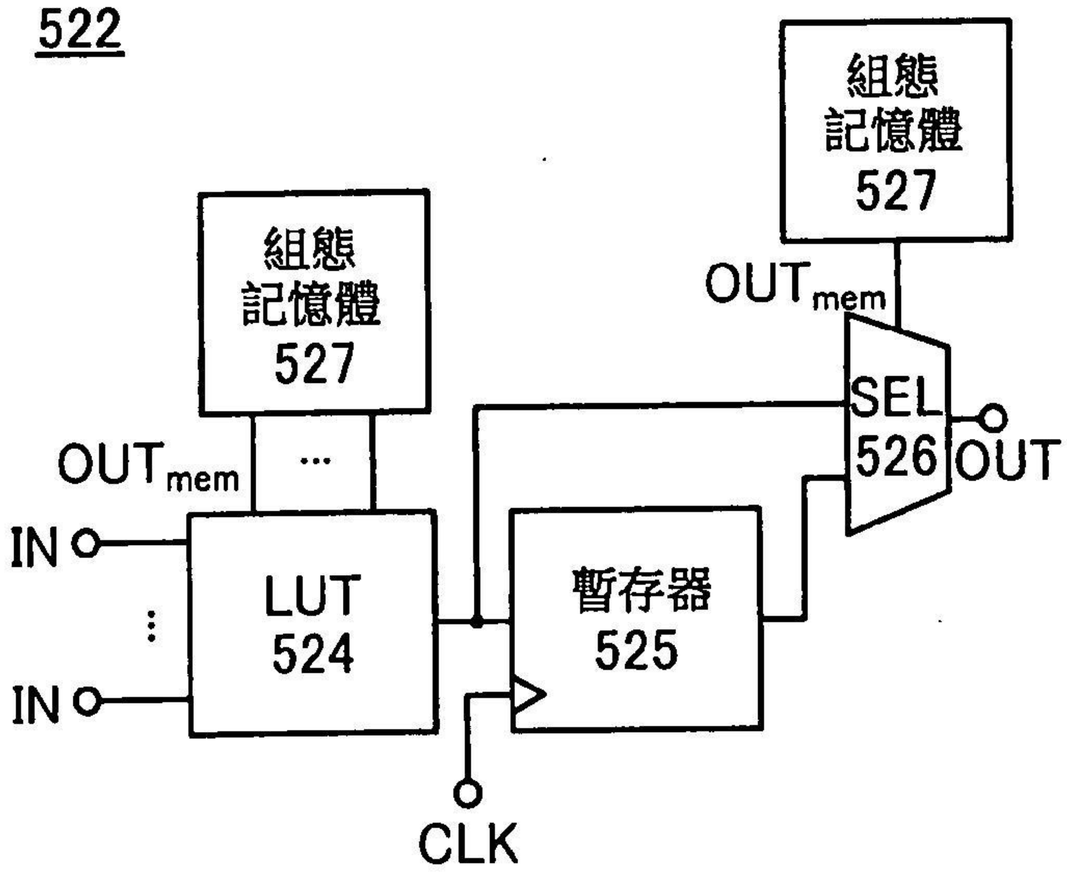


圖 42E

527

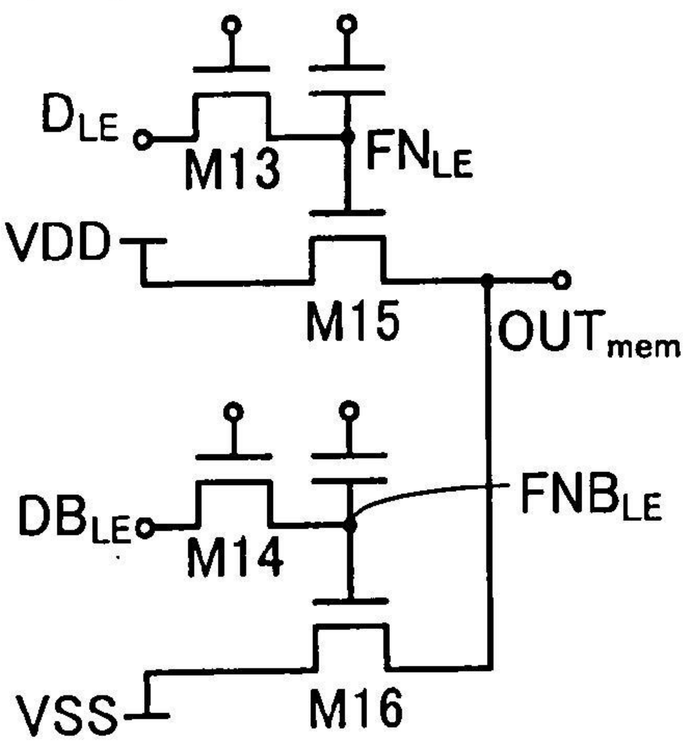


圖 43A

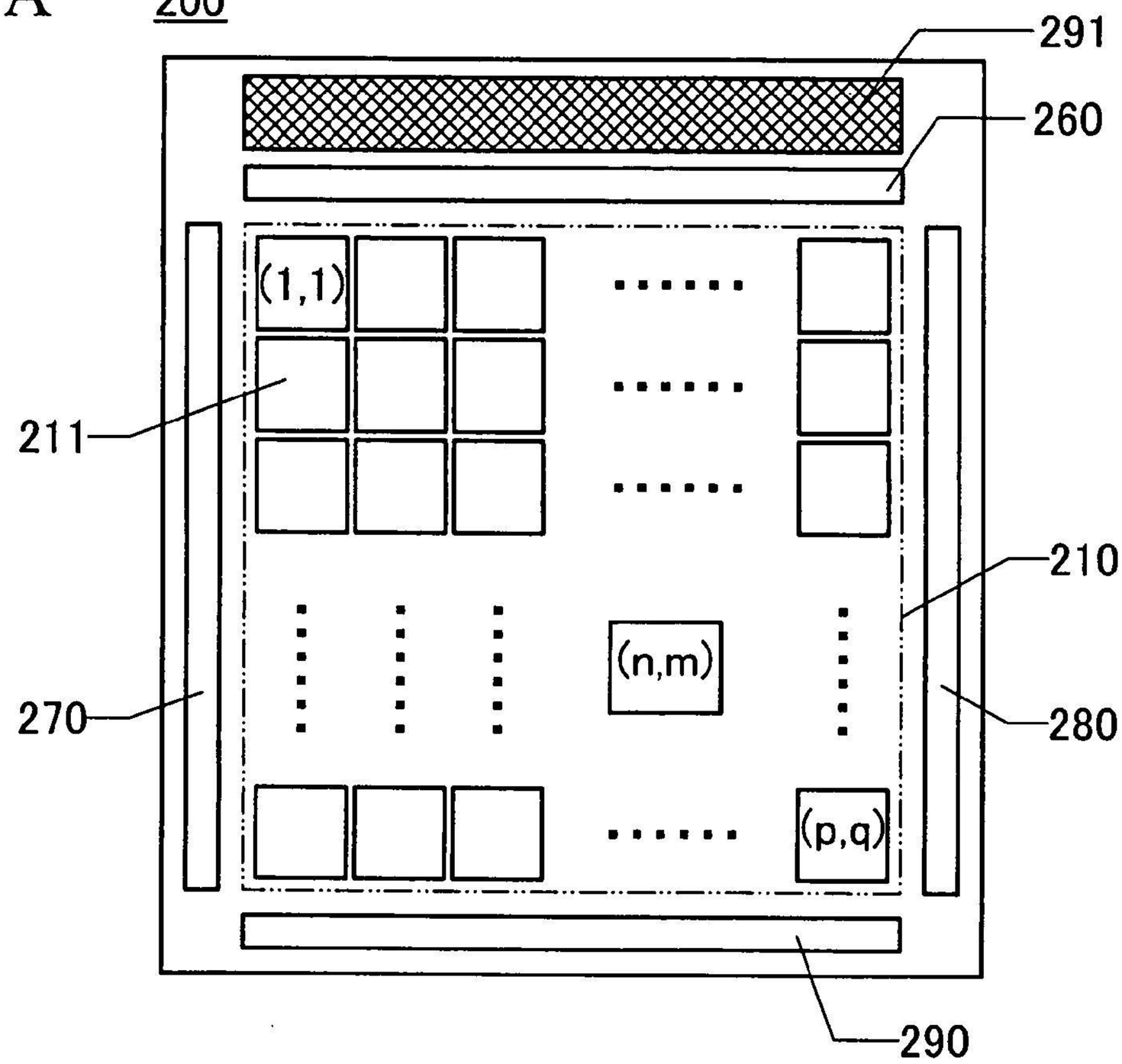

200
291
260
(1,1)
211
(n,m)
210
270
280
(p,q)
290

圖 43B

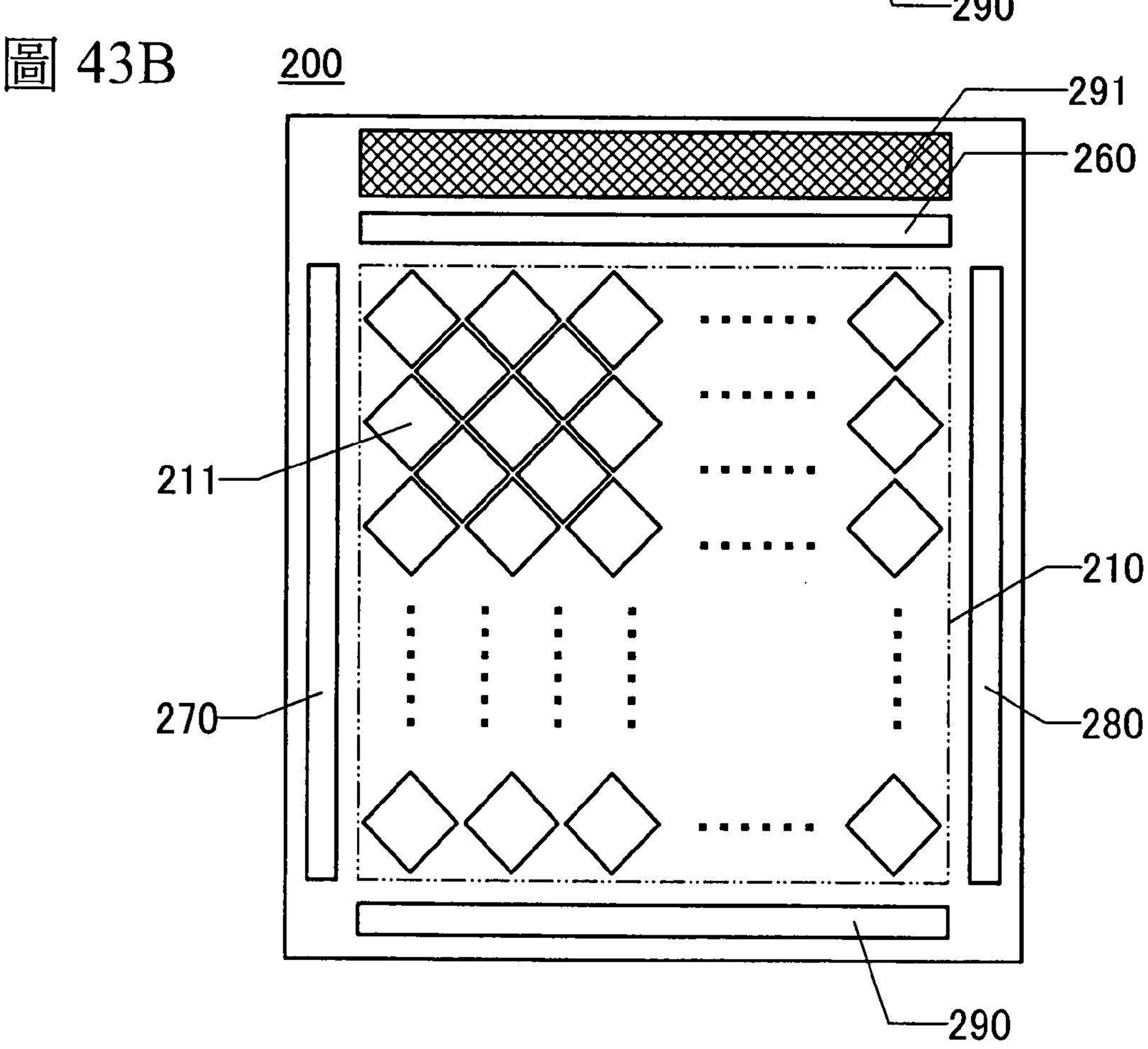

200
291
260
211
210
270
280
290

圖 44A

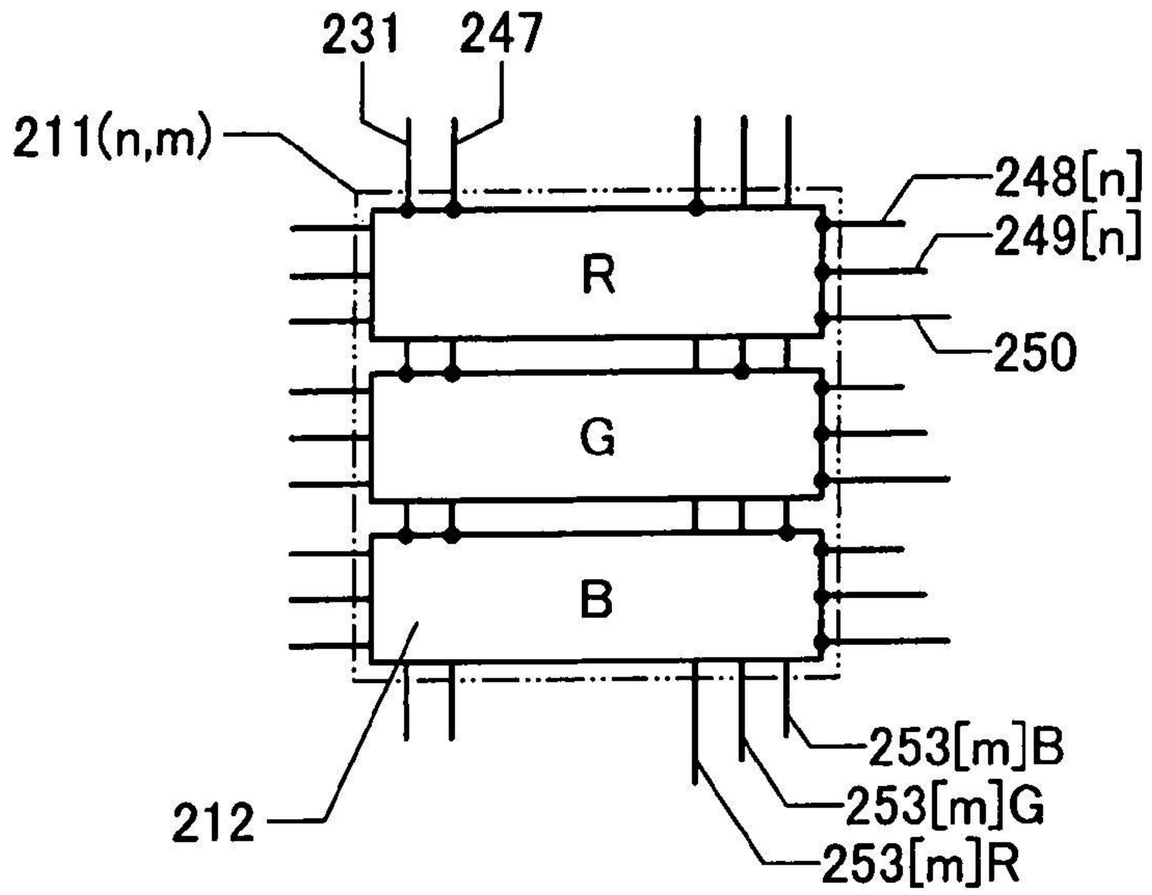

231
247
211(n,m)
248[n]
249[n]
R
250
G
B
253[m]B
253[m]G
253[m]R
212

圖 44B

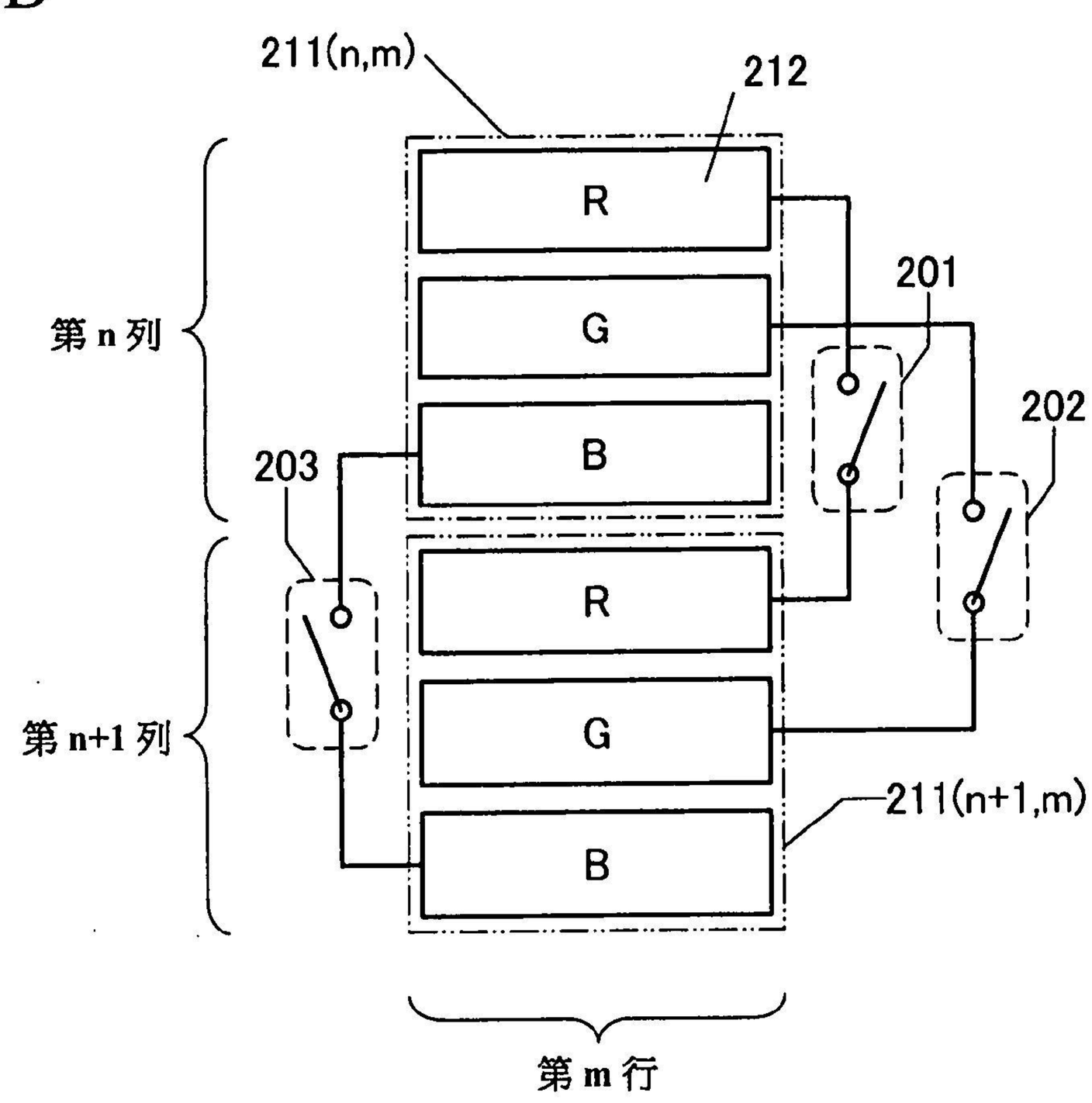

211(n,m)
212
R
G
B
201
202
203
第 n 列
第 n+1 列
R
G
B
211(n+1,m)
第 m 行

圖 45A

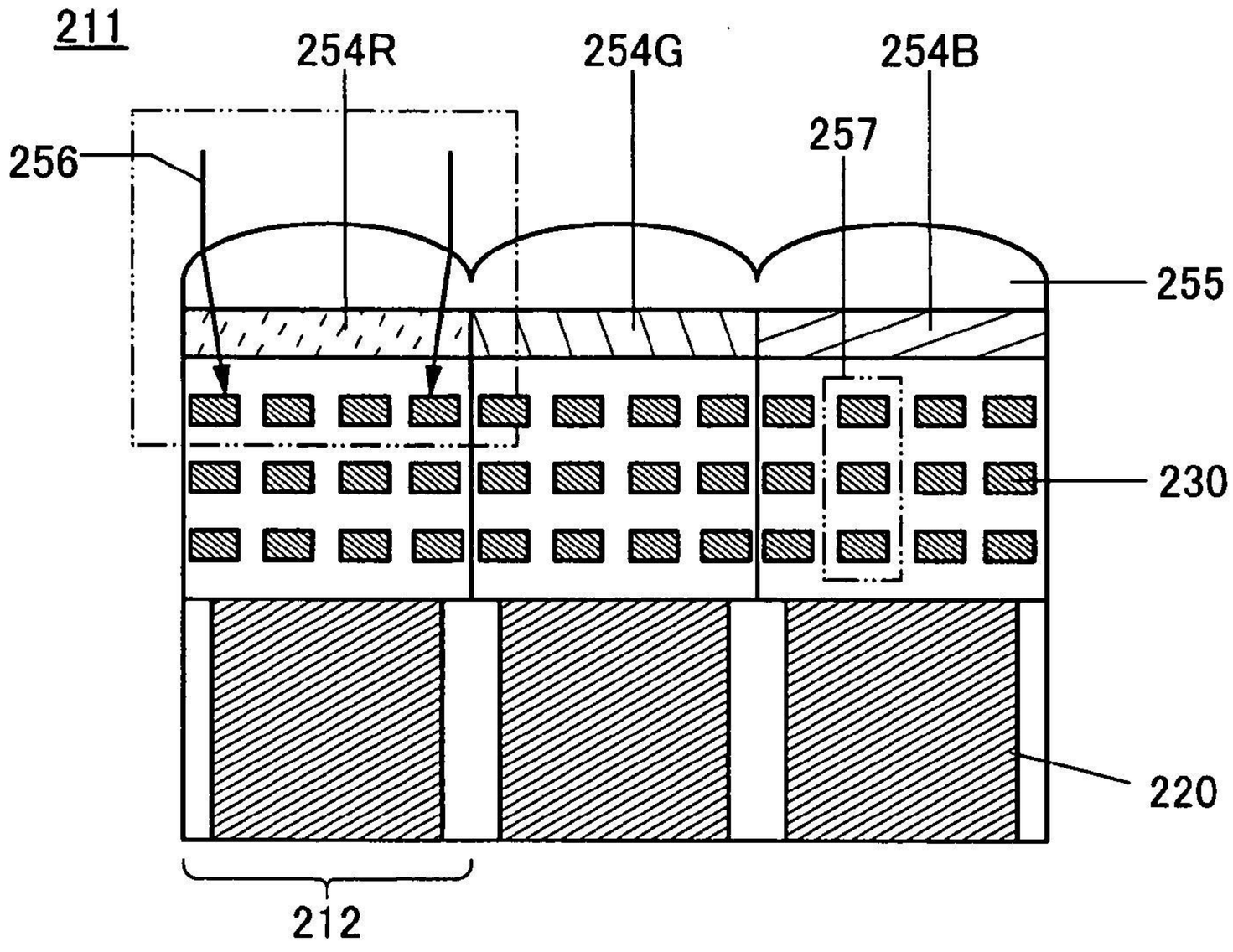

211
254R
254G
254B
256
257
255
230
220
212

圖 45B

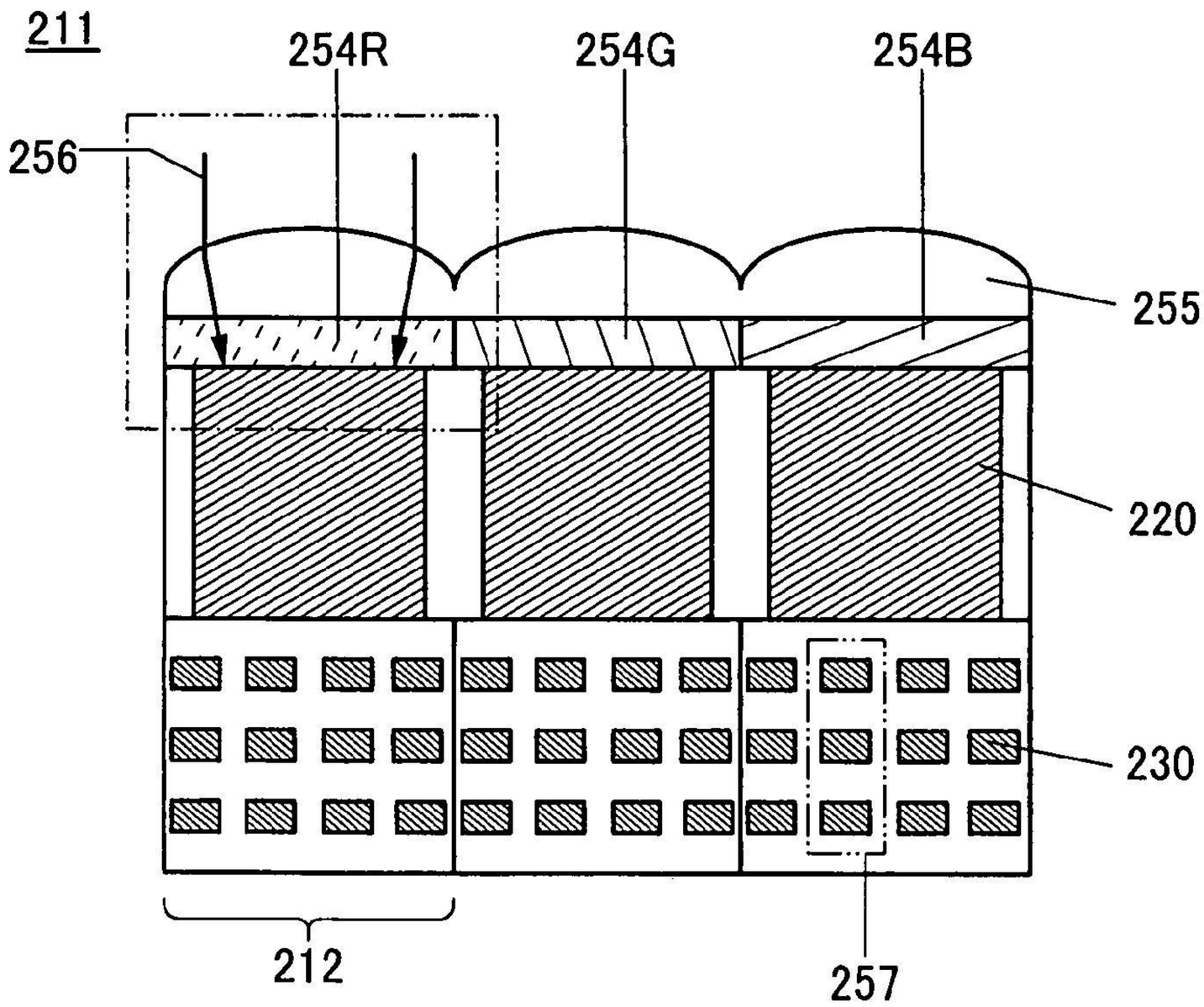

211
254R
254G
254B
256
255
220
230
212
257

圖 46A

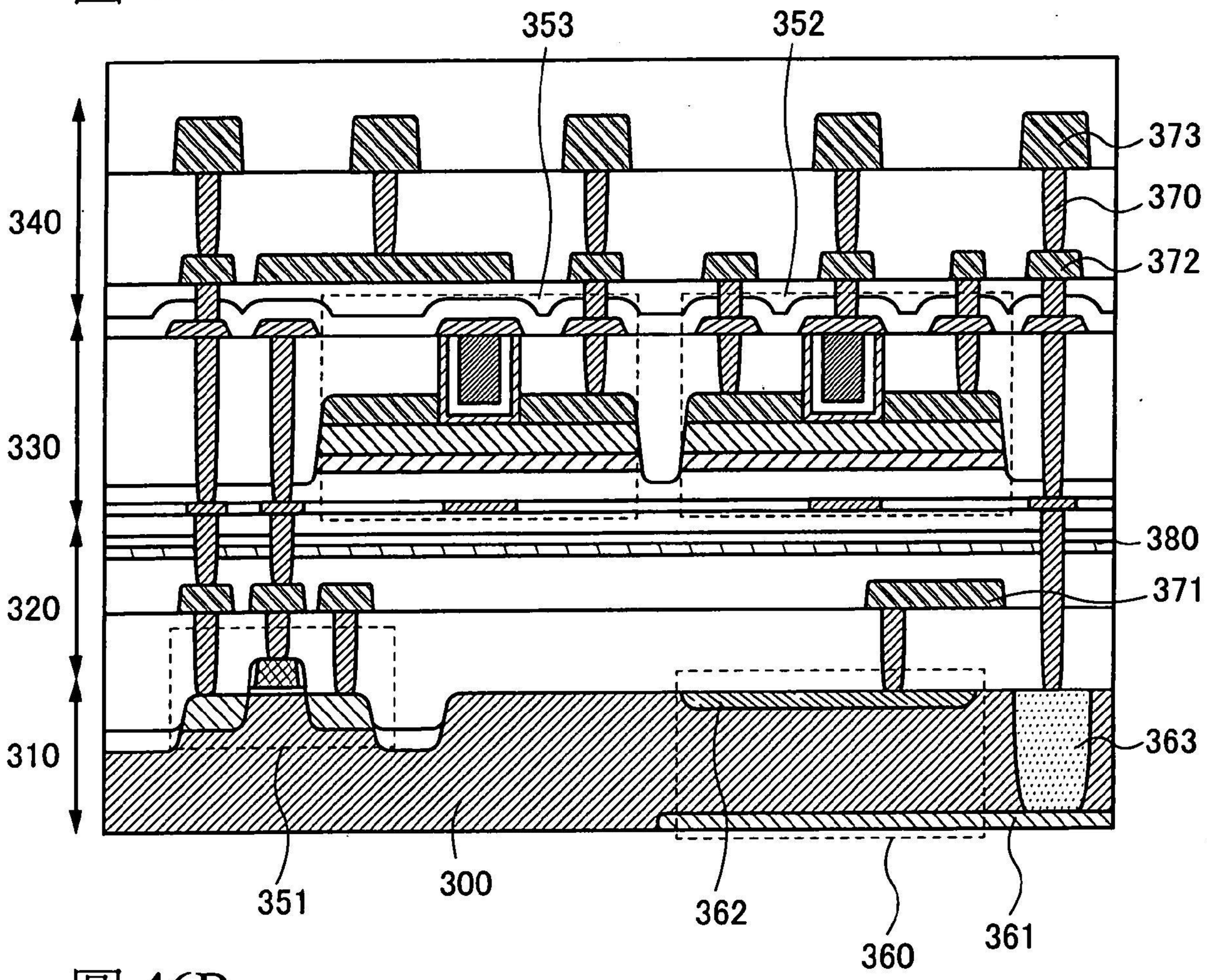

353
352
373
370
372
340
330
380
320
371
310
363
351
300
362
360
361

圖 46B

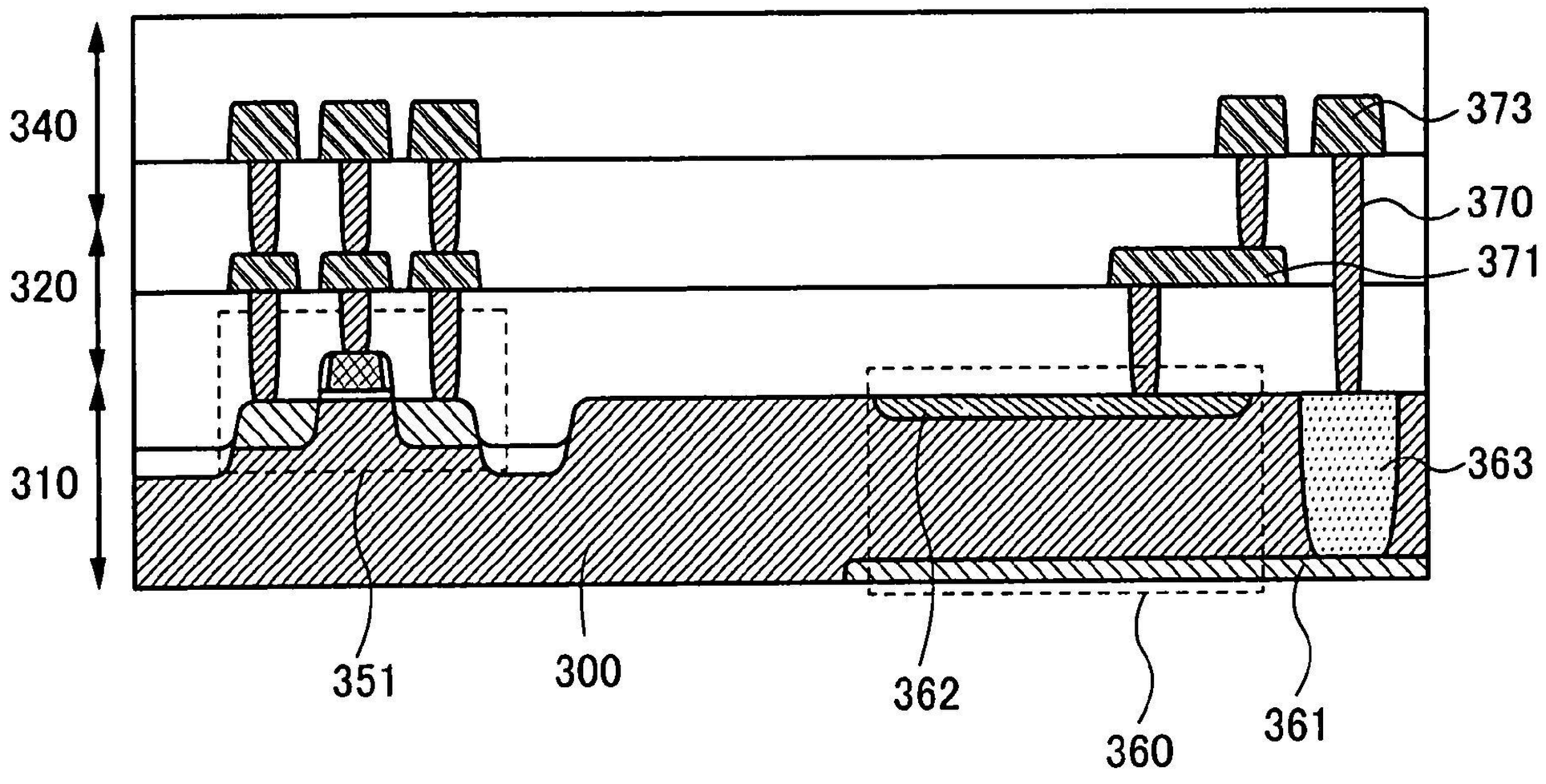

340
320
310
373
370
371
363
351
300
362
360
361

圖 47A1

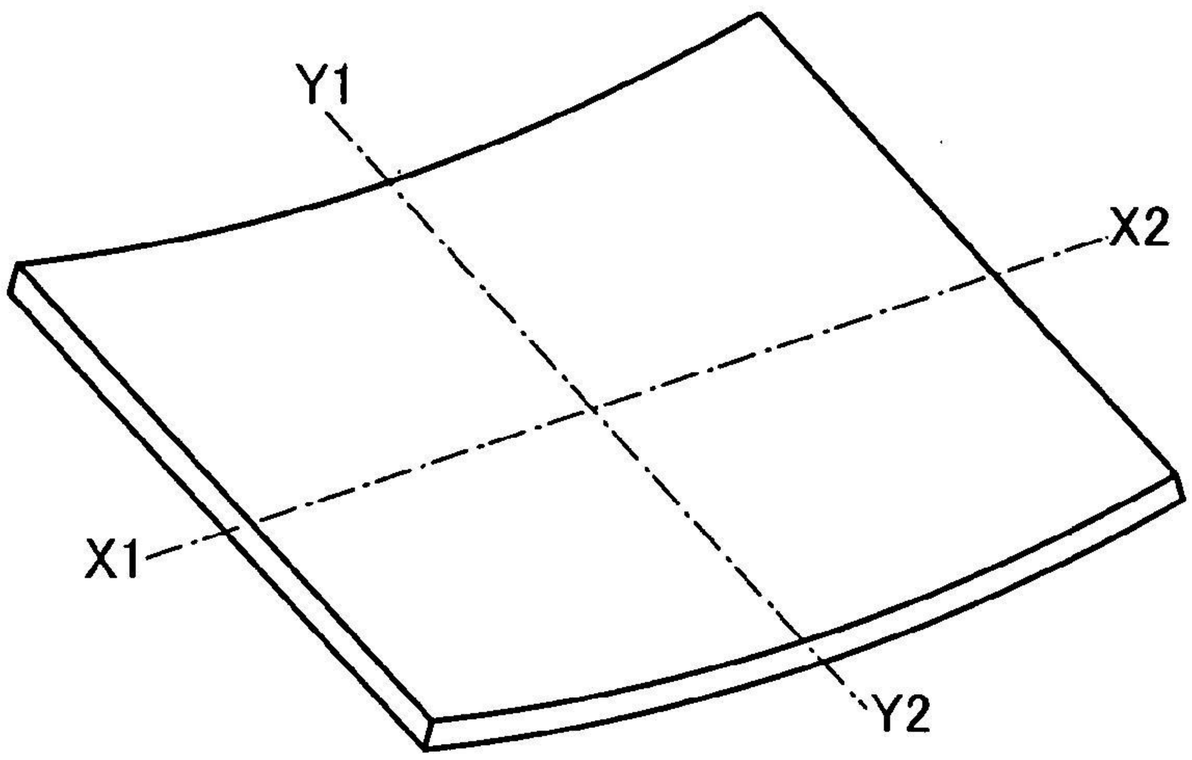


圖 47A2

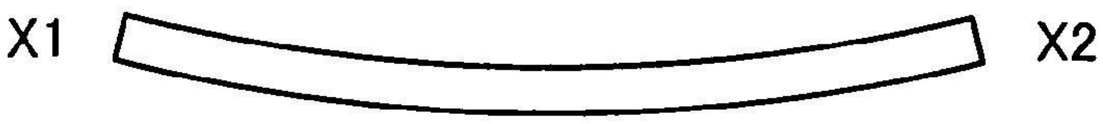


圖 47A3



圖 47B1

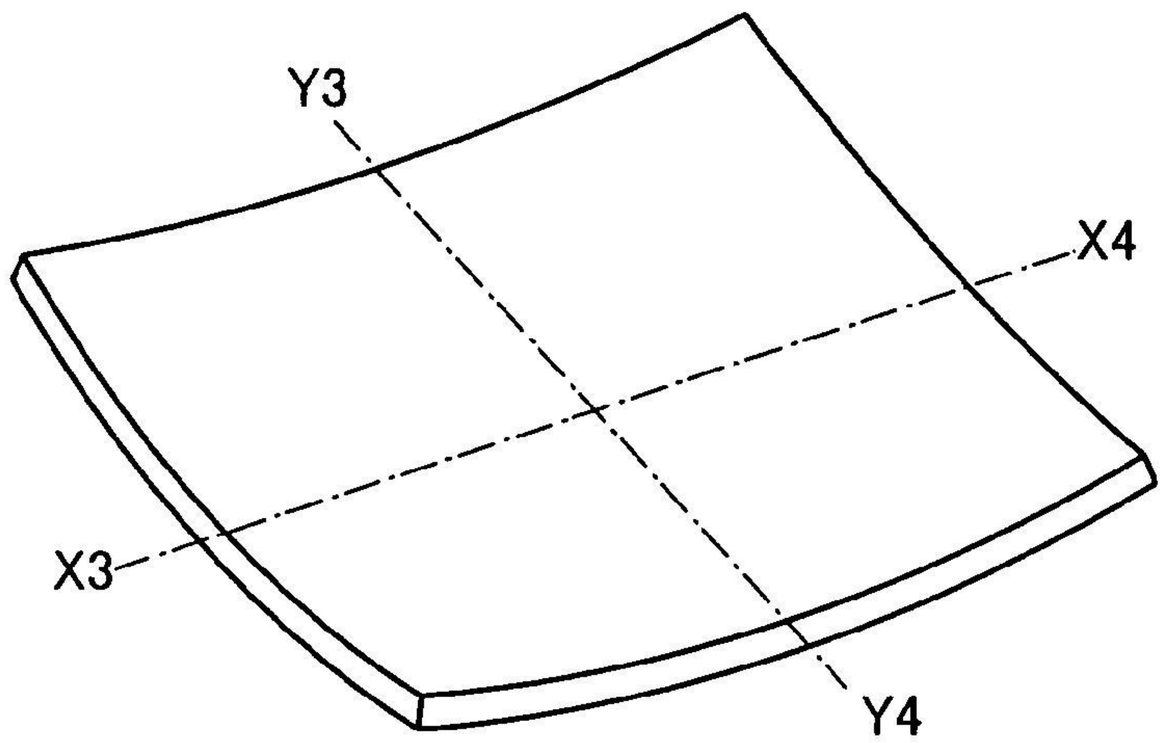


圖 47B2



圖 47B3



圖 48

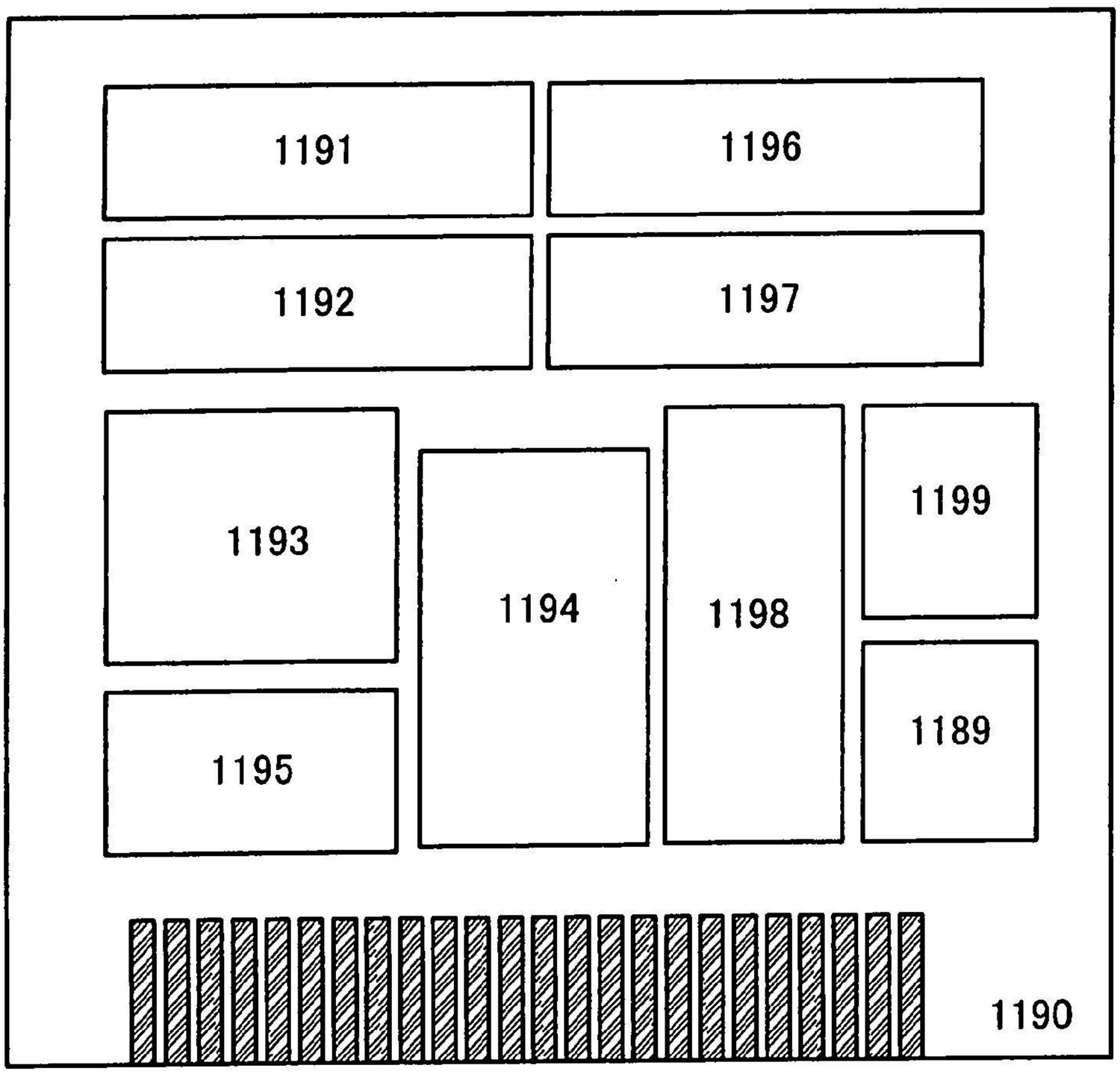


圖 49

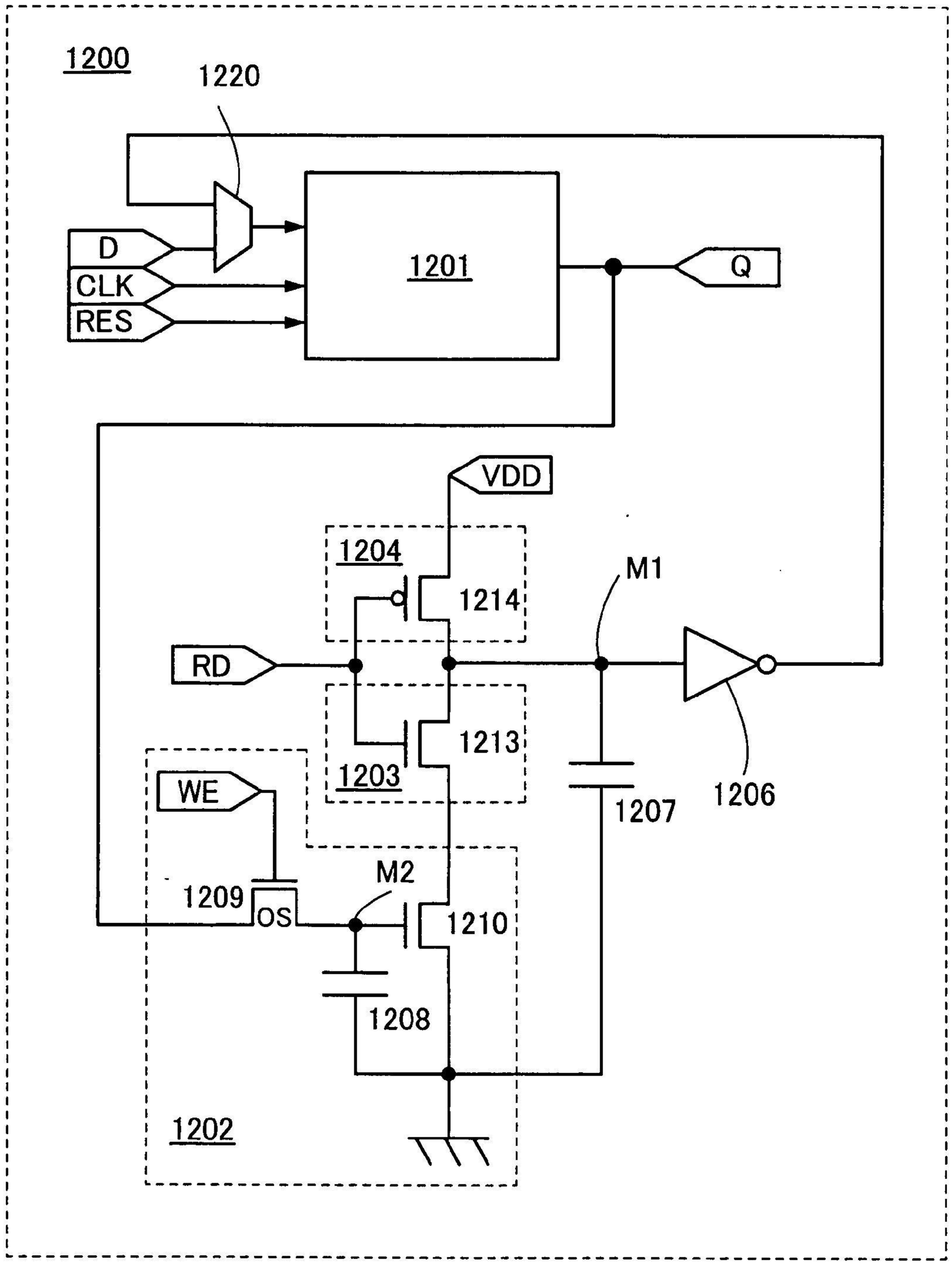

1200
1220
D
CLK
RES
1201
Q
VDD
1204
1214
M1
RD
1213
1203
WE
1207
1206
M2
1209
OS
1210
1208
1202

圖 50A

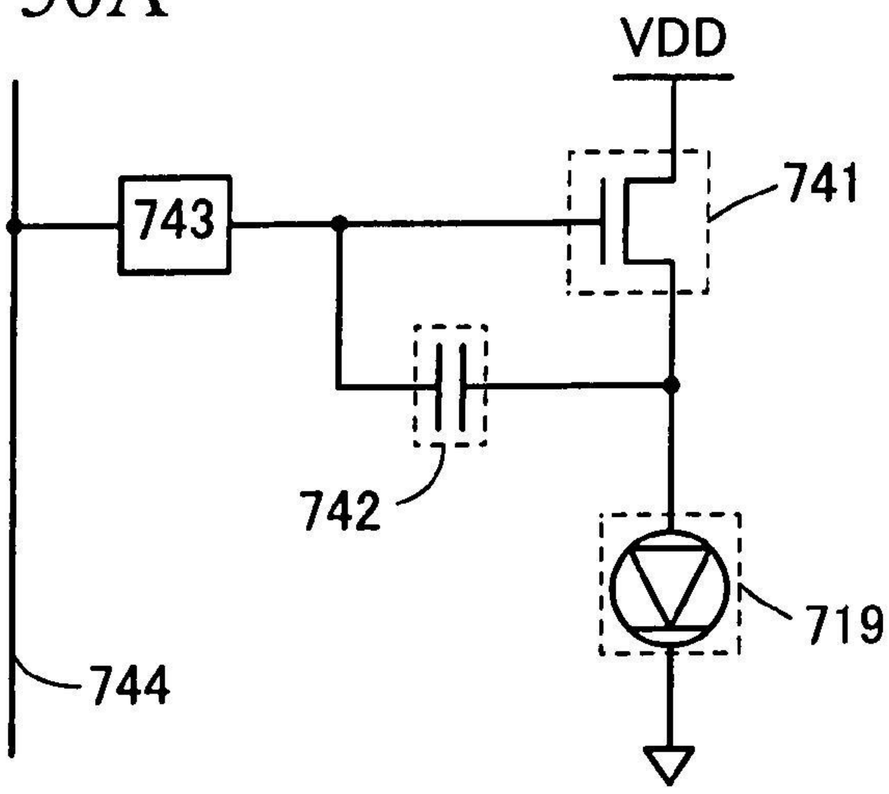


圖 50B

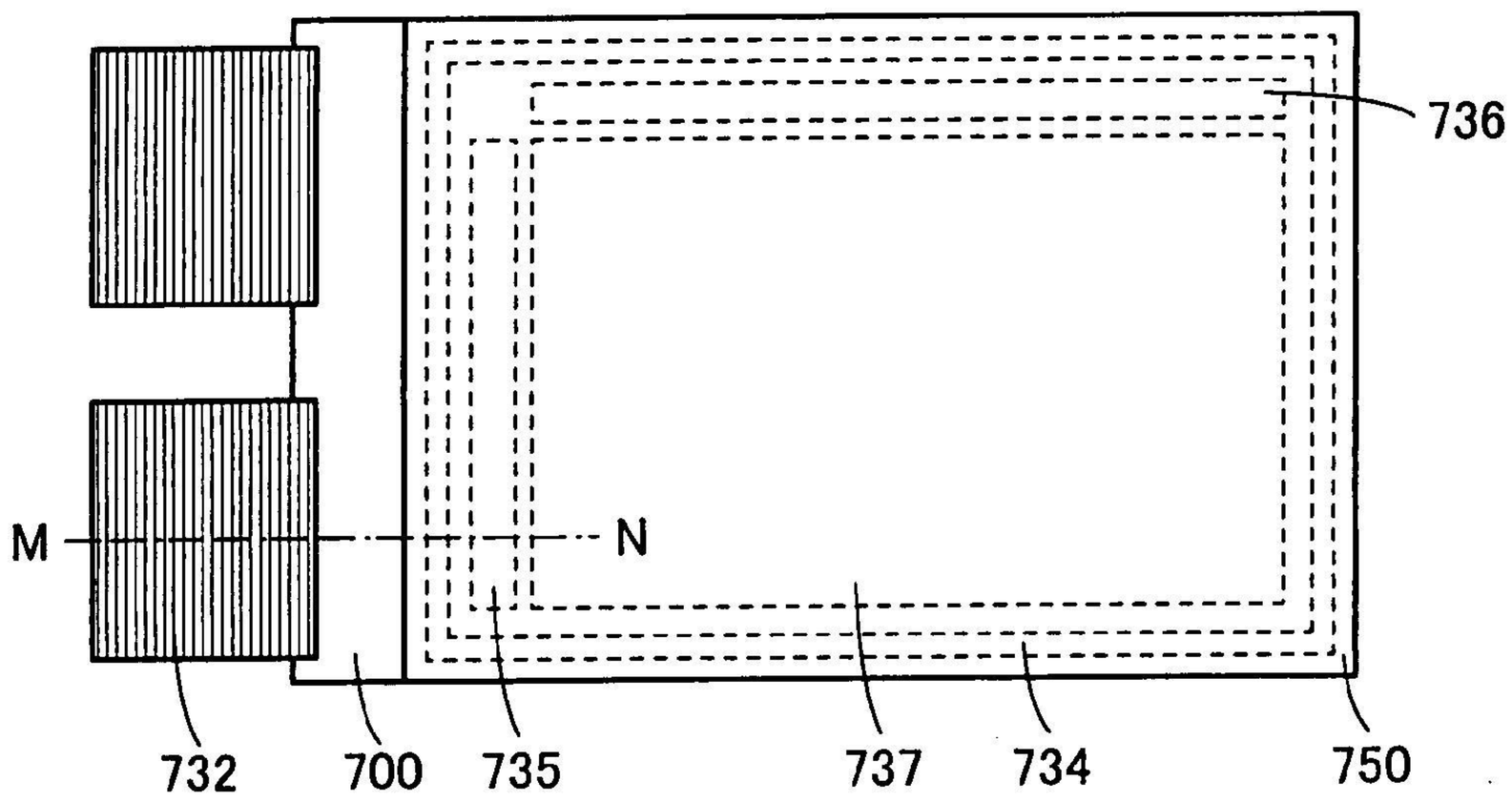


圖 50C

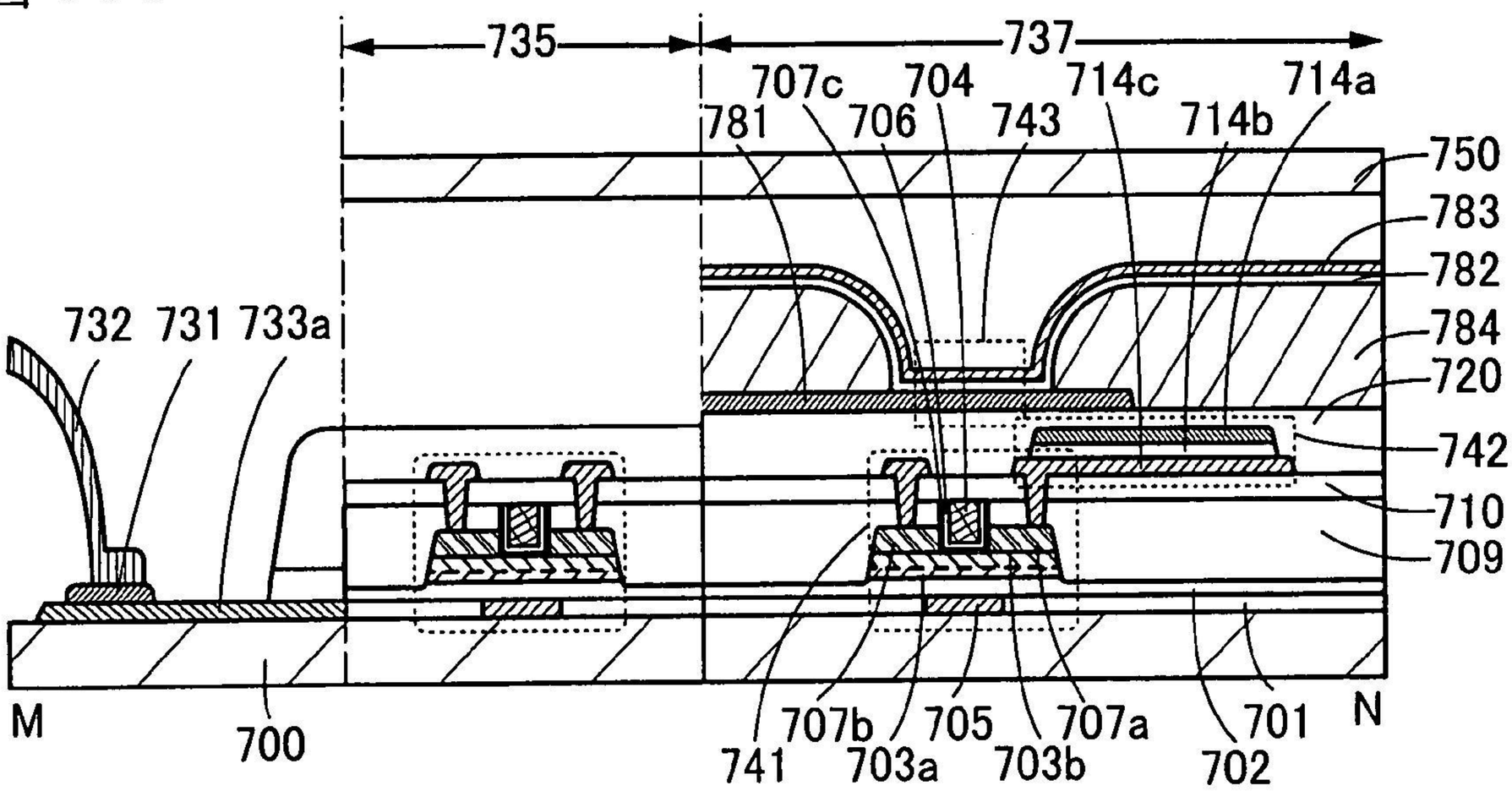


圖 51A

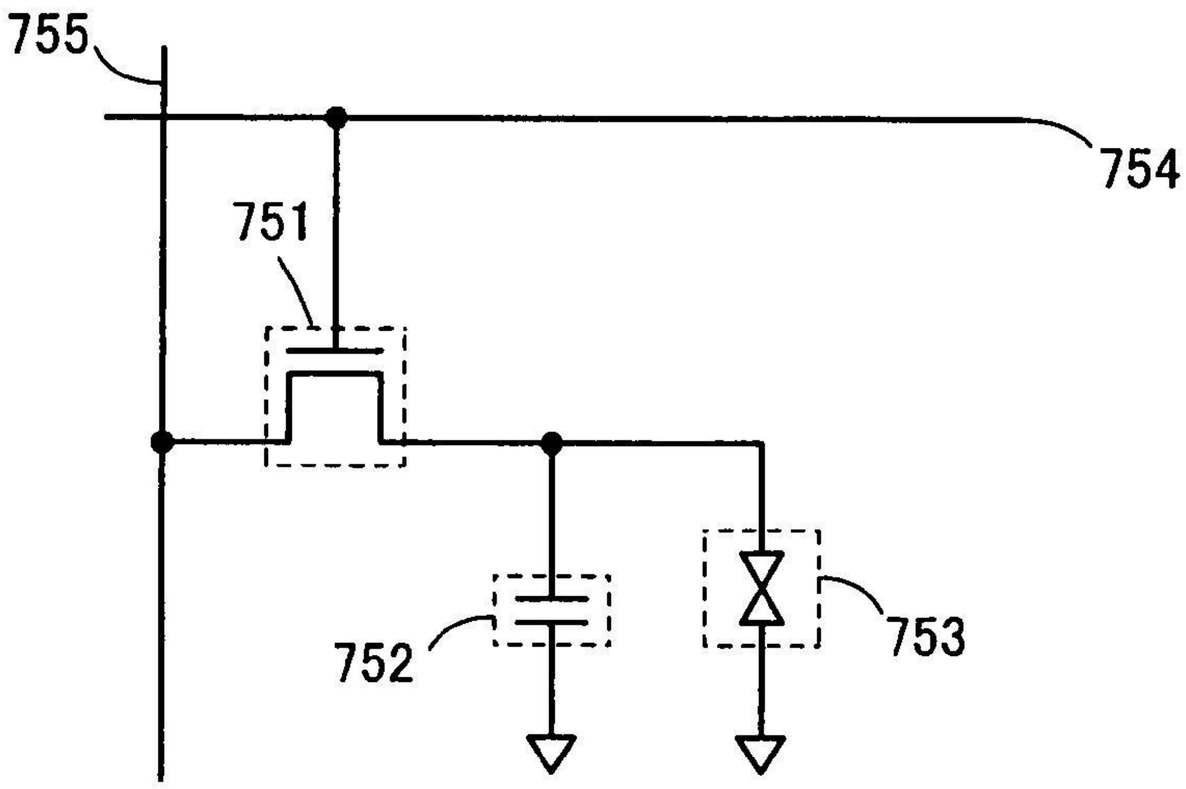

755
754
751
752
753

圖 51B

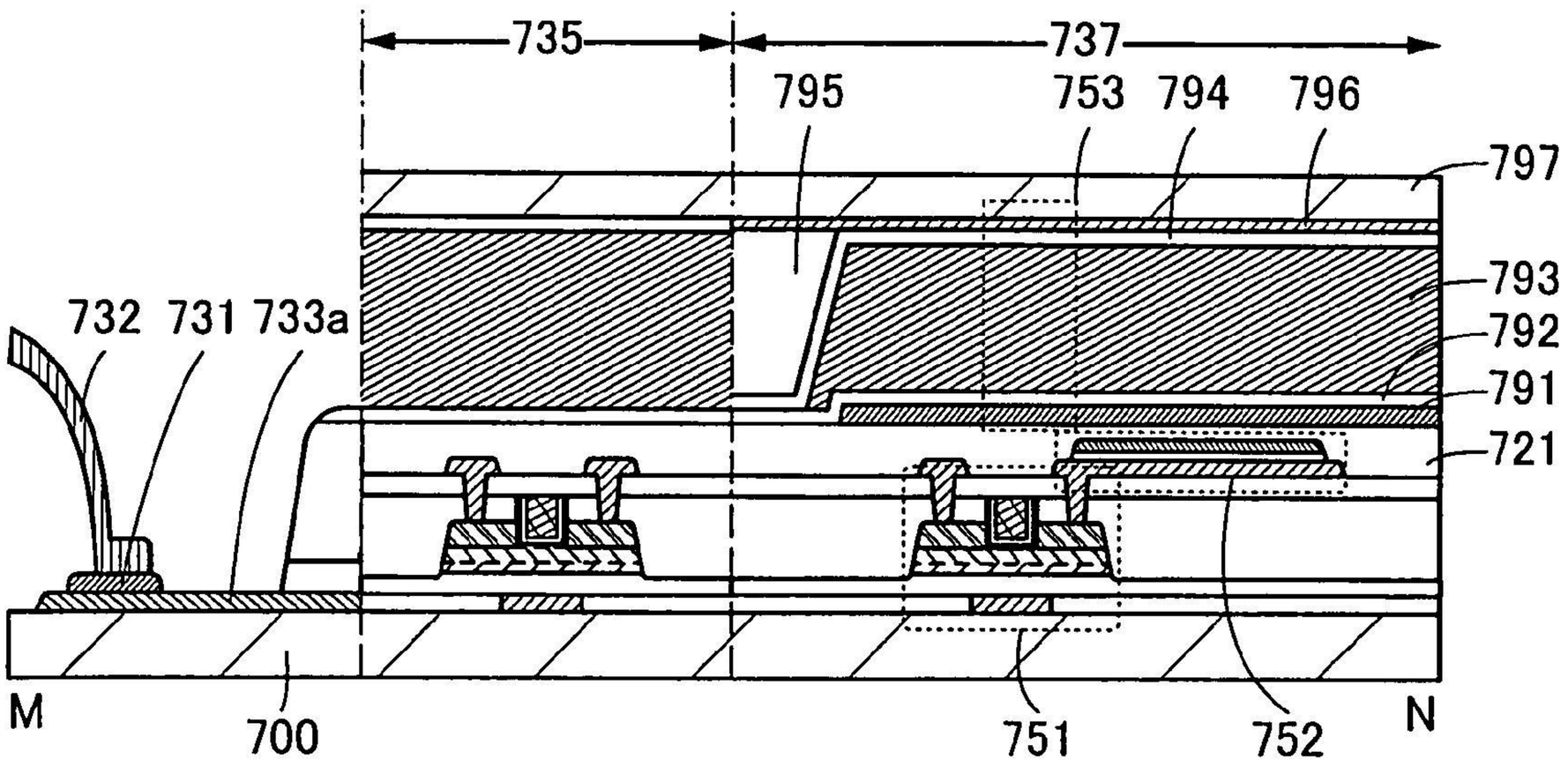

735
737
795
753
794
796
797
793
792
791
721
732
731
733a
M
700
751
752
N

圖 52A

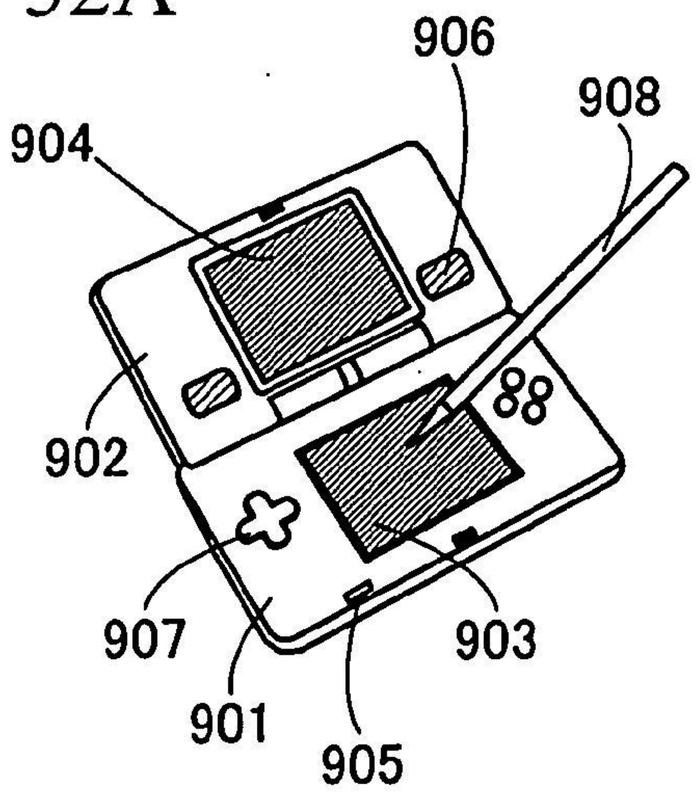


圖 52B

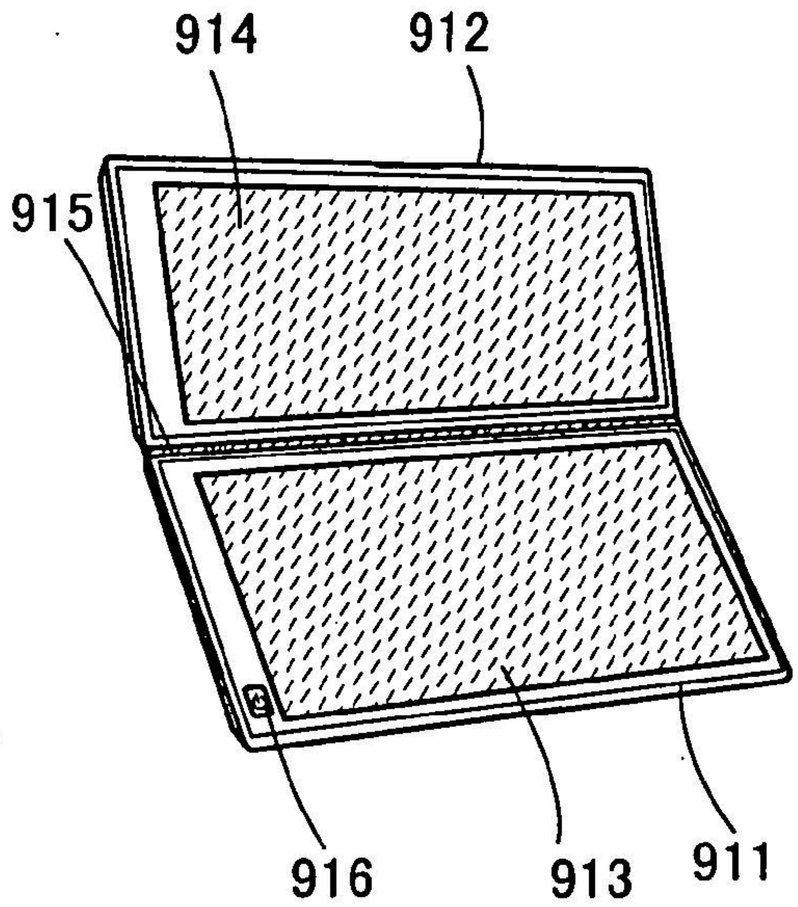


圖 52C

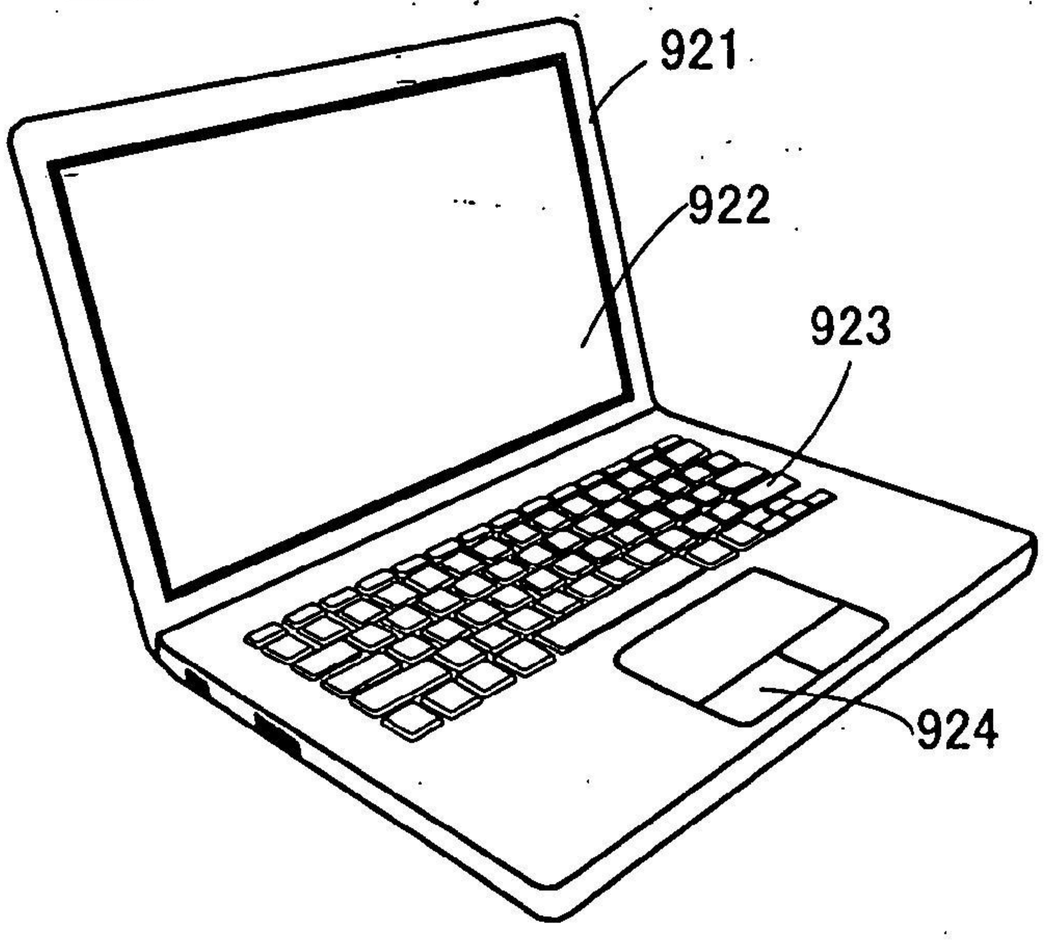


圖 52D

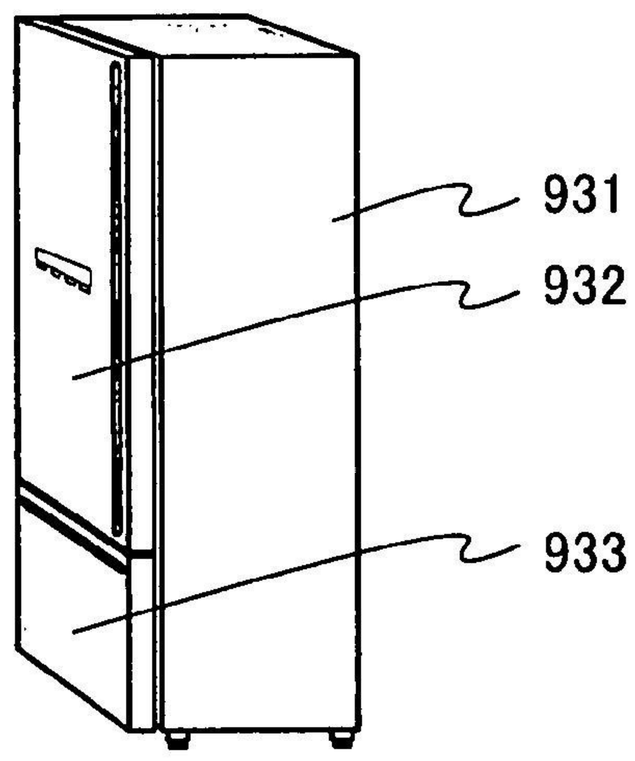


圖 52E

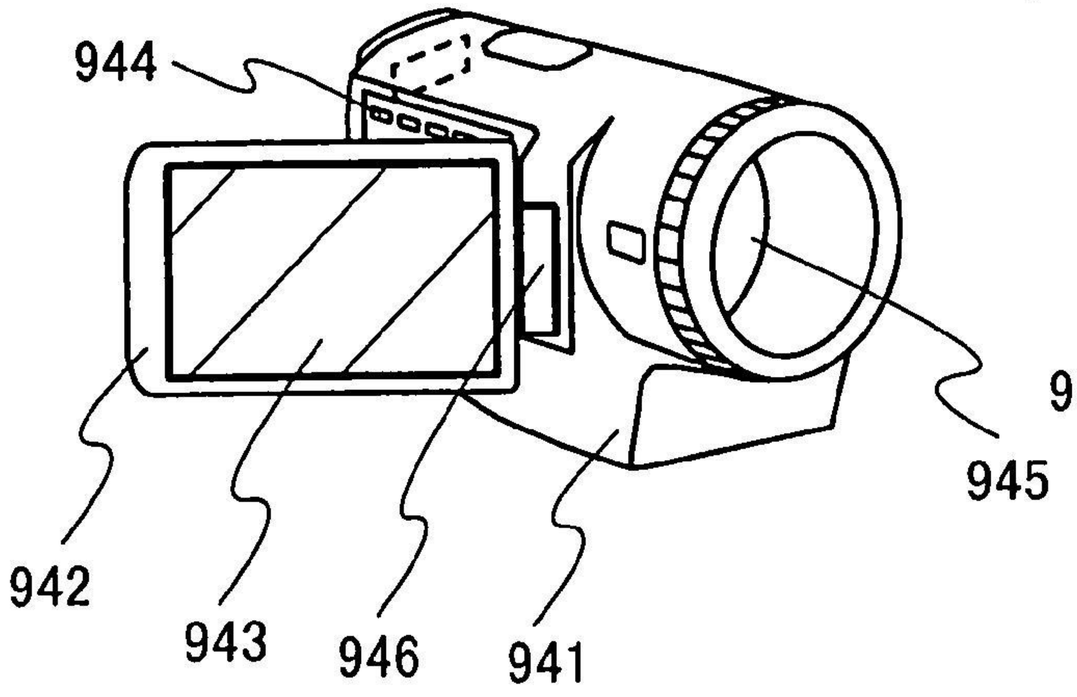


圖 52F

