



(12) 发明专利

(10) 授权公告号 CN 102034873 B

(45) 授权公告日 2014. 04. 16

(21) 申请号 201010275594. 9

审查员 张剑铭

(22) 申请日 2010. 09. 08

(30) 优先权数据

2009-227013 2009. 09. 30 JP

(73) 专利权人 索尼公司

地址 日本东京

(72) 发明人 菅野道博 河村隆宏

(74) 专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290

代理人 武玉琴 陈桂香

(51) Int. Cl.

H01L 29/786 (2006. 01)

H01L 29/41 (2006. 01)

H01L 21/336 (2006. 01)

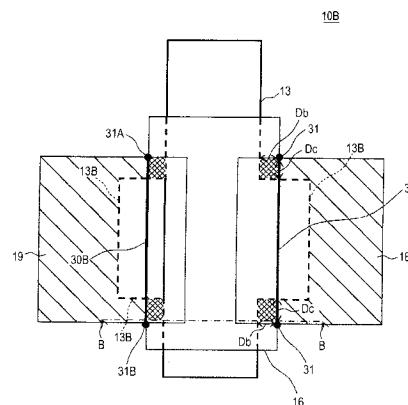
权利要求书3页 说明书17页 附图16页

(54) 发明名称

薄膜晶体管和制造薄膜晶体管的方法

(57) 摘要

本发明涉及薄膜晶体管。该薄膜晶体管包括：绝缘膜；在绝缘膜中的栅极电极，该栅极电极在平面图时具有周缘；在绝缘膜上的半导体薄膜；在半导体薄膜上的沟道保护层，沟道保护层在平面图中具有带有两个相对边缘的周缘；在半导体薄膜上的第1电极，其具有与沟道保护层的一个边缘重叠的部分；在半导体薄膜上的第2电极，其具有与沟道保护层的另一边缘重叠的部分；其中，在平面图中，边缘点存在于第1或第2电极与沟道保护层的边缘重叠之处，一个边缘点为沿沟道保护层的周缘的部分，以及在平面图中，至少一个边缘点位于栅极电极的周缘的外侧。该薄膜晶体管能够在不损失导通电阻的情况下消除或缓解寄生电容与漏电流之间的折衷。



1. 一种薄膜晶体管,其包括:
绝缘膜;
在所述绝缘膜中的栅极电极,该栅极电极在平面图中具有周缘;
在所述绝缘膜上的半导体薄膜;
在所述半导体薄膜上的沟道保护层,所述沟道保护层在所述平面图中具有带两个相对边缘的周缘;
在所述半导体薄膜上的第 1 电极,其具有与所述沟道保护层的一个边缘重叠的部分;
在所述半导体薄膜上的第 2 电极,其具有与所述沟道保护层的另一边缘重叠的部分;
其中,
在所述平面图中,边缘点存在于所述第 1 或第 2 电极与所述沟道保护层的边缘重叠之处,一个边缘点为沿所述沟道保护层的周缘的部分,以及
在所述平面图中,至少一个边缘点位于所述栅极电极的周缘的外侧,在各所述第 1 电极和所述第 2 电极上边缘点之间的部分为轮廓部分,
所述栅极电极的凸形部分别向所述第 1 电极和所述第 2 电极突出,并与所述轮廓部分重叠;或者所述栅极电极的宽度小于所述轮廓部分的长度,所述栅极电极在其整个宽度范围内与所述轮廓部分重叠。
2. 根据权利要求 1 所述的薄膜晶体管,其中:在所述平面图中,所述第 1 和第 2 电极中每一个电极的至少一个边缘点位于所述栅极电极的周缘的外侧。
3. 根据权利要求 1 所述的薄膜晶体管,其中:在所述平面图中,所述沟道保护层的至少一个边缘具有切口部分。
4. 根据权利要求 3 所述的薄膜晶体管,其中:在所述平面图中,相应的第 1 或第 2 电极伸入所述至少一个切口部分内。
5. 根据权利要求 3 所述的薄膜晶体管,其中:在所述平面图中,所述沟道保护层的每一个边缘均具有切口部分,并且第 1 和第 2 电极伸入相应的切口部分内。
6. 根据权利要求 1 所述的薄膜晶体管,其中:在所述平面图中,所述栅极电极比所述沟道保护层宽。
7. 根据权利要求 1 所述的薄膜晶体管,其中:所述第 1 和第 2 电极均由低电阻布线材料制成。
8. 根据权利要求 1 所述的薄膜晶体管,其中:所述第 1 和第 2 电极中的至少一个由钛制成。
9. 根据权利要求 1 所述的薄膜晶体管,其中:在所述平面图中,所述栅极电极的中心偏离所述沟道保护层的中心。
10. 根据权利要求 1 所述的薄膜晶体管,其中:所述栅极电极的表面与所述绝缘膜的表面齐平。
11. 一种制造薄膜晶体管的方法,其包括以下步骤:
形成绝缘膜;
在所述绝缘膜中形成栅极电极,该栅极电极在平面图中具有周缘;
在所述绝缘膜上形成半导体薄膜;
在所述半导体薄膜上形成沟道保护层,该沟道保护层在平面视图中具有带两个相对边

缘的周缘；

在所述半导体薄膜上形成第 1 电极，所述第 1 电极具有与所述沟道保护层的一个边缘重叠的部分；

在所述半导体薄膜上形成第 2 电极，所述第 2 电极具有与所述沟道保护层的另一边缘重叠的部分；

其中，

在所述平面图中，边缘点存在于所述第 1 或第 2 电极与所述沟道保护层的边缘重叠之处，一个边缘点为沿所述沟道保护层的周缘的部分，以及

在所述平面图中，至少一个边缘点位于所述栅极电极的周缘的外侧，在各所述第 1 电极和所述第 2 电极上边缘点之间的部分为轮廓部分，

所述栅极电极的凸形部分别向所述第 1 电极和所述第 2 电极突出，并与所述轮廓部分重叠；或者所述栅极电极的宽度小于所述轮廓部分的长度，所述栅极电极在其整个宽度范围内与所述轮廓部分重叠。

12. 根据权利要求 11 所述的方法，其中：在所述平面图中，所述第 1 和第 2 电极中每一个电极的至少一个边缘点位于所述栅极电极的周缘的外侧。

13. 根据权利要求 11 所述的方法，其中：在所述平面图中，所述沟道保护层的至少一个边缘具有切口部分。

14. 根据权利要求 13 所述的方法，其中：在所述平面视图中，相应的第 1 或第 2 电极伸入所述至少一个切口部分内。

15. 根据权利要求 13 所述的方法，其中：在所述平面图中，所述沟道保护层的每一个边缘均具有切口部分，并且第 1 和第 2 电极伸入相应的切口部分内。

16. 根据权利要求 11 所述的方法，其中：在所述平面图中，所述栅极电极比所述沟道保护层宽。

17. 根据权利要求 11 所述的方法，其中：所述第 1 和第 2 电极均由低电阻布线材料制成。

18. 根据权利要求 11 所述的方法，其中：所述第 1 和第 2 电极中的至少一个由钛制成。

19. 根据权利要求 11 所述的方法，其中：在所述平面图中，所述栅极电极的中心偏离所述沟道保护层的中心。

20. 根据权利要求 11 所述的方法，其中：所述栅极电极的表面与所述绝缘膜的表面齐平。

21. 一种薄膜晶体管，其包括：

半导体薄膜；

栅极电极，该栅极电极在平面图中具有周缘；

与所述半导体薄膜相连的第 1 电极，所述第 1 电极具有在平面图中沿第一方向朝所述栅极电极延伸的部分，该部分具有朝向所述栅极电极的边缘；以及

与所述半导体薄膜相连的第 2 电极，所述第 2 电极具有在平面图中沿与所述第一方向相反的第二方向朝所述栅极电极延伸的部分，该部分具有朝向所述栅极电极的边缘；

其中，

在所述平面图中，所述第 1 和第 2 电极的一个边缘的至少一部分位于所述栅极电极的

周缘的外侧，

所述栅极电极的宽度小于轮廓部分的长度，所述栅极电极在其整个宽度范围内与所述轮廓部分重叠，其中所述轮廓部分对应于与所述半导体膜重叠的所述第 1 电极和所述第 2 电极的轮廓部分。

薄膜晶体管和制造薄膜晶体管的方法

[0001] 相关申请的交叉参考

[0002] 本申请要求于 2009 年 9 月 30 日向日本专利局提交的日本在先专利申请 JP2009-227013 的优先权,在此将该在先申请的全部内容以引用的方式并入本文。

技术领域

[0003] 本发明涉及薄膜晶体管和制造薄膜晶体管的方法。所述薄膜晶体管用于半导体器件中,所述薄膜晶体管具有栅极电极和两个其它电极(源极电极和漏极电极),这些电极形成在以与基板绝缘的状态层叠于基板上的半导体薄膜上,所述栅极电极能够控制沟道的形成。

背景技术

[0004] 在将薄膜晶体管用作显示装置中的像素电路的一个元件时,如果在栅极未激活的情况下源极与漏极之间流动的电流较大,则闪烁点或发光点会出现在显示图像中并作为像素特性异常现象被检测。因此,要求薄膜晶体管应抑制其截止电流。但为了提高亮度,重要的又是降低导通电阻以确保必需的导通电流。因此,要求提高薄膜晶体管的导通电流与其截止电流之比(导通-截止比)。另外,要求薄膜晶体管能够表现出对于电流控制的较高响应度,即表现出优良的频率特性。

[0005] 除了显示装置中的像素电路的元件以外,通常还要求电路元件根据使用这些电路元件的电路的特性,也满足上述要求。

[0006] 已知的一种所谓平面状薄膜晶体管(TFT)结构在同一半导体膜中限定有沟道形成区域并在沟道形成区域的两侧面上限定有两个源极-漏极区域。例如,参见日本专利申请 JP-A-2002-313808 和 JP-A-2006-313776。

[0007] 在日本专利申请 JP-A-2002-313808 中,对于平面状薄膜晶体管而言,作为用于在不减小导通电流的情况下抑制截止电流的方法,提出了一种栅极重叠的轻掺杂漏极(LDD)结构。在这种情况下,栅极电极具有与 LDD 区域重叠的双层结构。在双层栅极的形成过程中,以自对准的方式形成含有低浓度杂质的 LDD 区域。由于 LDD 区域是以自对准的方式形成的,因此,可以忽略 LDD 区域与源极/漏极区域的不一致性。于是可以抑制在制造期间发生的特性的变化。

[0008] 在以上结构中,由于第 2 层的栅极电极与 LDD 区域重叠,因此,在薄膜晶体管导通时,LDD 区域的导电率提高并且导通电阻减小。将该结构称为栅极重叠的轻掺杂漏极(GO LDD)结构。

[0009] 在与 LDD 区域重叠的上层的第 2 栅极电极由电阻较高的导电材料(其电阻高于与沟道形成区域相对的下层的第 1 栅极电极)制成时,能够减小寄生电容。

[0010] 根据日本专利申请 JP-A-2006-313776,设置在 LDD 区域上方的绝缘膜较厚以削弱由栅极电压感应产生的电场。另外,将漏极区域中的杂质浓度设计为能够表现出梯度变化。

[0011] 另外,已知一种所谓的交错 TFT 结构,例如,参见日本专利申请 JP-A-2008-258345

和 JP-A-5-275698。

[0012] 这种 TFT 的结构为：在与形成有沟道的一层半导体薄膜不同的层（薄膜）中形成有源极 / 漏极杂质区域。这种结构分为：在半导体薄膜之下的层中设有栅极电极的底部栅极交错型（反向交错型）和在上层中设有栅极电极的顶部栅极交错型（交错型）。

[0013] 根据日本专利申请 JP-A-2008-258345，在底部栅极或顶部栅极交错结构中，使源极 / 漏极区域中的杂质层的杂质浓度朝沟道降低以减小截止电流。

[0014] 在日本专利申请 JP-A-5-275698 中，为了减小截止电流和寄生电容，提出了这样一种布置形状，其中，在栅极电极上形成通过平面视图所示具有凹凸不平度的端部表面，并且，源极电极和漏极电极局部、不连续地与凹凸不平的端部表面重叠。

[0015] 如在日本专利申请 JP-A-2002-313808 中描述的那样，由于能够削弱在 LDD 区域边缘上感应产生的电场，因此，利用 LDD 区域减小漏电流的结构能够减小漏电流。但是，在这种结构中，由于通过沿电流路径均匀形成的 LDD 区域实现的串联电阻器会增大由电流路径形成的串联电阻，因此，这会造成导通电流的损失。

[0016] 在为了保持导通电流而提高 LDD 区域的杂质浓度（降低电阻）时，载流子产生率在漏极抵靠沟道的边缘上的高电场强度区域中增大，并且，截止电流增大。

[0017] 根据采用 LDD 区域的方案，折衷考虑了截止电流的减小与导通电流的保持。

[0018] 日本专利申请 JP-A-2006-313776 和 JP-A-2008-258345 中的每一个均具有以下缺点，即：绝缘膜的结构复杂或杂质浓度的梯度会变化。因此，不能令人满意地达到截止电流减小的效果。

[0019] 寄生电容的减小显著。根据所有的日本专利申请 JP-A-2002-313808、JP-A-2006-313776 和 JP-A-2008-258345，栅极电极与漏极区域或源极区域重叠。如果重叠的面积较宽，则寄生电容会增大以致妨碍高速操作。

[0020] 根据日本专利申请 JP-A-5-275698，缓和了寄生电容的减小与漏电流的减小之间的折衷。详细而言，根据日本专利申请 JP-A-5-275698，对于底部栅极交错结构而言，采用的布置结构为：栅极电极的凸部与漏极电极抵靠在半导体薄膜上的漏极电极的边缘不连续地重叠。

[0021] 但是，该结构的缺陷为：由于通过栅极电极感应产生的电场控制的沟道区域沿栅极宽度的方向（与沟道电流的方向正交的方向）减半，因此，电流驱动能力不足以致不能供给与导通电阻较大时供给的电流相等的大量电流。即，虽然在一定程度上缓和了寄生电容与漏电流之间的折衷，但是，额定导通电阻增大，因此，该结构是不可取的。

[0022] 如上所述，在上述专利文献中披露的技术不能在不损失导通电阻的情况下，消除或缓解寄生电容与漏电流之间的折衷。因此，在将任意现有的薄膜晶体管用作显示装置中的像素电路的元件时，不能在避免发光点或闪光点的情况下，高速显示图像。

发明内容

[0023] 因此，需要一种用于半导体器件的薄膜晶体管，其能够在不损失导通电阻的情况下消除或缓解寄生电容与漏电流之间的折衷。另外，需要一种制造该薄膜晶体管的方法。

[0024] 本发明的一个实施例包括一种薄膜晶体管，其包括：绝缘膜；埋设在所述绝缘膜的表面部分中的栅极电极；在所述栅极电极和所述绝缘膜上的栅极绝缘膜；在所述栅极绝

缘膜上的半导体膜；在一部分所述半导体膜上的沟道保护膜，其端面具有向前逐渐缩小的斜面；在所述半导体膜上的第 1 电极，其安装在所述沟道保护膜的一个渐缩侧；在所述半导体膜上的第 2 电极，其安装在所述沟道保护膜的另一直缩侧；其中，栅极电极最靠近第 1 电极的边缘从第 1 电极抵靠半导体膜之处、朝第 2 电极偏置。

[0025] 在本发明的另一实施例中，所述栅极电极最靠近所述第 2 电极的边缘从第 2 电极抵靠半导体膜之处、朝第 1 电极偏置。

[0026] 在本发明的另一实施例中，第 1 电极包括位于主布线膜之上的上侧电极，所述主布线膜位于下侧电极膜上方，所述下侧电极膜位于半导体膜的上方。

[0027] 在本发明的另一实施例中，抵靠第 2 电极的沟道保护膜的下部形成漏极边缘，抵靠第 1 电极的沟道保护膜的下部形成源极边缘。

[0028] 在本发明的另一实施例中，所述栅极绝缘膜为单层膜。

[0029] 在本发明的另一实施例中，所述半导体膜由微晶硅制成。

[0030] 在本发明的另一实施例中，主布线膜由低电阻布线材料制成。

[0031] 在本发明的另一实施例中，下侧电极由钛制成。

[0032] 在本发明的另一实施例中，所述栅极电极的中心偏离所述沟道保护膜的直心。

[0033] 在本发明的另一实施例中，所述栅极电极的表面与所述绝缘膜的表面齐平。

[0034] 本发明的另一实施例涉及一种制造薄膜晶体管的方法，其包括以下步骤：形成绝缘膜；形成埋设在所述绝缘膜的表面部分中的栅极电极；覆盖所述栅极电极和所述绝缘膜形成栅极绝缘膜；在所述栅极绝缘膜上形成半导体膜；在所述半导体膜上形成沟道保护膜，其端面具有向前逐渐缩小的斜面；在所述沟道保护膜的一个渐缩侧形成第 1 电极；在所述沟道保护膜的另一个渐缩侧形成第 2 电极；其中，最靠近第 1 电极的所述栅极电极的边缘从第 1 电极抵靠半导体膜之处朝第 2 电极偏置。

[0035] 在本发明的另一实施例中，最靠近第 2 电极的所述栅极电极的边缘从第 2 电极抵靠半导体膜之处朝第 1 电极偏置。

[0036] 在本发明的另一实施例中，第 1 电极包括位于主布线膜之上的上侧电极，所述主布线膜位于下侧电极膜上方，所述下侧电极膜位于半导体膜的上方。

[0037] 在本发明的另一实施例中，抵靠第 2 电极的沟道保护膜的下部起到漏极边缘的作用，抵靠第 1 电极的沟道保护膜的下部起到源极边缘的作用。

[0038] 在本发明的另一实施例中，所述栅极绝缘膜为单层膜。

[0039] 在本发明的另一实施例中，所述半导体膜由微晶硅制成。

[0040] 在本发明的另一实施例中，所述主布线膜由低电阻布线材料制成。

[0041] 在本发明的另一实施例中，所述下侧电极由钛制成。

[0042] 在本发明的另一实施例中，所述栅极电极的直心偏离所述沟道保护膜的直心。

[0043] 在本发明的另一实施例中，所述栅极电极的表面与所述绝缘膜的表面齐平。

[0044] 在对以下附图和详细说明进行研究后，本领域技术人员应想到本发明的其它系统、方法、特征和优点。应想到：所有这些其它的系统、方法、特征和优点均应在本说明书和本发明的保护范围内，并由所附权利要求保护。

附图说明

- [0045] 图 1 为第一实施例的 TFT 的主要部分的平面图,其中的剖面线部分为源极 / 漏极电极抵靠在半导体膜上的接触区域;
- [0046] 图 2 为示意图,其显示了所述主要部分沿图 1 所示的 A-A 剖面线的剖面结构;
- [0047] 图 3A ~ 图 3E 为剖面图,它们显示了制造第一实施例的 TFT 结构的工艺;
- [0048] 图 4 为第二实施例的 TFT 的主要部分的平面图;
- [0049] 图 5 为示意图,其显示了所述主要部分沿图 4 所示的 B-B 剖面线的剖面结构;
- [0050] 图 6 为第三实施例的 TFT 的主要部分的平面图;
- [0051] 图 7 为示意图,其显示了所述主要部分沿图 6 所示的 C-C 剖面线的剖面结构;
- [0052] 图 8A 和图 8B 为示意性显示第四实施例的 TFT 的平面图以及沿竖直方向示意性显示结构的图;
- [0053] 图 9A ~ 图 9C 为分别示意性显示第五和第六实施例的 TFT 的平面图以及沿竖直方向示意性显示结构的图,其中,图 9A 对应第五实施例,图 9B 对应第六实施例,图 9C 对应两个实施例;
- [0054] 图 10A ~ 图 10E 为剖面图,它们显示了制造第五和第六实施例的 TFT 的工艺;
- [0055] 图 11A ~ 图 11C 为示意性显示第七和第八实施例的 TFT 的平面图以及沿竖直方向示意性地显示结构的图,其中,图 11A 对应第七实施例,图 11B 对应第八实施例,图 11C 对应两个实施例;
- [0056] 图 12A ~ 图 12C 为示意性显示第九和第十实施例的 TFT 的平面图以及沿竖直方向示意性显示结构的图,其中,图 12A 对应第九实施例,图 12B 对应第十实施例,图 12C 对应两个实施例;
- [0057] 图 13A ~ 图 13C 为示意性显示第十一和第十二实施例的 TFT 的平面图以及沿竖直方向示意性显示结构的图,其中,图 13A 对应第十一实施例,图 13B 对应第十二实施例,图 13C 对应两个实施例;
- [0058] 图 14A ~ 图 14E 为示意性显示第十三~第十六实施例的 TFT 的平面图以及沿竖直方向示意性显示结构的图,其中,图 14A 对应第十三实施例,图 14B 对应第十六实施例,且图 14B 中的虚线圆圈 Z 对应第十四实施例,图 14C 对应第十三~第十六实施例,图 14D 对应第十四实施例,图 14E 对应第十五实施例;
- [0059] 图 15A 和图 15B 为比较例的 TFT 的平面图以及说明为了建立电场分布所进行的模拟结果的三维图;
- [0060] 图 16 为说明比较例的 TFT 的泄漏特性的图;
- [0061] 图 17 为第十七实施例的有机电致发光 (EL) 显示器的框图;
- [0062] 图 18 为在图 17 所示的有机 EL 显示器中的像素电路的电路图。

具体实施方式

[0063] 虽然以上已对本发明的各个实施例进行了说明,但是,本领域技术人员应理解:在本发明的范围内能够包含更多的实施例和实现方式。因此,除了根据所附权利要求及其等同技术方案以外,不应对本发明加以限制。

[0064] 根据以上结构,在两个源极 / 漏极电极中的至少一个用作漏极电极时,电流聚集在用作漏极的电极抵靠半导体膜的区域的轮廓部分上。此时,电流经轮廓部分从靠近所述

轮廓部分的电极的区域流至沟道形成区域,使得在该轮廓部分中由电流路径产生的电阻最小。从电极的另一部分流出的电流聚集在所述轮廓部分的边缘,即两个边缘点上。即使在使轮廓部分的长度与用作漏极的源极/漏极电极的宽度(通常为沿沟道宽度方向的长度)相一致时,由于会使应力集中在电极的边缘上,因此也可能使电流集中在这些边缘上。总之,可能会使电流聚集在轮廓部分上的两个边缘点而不是其它点处。

[0065] 以上现象不仅会在薄膜晶体管导通时发生,而且还会在薄膜晶体管截止时发生。即,假定例如采用 n 沟道晶体管,在该晶体管截止时,其源极和漏极偏置,其栅极偏置至比晶体管导通时设定栅极所达到的电压电平低的 0V 或负电压。此时,由于施加在源极和漏极上的偏压的作用,电流将流动。但是,由于通过施加在栅极上的偏压强制断开沟道,因此,会截断电流。但是,截止电流会流过泄漏路径,如穿过漏极和基板的较深部分的路径。在这种情况下,截止电流聚集在用作漏极的源极/漏极电极的轮廓部分的边缘(两个边缘点)上。电极的面积越宽,聚集在轮廓部分的电流就越强。即使在两个边缘点为电极层的边缘时,仍会增强该聚集。

[0066] 本发明的实施例采用了这样一种布置图案,其中,两个边缘点位于栅极电极的外侧,或更优选的是,以一定距离或更大距离与栅极电极分离。

[0067] 在涉及 n 沟道晶体管的情况下,当在漏极边缘附近的沟道的高电场强度的区域中产生的载流子中的电子由于离子碰撞流入栅极电极中,并且空穴流经基板的较深部分中的路径时,通常会产生截止电流。在栅极负偏置而漏极正向强偏置的情况下,栅极与漏极之间的电压增高的工作区域中,能够明显呈现出这种现象。

[0068] 漏电流具有取决于晶体管中沟道的宽度的分量和独立于该宽度的分量。独立于沟道宽度的分量由确定沟道宽度的半导体膜与漏极电极彼此抵靠的边缘产生的泄漏分量。由于前面的原因,独立于沟道宽度的分量由沿着经过两个边缘点的路径流动的电流控制。在本发明的实施例中,使栅极电极与两个边缘点分离。此时,一旦由碰撞电离产生载流子的位置与可能聚集漏电流的电极的边缘分开一定距离,便能急剧减小截止电流。

[0069] 根据本发明一个实施例的薄膜晶体管(TFT)具有栅极电极、形成有沟道的半导体薄膜、栅极绝缘膜以及在叠层结构内层叠的两个源极/漏极电极,其中,所述叠层结构层叠在至少具有绝缘表面的基板上。

[0070] 对于将多晶硅用作半导体膜材料的薄膜晶体管而言,由于能够采用较高温度的热处理,因此,在制造步骤中可进行离子注入和杂质活化。因此,优选采用在半导体膜中具有沟道形成区域和两个源极/漏极区域的所谓平面状 TFT 结构。两个源极/漏极区域形成半导体膜中的子区域,所述半导体膜具有导电类型相反的杂质,该杂质以较高浓度引入到通过平面视图观察源极/漏极区域夹持沟道区域的位置。

[0071] 平面状 TFT 结构根据将栅极电极设置在半导体薄膜的顶侧(与基板相对)还是将栅极电极设置在半导体薄膜的底侧(基板),分为顶部栅极型和底部栅极型。考虑到将多晶硅用作半导体膜的材料的情况,能够实现本发明的类型为底部栅极平面型。然而,并不排除将本发明用于顶部栅极平面型。

[0072] 在采用非晶硅或微晶硅时,由于必须以低温形成半导体膜,因此,最好采用在不同的半导体膜中形成沟道形成区域和源极/漏极区域的所谓交错型。将在源极/漏极区域的底侧形成栅极电极的 TFT 结构称为底部栅极交错型,而将在源极/漏极区域的顶侧形成栅

极电极的 TFT 结构称为顶部栅极交错型。可以将底部栅极交错型称为反向交错型。

[0073] 在本发明的一个实施例中,考虑了两个源极 / 漏极电极中的至少一个抵靠在形成有沟道的半导体膜上的区域。该区域可以是源极 / 漏极电极的表面抵靠在半导体膜上的平面状区域,或是源极 / 漏极电极的侧面抵靠在半导体膜上的侧向区域。

[0074] 在该区域中,限定了源极 / 漏极电极的一部分轮廓,并且,将在轮廓部分端部的点称为边缘点。

[0075] 在上述前提下,应用本发明的要求为:通过平面视图观察(即,在布置图案中),两个边缘点位于栅极电极的外侧。后面将对满足该要求的示例性实施例进行描述。以下描述的布置图案(情况)可以根据栅极电极与端部称为边缘点的轮廓部分重叠的方式来获得。

[0076] 栅极电极和轮廓部分不重叠的(第一种)情况也应落入本发明的范围内。

[0077] 相反,在轮廓部分上的一个位置处,栅极电极与两个边缘点之间的源极 / 漏极电极的轮廓部分重叠。具体地,这种情况应分为:栅极电极的凸形部与线形轮廓部分重叠的第二种情况,栅极电极的线形边缘与轮廓部分的凸形部重叠的第三种情况。另外,还存在第四种情况,即:栅极电极的宽度小于轮廓部分的宽度,并且,栅极电极在其整个宽度范围内与轮廓部分重叠。

[0078] 限定轮廓部分的方式根据是否存在用作蚀刻阻止部的半导体沟道保护膜而改变。下面针对各实施例进行详细说明。

[0079] 第一实施例涉及底部栅极交错 TFT,并涉及栅极电极与轮廓部分不重叠的第一种情况。

[0080] 图 1 为 TFT 的平面图,图 2 为沿图 1 中所示的 A-A 剖面线的 TFT 的剖面结构图。

[0081] 在图 2 所示的 TFT 10A 中,经基层(一种绝缘层),在由玻璃等制成的基板 11 上形成包括预定的栅极金属层(GM)的栅极电极 13,该栅极金属层由高熔点金属制成,该高熔点金属例如为钼(Mo),但不局限于钼。栅极电极 13 的厚度为大约几十纳米,例如为大约 65nm,但不限于此。

[0082] 栅极电极 13 与例如显示像素电路的其它元件共用内部布线。因此,如图 1 所示,以类似细长布线的方式形成栅极电极 13。

[0083] 如图 2 所示,优选将栅极电极 13 埋设在绝缘表面 12 的表面部分中。这是为了使绝缘层 12 与栅极电极 13 彼此齐平。在绝缘层 12 与栅极电极 13 彼此齐平时,意味着栅极电极相对于绝缘层是平坦的。因此,由于不会施加膜应力,所以,能够减弱电场在上半导体膜或电极接触部分上的聚集。但是,针对这种缺陷,在形成并加工栅极电极膜(钼膜)的步骤中,可以在绝缘层 12 的表面上形成栅极电极 13。

[0084] 形成栅极绝缘膜 14 以覆盖栅极电极 13 的表面以及在栅极电极 13 周围的绝缘层 12 的表面。在栅极绝缘膜 14 上形成由非晶硅(α -Si)或微晶硅(μ -cSi)制成的半导体膜 15。

[0085] 栅极绝缘膜 14 可以是单层二氧化硅膜或可以是多层膜。就多层膜而言,多层膜优选包括下层氮化硅(SiN)膜和上层二氧化硅(SiO_2)膜。氮化硅膜的厚度范围为十几纳米~几十纳米,例如为 20nm。二氧化硅膜的厚度范围为一百几十纳米~几百纳米,例如为 290nm。

[0086] 半导体膜 15 对于每一 TFT 而言,均具有孤立的图案。在图 2 的剖面图中,栅极绝

缘膜 14 的整个上表面上形成半导体膜 15, 以覆盖栅极绝缘膜 14。在半导体膜 15 由微晶硅制成时, 其厚度小至十几纳米, 例如 15nm, 但不局限于此。

[0087] 在半导体膜 15 上形成半导体沟道保护膜 16, 该保护膜由具有图 1 所示的矩形图案的较厚绝缘膜形成。如图 2 所示, 半导体沟道保护膜 16 的优选端面向前逐渐缩小以具有适度的斜面。沿沟道的方向 (所示的剖面的方向) 从保护膜 16 左右两侧向沟道的中心, 以安装在半导体沟道保护膜 16 的斜面上的方式形成第 1 源极 / 漏极 (SD) 电极 18 和第 2 源极 / 漏极 (SD) 电极 19。

[0088] 第 1 源极 / 漏极电极 18 起到漏极电极的功能, 而第 2 源极 / 漏极电极 19 起到源极电极的功能。在这种情况下, 所谓漏极边缘是指在沟道中心附近的、第 1 源极 / 漏极电极 18 抵靠在半导体膜 15 上的接触区域的边缘。在第一实施例中, 如以图 1 中的粗体实线所示的那样, 接触区域的边缘为沿与沟道方向 (所谓沟道长度方向) 正交的所谓沟道宽度方向延伸的线。在图 1 中, 第 1 源极 / 漏极电极 18 抵靠半导体膜 15 的接触区如阴影区域所示。以粗体实线绘制的线指第 1 源极 / 漏极电极 18 抵靠半导体膜 15 的区域轮廓的一部分。以后, 将在沟道中心附近的接触区域的边缘称为轮廓部分 30。将轮廓部分 30 的端部称为边缘点 31。

[0089] 即使对于第 2 源极 / 漏极电极 19 而言, 如图 1 所示, 也可定义轮廓部分 30 和边缘点 31。

[0090] 在本实施例中, 第 1 源极 / 漏极电极 18 和第 2 源极 / 漏极电极 19 中的每一个均由 4 层构成。具体地, 第 1 源极 / 漏极电极 18 和第 2 源极 / 漏极电极 19 中的每一个均具有从最下层按顺序层叠的形成有源极 / 漏极区域的源极 / 漏极半导体膜 17A、下侧电极膜 17B、主布线膜 17C 以及上侧电极膜 17D。

[0091] 源极 / 漏极半导体膜 17A 例如为以高浓度施用 n 型杂质的半导体膜。在交错结构中, 该形成有源极 / 漏极区域的半导体膜为与形成有沟道的半导体膜 15 不同的膜。源极 / 漏极半导体膜 17A 的厚度为几十纳米, 例如为 50 纳米。

[0092] 厚主布线膜 17C 由低电阻布线材料制成, 例如可以采用铝, 但不仅限于此。在这种情况下, 在主布线膜 17C 的上下侧上涂敷由高熔点金属等材料制成的薄膜, 以便防止与基层反应或防止由光刻法产生的反射。通过厚度为几百纳米至 1100 纳米 (例如, 900 纳米) 的铝膜形成主布线膜 17C, 通过例如大约 50nm 厚的钛膜形成下侧电极膜 17B, 通过例如大约 50nm 厚的钼膜形成上侧电极膜 17D。

[0093] 半导体沟道保护膜 16 保护沟道形成区域在对第 1 源极 / 漏极电极 18 和第 2 源极 / 漏极电极 19 进行加工时不被蚀刻。第 1 源极 / 漏极电极 18 和第 2 源极 / 漏极电极 19 应具有足以实现保护的厚度, 这有助于平衡施加在第 1 源极 / 漏极电极 18 和第 2 源极 / 漏极电极 19 上的整体应力。

[0094] 半导体膜 15 中由半导体沟道保护膜 16 覆盖的区域为沟道形成区域。半导体沟道保护膜 16 的斜面的下边缘作为漏极边缘和源极边缘。图 2 显示了沿图 1 所示的 A-A 剖面线的剖面。边缘点 31 位于半导体沟道保护膜 16 的斜面的边缘附近。

[0095] 本实施例的特征在于: 经平面图所视, 两个边缘点 31 位于栅极电极 13 的外侧。

[0096] 在本实施例中, 采用了偏置栅极结构, 以便能够使聚集电场的漏极侧边缘点 31 (在图 1 或图 2 右侧的边缘点 31) 与栅极电极 13 分离。换句话说, 使栅极电极 13 偏置,

以便能够使栅极电极 13 沿宽度方向的中心朝源极电极偏离沟道形成区域的中心。

[0097] 从每一边缘点 31 至栅极电极 13 边缘的距离 D_a (图 1) 优选等于或小于预定距离 D_0 。

[0098] 在彼此重叠的半导体沟道保护膜 16 和第 1 源极 / 漏极电极 18 的轮廓通过的边缘点 31 处,作用在下侧半导体膜 15 上的应力较大。这是增大经非常薄的半导体膜 15 产生泄漏的原因。具体地,例如,假设在将第 2 源极 / 漏极电极 19 设定为 0V 的情况下,对第 1 源极 / 漏极电极 18 施加正电压,由于第 1 源极 / 漏极电极 18 的电阻率较低,因此,电流会聚集在图 1 所示的最靠近沟道形成区域的轮廓部分 30 上。最重要的是,由于应力的作用,可能使电场聚集在边缘点 31 上。大量电流流过边缘点 31。

[0099] 上述现象不仅在 TFT 导通时发生,而且在 TFT 截止时也会发生。具体地,假设例如采用 n 沟道型 TFT,在 TFT 截止时,其源极和漏极 (第 1 源极 / 漏极电极 18 和第 2 源极 / 漏极电极 19) 偏置,栅极电极 13 偏置为比在 TFT 导通时设定栅极电极所达到的电压水平值低的 0V 或负电压。由于源极与漏极之间的偏压的作用,电流将流动。但是,利用穿过栅极的偏压强制切断沟道,从而截断电流。尽管如此,截止电流仍会沿泄漏路径,如通过漏极电极 (第 1 源极 / 漏极电极 18) 以及基板较深部分等路径流动。在这种情况下,截止电流与导通电流相类似,也聚集在起到漏极作用的源极 / 漏极电极 (第 1 源极 / 漏极电极 18) 的轮廓部分 30 的端部上 (两个边缘点 31)。在电极的面积大于轮廓部分 30 的面积时,电流的聚集更强。即使在两个边缘点为电极层边缘上的点时 (本实施例),仍会增强电流的聚集。

[0100] 本实施例采用的布置图案为使两个边缘点 31 位于栅极电极 13 的外侧,更优选的是,这两个边缘点与栅极电极分离一定距离 D_0 或更大距离。

[0101] 就 n 沟道 TFT 而言,当由在漏极边缘附近的沟道中的高电场强度的区域中出现的离子碰撞产生的载流子中的电子流入漏极电极 (第 1 源极 / 漏极电极 18) 内并且空穴沿基板较深部分中的路径流动时,产生截止电流。在栅极负偏置且漏极正向强偏置时,栅极与漏极之间的电压增高的工作区域中,能够明显呈现这种现象。

[0102] 另外,泄漏电流具有取决于 TFT 的沟道宽度的分量和独立于所述沟道宽度的分量。独立于所述沟道宽度的分量由确定沟道宽度的半导体膜 15 和漏极电极 (第 1 源极 / 漏极电极 18) 彼此抵靠的边缘 (轮廓部分 30) 产生。由于上述原因,独立于沟道宽度的分量由流过两个边缘点 31 的电流控制。在本实施例中,栅极电极 13 与两个边缘点 31 分离。此时,一旦由碰撞电离产生载流子之处与泄漏电流可能聚集的电极的边缘以较短的距离彼此分离,则会急剧减小截止电流。

[0103] 更特别的是,应考虑在光刻技术中的图案不一致性来限定所述预定距离 D_0 ,以便能够使最大的膜应力接近稳定状态下的膜应力,其中,该稳定状态下的膜应力与施加在第 1 源极 / 漏极电极 18 中心之下的半导体膜 15 上的应力处于相同水平。

[0104] 通过偏置栅极,使两个源极 / 漏极电极中至少一个的两个边缘点位于栅极电极的外侧。由此观点出发,本发明提供的结构和布置从根本上与只是偏置栅极的结构和布置不同。

[0105] 在第 1 源极 / 漏极电极 18 和第 2 源极 / 漏极电极 19 彼此交换了源极和漏极的功用时,图 1 所示的布置以镜像对称的方式改变。例如,对于偏置栅极结构而言,可以采用的结构为,使栅极电极 13 沿其宽度方向的中心从沟道的中央向第 1 源极 / 漏极电极 18 偏移。

[0106] 图 3A ~ 图 3E 为剖面图, 它们显示了制造具有上述结构的 TFT 的工艺。在图 3A ~ 图 3E 中, 披露了形成半导体沟道保护膜 16 的步骤以及随后以铺设布线的步骤结束的多个步骤。图 3A ~ 图 3E 显示了 TFT 和其它相邻元件 (例如, 电容元件和布线)。将用于铺设布线的工序称为蚀刻停止工序。

[0107] 为了形成底部栅极 TFT, 首先, 在由玻璃等制成的基板 9 的绝缘面上涂敷栅极金属 (GM), 并且, 通过对栅极金属进行加工形成图案化的栅极电极 13 (图 3A)。

[0108] 此时, 在附近区域中形成起到电容元件的电极或布线的衬层作用的栅极金属层 13A。

[0109] 在图 3B 所示的步骤中, 形成由二氧化硅或氮化硅制成并覆盖栅极电极 13 的栅极绝缘膜 14, 并且, 在栅极绝缘膜 14 上形成起到晶体管的沟道形成区域作用并由非晶硅或微晶硅制成的半导体膜 15。

[0110] 之后, 厚厚地涂敷氮化硅等, 然后形成图案, 以形成半导体沟道保护膜 16, 使得半导体沟道保护膜 16 与栅极电极 13 的上层部分地重叠。此时, 在使栅极电极具有图 1 所示的偏置结构时, 半导体沟道保护膜 16 单向背离栅极电极 13。

[0111] 在图 2 中所示的源极 / 漏极半导体膜 17A 和下侧电极膜 17B 根据它们的形成方法形成, 随后使这些膜形成图案。此时, 进行蚀刻以从由源极 / 漏极半导体膜 17A 和下侧电极膜 17B 保护的区域之外的区域除去半导体膜 15。最终, 以类似通过半导体沟道保护膜 16 或源极 / 漏极半导体膜 17A 自对准的方式, 使位于半导体沟道保护膜 16 或源极 / 漏极半导体膜 17A 之下的半导体膜 15 留下。

[0112] 在图 3C 所示的步骤中, 在暴露的栅极绝缘膜 14 的上层膜 (例如, 二氧化硅膜 14B) 的上表面上形成在规定位置处具有孔的抗蚀剂层 (未示出)。对二氧化硅膜 14B 和在二氧化硅膜 14B 之下的氮化硅膜 14A 进行蚀刻以形成接触孔 14C。

[0113] 在图 3D 所示的步骤中, 形成起到第 1 源极 / 漏极电极 18 和第 2 源极 / 漏极电极 19 作用的主布线膜 17C 和上侧电极膜 17D, 并随后对它们进行蚀刻, 以便形成预定的图案。最后, 使第 1 源极 / 漏极电极 18 和第 2 源极 / 漏极电极 19 在沟道形成区域上方彼此分离。在另一区域中形成通过接触孔 14C 与下侧栅极金属层 13A 结合的布线 20。

[0114] 此时, 可以进行蚀刻, 以便除去在图 3C 所示的步骤中图案化的源极 / 漏极半导体膜 17A 和下侧电极膜 17B 的在沟道形成区域上方的部分, 或者如图 1 所示留下来。由于较厚的半导体沟道保护膜 16, 因此, 可以在蚀刻期间保护半导体膜 15 中的沟道形成区域不会损坏。

[0115] 第二实施例涉及具有半导体沟道保护膜 16 的底部栅极交错型 TFT, 并且, 该实施例涉及栅极电极的凸形部分在一个位置处与线形轮廓部分 30 重叠的 (第二种) 情况。

[0116] 图 4 为平面图, 图 5 为沿图 4 中所示的 B-B 剖面线的剖面图。

[0117] 就本发明与第一实施例 (图 1) 的不同之处而言, 第一点为源极和漏极相对于沟道的中心彼此横向对称, 第二点为栅极电极 13 具有凸形部分 13B, 该部分在通过平面图所示时分别向源极电极和漏极电极突出。凸形部分 13B 与轮廓部分 30 重叠。此时, 从凸形部分 13B 至边缘点 31 的距离 D_c 最好等于或长于规定距离 D_0 。边缘点 31 以距离 D_b 与栅极电极 13 的直线部分分离。距离 D_b 最好等于或长于规定距离 D_0 。

[0118] 在本实施例中, 由于通过由栅极电极 13 感应产生的电场控制的沟道形成区域与

栅极电极 13 分离,从而大大减小截止电流。从这一观点考虑,本实施例能够实现与第一实施例相同的有益效果。

[0119] 另外,由于凸形部分 13B 在最大宽度范围内与轮廓部分 30 重叠,因此,沟道形成区域在轮廓部分 30 上的几乎任意点处,均与第 1 源极 / 漏极电极 18 或第 2 源极 / 漏极电极 19 几乎直接结合。因此,由源极或漏极引起的电阻远小于仅为偏置结构中源极或漏极引起的电阻。

[0120] 与第一实施例相比,在栅极与漏极或栅极与源极之间的叠加电容(寄生电容)增大。另外,导通电阻减小的效果明显,于是证明本实施例有效。

[0121] 寄生电容增大的区域如图 4 中网状区域所示。这些区域位于栅极电极 13 轮廓的外侧并与由栅极电极感应产生的电场直接电连接。另外,这些区域位于半导体沟道保护膜 16 的内侧,并且,在这些区域上不安装任何电极。因此,在这些区域中,就剖面结构而言,栅极电极 13 通过较薄的栅极绝缘膜 14 和半导体膜 15 与第 1 源极 / 漏极电极 18 或第 2 源极 / 漏极电极 19 电容连接。

[0122] 但是,从图 4 可以看出,四个区域均具有较小的面积。在尽可能大地将栅极电极 13 与边缘点 31 之间的距离减小至不会增大泄漏的程度时,即在使该距离等于规定距离 D_0 时,四个区域的面积最小。因此,能够减小寄生电容。

[0123] 在本实施例中,边缘点 31 与栅极电极 13 之间的距离最好等于规定距离 D_0 ,以便减小截止泄漏和寄生电容。

[0124] 本实施例的 TFT 证明例如可用作开关元件,其中,源极与漏极的性能根据电势之间的关系转换。

[0125] 假定漏极的性能是固定的,则栅极电极仅在第 1 源极 / 漏极电极 18 侧具有凸形部分的方案也应包含在本实施例的范围内。

[0126] 另外,如果多个凸形部分 13B 与多个源极 / 漏极电极中的一个源极 / 漏极电极的轮廓部分 30 相交或者如果凸形部分 13B 具有波形形状,则会减少本实施例所提供的优点。具体地,由于在与凸形部分 13B 相交的边缘点 31 之间的一部分长度起到低电阻区域的作用,因此,如果存在多个矩形或波纹状凸形部分 13B,则多个凸形部分之间的空间仍会形成较大电阻。因此,不能令人满意地减小导通电阻。另外,在凸形部分 13B 之间的空隙中,与由图 4 中的网状区域表示的区域相类似,叠加电容增大。这样会导致寄生电容增大。因此,由于这两个原因,多个凸形部分与轮廓部分 30 相交的布置结构并不是优选的。

[0127] 相反,在第一实施例中,最优选的布置为:使单一凸形部分 13B 具有最大的宽度,并使其以减小泄漏所必需的最小距离(规定距离 D_0)与在轮廓部分 30 端部处的边缘点 31 分离。

[0128] 在图 4 中,在满足条件 $D_b = D_c = D_0$ 时,由于以网状区域表示并且使寄生电容增大的区域的面积最小,因此,是优选的。即使条件为 $D_b = D_c > D_0$,仍能够有效地减小寄生电容。

[0129] 对于应用本实施例的第二要求为:在边缘点 31 邻接栅极电极 13 的多个侧面时,应使边缘点 31 与多个侧面相距相等的距离。

[0130] 第三实施例

[0131] 本实施例涉及一种包括半导体沟道保护膜 16 的底部栅极交错型 TFT,并且,该实

施例涉及的（第三种）情况为：栅极电极的线形边缘在轮廓部分 30 上的一个位置处与轮廓部分 30 的凹部重叠。

[0132] 图 6 为平面图，图 7 为沿图 6 中所示的 C-C 剖面线的剖面图。

[0133] 第二实施例（图 4）的布置形状为：栅极电极具有凸形形状，线形轮廓部分 30 与凸部重叠。

[0134] 相反，第三实施例的 TFT10C 的布置形状为：轮廓部分 30 具有凸部，该凸部与栅极电极 13 的线形边缘重叠。

[0135] 具体地，在图 6 中，半导体沟道保护膜 16 分别在漏极电极侧和源极电极侧具有凹部。半导体沟道保护膜 16 的各边缘限定了轮廓部分 30，在该轮廓部分 30 上，第 1 源极 / 漏极电极 18 或第 2 源极 / 漏极电极 19 在图 7 所示的斜面的下边缘处抵靠在半导体膜 15 上。因此，如图 6 所示，轮廓部分 30 的形状类似于具有朝沟道中心突出的凸部 30A 并四次弯折的折线。第 1 源极 / 漏极电极 18 或第 2 源极 / 漏极电极 19 的图案的轮廓线与折线（轮廓部分 30）相交的两个点为在接触区域（附图中的阴影区域）与非接触区域之间的边界上的点，这两个点被认为是边缘点 31。

[0136] 这种布置与第二实施例中的布置相类似，表示了这样一种形式的例子，即：栅极电极在轮廓部分上的一个位置处，与源极 / 漏极电极抵靠在半导体层上的区域的轮廓部分重叠。

[0137] 因此，在 TFT 中的沟道形成区域在较大凸部 30A 的整个宽度范围内，抵靠在第 1 源极 / 漏极电极 18 或第 2 源极 / 漏极电极 19 上，导通电阻减小。只要第二实施例中包括的栅极电极 13 的凸部 13B 的宽度（沿图 4 的纸面的纵向的尺寸）几乎等于在第三实施例中包括的半导体保护膜 16（轮廓部分的凸部）的凹部的宽度，则第三实施例的优点仍能与第二实施例的优点基本对应。

[0138] 相反，在图 6 中表示为网状区域的区域为栅极电极 13 通过薄半导体膜 15 与第 1 源极 / 漏极电极 18 或第 2 源极 / 漏极电极 19 电容连接的区域。这些区域的面积往往大于图 4 所示的区域的面积。因此，第三实施例往往能够形成大于第二实施例的寄生电容。

[0139] 但是，即使由于减小泄漏带来的限制而难以大大减小图 4 中所示的距离 Db 时，由于只需考虑不一致性，因此，仍能够进一步减小图 6 所示的距离 Dd。因此，能够将在第三实施例中产生的寄生电容抑制至与第二实施例同等的水平。

[0140] 在设计中心可以使距离 Dd 为零。在这种情况下，如果不一致量较大，则虽然凸部 30A 接近栅极电极 13 的边缘，但是，凸部 30A 可能仍不会与栅极电极 13 的边缘重叠。即使在这种情况下，导通电阻值仍会根据空隙的长度增大。但是，其优点在于：能够急剧减小寄生电容。

[0141] 在必须牺牲导通电阻来减小寄生电容时，可以采用上述布置设计。

[0142] 以上以底部栅极交错型 TFT 为例并着眼于布置图案之间的差异对三个实施例进行说明。以这些实施例作为标准布置图案，本发明可适用于顶部栅极交错型和平面型。

[0143] 由于已对这些布置进行了详细说明，因此，下面将结合显示结构的示意性平面图和剖面图来描述其它实施例。

[0144] 第四实施例

[0145] 图 8A 为示意性平面图，图 8B 为沿竖直方向显示结构的示意图。该示意性结构图

显示了形成有沟道的半导体膜与源极 / 漏极电极沿沟道长度方向重叠的大致程度。图 8B 显示了以最短距离邻近边缘点的栅极电极。

[0146] 第四实施例涉及一种包括半导体沟道保护膜 16 的底部栅极交错型 TFT, 并涉及栅极电极 13 在其整个宽度范围内与轮廓部分 30 重叠的 (第四种) 情况。

[0147] 如图 8A 所示, 栅极电极 13 的宽度小于轮廓部分 30 的长度, 栅极电极 13 在其整个宽度范围内与轮廓部分 30 重叠。栅极电极 13 设置在位于半导体膜 15 之下的层中并以距离 D_e 靠近边缘点 31。距离 D_e 优选等于或长于预定距离 D_0 。在这种情况下, 能够急剧减小截止泄漏。

[0148] 栅极电极 13 的面积较小。如果在源极与栅极之间的寄生电容较大, 则可以使栅极电极 13 延伸至源极电极以便形成拉出布线 (pull-out wiring)。

[0149] 上述布置为以下形式的一个例子, 即: 在轮廓区域上的一个位置处, 栅极电极与源极 / 漏极电极抵靠半导体膜的区域的轮廓部分重叠。

[0150] 图 9A 为显示第五实施例的示意性平面图, 图 9B 为显示第六实施例的示意性平面图。图 9C 为示意图, 其显示了由第五和第六实施例共同使用的沿竖直方向的结构。

[0151] 第五和第六实施例涉及底部栅极交错 TFT 没有半导体沟道保护膜的情况。特别是, 第五实施例与第一实施例相似, 涉及栅极电极 13 不与轮廓部分 30 重叠的 (第一种) 情况。第六实施例与第四实施例相似, 涉及栅极电极 13 沿其宽度方向、在其整个宽度范围内与轮廓部分 30 重叠的 (第四种) 情况。

[0152] 如图 9A 和图 9B 所示, 由于没有半导体沟道保护膜, 因此, 第 1 源极 / 漏极电极 18 和第 2 源极 / 漏极电极 19 安装在半导体膜 15 上, 与半导体膜 15 部分重叠。因此, 轮廓部分 30 对应于与半导体膜重叠的源极 / 漏极电极的轮廓部分, 形状类似于弯折两次的折线。

[0153] 边缘点 31 相当于轮廓部分 30 的端部, 即, 半导体膜 15 的边缘与第 1 源极 / 漏极电极 18 或第 2 源极 / 漏极电极 19 的边缘之间的交叉点。

[0154] 在第五实施例中, 栅极电极 13 虽然邻近轮廓部分 30, 但不与轮廓部分 30 重叠。然而, 由于栅极电极邻近轮廓部分 30, 因此, 会显著抑制导通电阻的增大。另一个优点在于: 在漏极侧的寄生电容非常小。最重要的是, 由于边缘点 31 位于栅极电极 13 的外侧, 因此, 会急剧减小截止泄漏。

[0155] 在第六实施例中, 与第四实施例相似, 栅极电极 13 的宽度小于轮廓部分 30 的长度, 栅极电极 13 在其整个宽度范围内与轮廓部分 30 重叠。

[0156] 在第五和第六实施例中, 以距离 D_f 或距离 D_g 表示栅极电极 13 与每一边缘点 31 之间的距离。距离 D_f 或距离 D_g 最好等于或长于预定距离 D_0 。因此, 会大大减小截止泄漏。

[0157] 下面, 将对不包括第一~第四实施例中必需的半导体沟道保护膜的制造方法进行说明。

[0158] 图 10A ~ 图 10E 为显示根据第五或第六实施例 TFT 的制造工艺的剖面图。将图 10A ~ 图 10E 所示用于铺设布线的工艺称为“背沟道蚀刻工艺”。

[0159] 栅极电极 13 (以及栅极金属层 13A) 的形成 (图 10A)、氮化硅膜 14A 和二氧化硅 14B 的形成以及半导体膜 15 (图 10B) 的形成与在图 3A ~ 图 3E 中所示的蚀刻停止工艺中膜的形成相同。

[0160] 在图 10B 中, 在没有形成半导体沟道保护膜的情况下, 形成源极 / 漏极半导体膜

17A 和下侧电极膜 17B。

[0161] 在图 10C 中,对所形成的膜进行加工以形成图案。

[0162] 之后,与图 3A~图 3E 所示的工艺相类似,形成接触孔 14C(图 10D),形成用于提供第 1 源极/漏极电极 18、第 2 源极/漏极电极 19 和布线 20 的膜(主布线膜 17C 和上侧电极膜 17D),并且,通过进行光刻和蚀刻使这些电极彼此分离。

[0163] 对于蚀刻,优选地,源极/漏极半导体膜 17A 起到阻止对上层进行蚀刻的阻止部的作用。但是,源极/漏极半导体膜 17A 和作为源极/漏极半导体膜 17A 的基底的半导体膜 15 均由半导体材料制成。如果蚀刻选择不确定,由于担心会不必要地使半导体膜 15 变薄,则应对源极/漏极半导体膜 17A 进行仔细蚀刻。

[0164] 图 11A 为显示第七实施例的示意性平面图,图 11B 为显示第八实施例的示意性平面图。图 11C 为示意图,其显示了由第七和第八实施例共同使用的沿竖直方向的结构。

[0165] 第七和第八实施例为第五和第六实施例的变形。就第七和第八实施例而言,将对在进行图 10E 所示的蚀刻期间保护半导体膜 15 不被损坏的结构进行说明。

[0166] 在第七和第八实施例中,形成第 1 源极/漏极电极 18 和第 2 源极/漏极电极 19(在下层中),同时使它们彼此分离。之后,形成半导体膜 15 以覆盖包括空隙的第 1 源极/漏极电极 18 和第 2 源极/漏极电极 19。即,在第 1 源极/漏极电极 18 和第 2 源极/漏极电极 19 与半导体膜 15 之间的图 11A 和图 11B 所示的上下关系与图 9A 和图 9B 所示的关系相反。

[0167] 在第七实施例中采用的栅极电极 13 与轮廓部分 30 之间的布置图形的关系与第五实施例相对应。在第八实施例中采用的栅极电极 13 与轮廓部分 30 之间的布置图形的关系与第六实施例相对应。

[0168] 在第七和第八实施例中,由于使半导体膜 15 与第 1 源极/漏极电极 18 和第 2 源极/漏极电极 19 重叠,因此,最好使第 1 源极/漏极电极 18 和第 2 源极/漏极电极 19 的边缘向前逐渐变细。但是,在形成并蚀刻半导体膜 15 时,即使损坏了起到基底作用的源极/漏极电极,由于源极/漏极电极形成在较厚的导电层中,因此,不存在缺陷。此时,由于已完成了对源极/漏极电极的加工,因此,半导体膜 15 不会导致不利于源极/漏极电极加工的影响。

[0169] 对于上述结构而言,半导体膜 15 可以由多晶硅制成的膜。优选将该结构应用于半导体膜 15 为有机半导体膜的情况。

[0170] 图 12A 为显示第九实施例的示意性平面图,图 12B 为显示第十实施例的示意性平面图。图 12C 为示意图,其显示了由第九和第十实施例共同使用的沿竖直方向的结构。

[0171] 第九和第十实施例为第七和第八实施例的变形。其变化点在于:将栅极电极 13 布置在位于半导体膜 15 上方的层中以便实现顶部栅极结构。其它的构成特点均与第七和第八实施例相同。

[0172] 在第九实施例中采用的栅极电极 13 与轮廓部分 30 之间的布置图案的关系与第七实施例相对应,在第十实施例中采用的它们之间的布置图案的关系与第八实施例相对应。

[0173] 图 13A 为显示第十一实施例的示意性平面图,图 13B 为显示第十二实施例的示意性平面图。图 13C 为示意图,其显示了由第十一和第十二实施例共同使用的沿竖直方向的结构。

[0174] 第十一和第十二实施例涉及一种没有半导体沟道保护膜的底部栅极平面状 TFT，并且涉及的情况为轮廓部分 30 不是源极 / 漏极电极抵靠半导体膜的接触区域的边缘。更特别的是，半导体膜 15 包括沟道形成区域 (CH) 15a 和两个源极 / 漏极区域 15b 和 15c (S/D)，这些源极 / 漏极区域包含高浓度的导电类型相反的杂质并形成在沟道形成区域的侧面。在这种情况下，两个源极 / 漏极区域 15b 和 15c 起到第 1 源极 / 漏极电极 18 或第 2 源极 / 漏极电极 19 的一部分的功能。因此，源极 / 漏极区域抵靠在形成有沟道的半导体膜上的区域指沟道形成区域 15a 与源极 / 漏极区域 15b 或 15c 彼此抵靠的半导体膜 15 的内表面的一部分。接触区域相当于轮廓部分 30。如在其它实施例中那样，轮廓部分 30 的端部起到边缘点 31 的作用。

[0175] 栅极电极 13 位于半导体膜 15 之下。

[0176] 在第十一实施例中采用的栅极电极 13 与轮廓部分 30 之间的布置图案的关系与第七和第九实施例相对应。在第十二实施例中采用的栅极电极与轮廓部分之间的布置图案的关系与第八和第十实施例相对应。

[0177] 图 14A 为显示第十三实施例的示意性平面图，图 14B 为显示第十六实施例的示意性平面图。图 14D 为显示第十四实施例的一部分的示意性平面图。图 14E 为显示第十五实施例的一部分的示意性平面图。在第十三～第十六实施例中共同使用了在图 14C 中所示的沿竖直方向的示意性结构。

[0178] 第十三～第十六实施例为涉及底部栅极平面 TFT 的第十一和第十二实施例的变形。

[0179] 如图 14A～图 14E 所示，将半导体沟道保护膜 16 布置成覆盖沟道形成区域 15a。可以将半导体沟道保护膜 16 用作掩模层，以对半导体膜 15 施用高浓度杂质。在第十三～第十六实施例中，可以将掩模层整体保留作为半导体沟道保护膜 16。

[0180] 在这些实施例中，可以根据掩模层边缘的形状确定轮廓部分 30 的平面视图形状。例如，在第十四实施例（图 14D）中，形成具有凸部的半导体沟道保护膜 16 的图案。通过反映该图案，轮廓部分 30 在沟道的侧面具有凹部。相反，在第十五实施例（图 14E）中，形成具有凹部的半导体沟道保护膜 16 的图案。通过反映该图案，轮廓部分 30 在沟道的侧面具有凸部。第十六实施例涉及半导体沟道保护膜 16 具有简单矩形形状的情况。

[0181] 在第十四～第十六实施例中，栅极电极 13 在其整个宽度范围内与轮廓部分 30 重叠。在第十三实施例中，栅极电极 13 不与轮廓部分 30 重叠。

[0182] 下面，将对比较例进行说明以明确本发明的优点。

[0183] 比较例的结构

[0184] 图 15A 显示了比较例的布置图案。

[0185] 在比较例中，与第 1 源极 / 漏极电极 18（漏极电极）交叉的半导体沟道保护膜 16 的边缘所限定的轮廓部分 30 以及在轮廓部分端部处的两个边缘点 31 被栅极电极 13 覆盖。

[0186] 上述情况同样适用于起到源极电极作用的第 2 源极 / 漏极电极 19。

[0187] 就比较例的结构而言，截止电流在电场强度最大的漏极电极附近的区域中增大，即在由第 1 源极 / 漏极电极 18 覆盖的半导体沟道保护膜 16 的一部分轮廓线限定的轮廓部分 30 上增大。特别是，在边缘点 31 处产生的泄漏为由 TFT 的漏极电极产生的泄漏的支配因素。

[0188] 图 15B 为三维图,其显示了为利用电场分布支持上述实际情况而进行模拟的结果。

[0189] 如图 15B 所示,电场强度最高的区域集中在第 1 源极/漏极电极 18 的边缘的底部。特别是,电场强度在边缘点 31 处明显很高。电场强度在轮廓部分 30 上较高。电场强度在边缘点 31 附近沿 y 方向延伸的轮廓部分 30 的某一位置处突然增高。

[0190] 模拟结果证明:使沟道形成区域(由栅极电极 13 感应产生的电场控制的区域)与边缘点 31 分离在减小泄漏方面是有效的。

[0191] 可以将沿 y 方向、从电场强度远高于在稳定状态电场分布中观测的电场强度的位置至每一边缘点 31 的距离估计作为可以使栅极电极 13 分离以便减小泄漏的最短距离,即预定距离 D0。

[0192] 图 16 为说明与作为参数的工作电压的值相关的截止泄漏电流的测定值的图。

[0193] 从该图可以看出,在提高工作电压(漏极电压 V_{ds}) 时,截止泄漏电流增大的速率大于工作电流(导通电流)增大的速率。这意味着:可能聚集电场的薄弱点(如上述边缘点)的存在是引发截止泄漏电流的主要原因。

[0194] 在上述第一~第十六实施例中,根据用以形成电场分布的模拟结果,比较例在泄漏方面会得以改善。在远离边缘点 31 形成栅极电极 13 时,能够急剧抑制截止泄漏。应考虑掩模的不一致性来设计栅极电极与每一边缘点之间的距离,以便能够确保图 15B 中所示的预定距离 D0。

[0195] 根据第一~第十六实施例,能够提供以下描述的优点。

[0196] 第一,通过采用栅极电极 13 不覆盖用于漏极电极的半导体膜区域的结构,可以削弱电场。能够减小在栅极电极非激活(0V 或负偏压)时产生的泄漏电流,而不减小导通电流。

[0197] 第二,将不覆盖栅极的区域限定至沟道的边缘(边缘点 31)。因此,能够实现使源极和漏极彼此对称的布置。该布置可应用于源极和漏极切换使用的电路。该优点不能由在第一实施例中使用的非对称布置提供。

[0198] 第三,将不覆盖栅极的区域限定至沟道的边缘。因此,能够抑制由对漏极电极处理中的变化引起并在晶体管导通时产生的电流能力的变化,同时,能够减小泄漏电流。

[0199] 第四,在栅极电极 13 不覆盖沟道边缘的结构中,在对沟道边缘进行切口时,能够减小沟道边缘上的边缘电容。由于能够减小电路的寄生电容,因此,能够实现高速操作。

[0200] 下面,将通过例如采用有机电致发光(EL)显示器,对将具有上述结构的 TFT 用作显示装置中的像素电路的元件的实施例进行说明。

[0201] 作为平板显示类型的显示装置,有机 EL 显示器已引起了注意。由于该显示装置利用了有机发光元件的发光现象,因此,具有如宽视角和低能耗这样的优点。另外,该显示装置还具有高反应速度的优点。

[0202] 作为显示装置的驱动方法,优选比无源矩阵方法反应更快的有源矩阵方法。

[0203] 一种采用了有源矩阵驱动方法的有机 EL 显示器至少需要由有机材料制成的发光元件、驱动发光元件的驱动元件以及控制像素的明亮度或暗度的转换元件。可以将第 1~第 16 薄膜晶体管中的任意一个晶体管用作驱动元件或转换元件。此时,根据第一或第二实施例具有对称布置结构的 TFT 必须用作转换元件。作为驱动元件,可以采用具有对称布置

结构的 TFT 或具有不对称布置结构的 TFT。

[0204] 下面,对显示装置的更详细结构和电路的例子进行说明。

[0205] 显示装置和像素电路的结构例子

[0206] 图 17 显示了本发明中当前实施例的有机 EL 显示器的主要结构。

[0207] 图 17 所示的有机 EL 显示器 1 包括具有以矩阵形式布置的多个像素电路 (PXLC) 3 的像素阵列 2 以及驱动像素阵列 2 的垂直驱动电路 (V 扫描器) 4 和水平驱动电路 (H 选择器:HSEL) 5。

[0208] V 扫描器 4 的数量取决于像素电路 3 的布置。此处,V 扫描器 4 包括水平像素线驱动电路 (DSCN) 41 和写入信号扫描电路 (WSCN) 42。除了 V 扫描器 4 和 H 选择器 5 以外,还包括未显示的对 V 扫描器和 H 选择器提供时钟信号的电路、控制电路 (CPU) 以及其它电路。

[0209] 图 18 的电路图显示了有机发光二极管和设置在每一像素中以便控制发光二极管的像素电路。

[0210] 图 18 所示的像素电路 3 包括起到电光元件作用的有机发光二极管 OLED、由 NMOS 晶体管实现的采样晶体管 ST、由 PMOS 晶体管实现的驱动晶体管 DT 以及补偿单元 3A。

[0211] 有机发光二极管 OLED 的阴极与第二供压线 VSS1 相连。

[0212] 在有机发光二极管 OLED 的阳极与第一供压线 VDD1 之间连接驱动晶体管 DT。驱动晶体管 DT 根据第一供压线 VDD1 与第二供压线 VSS1 之间的电位差控制流动的驱动电流的量。

[0213] 驱动晶体管 DT 的特性,特别是其阈值电压 V_t ,直接影响供给至有机发光二极管 OLED 的驱动电流的量。如果阈值电压 V_t 变化,则由有机发光二极管 OLED 发出的光的亮度会变化。另外,为了改善发出光的亮度的均匀性,必须抑制被称为所谓迁移率 μ 的装置特性的变化。设置补偿单元 3A 以便补偿这些变化。补偿单元 3A 可具有任意结构。

[0214] 将补偿单元 3A 连接在采样晶体管 ST 的源极或漏极与驱动晶体管 DT 的栅极之间。但是,这种连接仅仅是作为典型例子给出的。严格地说,在补偿单元 3A 中包括连接在有机发光二极管 OLED 的阳极与驱动晶体管 DT 的栅极之间的元件(电容或晶体管)。

[0215] 将采样晶体管 ST 中源极和漏极的另一个连接至信号输入线 SIG。对信号输入线 SIG 施加数据电压 V_{sig} 。采样晶体管 ST 在数据电压施加期间的适当时间,对将由像素电路显示的数据进行采样。

[0216] 也可将采样晶体管 ST 用作提取例如偏置电平(初始电平)的晶体管并包含在补偿单元 3A 中。在这种情况下,必须将偏置电平和数据电压 V_{sig} 交替施加在信号输入线 SIG 上。

[0217] 因此,可以根据在补偿单元 3A 侧的节点和信号输入线 SIG 侧的节点处的电势,频繁转换采样晶体管 ST 的源极和漏极的功能。

[0218] 作为采样晶体管 ST,应采用根据第一~第十六实施例的 TFT 中具有对称布置结构的 TFT。

[0219] 根据有源矩阵驱动方法,在像素阵列中包括的每一像素处,依次开始通过采样晶体管 ST 进行的数据写入和发光。在对任意其它像素的驱动期间,可任意控制以终止发光。因此,只要进行有源矩阵驱动,便能以低电流实现高亮度。

[0220] 用于控制发光的驱动晶体管 DT 的源极与有机发光二极管 OLED 的阳极相连,漏极

与正电源相连。因此,通常不转换源极和漏极的功能。作为驱动晶体管 DT,不仅可以采用具有对称布置结构的 TFT,而且还可以采用第一~第十六实施例中具有非对称布置结构的 TFT。

[0221] 可以通过 PMOS 晶体管实现采样晶体管 ST,可以通过 NMOS 晶体管实现驱动晶体管 DT。

[0222] 在本实施例中,可以将如第一~第十六实施例描述的任意 TFT 用作图 16 所示的驱动晶体管 DT 或采样晶体管 ST。并且,能够提供以下描述的优点。

[0223] 在具有任意上述结构的 TFT 中,边缘点和栅极电极彼此分离。因此,TFT 均衡地具有以下特点:小截止泄漏电流、低导通电阻以及低寄生电容。因此,在用于显示装置中的薄膜晶体管中,能够有效地防止如在栅极未激活期间由源极电极与漏极电极之间流动的泄漏电流的增大产生的闪烁点或发光点这样的缺陷。由于该薄膜晶体管能够响应高频率工作,因此,可以将该薄膜晶体管应用于表现高动画显示性能的显示器。另外,由于导通电阻较低,因此,能够实现具有高亮度的显示器。

[0224] 另外,截止泄漏电流得到抑制,并且,导通电阻较低。因此,能够限制电流损失。最终,能够减小显示装置的能耗。

[0225] 可以根据上述实施例的任意 TFT 用作 LED 显示装置或等离子体显示装置中的像素电路的元件,该 LED 显示装置将有机 EL 元件(一种 LED)以外的 LED 用作发光元件。优选地,不仅可以将上述第一~第十六实施例的 TFT 用作显示装置,而且还可以将其用于必须同时满足小泄漏、低导通电阻以及低寄生电容的任意用途。

[0226] 本领域技术人员应当理解,依据设计要求和其它因素,可以在本发明所附的权利要求或其等同物的范围内进行各种修改、组合、次组合及变化。

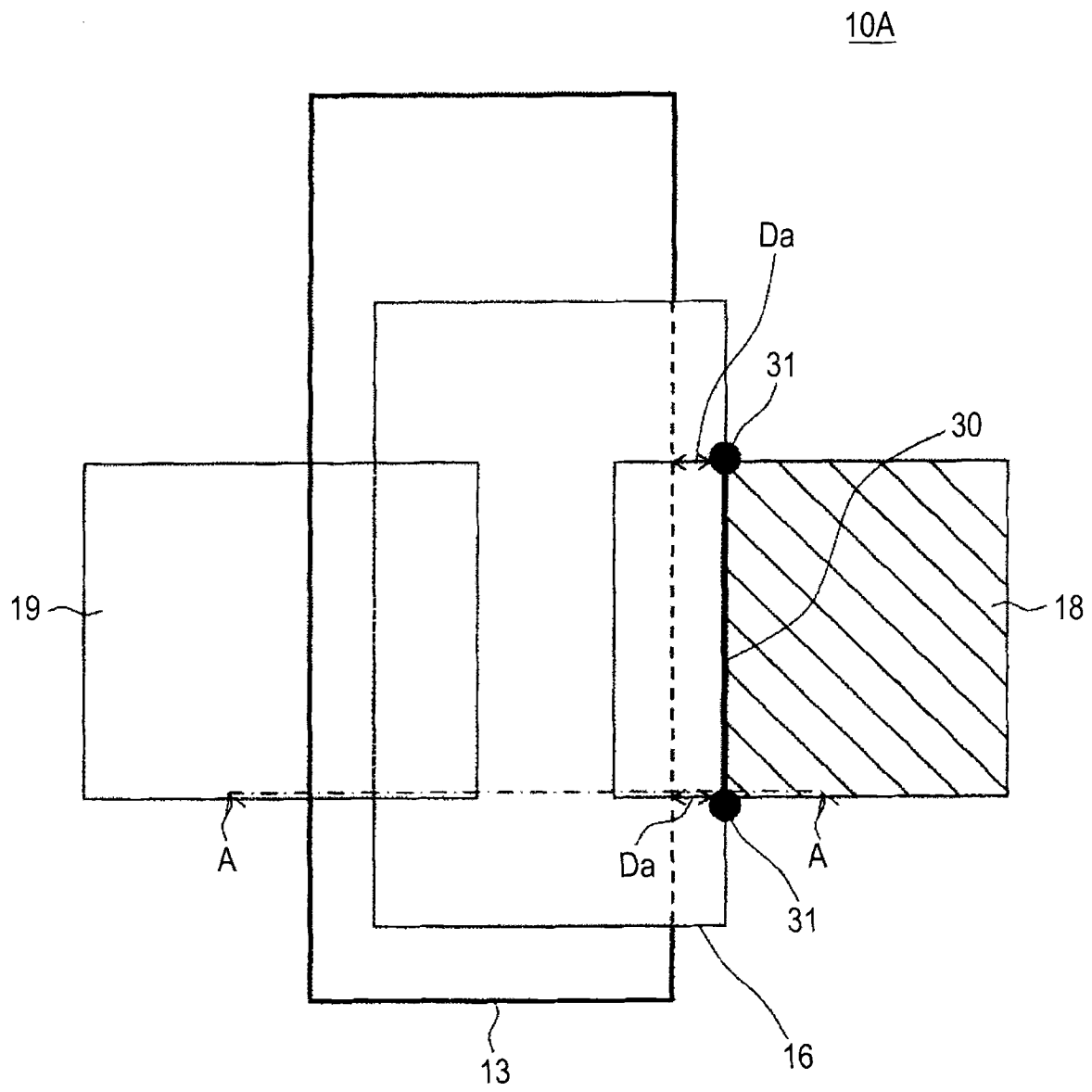


图 1

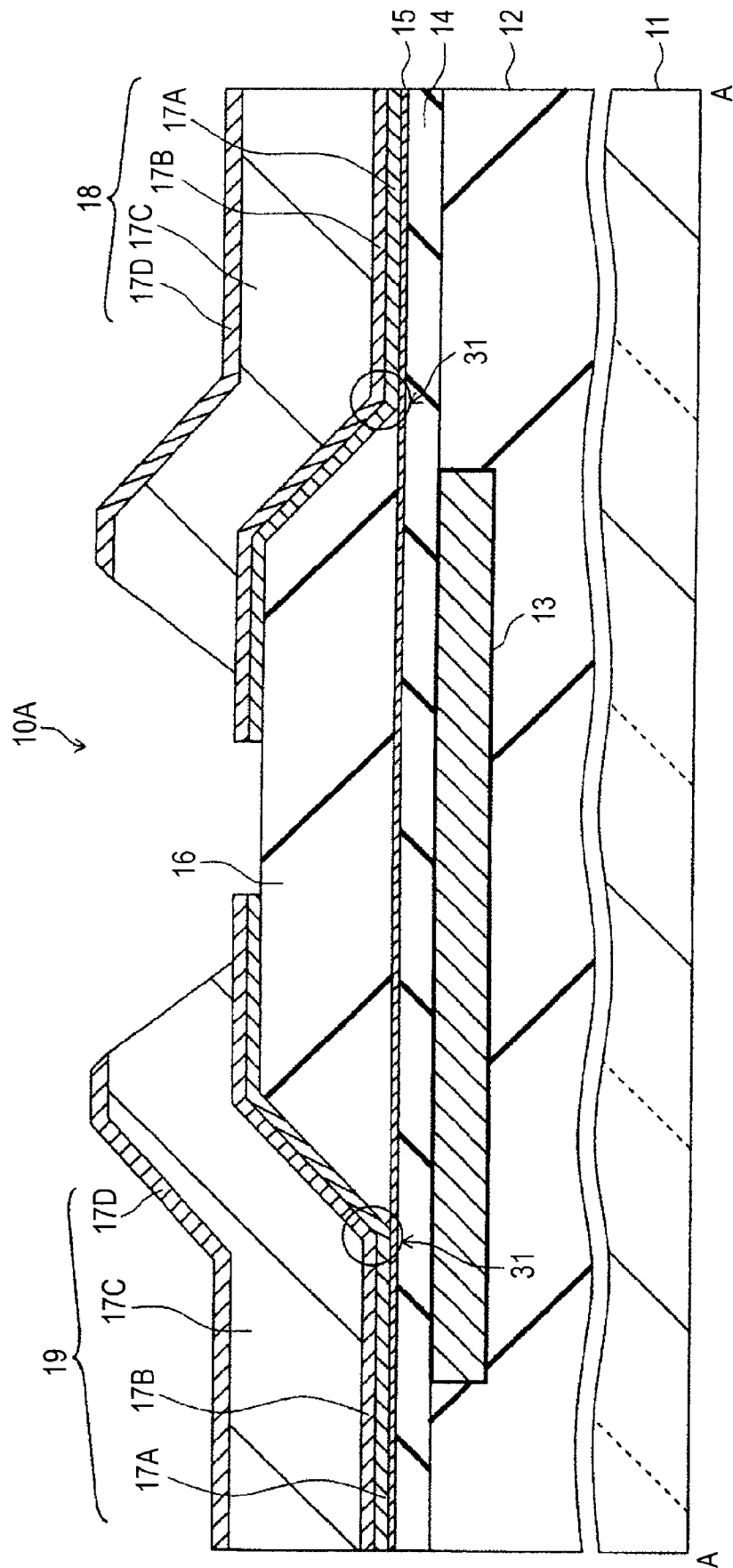


图 2

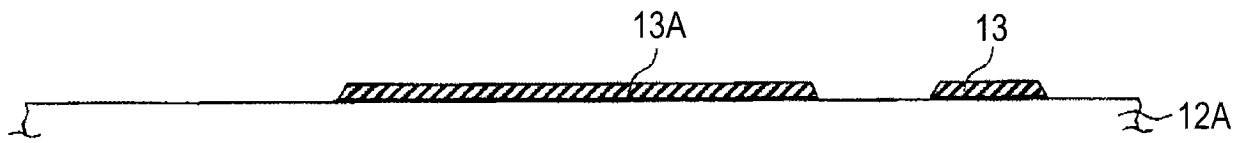


图 3A

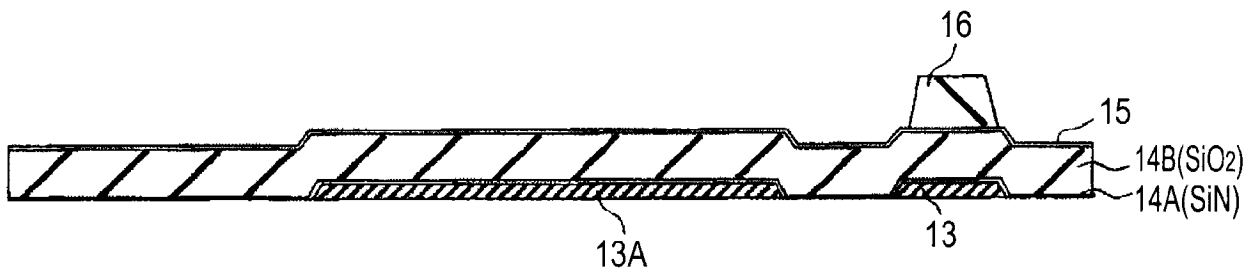


图 3B

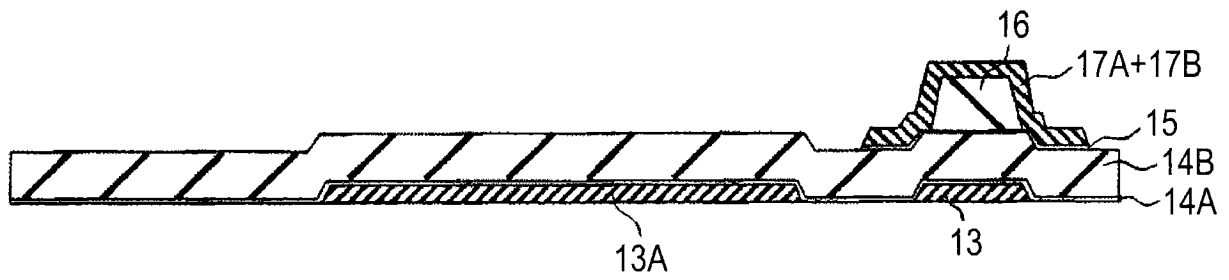


图 3C

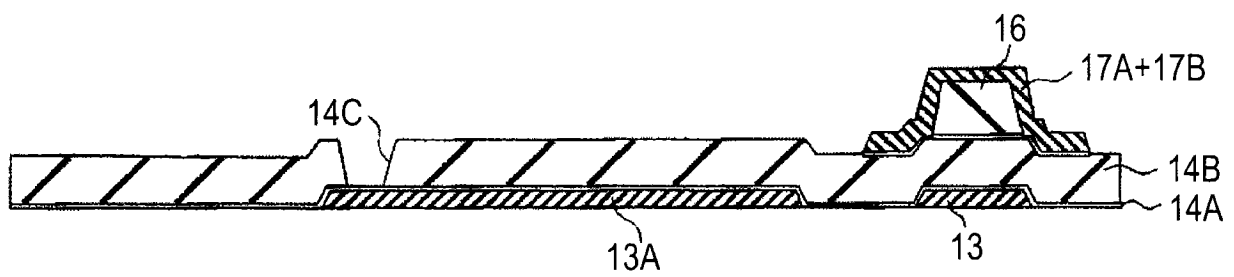


图 3D

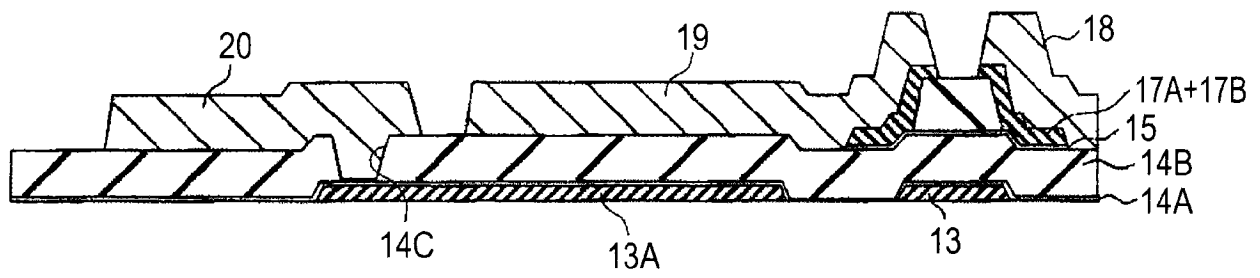


图 3E

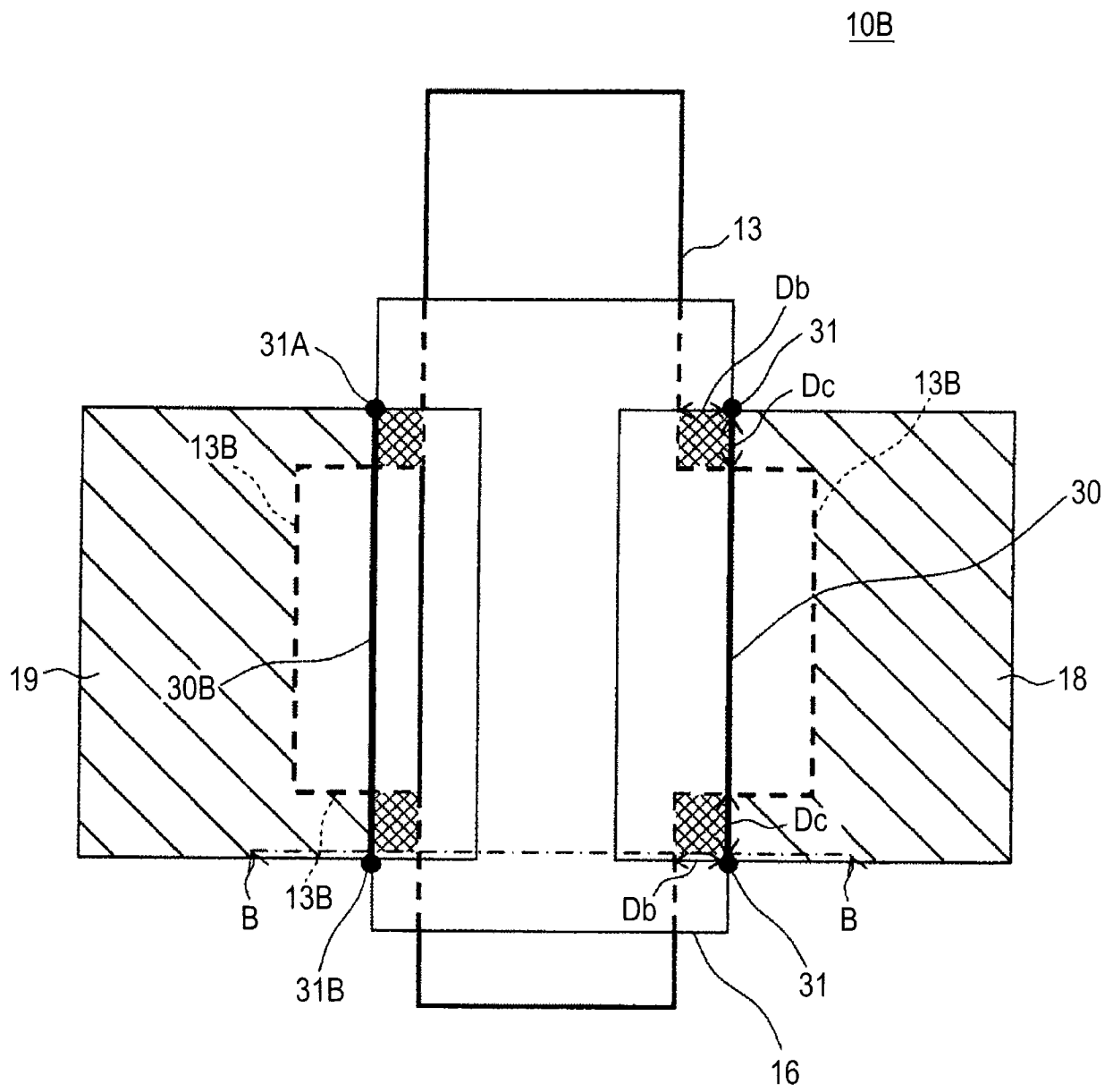


图 4

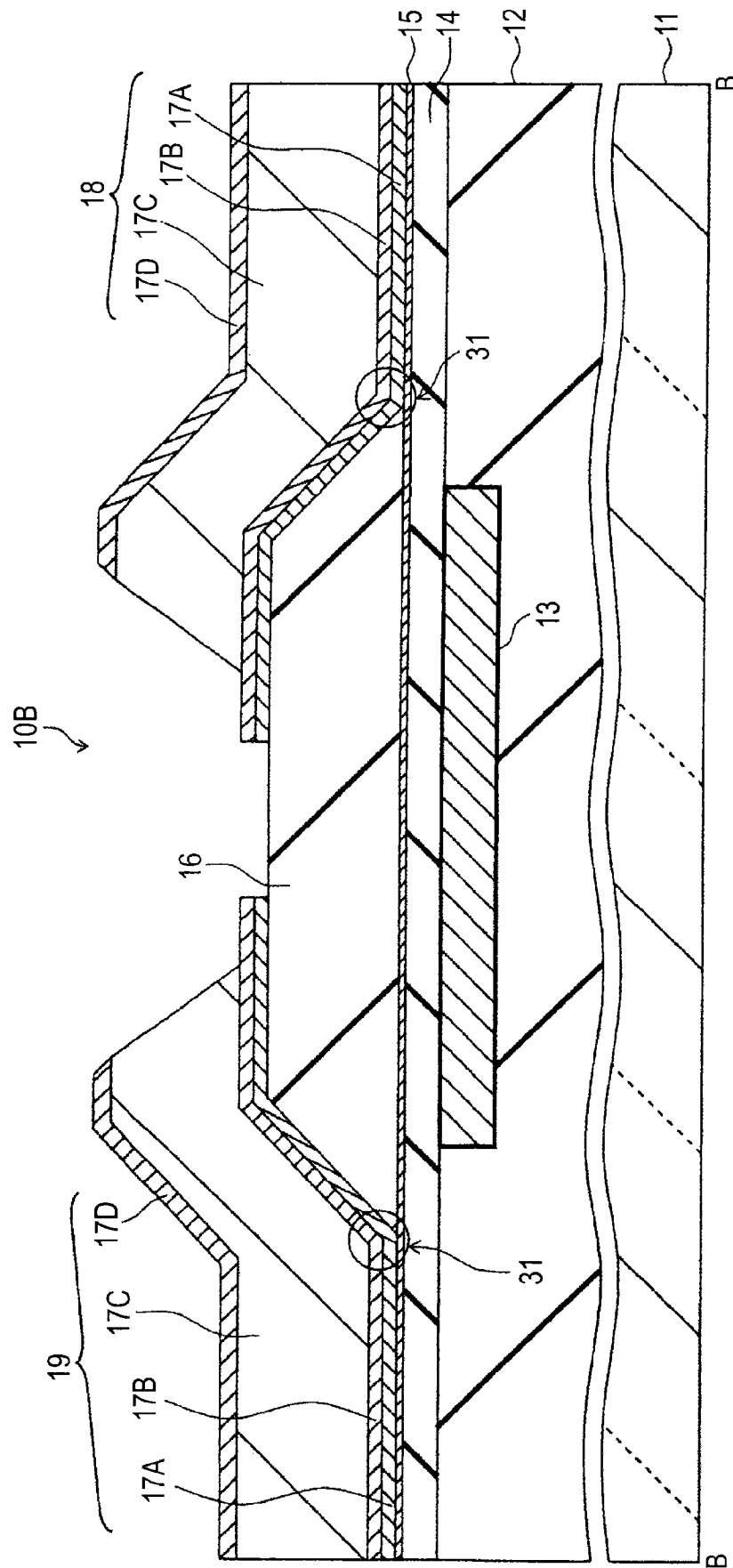


图 5

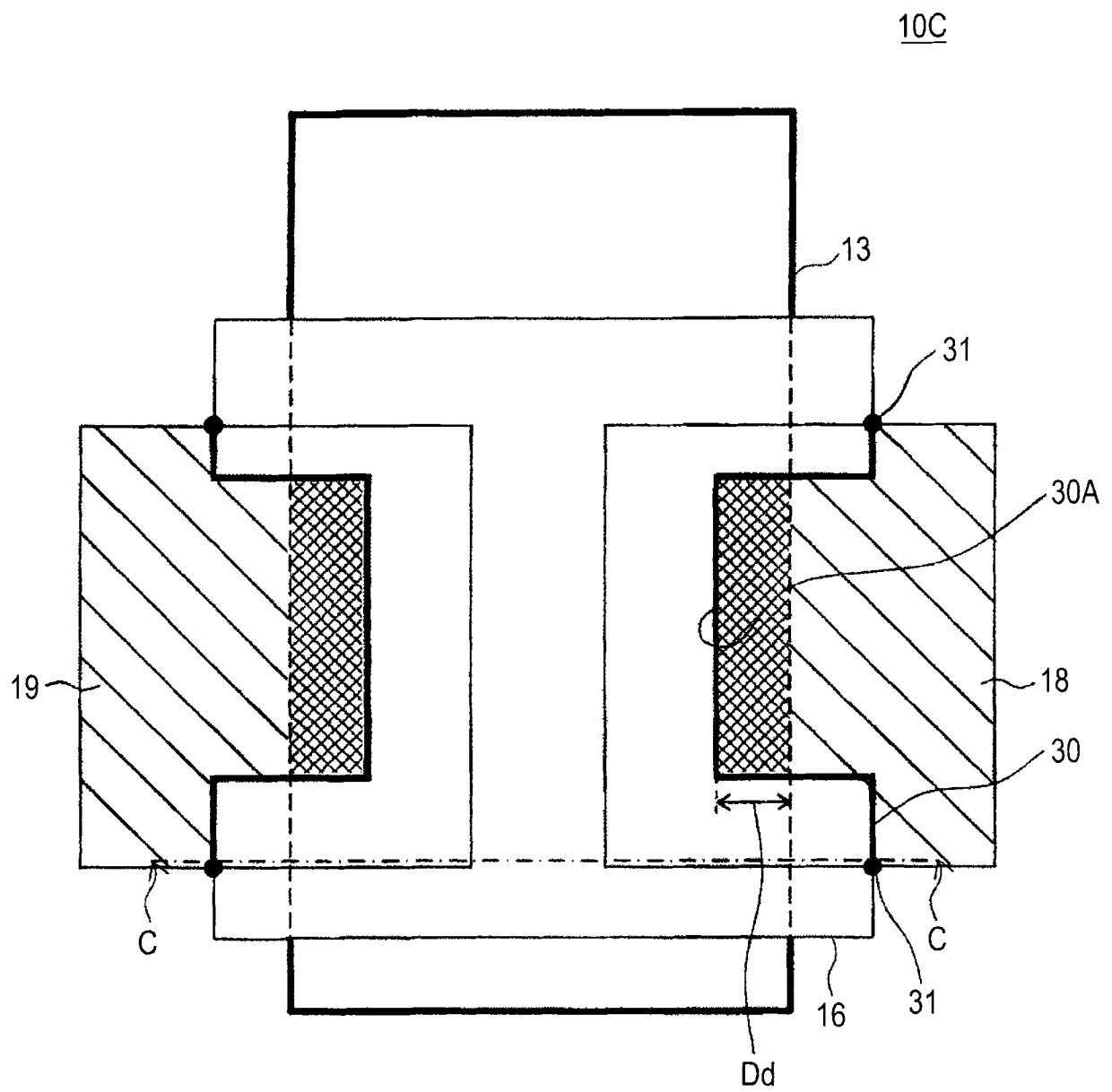


图 6

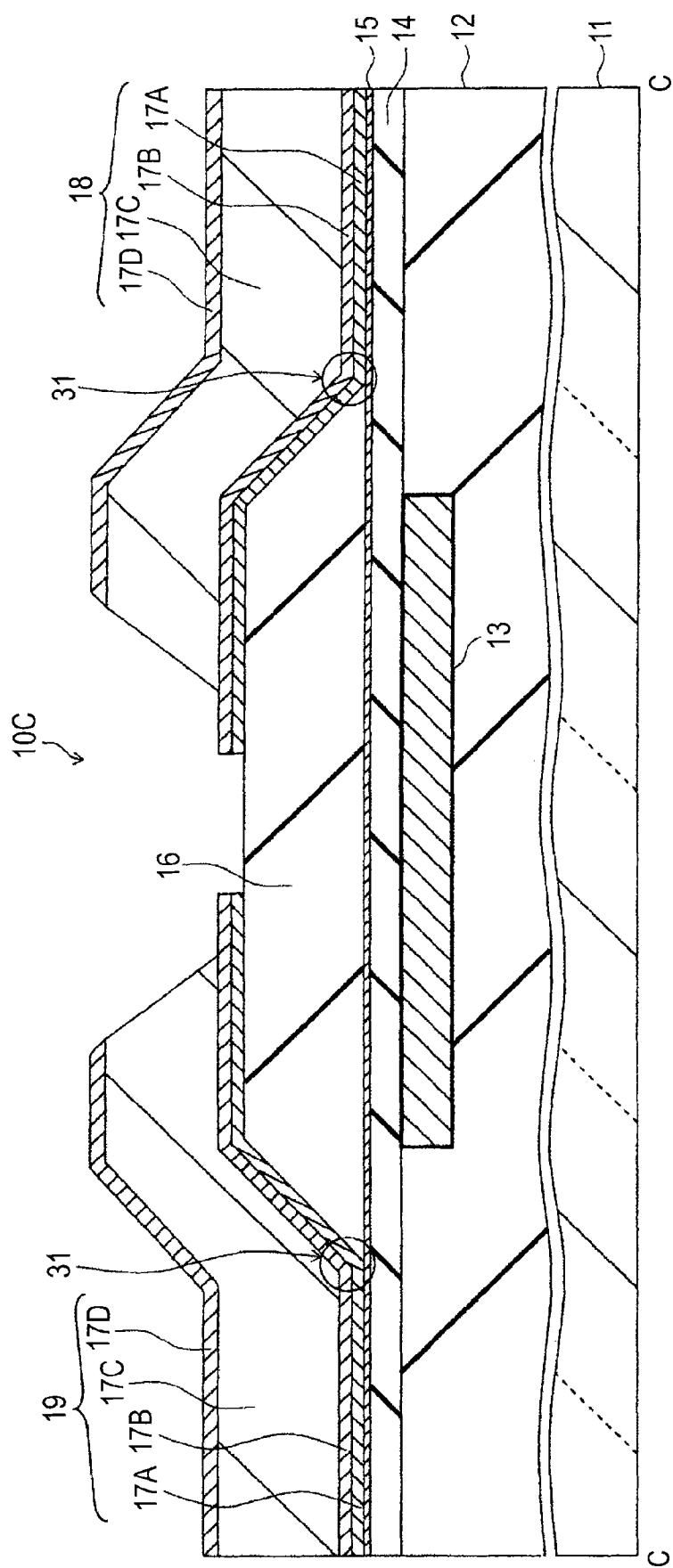


图 7

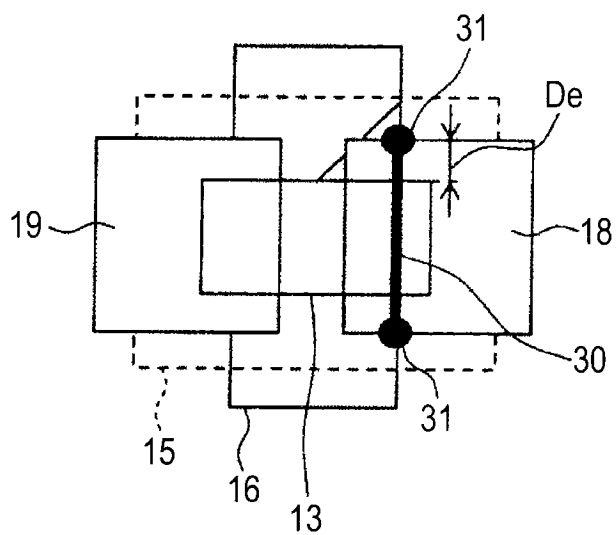


图 8A

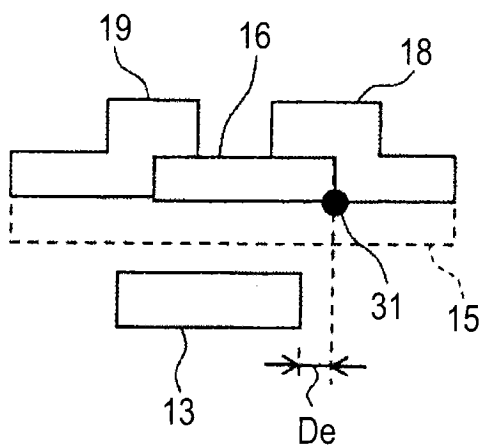


图 8B

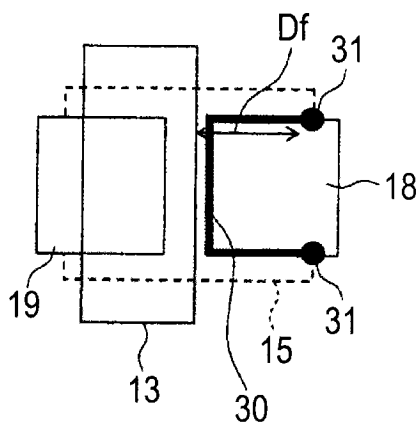


图 9A

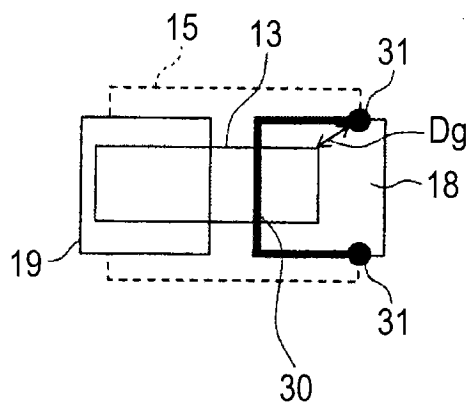


图 9B

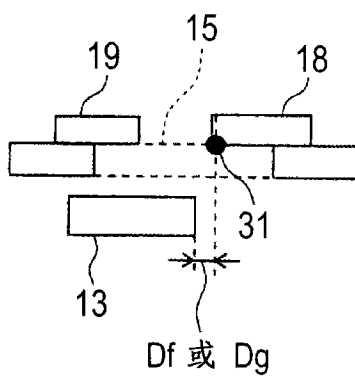


图 9C

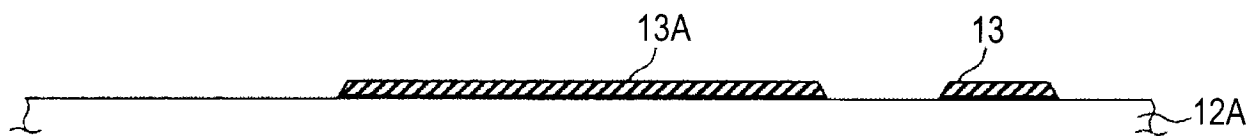


图 10A

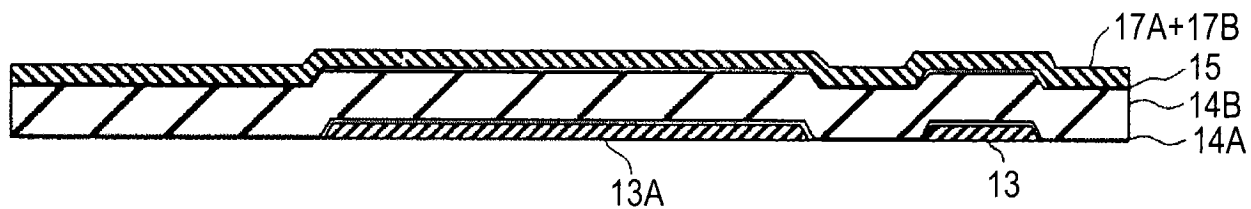


图 10B

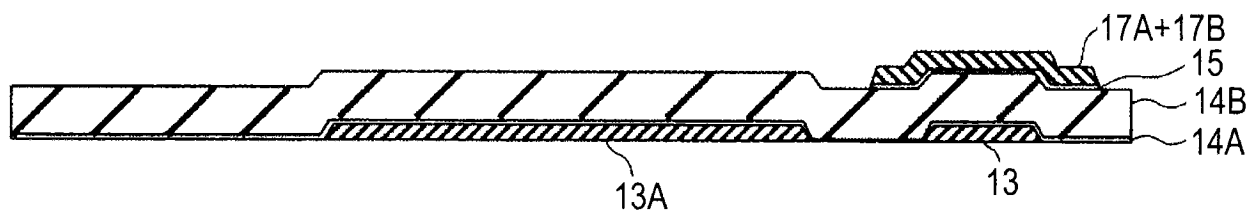


图 10C

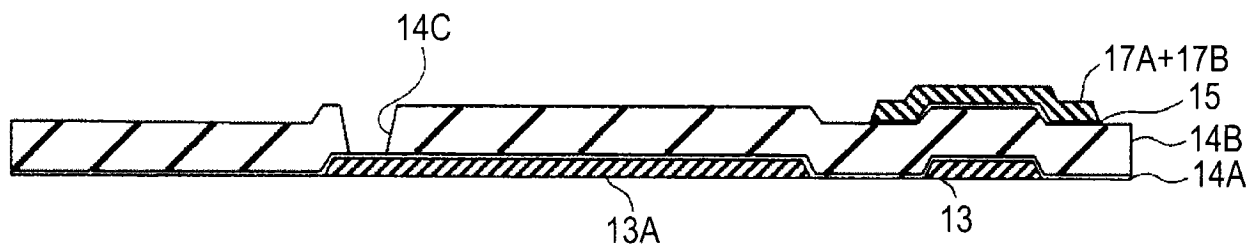


图 10D

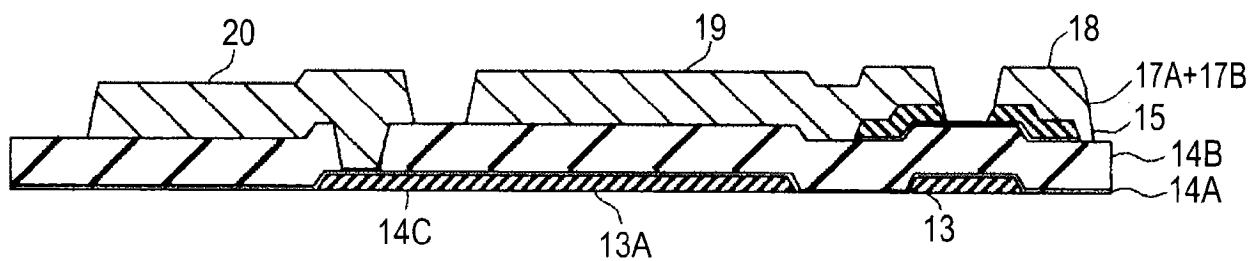


图 10E

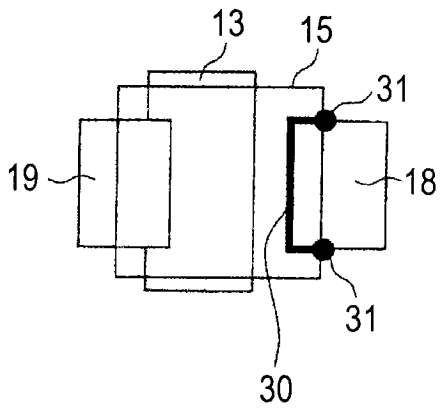


图 11A

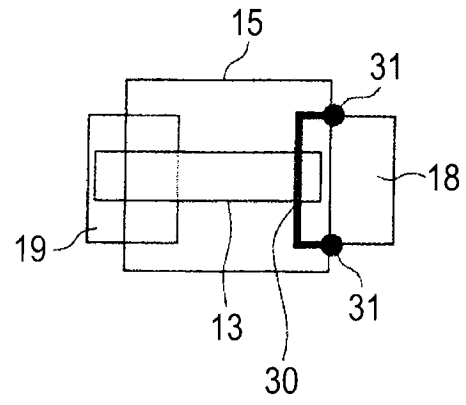


图 11B

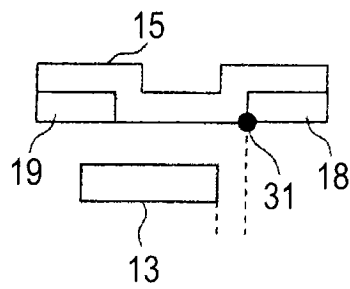


图 11C

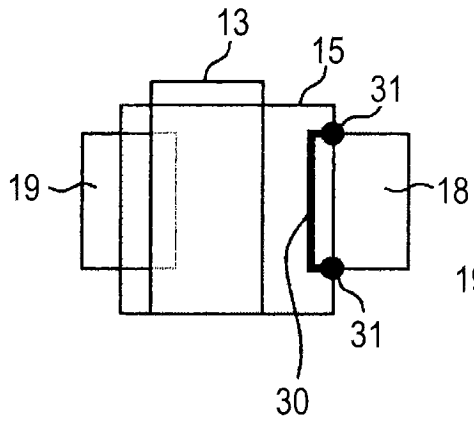


图12A

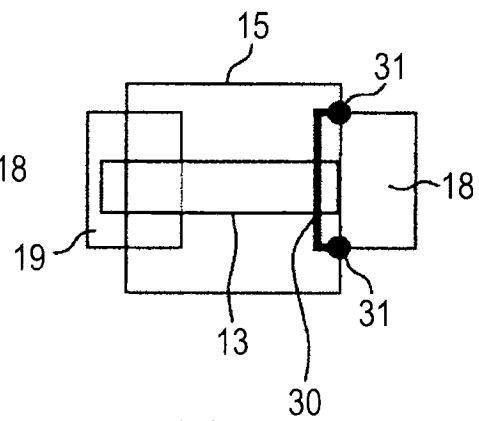


图12B

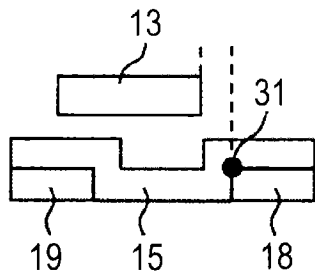


图 12C

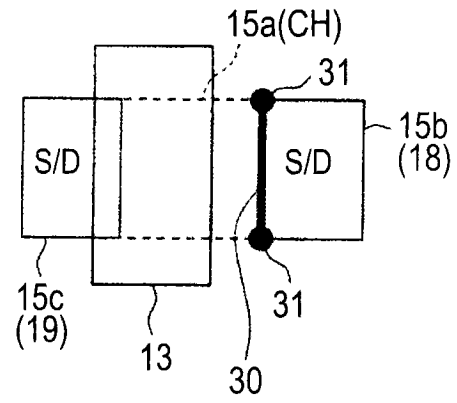


图 13A

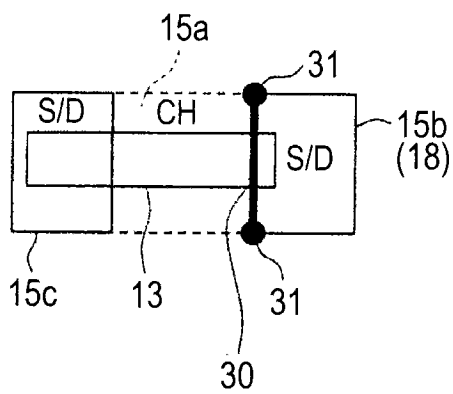


图 13B

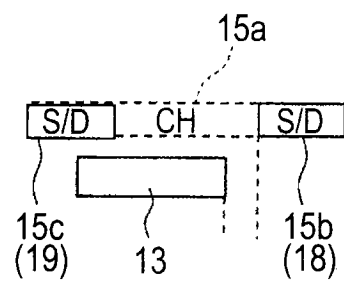


图 13C

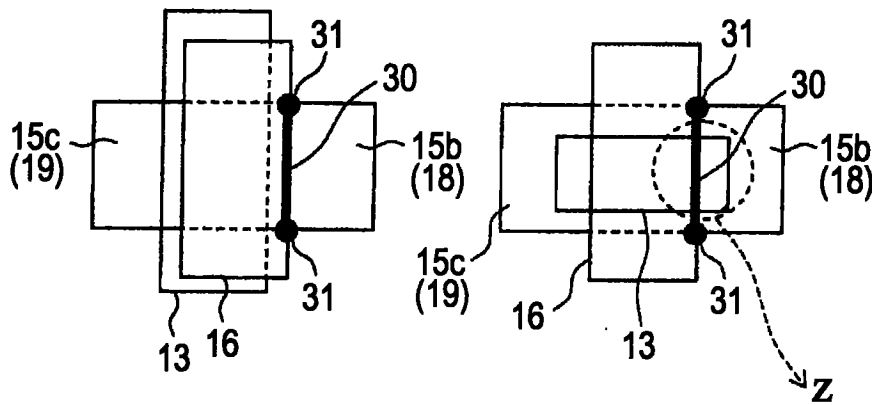


图 14A

图 14B

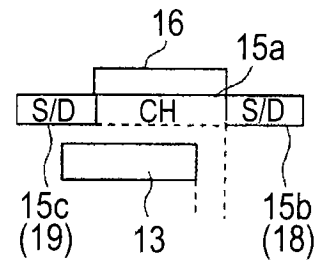


图 14C

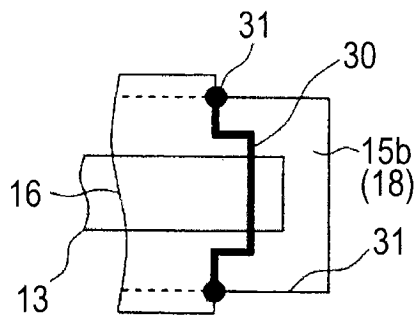


图 14D

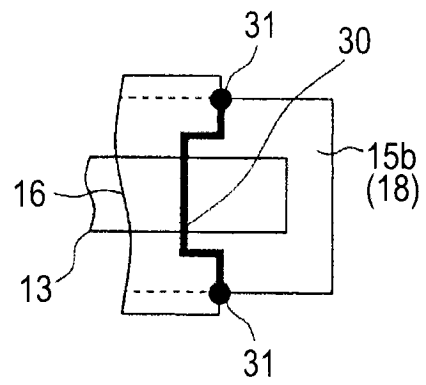


图 14E

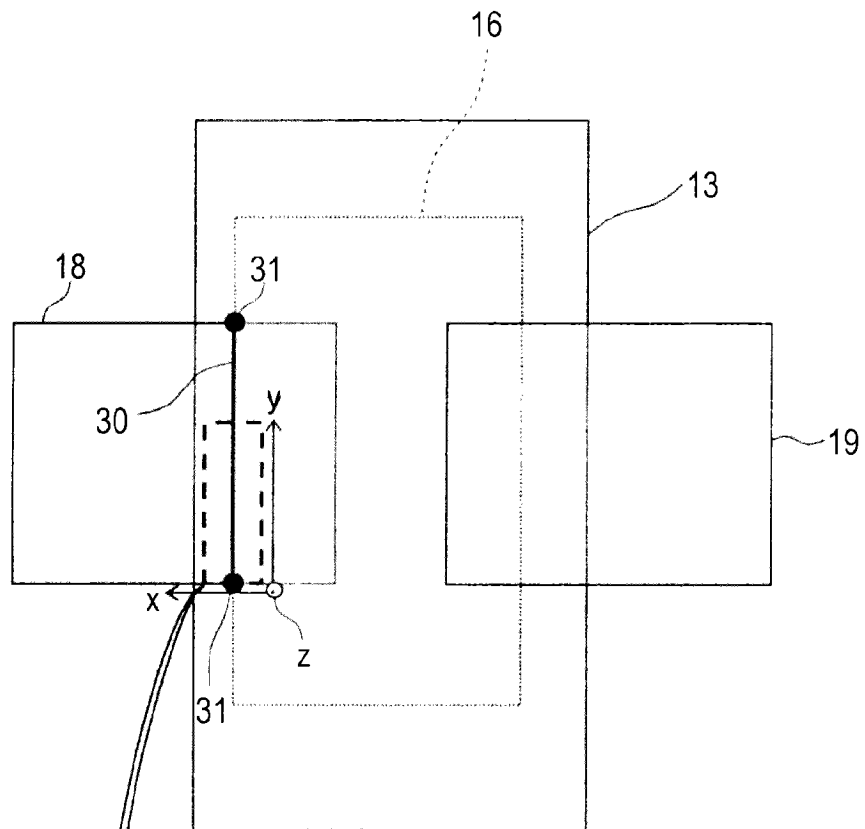


图15A

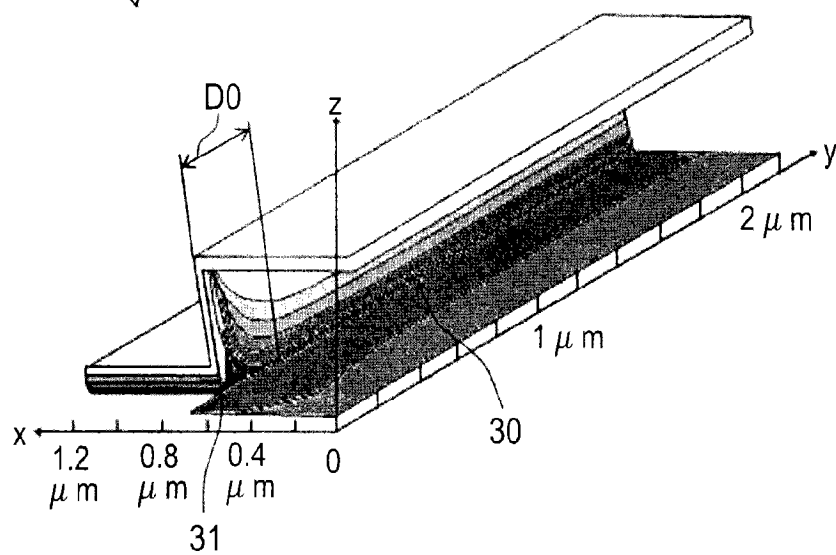


图15B

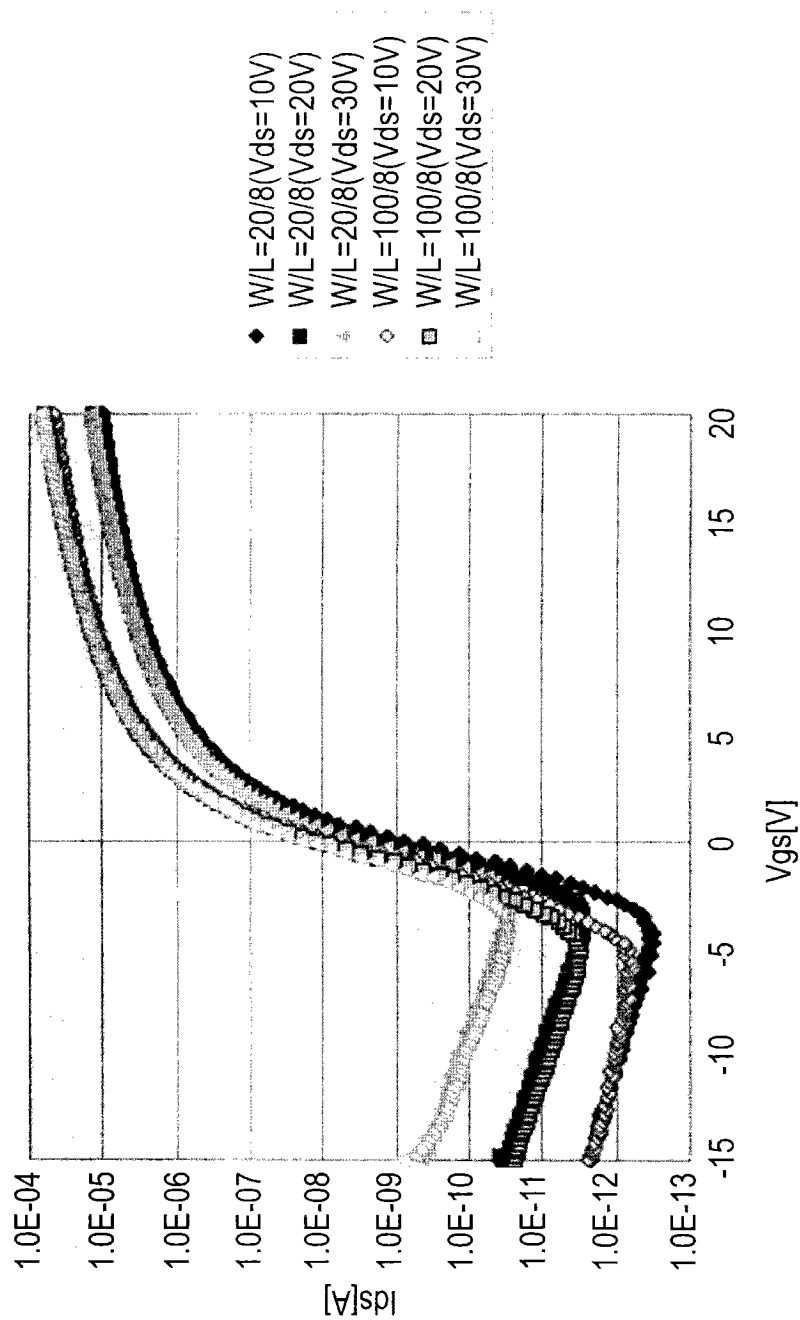


图 16

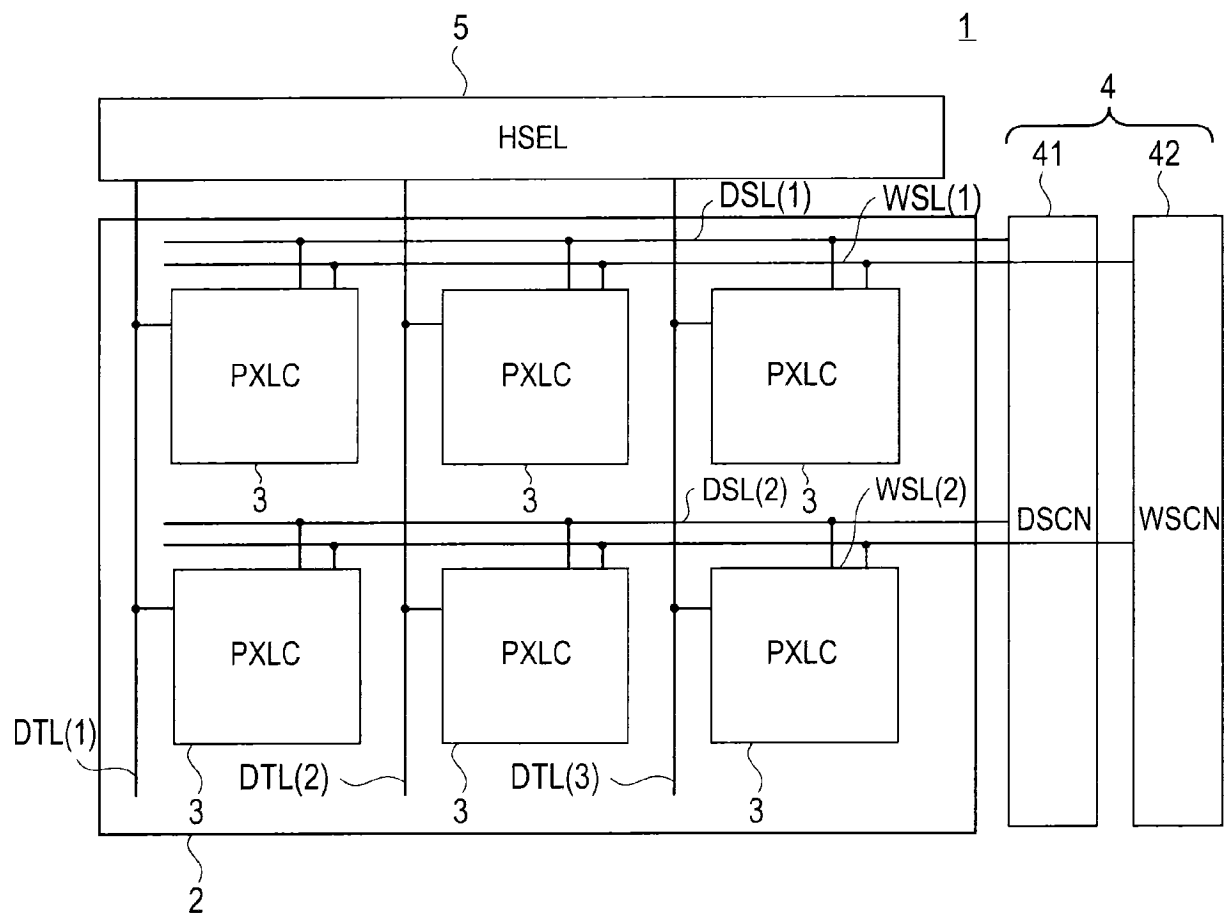


图 17

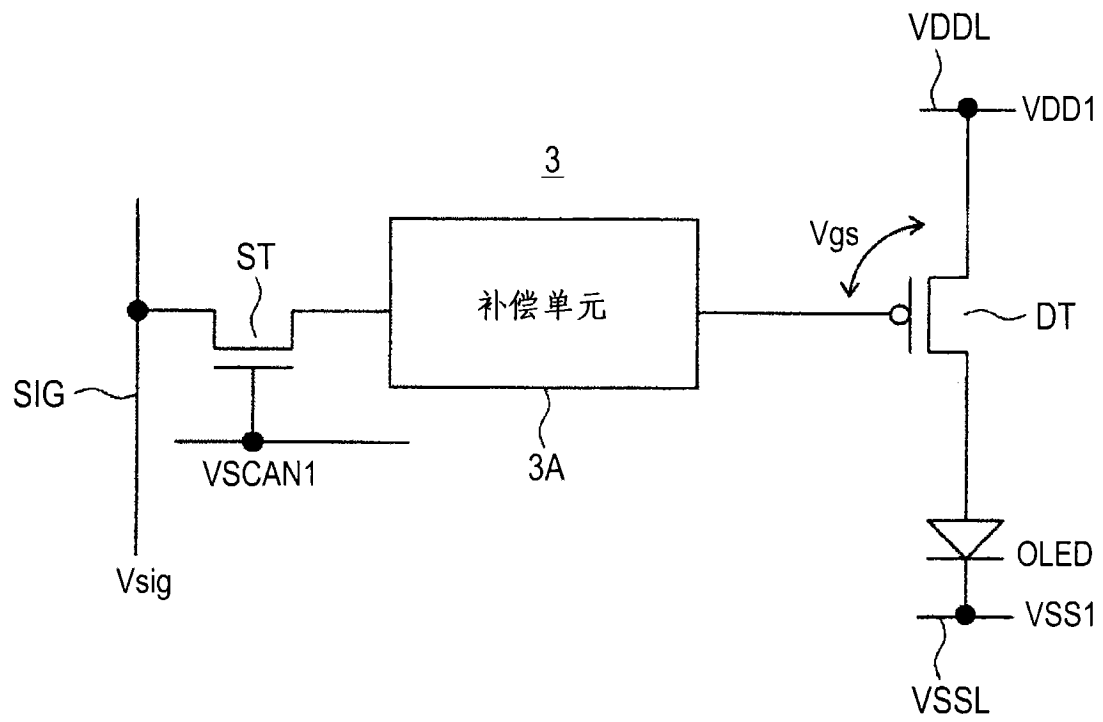


图 18