[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H04L 27/20

[12]发明专利说明书

[21] ZL 专利号 94190247.1

[45]授权公告日 2001 年 8 月 29 日

[11]授权公告号 CN 1070327C

[22]申请日 1994.2.23 [24]颁证日 2001.6.23
[21]申请号 94190247.1
[30]优先权
[32]1993.4.30 [33]JP [31]104586/1993
[86]国际申请 PCT/JP94/00276 1994.2.23
[87]国际公布 WO94/26050 日 1994.11.10
[85]进入国家阶段日期 1994.12.28
[73]专利权人 株式会社东芝
地址 日本神奈川县
[72]发明人 林隆久 松田朋洋 芹泽睦
[56]参考文献

EP 0494696A2	1992. 7.15	H04L27/20
JP 3-235553A	1991.10.21	H04L27/20

审查员 34 16

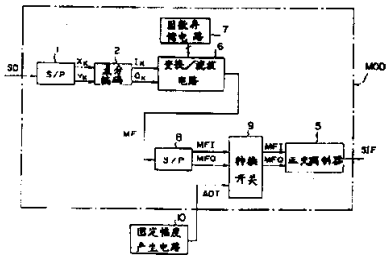
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 张 维

权利要求书 2 页 说明书 21 页 附图页数 10 页

[54]发明名称 π/4 移位差分编码四相移相键控调制器

[57]摘要

π/4 移位 DQPSK 调制器包括一个有变换功能和滤波功能的变换/滤波电 路(6)。该变换/滤波电路(6)使得每个符号的相位信息移位输入到它的 移位寄存器(61、62、63),并顺序地读出经滤波处理的最初储存在因数存储电路(7)的 256 个采样的滤波因数数据,并且根据移位寄存器(6 1、62、63)并行输出的 10 个符号的位置信息,把滤波因数数据转换为 数字值。该调制器具有很少的滤波门电路,它可以安装在一个非常简单、紧凑 的电路结构中。



ISSN1008-4274

权 利 要 求 书

1. 一种π/4 移位 DQPSK 调制器，包括:

串/并转换装置，用于把传输数据流转换为多个并行数据流;

用于得到位置信息的位置信息生成装置，该位置信息包括一列位置信息元，每一位置信息元对应于多个并行数据流中的各符号，每一位置信息元表示在传送相应特定符号的载波的相位幅度平面上的一个位置，并由该特定符号和该特定符号的前一符号上的位置信息元确定;

一个移位寄存器，使所述位置信息生成装置的输出的每一位置信息元的接收与符号速率同步，并且根据所收到的新的位置信息元，顺序地移位预定数量的存储符号的位置信息元，并以并行方式，输出所有预定数量的存储符号的位置信息;

转换控制信号生成装置，用于从预定数量符号的相应位置信息元处检测各个幅度信息，该符号是以并行方式从移位寄存器输出的;

地址生成装置，与几倍于符号率频率的采样时钟同步，执行计数操作，并生成相应于计数值的地址;

存储装置，根据所述地址生成装置生成的地址和存储在所述移位寄存器各个级的位置信息元，输出相应于各个级的滤波因数信息;

数值转换装置，在所述存储装置输出的滤波因数信息和从所述转换控制信号生成装置得到的各个幅度信息上执行计算操作;

以及

总求和装置，用以获得所述数字值转换装置的计算结果的总和，且用以波整形该结果总和，并以调制数据输出波整形总和。

2.根据权利要求1所述的π/4移位DQPSK调制器，其特征在于：

从所述移位寄存器并行输出的各个位置信息元处，所述转换控制信号生成装置检测同相分量的幅度信息和正交分量的幅度信息，并以时分方式输出该相应的幅度信息；

在所述存储装置输出的滤波因数信息上，以及以时分方式，在同相分量的幅度信息和正交分量的幅度信息上，数值转换装置执行计算操作，并输出计算的结果；以及

以时分方式，所述总求和装置获得计算结果的总和，并把该总和输出分为相应于同相分量的总和输出和相应于正交相位分量的总和输出。

3.根据权利要求1所述的π/4移位DQPSK调制器，其特征在于：

所述存储装置最初储存经滤波处理的滤波因数信息。

4.根据权利要求1所述的π/4移位DQPSK调制器，其特征在于：

由于根滚降滤波器的脉冲响应以最大幅度点为中心轴对称，所述存储装置只储存最大幅度点一边的那些特性；以及

当要读出没有储存在所述存储装置的另一边特性时，以把计数值逻辑求反的方式，所述地址生成装置提供地址给所述存储装置。

说　明　书

π/4 移位差分编码四相移相键控调制器

本发明涉及使用在诸如数字携带式电话机、数字移动电话机和数字无绳电话机的数字无线通信装置中的调制器，本发明特别涉及使用π/4 移位差分编码四相移相键控（下面称π/4 移位 *DQPSK*）系统作为调制系统的调制器。

近年来，采用数字系统的蜂窝式无线电话系统作为一种无线通信系统。这种类型的系统，以数字的形式，传输诸如位于基地站与移动设备之间的语音信息和控制信号的通信信息。这种系统的优点是，能够提高保密性，增强数据/系统的兼容性，以及有效地使用无线频率。

包括这种系统类型的数字无线通信装置使用π/4 移位 *DQPSK* 系统的构成如图 1 所示，图 1 表示这种调制器的结构框图。

传输数据流 *SD*，经过一个串/并转换电路（*S/P*）1，被转换为两个数据流 X_k 和 Y_k。这里，传输数据流是由 0 伏到 5 伏的 *NRZ* 信号组成的。

通过一差分编码电路 2，把这些数据流 *Xk* 和 Y_k 差分编码为下面所示：

$$I_k = I_{k-1}\cos[\Delta\phi(X_k, Y_k)] - Q_{k-1}\sin[\Delta\phi(X_k, Y_k)]$$

$$Q_k = I_{k-1}\sin[\Delta\phi(X_k, Y_k)] + Q_{k-1}\cos[\Delta\phi(X_k, Y_k)]$$

其中：

I_{k-1}，Q_k-1：前一脉冲时间上的编码数据的幅度；

$\Delta\phi$：相位变化量。

相位变化量$\Delta\phi$是由图3所示的输入数据流幅值X_k、Y_k所决定的。对于编码数据I_k和Q_k的幅度值，是从0、±1，$\pm\sqrt{2}$五个数值中选择出的。

差分编码电路2输出的编码数据I_k、Q_k输入到变换电路3。在差分编码电路2传送编码数据I_k、Q_k的每个脉冲时间里，根据在前一脉冲时间得到的编码数据I_{k-1}和Q_{k-1}的相位变换位置，变换电路3决定当前脉冲时间上的编码数据I_k、Q_k的相位变换位置。

图4是一个相位空间图，它表示来自于变换电路3的编码数据I_k、Q_k相位变换位置。图中明显地看出，变换位置是这样得到的，即在每个脉冲时间上，图4中用□表示的那些位置和图4中用○表示的那些位置是交替选择的。

编码数据MI、MQ的相位变换位置有八种组合，即：(+I，+

Q),(0,+Q),(−I,+Q),(−I,0),(−I,−Q),(0,−Q),(+I,−Q)和(+I,0)。这些组合是用(+I,0,−I)和(+Q,0,−Q)表示的。这里,+I,+Q分别表示I轴、Q轴的正位置,而−I、−Q分别表示I轴、Q轴的负位置。

来自于变换电路3的编码数据MI、MQ输入到滚降滤波器4,进行低通滤波处理。滚降滤波器4用以减少产生于传输路径上编码间干扰的影响。滚降滤波器4是由如图2所示的横向类型FIR滤波器组成的。这里,256个采样表示一个符号(传输单位:在$\pi/4$移位$DQPSK$调制系统中为2比特)。输入到滤波器4的信号要与在256部分中采样的一个符号相应。如果滤波器的脉冲响应是10个符号,则将这样滤波,即输入数据的2560个采样中的每个采样用一个相应的因数相乘。

滤波器的频率响$|H(f)|$可以用下述式子表示:

$$(1)\quad 0 \le f \le (1+\alpha)/2T$$

$$|H(f)| = 1.$$

$$(2)\quad \text{For } (1-\alpha)/2T \le f \le (1+\alpha)/2T$$

$$|H(f)| = \sqrt{1/2\{1-\sin[\pi(2fT-1)/2\alpha]\}}$$

$$(3)\quad \text{For } f > (1+\alpha)/2T$$

$$|H(f)| = 0$$

其中,T表示符号周期,滚降因数α用以确定传输带,比如它可

以为 0.35。

滚降滤波器 4 传递的编码数据（基带信号）*MFI*、*MFQ* 输入到正交调制器 5，在这里，编码数据 *MFI*、*MFQ* 与一个相应于无线信道频率的传输中频信号正交调制。已调制的中频信号 *SIF* 输入一个用以执行无线发射的发射电路（没画出）。

尽管没画出，正交调制器包括一个振荡器，用以 90°移相振荡器输出的移相器，用以把振荡器输出与 *MFI* 相乘的第一乘法器，用以把移相器输出与 *MFQ* 相乘的第二乘法器，以及把第一、第二乘法器输出相加的加法器。当振荡器的输出为 $A\ \ COS(\omega ct)$ 时，传输的中频信号 *SIF* 可表示如下：

$$SIF(t) = \sum_{n} g(t - nT)\cos\Phi_n \cos\omega ct - \sum_{n} g(t - nT)\sin\Phi_n \sin\omega ct$$

这里，

$g(t)$：脉冲整形函数；

ωc：载波角频率；

Φ_n：第 n 个符号周期的相位的绝对值。

Φ_n 是通过差分解码得到的，可以表示为：

$$\Phi_n = \Phi_{n-1} + \triangle\Phi_n$$

所使用的这种 π/4 移位 *DQPSK* 系统，可以压缩信号带的宽度。

然而，常规的 π/4 移位 *DQPSK* 调制器存在下述问题。

编码数据的一个符号用 256 个采样表示，相应于 256 采样的串行数据，分别通过 *I* 和 *Q* 信道，从用于每个符号的变换电路 3 输出，进入滚降滤波器 4，图 2 中很明显可以看出。由横向类型滤波器组成的滚降滤波器 4，必须包括一个移位寄存器 41，它具有相应于 256 个采样的 2560 个级，2560 个乘法器和 2560 个门电路(没画出)，用以给相应的乘法器 42 提供因数。进一步，由于每个信道都需要这样的横向滤波器，所以所涉及到的元件都变成双的。因此，调制器的电路结构变得很复杂，并且鉴于所涉及到的门电路，不可能太多希望实现紧凑的电路结构。

通常，对于诸如携带式电话机或无绳电话机的移动无线通信系统来说，主要任何之一是使系统紧凑并且重量轻。上述问题，阻碍了通信系统的小型化和重量轻的实现。

本发明的目的是提供一个 π/4 移位 *DQPSK* 调制器，用以减少滤波器门电路的数量，从而可以大大地缩少电路结构的大小。

为了实现本发明的前述目的，对于多个串行数据流的每个符号，从特定符号的二进制信息和载带先前符号的载波的相位幅度平面上的位置信息处，本发明的 π/4 移位 *DQPSK* 调制器在相位幅度平面上得到载带特定符号的载波的位置信息。与符号速率同步，把位置信息串行地移位输入到移位寄存器的多个级，并从移位寄存器并行

输出的各位置信息处，检测幅度信息。调制器还与采样时钟同步传送地址，该采样时钟的频率为符号率频率的几倍。根据存储在移位寄存器预先确定级的地址和位置信息，调制器输出相应于移位滤波器预先确定级的滤波因数信息，计算滤波因数信息和每个幅度信息，用以查找计算结果的总和，并产生该总和作为波整形的调制数据。

一种π/4 移位 DQPSK 调制器，包括：串/并转换装置，用于把传输数据流转换为多个并行数据流；用于得到位置信息的位置信息生成装置，该位置信息包括一列位置信息元，每一位置信息元对应于多个并行数据流中的各符号，每一位置信息元表示在传送相应特定符号的载波的相位幅度平面上的一个位置，并由该特定符号和该特定符号的前一符号上的位置信息元确定；一个移位寄存器，使所述位置信息生成装置的输出的每一位置信息元的接收与符号速率同步，并且根据所收到的新的位置信息元，顺序地移位预定数量的存储符号的位置信息元，并以并行方式，输出所有预定数量的存储符号的位置信息；转换控制信号生成装置，用于从预定数量符号的相应位置信息元处检测各个幅度信息，该符号是以并行方式从移位寄存器输出的；地址生成装置，与几倍于符号率频率的采样时钟同步，执行计数操作，并生成相应于计数值的地址；存储装置，根据所述地址生成装置生成的地址和存储在所述移位寄存器各个级的位置信息元，输出相应于各个级的滤波因数信息；数值转换装置，在所述存储装置输出的滤波因数信息和从所述转换控制信号生成装置得到的各个幅度信息上执行计算操作；以及总求和装置，用以获得所述数字值转换装置的计算结果的总和，且用以波整形该结果总和，并以调制数据输出波整形总和。

按照本发明，每次把符号位信息移位输入到移位寄存器时，在一

个预先确定的采样循环内，从存储电路顺序读出滤波因数信息，并与位信息一起计算，计算结果被波整形后，在相应的采样周期上产生相应的调制数据。也就是，位信息被固定时，以时间顺序方式，通过顺序地改变滤波因数信息，在相应的采样循环上得到波整形的调制数据。因此，只需准备一个符号所需数量的级的移位寄存器。还有，只需提供与移位寄存器级的数量相应数量的计算电路。而常规电路需要提供一个移位寄存器，该移位寄存器的级数相当于符号数量与采样数量之积，常规电路还需提供一个与移位寄存器级数相等的计算电路，因此与常规电路相比，本发明的电路可以大大地简化和紧凑。

按照本发明，以时分方式，在位信息和滤波因数信息检测到的幅度信息上执行计算，用以代替以并行方式，在同相分量和正交分量上执行计算。因此，通过单一电路就能执行计算处理等，从而电路结构可以更加简单、紧凑。

按照本发明，由于经滤波处理的滤波因数信息最初储存在存储电路，不需使用乘法器，只需要一个简单的门电路，就可得到计算电路，从而所得电路结构更加简单和紧凑。

按照本发明，根滚降滤波器的脉冲响应具有轴对称，用最大幅度点作为对称中心，并且存储器中只储存轴对称脉冲响应的一边特性，与所有特性都必须储存在存储电路相比，它可以把存储电路的存储量减少一半。

图 1 表示常规 $\pi/4$ 移位 *DQPSK* 解调器的一个示例性电路框

图；

图 2 表示使用在常规 π/4 移位 *DQPSK* 解调器的一个示例性滚降滤波器电路的电路框图。

图 3 表示 π/4 移位 *DQPSK* 系统中，输入数字信号 X_k、Y_k 与相位变化量△Φ 关系的视图；

图 4 表示 π/4 移位 *DQPSK* 系统的变换位置的视图；

图 5 是按照本发明的第一实施方式的表示 π/4 移位 *DQPSK* 解调器的电路框图；

图 6 是一个视图，表示本发明第一实施方式的变换/滤波电路的一种结构；

图 7 是一个视图，表示图 6 中变换/滤波电路的变换位置；

图 8 是一个视图，表示用在图 6 中变换/滤波的根滚降滤波器的脉冲响应；

图 9 表示第一实施方式的一个因数存储电路电路框图；

图 10 是一个视图，用以解释第一实施方式中，从因数存储电路读出存储的因数的运行过程；

图 11 是一个视图，表示输入到数值变换控制信号产生单元的位信息和图 6 中的变换/滤波电路的输出控制信号的相应关系；

图 12 为一电路图，表示图 6 中变换/滤波电路的数值变换单元的结构；

图 13 表示第一实施方式中一个示例性传输电路的结构；

图 14 是一个视图，表示在传输电路中完成频率变换后，传输信道信号的频谱特性；

图 15 按照本发明的第二实施方式，表示 π/4 移位 *DQPSK* 调制器主要部分的电路框图。

下面结合附图，详细描述本发明。

按照本发明的第一实施方式，图 5 为一电路框图，表示 π/4 移位 *DQPSK* 调制器(*MOD*)的一种结构。图 5 中将使用图 1 中所使用的同样的参考数字进行解释。

传输数据流 *SD* 输入串/并转换电路(*S/P*)1 中，被转换为串行数据流 X_k、Y_k。通过一差分编码电路 2，两串行数据流被差分编码。这里，让数据流给出 0 到 5*V* 的 *NRZ* 信号。这些差分编码数据 I_k、Q_k 输入变换/滤波电路 6。变换/滤波电路 6 通过图 1 中的变换电路 3 和图 1 中的滚降滤波器 4，同时执行变换处理和滤波处理。在该连接中，应注意在时分方式中，通过一个电路，变换/滤波电路 6 交替地执行 *I* 信道数据上的变换/滤波处理和 *Q* 信道数据上的变换/滤波处理。滤波电路的滤波因数被最初储存在因数存储电路 7 中。

由于来自于变换/滤波电路 6 的变换数据 *MF* 是由交替出现的由 *I* 信道数据和 *Q* 信道数据所形成的串行数据所组成的，串/并转换电路 8 把串行变换数据 *MF* 分离为 *I* 信道数据和 *Q* 信道数据。来自子串/并转换电路 8 的 *I* 信道变换数据 *MFI* 和 *Q* 信道变换数据 *MFQ* 通过一转换开关 9，输入到正交调制器 5。一个固定幅度生成

电路 10 也被连接到该转换开关 9。在被称之为双模式的数字调制系统/模拟调制系统的混合模式的天线通信系统中，当选择数字调制系统时，转换开关 9 允许产生于串/并转换电路 8 的 *I* 信道变换数据 *MFI* 和 *Q* 信道变换数据 *MFQ* 输入到正交调制电路 5，而当选择模拟调制系统时，来自于固定幅度生成电路 10 的具有固定幅度的数字信号 *ADT* 被输入到正交调制电路 5。

变换/滤波电路 6 和因数存储器 7 如下所述。在现有技术中，在输入数据和因数相乘且把相乘的结果相加之后才执行滤波。另一方面，按照本发明，把每个数据的脉冲响应存储在因数存储器 7，并把从因数存储器 7 读出的脉冲响应相加执行滤波处理。这种结构避免了需要执行 因数相乘的乘法器和在乘法 器内用以设定因数的门电路。因数存储器电路 7 能让滤波因数数据（脉冲响应，它最初以已被滤波处理的数据存储）与采样周期同步地被顺序读出，并把它们输入到变换/滤波电路 6。

图 9 表示因数存储电路 7 的结构。因数存储电路 7 包括一个存储器 71，它存储滤波因数数据作为已经被滤波处理的数据，8 位地址计数器 72，由 8 个“异或”(*EX—OR*)门组成的“异或”电路 73，地址计数器 72 的每位输出都输入到这些门，交替执行求反运算的第一、第二 *D* 型触发器 74*a*、74*b*，以及由第一、第二 *D* 型触发器 74*a*、74*b* 操作的第三 *D* 型触发器 75。

存储器 71 由 *ROM* 组成，储存滤波因数数据，例如，作为已滤波

处理数据。应注意到，由于 I 和 Q 信道数据所要求的滤波因数在它们之间是一样的，因此，存储器只储存与一个信道数据相应的那些因数。正象下面将要描述，滤波因数对于时间轴是线性对称，存储器只储存对称轴的半边。在本发明中，滤波器使用根滚降滤波器。根滚降滤波器意味着这样设计低通滤波器，即在传输端和接收端分别提供一根滚降滤波器，从而在数据一个测试点上的符号对符号的干扰不存在。图 8 给出了根滚降滤波器脉冲响应的一个例子。从图 8 很明显，脉冲响应是以时间轴上最大幅度点为中心线对称的。注意到这一特点，存储器 71 只储存脉冲响应的那些线性对称部分(L 和 R)的一边特性 L。

靠采样时钟(该时钟频率是数据中每个符号的符号率频率的 256 倍，即 256 个采样)SCK，地址计数器 72 作向上记数操作，通过“异或”电路 73，0 到 255 的任意计数值作为一个地址输入到存储器 71。

根据控制信号 CS 的电平，“异或”电路使地址计数器 72 输出的地址进行翻转。控制信号 CS 是采样时钟 SCK 的反信号。地址的翻转能把储存在存储器 71 的脉冲响应的特性 L，作为特性 R 读出。

如图 6 所示的存储/变换电路 6 包括：一个位置信息生成单元 60，三个移位寄存器 61、62 和 63(它们都是 10 级串行寄存器)，数值转换控制信号生成单元 64，它由相应于移位寄存器 61、62 和 63 的每一组的 10 个数值转换信号生成电路组成，数据转换单元 65，它由

相应于10个数值转换控制信号生成电路的10个数值转换电路组成，以及把10个数值转换电路输出相加的加法器66。

在位置信息生成单元60，差分编码电路2输出的编码信号被转换为表示正交轴相位位置的信息，并且位置信息以输出被传递。如图7所示，位置信息由3位信息组成，表示π/4移位*DQPSK*系统的8个相位位置。

如上所述，移位寄存器61、62和63每个都是由10个串行连接的寄存器组成。并且位置信息生成单元60产生的3位信息，与符号率时钟同步，以串行方式被移位输入到这些移位寄存器。与10个符号相应的位置信息以并行方式从10个相应的电阻中输出。

根据3个移位寄存器61、62和63输出的每个符号位置信息(3位)，数值转换控制信号生成单元64的每个生成电路，对于*I*信道和*Q*信道，以图11所示的相应关系生成*AND*(“与”)控制信号*ANDS*和*XOR*(“异或”)控制信号*XORS*。这些控制信号*ANDS*或*XORS*输入到数值转换单元65。它用以确定，当正交轴上每个符号的相位位置信息的幅度值是在*I*轴或是在*Q*轴时，也就是每个符号的相位位置是在*I*轴上或是在*Q*轴上，*AND*控制信号*ANDS*变为逻辑0(后面称为“0”电平)。另外的情况下，*ANDS*变为逻辑“1”电平(后面称为“1”电平)。当在*I*轴或*Q*轴上相位位置的幅值变为负的时，*XOR*控制信号*XORS*变为“1”电平，当相位位置幅值为正的时，*XOR*控制信号*XORS*为“0”电平。

数 值转换单元 65 的每个数值转换电路包括一个“ 与”门 651 和“异或”门 652，如图 12 所示。通过“异或”门 652，从滤波器存储电路 7 读出的经滤波处理的滤波因数数据由“ 异或”控制信号 *XORS* 选通。通过“与”门 651，“与”控制信号 *ANDS* 选通“异或”门 652 输出的信号。“与”门 651 输出的数据(数值)输入到加法器 66。

通过上面所述的数值控制信号生成单元 64，产生了数据值转换控制信号，并且按照数值转换控制信号，滤波因数数据被转换为数字数据。原因象上面所述，只有相位平面上第一象限的数值储存在因数存储器 71，并且另外象限的滤波因数也可被发现。

加法 器 66 把相应于数值转换单元 65 输出的 10 个符号的那些滤波因数(脉冲响应)相加。相加之后所得到的 I 信道变换数据和 Q 信道变换数据被时分复用，提供一串行数据 *MF*。串行数据 *MF* 输入到串/并转换电路 8。

下 面将描述这样安排的第一实施方式的 $\pi/4$ 移位 *DQPSK* 调制器的运行。

由串/并转换电路 1 转换为 2 位并行信号的传输数据 *SD*，输入到执行差分编码的差分编码电路 2。差分编码数据输入到变换/滤波电路 6。

通过变换/滤波电路 6，在位置信息生成单元 60，编码数据 I_k、Q_k 首先被转换为位置信息，用以表示各个符号在正交平面 I 轴和 Q 轴上的相位位置。即使对于本实施方式，一个符号也是 2 位并且用 256

个采样表示。如图 4 和图 7 所示的 π/4 移位 *DQPSK* 系统中，相位位置的数量是 8 个点，并且位置信息用 3 位表示。以符号跟符号的方式，移位输入 3 位位置信息到移位寄存器 61、62 和 63。每次新输入一个符号位信息时，相应于移位寄存器 61、62 和 63 中的 10 个符号的位置信息并行输入到数值转换控制信号生成单元 64 的各个数值转换控制信号生成电路。在数值转换控制信号生成电路中，产生相应于各个位置信息的数值转换控制信号，即“与”控制信号 *ANDS* 和“异或”控制信号 *XORS*。“与”控制信号 *ANDS* 和“异或”控制信号 *XORS* 输入到数值转换单元 65 的数值转换电路。

按地址计数器 72 的地址，储存在因数存储器 71 的经滤波处理的滤波因数数据从因数存储器电路 7 被按时间顺序读出，并输入到数值转换单元 65 的各个数值转换电路中。结果，通过各个数值转换电路，从因数存储器 71 读出的经滤波处理的滤波因数数据，被“与”控制信号 *ANDS* 和“异或”控制信号 *XORS* 转换为数据。这里，只有相位平面上的第一象限的因数数据被储存在因数存储器 71，并且它们被重复读出。根据存储在移位寄存器 61、62 和 63 的各个符号的位置信息，所读出的数据在正交面上被转换为相当于位置的滤波因数数据(数值)。

存储器 71 只储存图 8 所示的根滚降滤波器脉冲响应的半边。由于脉冲响应以最大幅值点作为中心线对称的，存储器 71 储存半边特性，在这里只存储 *L* 边特性。因此需要生成另一边的特性 *R*。也就

是当另一边特性 R 被读出时，因数存储电路 7 的控制信号 CS 为“1”电平。因此，通过“异或”电路 73，地址计数器 72 传送的地址被翻转且输入到存储器 71。结果，以翻转的顺序，读出特性“L”的数据，也就是存储器 71 的特性“R”的数据。

图 10 用以说明本装置的运行。如图 10 所示，把脉冲响应分成 10 个区，并且图 9 所示的存储电路 7 用于每个区。每个区域的因数数据被输入到数值转换单元 65 的相应的数值转换电路。例如，当读出“A”区的因数数据时，控制信号 CS 被设定为“0”电平，把地计数器 72 输出的 0 到 255 的地址被送到存储器 71。因此，从地址 0 开始，升序地从存储器 71 读出“A”区的因数数据。另一方面，当控制信号 LS 被设定为“1” 电平时，用“异或”电路 73 求反的，地址计数器 72 输出的 0 到 255 的那些地址被输入到存储器 71。因此，从地址 255 开始，降序地读出“ A”区的因数数据。这相当于那种情况，即与“A”区线对性的“J” 区的因子数据，从 0 地址开始，升序地被读出。由于控制信号 CS 是采样时钟 SCK 的反信号，并且 CS 和 SCK 在全区上共同输入到存储电路 7，“A”、“B”、“C”、“D”、“E”区与地址 0 相应的那些地址被同时从因数存储器 71 读出，此后，每次输入系统时钟 SCK，相应于“ J”、“I”、“H”、“G”、“F”区地址 0 的那些地址，相应于“A”、“B”、“C”、“D”、“E”区地址 1 的那些地址，以及相应于“J”、“I”、“H”、“G”、“F”区的地址 1 的那些地址被读出 。

如上所述，从存储器 71 读出的数据在数值转换单元 65 被转换

为数值，被加法器 65 相加，并以滤波处理的变换数据 *MF* 输出。这里，靠数值转换单元 65，按照采样时钟 *SCK*，把从因数存储电路 7 读出的因数数据转换为 *I* 和 *Q* 信道滤波因数，从而加法器 66 输出的数据变为串行数据，与 *I* 和 *Q* 信道的数据时分复用。在本实施方式的电路中，串行数据 *MF* 输入到串/并转换电路 8，在此被分为 *I* 信道数据和 *Q* 信道数据。

I 信道数据 *MFI* 和 *Q* 信道数据 *MFQ* 输入到转换开关 9。当用数字通信系统实施通信时，也就是使用数字方式时，转换开关 9 选择 *I* 信道数据 *MFI* 和 *Q* 信道数据 *MFQ* 进入正交调制器 5。以 *I* 信道数据 *MFI* 和 *Q* 信道数据 *MFQ* 正交调制的方式，正交调制器 5 输出一个传输中频信号。通过图 13 所示的传输电路，传输中频信号被频率变换为无线信道频率信号，经一放大器(没画出)放大到一个预定的传输电平，从一个天线传出。

如图 13 所示，通过 *D/A* 转换器 14，正交调制的传输中频信号 *SIF* 输入到混频器 15。本地振荡器 16 的本地振荡频率信号施加到混频器 15。混频器 15 的输出被开关 17*a* 分为两路。开关 17*a* 的第一输出端与开关 17*b* 的第一输入端相连，并且通过混频器 18，开关 17*a* 的第二输出端与开关 17*b* 的第二输入端相连。一个模拟语音信号施加到混频器 18。在采用数字调制系统的情况下，开关 17*a*、17*b* 拨到它们的第一端，使混频器 15 按它的实际输出。

当采用模拟调制系统的情况下，开关 17*a*、17*b* 拨到它们的第二

端，让混频器 15 的输出以被模拟语音信号频率调制的方式输出。当用模拟调制系统实施通信时，也就是在模拟方式下，转换开关 9 选择固定幅度生成电路 10 产生的一个固定幅度数字信号，并把它输入到正交调制器 5。因此，按数字信号，正交调制器 5 传送一个固定频率的传输中频信号。通过混频器 15，把传输中频信号转换为天线信道信号，并把该信号输入到混频器 18 用以频率调制。通过混频器 18，无线信线道信号被模拟语音信号频率调制，从而从天线 19 发射 *FM* 调制信号。尽管没画出，发射放大器还是与天线 19 的处理阶段相连接。

按本实施方式的 $\pi/4$ 移位 *DQPSK* 调制系统，可以获得各种优点。

(1)通过在 *I*、*Q* 正交坐标轴定义的相位空间上移位输入位置信息，可以得到移位寄存器 61、62 和 63 的各个符号的滤波的变换数据。顺序地读出初始存储的滤波因数，可以从因数存储电路 7 得到用于每个信号位置信息的预先确定的采样(256 个采样)，根据并行方式从移位寄存器 61、62 和 63 传递的 10 个符号位置信息，把滤波因数数据转换为相应的数值。

也就是，根据常规电路，通过移位输入用 256 个采样值采样的变换数据，在修正滤波因数的同时，可以得到滤波的变换数据，且用这些滤波因数相乘该数据。另一方面，按照本发明的电路，在修正变换数据的同时，通过顺序地从因数存储电路 7 读出相应于 256 个采样

的滤波因数，可以得到滤波的变换数据。

在现有技术中，相应于2560个乘法器和它们的门电路，需要提供一个2560级的移位寄存器。然而，按照本发明，只需要提供有10级的移位寄存器61、62和63，在数值转换信号生成单元64内的10个数值转换信号生成电路，以及在数值数据单元65中的10个数值转换电路(门电路)。因此，可以提供一个电路结构非常紧凑的滤波电路，同时能更有效地实现高密度的结合。应注意，移位寄存器61、62和63的级数只与滤波因数的分区数相应，并不只限于10级。

(2)通过变换/滤波电路7，在I信道数据和Q信道数据中，以时分模式，执行变换和滤波处理。不需要单独地提供用于I信道数据的变换/滤波电路和用于Q信道数据的变换/滤波电路。这些也可使电路结构非常简单、紧凑。

(3)通过存储经滤波处理的滤波因数数据和在滤波因数数据上用数值转换单元65执行简单的逻辑处理，可以得到滤波的变换数据。这就避免了需要提供把变换数据和滤波因数数据相乘的乘法器。结果，可以提供一个电路结构简单、紧凑的滤波电路。

(4)在存储器71中，只存储正交坐标第一象限的滤波因数数据，并基于每个符号的相位位置信息，把滤波系数数据转换为数值，就可得到滤波的数据。与坐标轴上所有象限的数据都储存的情况相比，它可减少储存器71所需的容量，因此可获得一个较廉价的电路。

(5)滤波电路的滤波特性是根滚降滤波器的特性形成的，这样

做，脉冲响应用最大幅值电平作为中心提供了一个轴对称。这样，存储器71只储存脉冲响应的一边特性*L*。用“异或”电路73翻转地址，并访问存储器71，脉冲响应的一边特性*L*作为脉冲响应的另一边特性*R*被读出。因此，可以减少存储器71所需的容量，因此得到一个简单、紧凑、廉价的电路。

(6)在正交调制器5的处理阶段提供了一个转换开关9。在模拟模式时，通过转换开关9，选择固定幅值的数字信号*ADT*替代变换数据*MFI*、*MFQ*，并且所选择的信号输入到正交调制器5，在这里，生成一个给定频率的中频信号。这就不需提供任何仅仅是模拟模式的传输本地振 荡器，因此可提供一个简单、紧凑的电路，即移动无线通信设备的电路结构双模式—数字模式/模拟模式混合的类型。

本发明并不局限于前述实施方式，并且在不脱离本发明的精神实质和范围的情况下，可以对本发明作各种变化和修正。

上述实施方式如果用根滚降滤波器作为上述滤波器，很难使符号对符号的干扰为零。如果产生符号对符号干扰，在突变传输波形的前沿和后沿将产生突变特性。这些特性，经傅里叶展开，被扩展为各种频率。也就是，在使用根滚降滤波器的情况下，在突变传输中需要一个宽频带。

为了避免这些不便，最好控制传输电路的高频变换，只在相应于突变传输波形前沿和后沿部分的时间内，不能打开门电路。在这种情况下，出现在突变传输波形的前沿和后沿部分的“喇叭”状波形被

抑制，这样阻止了传输频带的任何不需要的扩展。

在传输电路中，为了在频率转换之后使频谱正常化，最好如图15所示，在串/并转换电路1传输的数据流 X_k 的信号路径上插入一个“异或”电路12。

也就是，通过图13所示的传输电路，来自于正交调制器5的以调制信号传输的传输中频信号被转换为无线信道频率信号。f_0 表示混频器16的振荡频率，f_1 表示中频信号 *SIF* 的频率，从混频器15输出两无线信道频率信号 f_0+f_1 和 f_0-f_1。这里，如果传输中频信号（调制信号）带宽为从 f_a 到 f_b，则 f_0+f_1 变为 f_0+f_a 到 f_0+f_b，且 f_0-f_1 变为从 f_0-f_b 到 f_0-f_a。这个频率特性如图14所示。从图14可知，如果 $f_a<f_b$，则 *LSB* 显示的频谱被频率转换为相反的频谱。

因此，基于图3所示执行编码的数据 X_k、Y_k 和相位变化量 $\triangle\phi$ 之间的关系，差分编码数据要经历频谱反相。也就是，通过比较图14所示的 *LSB* 频谱和 *USB* 频谱，最好它们的频率变化量绝对值相等，但极性相反。从图3可知，由于数据 X_k、Y_k 执行差分编码，指示相位极性的是数据 X_k。换句话说，当数据 X_k 为“0”时，相位变化量 $\triangle\phi$ 为正，当数据 X_k 为“1”时，相位变化量 $\triangle\phi$ 为负。

因此，如图15所示，使用控制信号 *SS*，靠控制“异或”电路12，可正确地颠倒数据 X_k 的极性。按无线单元的结构，设置控制信号 *SS* 为“0”或“1”电平。这样做，即使涉及到 *LSB* 和 *USB*，频率变换后的频谱变为正常。结果，在不考虑频谱反相的情况下，可以执行频率变

换。

尽管在上述实施方式，位置信息产生单元60使用在变换/滤波电路中，用以产生各个符号的相位位置信息。为了产生相位位置信息，可以把差分编码功能和位信息产生功能提供给差分编码电路2。

在不脱离本发明的精神和范围的情况下，不但可以改变或修正变换/滤波电路的因数存储电路的电路结构，还可以改变或修正每个符号数据的采样量。比如，滤波器并不限于根滚降类型，也可以使用滚降类型的。

按照本发明所述，对于多个串行数据流的每个符号，可以从每个符号的位信息和载波相位幅度平面上在特定符号之前立即传输的符号的位置信息中，得到载带特定符号的载波的相位幅度平面上的位置信息。与符号速率同步以串行方式，把位置信息移位输入到移位寄存器的多个级，并且从相应的位置信息处检测到各个幅度信息，该位置信息是从移位寄存器中并行传递的。并行中，地址的输出是与采样时钟同步的。根据地址和存储在移位寄存器预先确定级部分的位置信息，输出相应于移位寄存器预先确定级位置的滤波因数信息。计算滤波因数信息和上述幅度信息，总和即为计算结果。相应的总和被波整形，且以调制数据输出。

按照本发明，减少了滤波器门电路的数量。因此可以提供一个电路结构非常简单的 $\pi/4$ 移位 *DQPSK* 调制器。

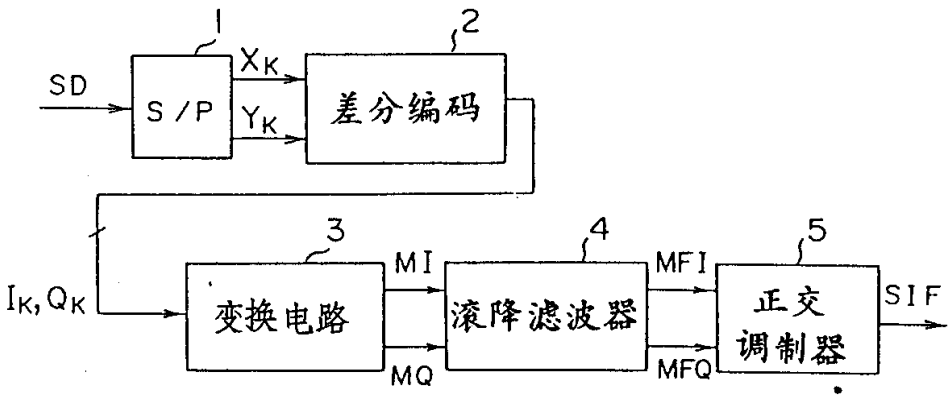

1
2
SD
S/P
XK
YK
差分编码
3
4
5
IK, QK
变换电路
MI
MQ
滚降滤波器
MFI
MFQ
正交
调制器
SIF

图 1

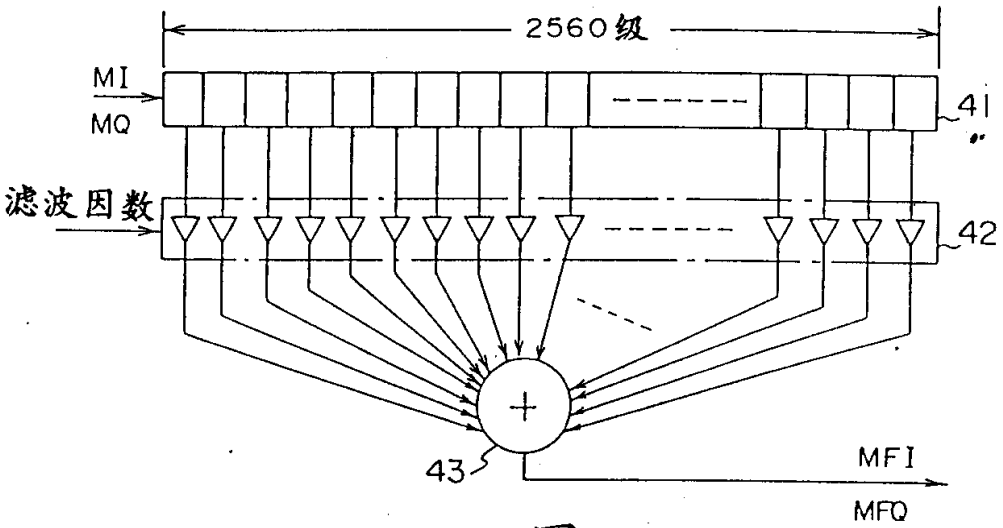

2560级
MI
MQ
41
滤波因数
42
43
MFI
MFQ

图 2

X_K	Y_K	$\Delta\phi$
1	1	$\frac{-3\pi}{4}$
0	1	$\frac{3\pi}{4}$
0	0	$\frac{\pi}{4}$
1	0	$\frac{-\pi}{4}$

图3

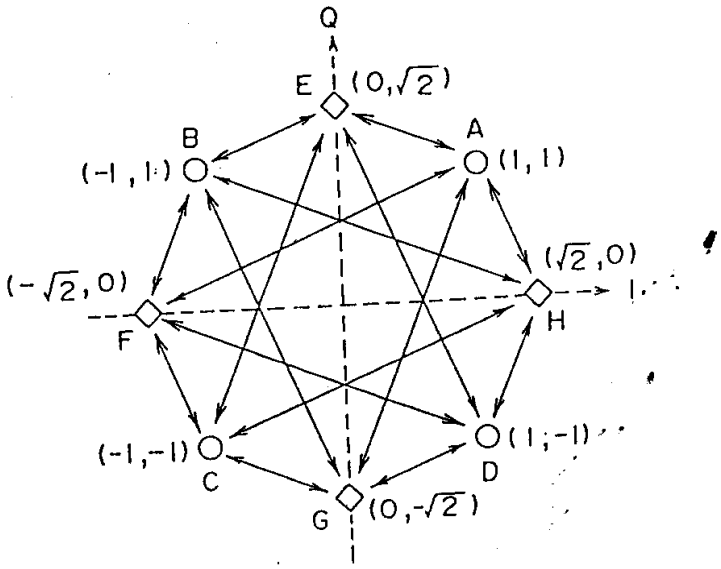


图4

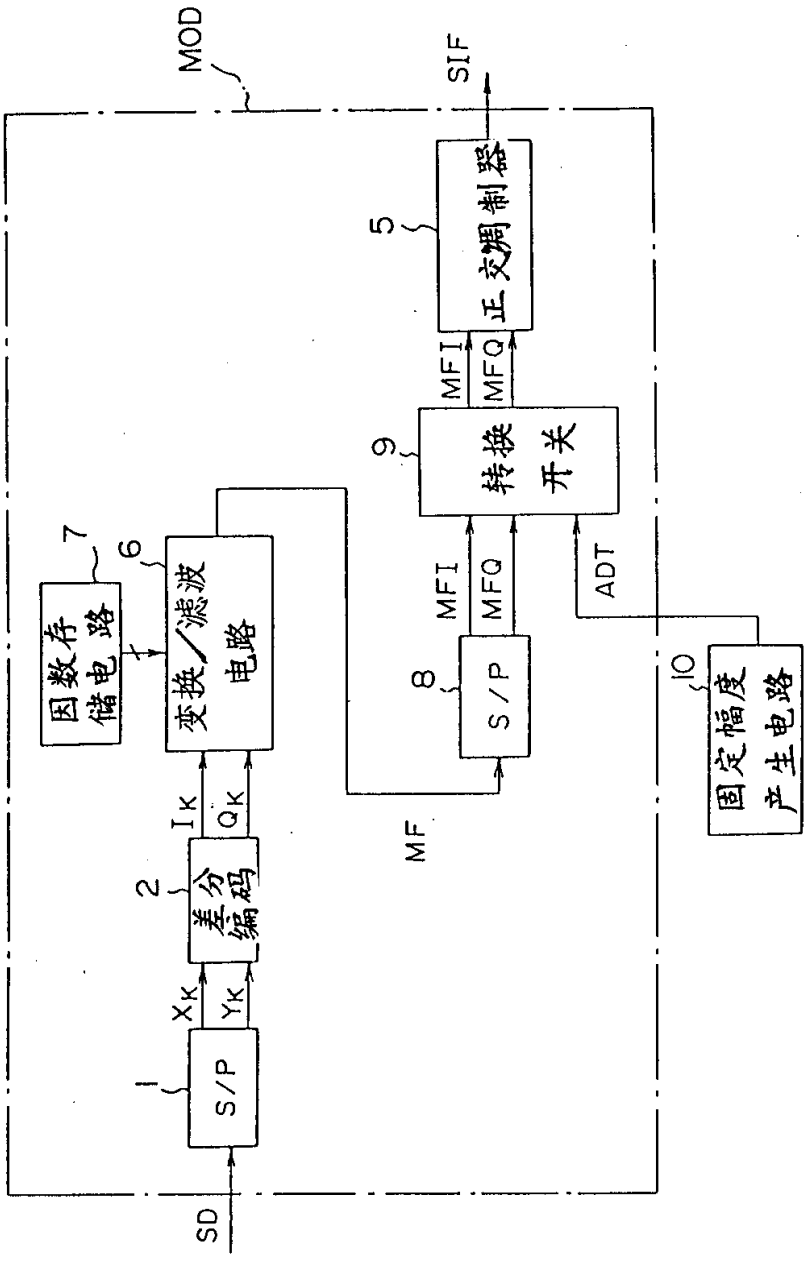

MOD
SIF
SD
1
S/P
XK
YK
2
差分编码
IK
QK
6
变换/滤波电路
7
固数存储电路
MF
8
S/P
MFI
MFQ
9
转换开关
ADT
5
正交调制器
MFI
MFQ
10
固定幅度产生电路

图5

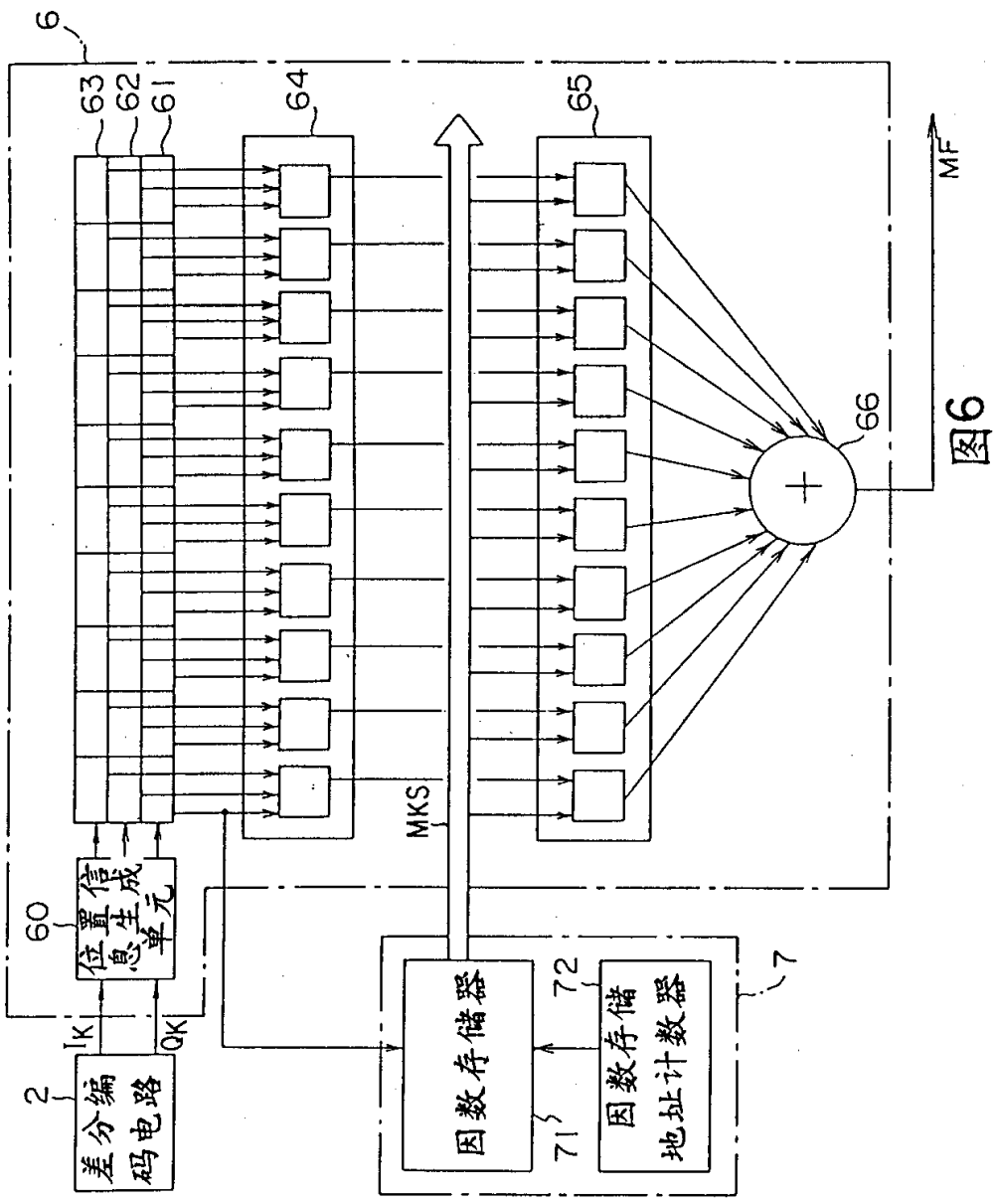

6
63
62
61
64
65
MF
66
MKS
60
位置信息生成单元
IK
QK
2
差分编码电路
因数存储器
72
71
因数存储地址计数器
7

图6

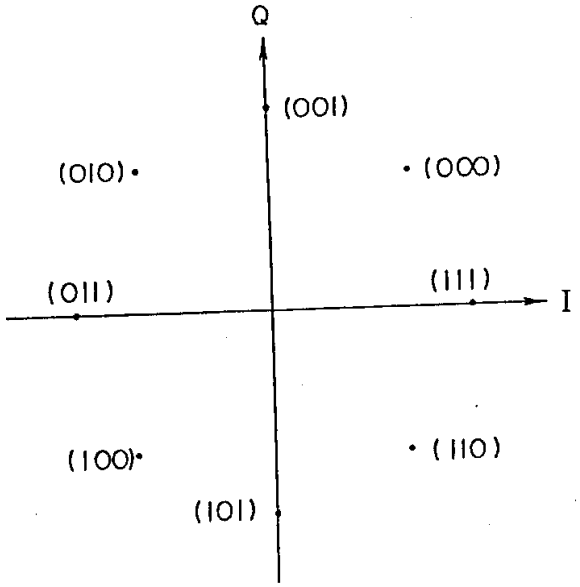


图7

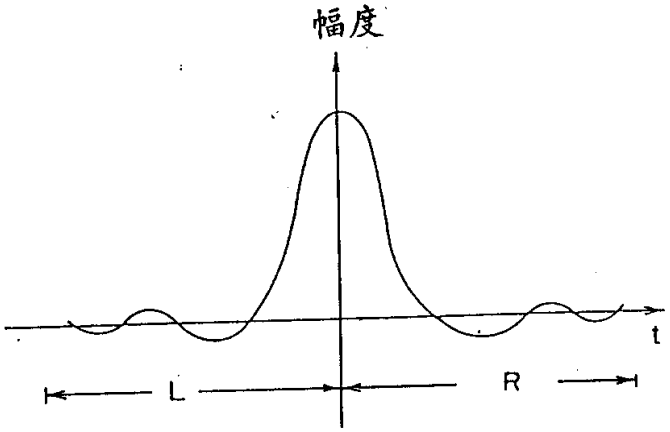


图8

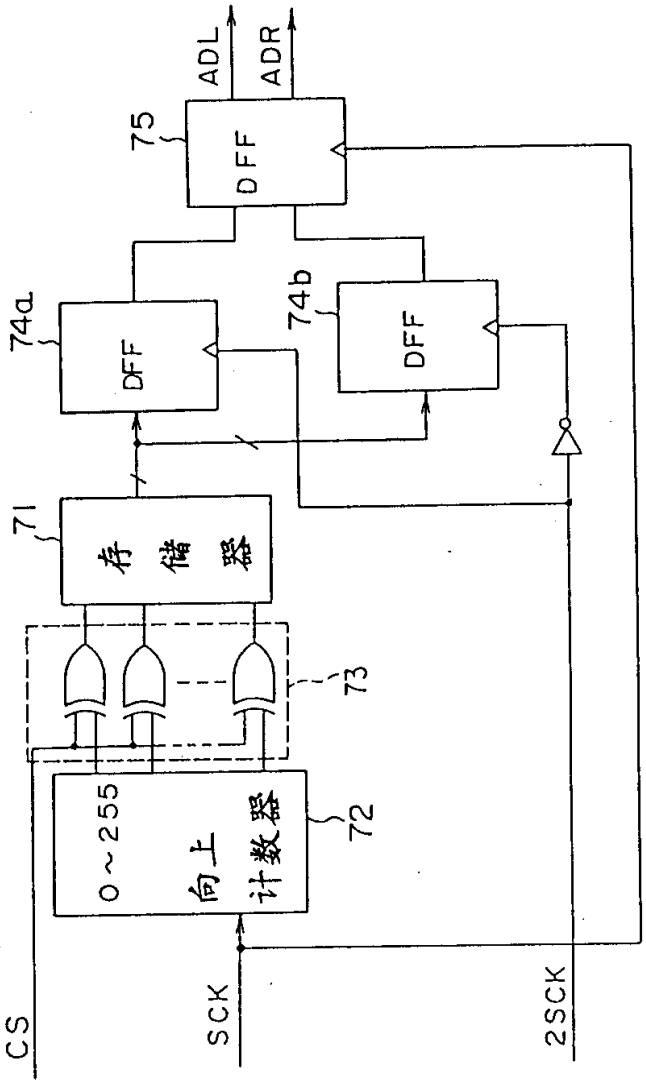

ADL
ADR
75
DFF
74a
DFF
74b
DFF
71
存储器
73
0~255
向上
计数器
72
CS
SCK
2SCK

图9

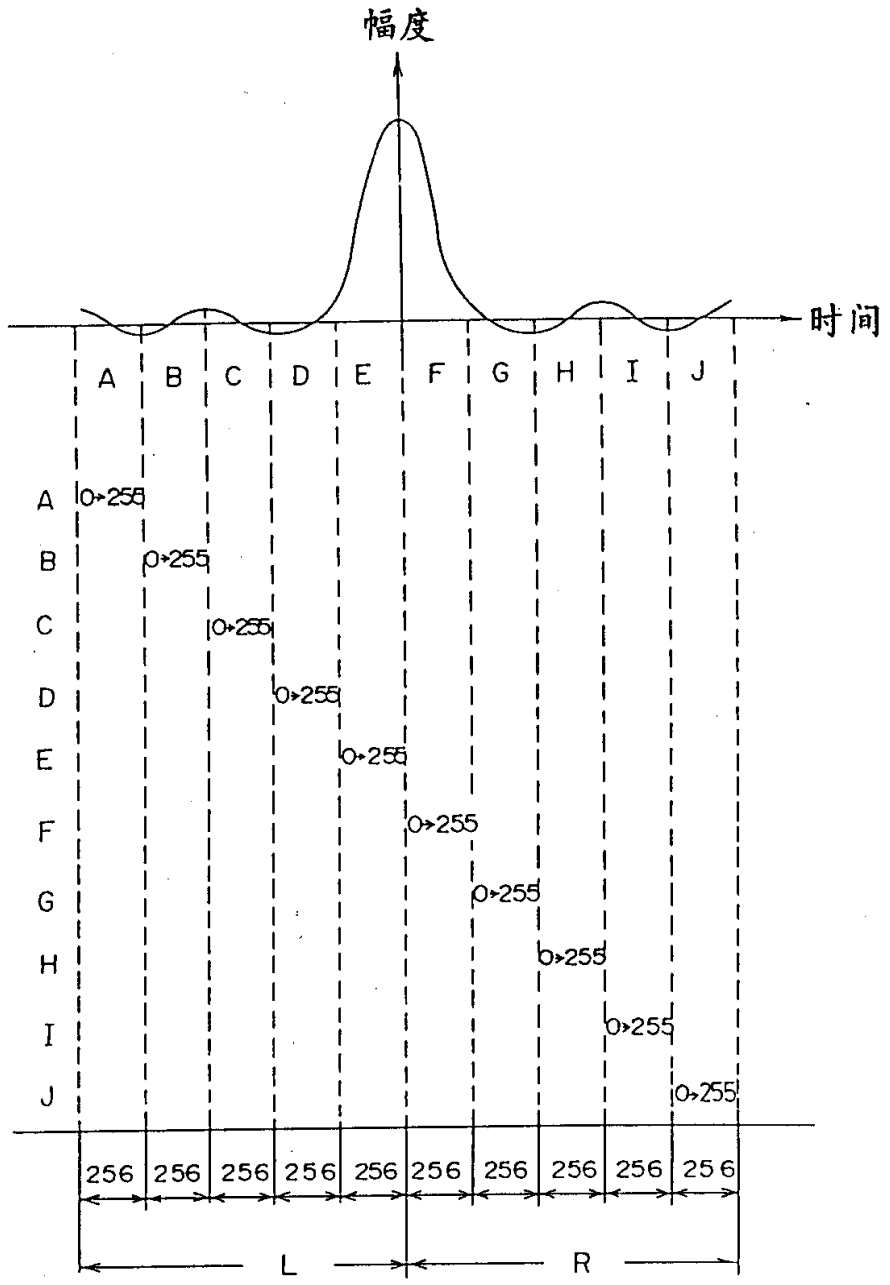


图10

	I		Q	
移位寄存器	ANDS	XORS	ANDS	XORS
0 0 0	1	0	1	0
0 0 1	0	0	1	0
0 1 0	1	1	1	0
0 1 1	1	1	0	0
1 0 0	1	1	1	1
1 0 1	0	0	1	1
1 1 0	1	0	1	1
1 1 1	1	0	0	0

图11

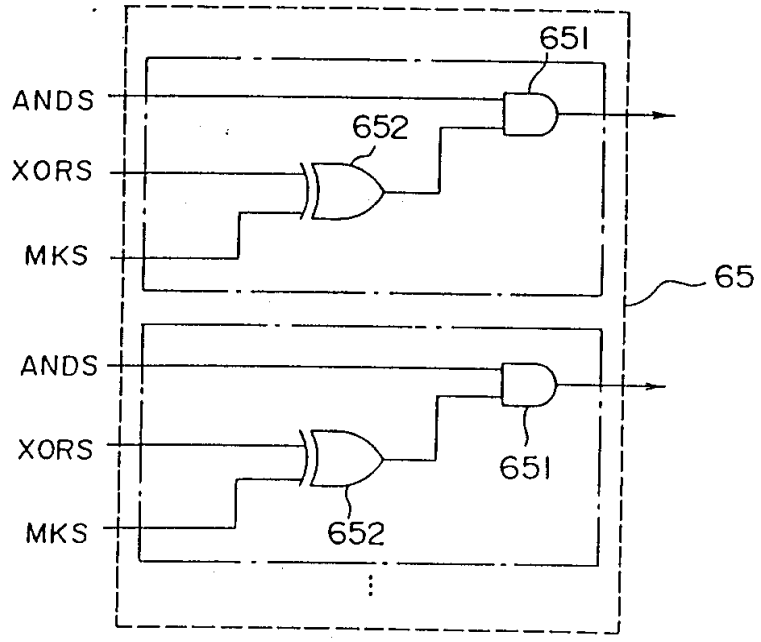


图12

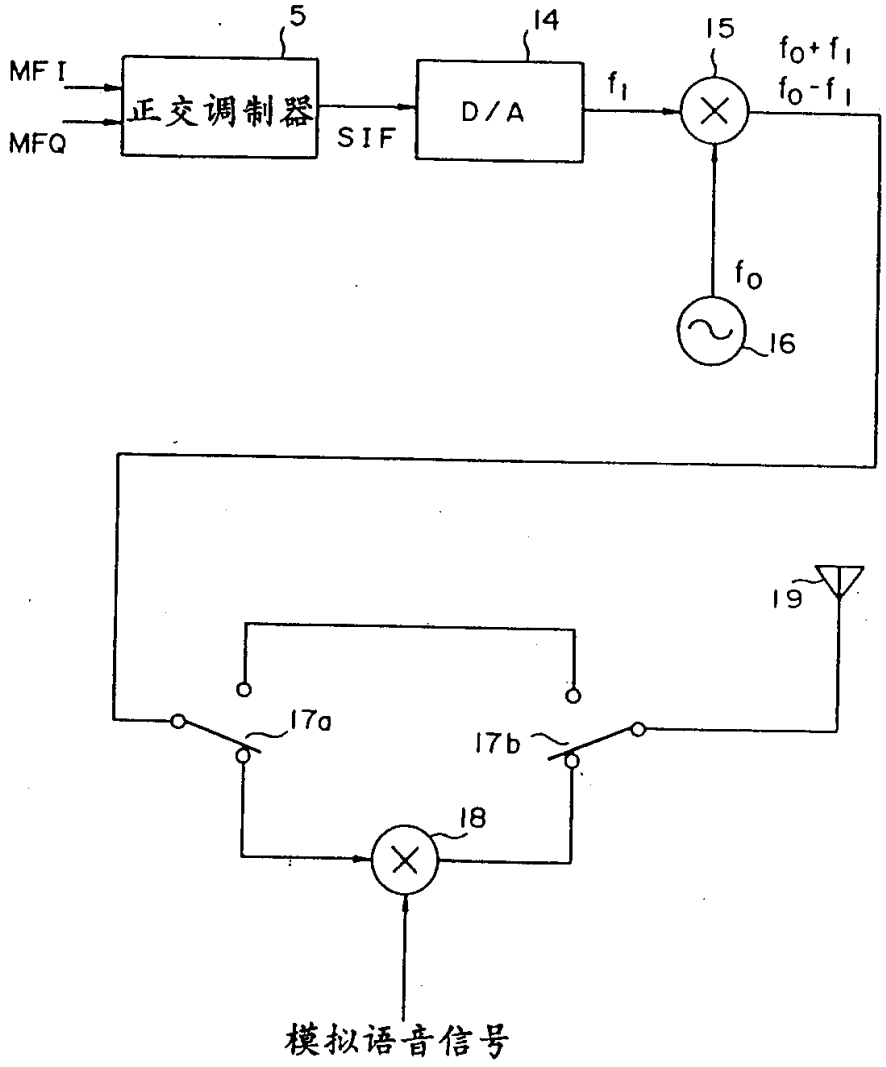

MF I
MFQ
正交调制器
5
SIF
D/A
14
f_1
15
f_0+f_1
f_0-f_1
f_0
16
19
17a
17b
18
模拟语音信号

图13

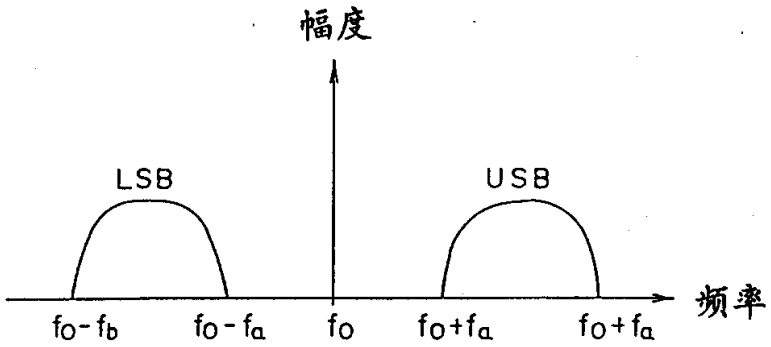

幅度
LSB
USB
频率
fo-fb
fo-fa
fo
fo+fa
fo+fa

图14

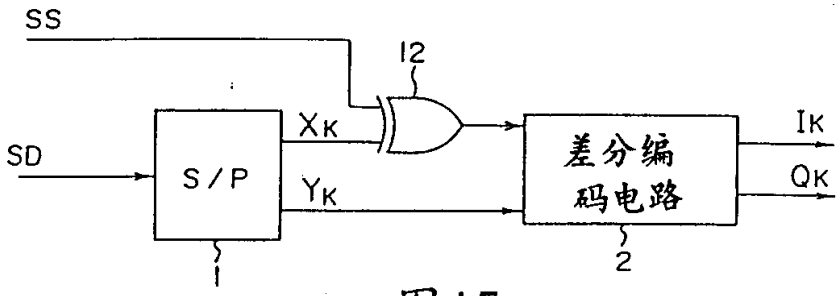

SS
12
SD
S/P
XK
YK
差分编码电路
IK
QK
1
2

图15