

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成22年5月6日 (2010.5.6)

【公開番号】特開2008-204155(P2008-204155A)  
 【公開日】平成20年9月4日 (2008.9.4)  
 【年通号数】公開・登録公報2008-035  
 【出願番号】特願2007-39387(P2007-39387)  
 【国際特許分類】

G 0 6 F 12/16 (2006.01)

G 0 6 F 12/02 (2006.01)

G 0 6 K 19/07 (2006.01)

G 0 6 K 17/00 (2006.01)

【F I】

G 0 6 F 12/16 3 1 0 P

G 0 6 F 12/02 5 1 0 A

G 0 6 F 12/02 5 7 0 A

G 0 6 K 19/00 N

G 0 6 K 17/00 D

【手続補正書】  
 【提出日】平成22年3月18日 (2010.3.18)  
 【手続補正 1】

【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

メモリシステムであって、

ユーザ情報を記憶するために設けられ、互いに重複しない第 1 物理アドレスが個々に割り当てられる複数の第 1 ブロックと、

前記複数の第 1 ブロックのうちの欠陥ブロックの第 1 物理アドレスを個々に記憶するために設けられる複数の第 2 ブロックと、

論理アドレスと前記複数の第 2 ブロックに格納される情報とに基づいて、前記論理アドレスに対応する第 1 物理アドレスを求める演算装置と、

を備え、

前記第 1 ブロックは、記憶素子であり、

前記複数の第 2 ブロックには、互いに重複しない第 2 物理アドレスが個々に割り当てられており、

前記演算装置は、論理アドレスを用いて、前記複数の第 2 ブロックからターゲットブロックを検索し、前記ターゲットブロックから読み出される欠陥ブロックの第 1 物理アドレスと、前記ターゲットブロックの第 2 物理アドレスとに基づいて、前記ターゲットブロックから読み出された欠陥ブロックの第 1 物理アドレスより前方に存在する正常な第 1 ブロックの個数を求め、前記論理アドレスと前記個数とに基づいて、前記論理アドレスに対応する第 1 物理アドレスを求めることを特徴とするメモリシステム。

【請求項 2】

請求項 1 に記載のメモリシステムであって、

前記複数の第 2 ブロックに記憶される複数の欠陥ブロックの第 1 物理アドレスは、前記第 1 物理アドレスの順に従って、前記第 2 物理アドレスの順で、前記複数の第 2 ブロック

に格納されることを特徴とするメモリシステム。

【請求項 3】

請求項 1 または請求項 2 に記載のメモリシステムであって、

前記複数の第 1 ブロックのうちの欠陥ブロックの第 1 物理アドレスを記憶する複数の予備ブロックと、

前記複数の予備ブロックに記憶されている情報を前記複数の第 2 ブロックに転送する転送部と、

をさらに備えることを特徴とするメモリシステム。

【請求項 4】

コンピュータシステムであって、

必要に応じて論理アドレスを生成するコンピュータと、

ユーザ情報を記憶するために設けられ、互いに重複しない第 1 物理アドレスが個々に割り当てられる複数の第 1 ブロックを有するメモリと、

前記複数の第 1 ブロックのうちの欠陥ブロックの第 1 物理アドレスを個々に記憶するために設けられ、互いに重複しない第 2 物理アドレスが個々に割り当てられる複数の第 2 ブロックを有するコントローラメモリと、

前記コンピュータから受信した論理アドレスを用いて、前記複数の第 2 ブロックからターゲットブロックを検索し、前記ターゲットブロックから読み出される欠陥ブロックの第 1 物理アドレスと、前記ターゲットブロックの第 2 物理アドレスとに基づいて、前記ターゲットブロックから読み出された欠陥ブロックの第 1 物理アドレスより前方に存在する正常な第 1 ブロックの個数を求め、前記論理アドレスと前記個数とに基づいて、前記論理アドレスに対応する第 1 物理アドレスを求める演算装置と、

を備え、

前記第 1 ブロックは、記憶素子であることを特徴とするコンピュータシステム。

【請求項 5】

請求項 4 に記載のコンピュータシステムであって、

前記メモリは、前記複数の第 1 ブロックのうちの欠陥ブロックの第 1 物理アドレスを記憶する複数の予備ブロックを有し、

前記コンピュータシステムは、

前記複数の予備ブロックに記憶されている情報を前記複数の第 2 ブロックに転送する転送部、

をさらに備えることを特徴とするコンピュータシステム。

【請求項 6】

論理アドレスから物理アドレスを得る演算装置から物理アドレスを用いてアクセスされるメモリであって、

記憶素子群から構成され、互いに重複しない物理アドレスが割り当てられる複数のブロックを備え、

前記複数のブロックは、

ユーザ情報を記憶するために設けられる複数の第 1 ブロックと、

前記複数の第 1 ブロックのうちの欠陥ブロックの物理アドレスを個々に記憶するために設けられる複数の第 2 ブロックと、

を備え、

前記複数の第 2 ブロックに記憶される複数の欠陥ブロックの物理アドレスは、前記物理アドレスの順に従って、前記複数の第 2 ブロックに割り当てられた物理アドレスの順に、前記複数の第 2 ブロックに格納されることを特徴とするメモリ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

## 【 0 0 0 8 】

上記の課題を解決するため、請求項 1 の発明は、メモリシステムであって、ユーザ情報を記憶するために設けられ、互いに重複しない第 1 物理アドレスが個々に割り当てられる複数の第 1 ブロックと、前記複数の第 1 ブロックのうちの欠陥ブロックの第 1 物理アドレスを個々に記憶するために設けられる複数の第 2 ブロックと、論理アドレスと前記複数の第 2 ブロックに格納される情報とに基づいて、前記論理アドレスに対応する第 1 物理アドレスを求める演算装置とを備え、前記第 1 ブロックは、記憶素子であり、前記複数の第 2 ブロックには、互いに重複しない第 2 物理アドレスが個々に割り当てられており、前記演算装置は、論理アドレスを用いて、前記複数の第 2 ブロックからターゲットブロックを検索し、前記ターゲットブロックから読み出される欠陥ブロックの第 1 物理アドレスと、前記ターゲットブロックの第 2 物理アドレスとに基づいて、前記ターゲットブロックから読み出された欠陥ブロックの第 1 物理アドレスより前方に存在する正常な第 1 ブロックの個数を求め、前記論理アドレスと前記個数とに基づいて、前記論理アドレスに対応する第 1 物理アドレスを求めることを特徴とする。

## 【 手 続 補 正 3 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 0 9

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 0 9 】

また、請求項 2 の発明は、請求項 1 の発明に係るメモリシステムであって、前記複数の第 2 ブロックに記憶される複数の欠陥ブロックの第 1 物理アドレスは、前記第 1 物理アドレスの順に従って、前記第 2 物理アドレスの順で、前記複数の第 2 ブロックに格納されることを特徴とする。

## 【 手 続 補 正 4 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 0

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 1 0 】

また、請求項 3 の発明は、請求項 1 または請求項 2 の発明に係るメモリシステムであって、前記複数の第 1 ブロックのうちの欠陥ブロックの第 1 物理アドレスを記憶する複数の予備ブロックと、前記複数の予備ブロックに記憶されている情報を前記複数の第 2 ブロックに転送する転送部とをさらに備えることを特徴とする。

## 【 手 続 補 正 5 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 1

【 補 正 方 法 】 削 除

【 補 正 の 内 容 】

## 【 手 続 補 正 6 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 2

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 1 2 】

また、請求項 4 の発明は、コンピュータシステムであって、必要に応じて論理アドレスを生成するコンピュータと、ユーザ情報を記憶するために設けられ、互いに重複しない第 1 物理アドレスが個々に割り当てられる複数の第 1 ブロックを有するメモリと、前記複数の第 1 ブロックのうちの欠陥ブロックの第 1 物理アドレスを個々に記憶するために設けられ、互いに重複しない第 2 物理アドレスが個々に割り当てられる複数の第 2 ブロックを有

するコントローラメモリと、前記コンピュータから受信した論理アドレスを用いて、前記複数の第2ブロックからターゲットブロックを検索し、前記ターゲットブロックから読み出される欠陥ブロックの第1物理アドレスと、前記ターゲットブロックの第2物理アドレスとに基づいて、前記ターゲットブロックから読み出された欠陥ブロックの第1物理アドレスより前方に存在する正常な第1ブロックの個数を求め、前記論理アドレスと前記個数とに基づいて、前記論理アドレスに対応する第1物理アドレスを求める演算装置とを備え、前記第1ブロックは、記憶素子であることを特徴とする。

また、請求項5の発明は、請求項4の発明に係るコンピュータシステムであって、前記メモリは、前記複数の第1ブロックのうちの欠陥ブロックの第1物理アドレスを記憶する複数の予備ブロックを有し、前記コンピュータシステムは、前記複数の予備ブロックに記憶されている情報を前記複数の第2ブロックに転送する転送部をさらに備えることを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【補正の内容】