

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5540207号
(P5540207)

(45) 発行日 平成26年7月2日(2014.7.2)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int. Cl. F 1
G 0 6 F 13/14 (2006.01) G 0 6 F 13/14 3 2 0 J

請求項の数 3 (全 17 頁)

(21) 出願番号	特願2011-170854 (P2011-170854)	(73) 特許権者	000153443
(22) 出願日	平成23年8月4日(2011.8.4)		株式会社 日立産業制御ソリューションズ
(65) 公開番号	特開2013-37422 (P2013-37422A)		茨城県日立市大みか町五丁目1番26号
(43) 公開日	平成25年2月21日(2013.2.21)	(74) 代理人	100122884
審査請求日	平成25年4月22日(2013.4.22)		弁理士 角田 芳未
		(72) 発明者	武藤 耕治
			茨城県日立市大みか町五丁目2番1号 株式会社日立情報制御ソリューションズ内
		審査官	木村 貴俊
		(56) 参考文献	特開平01-177610 (JP, A)
			特開2002-140283 (JP, A)
			最終頁に続く

(54) 【発明の名称】 制御装置

(57) 【特許請求の範囲】

【請求項1】

IOデータ空間と、前記IOデータ空間に存在する領域の先頭アドレスを格納するIOインデックス空間とを有するIOメモリ空間にアクセス可能なバスと、

前記バスに接続される周辺装置が収納される複数のスロットと

を有するIOケースと、

前記バスに接続され、前記IOインデックス空間にマッピングされ、前記IOデータ空間の先頭アドレスが記憶され得るスロットアドレスレジスタと、

前記バスに接続され、前記IOインデックス空間にマッピングされ、前記周辺装置が接続されているか否かを検出する周辺装置装着フラグと、

前記IOケースにおける配置位置を示すスロット番号が格納されているスロット番号格納部と

を有し、前記複数のスロットに夫々内蔵される複数のIO接続部と、

前記バスに前記IO接続部を通じて接続され、前記IOデータ空間にマッピングされ得る入出力インターフェースと、

前記入出力インターフェースの前記IOデータ空間上の先頭アドレスが記憶され得るIOアドレスレジスタと、

前記スロットアドレスレジスタと前記IOアドレスレジスタとの一致を判定するアドレス一致判定部と、

前記スロット番号格納部から前記スロット番号が記憶され得るスロット番号レジスタと

10

20

前記入出力インターフェースのＩＯデータ長が格納されるＩＯデータ長格納部と、
 前記アドレス一致判定部が前記スロットアドレスレジスタと前記ＩＯアドレスレジスタとの不一致を判定することに呼応して起動し、前記スロットアドレスレジスタに記憶されているスロットアドレスを前記ＩＯアドレスレジスタに複写して、前記スロット番号レジスタの値をインクリメントしながら前記バスを通じて前記スロット番号レジスタが指し示す他の周辺装置が接続されている直近のＩＯ接続部を探索し、探索した前記ＩＯ接続部の前記スロットアドレスレジスタに、前記複写した前記スロットアドレスと前記ＩＯデータ長を加算した算出アドレスを書き込む動的アドレスマッピング処理部と
 を有する、前記複数のスロットに装着される前記周辺装置である入出力装置と、
前記複数のスロットに装着され、前記入出力装置と前記バスを通じて情報を送受信して、
所定の演算処理を行う、前記周辺装置であるＣＰＵ装置と
 を具備する制御装置。

10

【請求項 2】

更に、前記ＩＯケースの第一番目のスロットには、前記スロットアドレスレジスタに代えて前記ＩＯデータ空間の先頭アドレスが格納されているスロットアドレス格納部を有する第一ＩＯ接続部が内蔵される、請求項 1 記載の制御装置。

【請求項 3】

更に、前記ＩＯケースには、前記周辺装置装着フラグに代えて前記スロットの最終位置を示す最終フラグ格納部を有する最終位置の前記ＩＯ接続部が内蔵される、請求項 2 記載の制御装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、制御装置に関する。

より詳細には、メモリマップドＩＯを採用する監視制御装置において、ＣＰＵ装置が能動的に動作することなく、入出力装置自身が入出力装置を動的にアドレスマッピング処理を行うことのできる、監視制御装置に関する。

【背景技術】

【0002】

監視制御装置は、プラントや発電所等、大規模な設備の監視や制御に必要不可欠である。監視制御装置はその適用分野の性質上、柔軟な拡張性と堅牢さと可用性を高いレベルで求められる。拡張性の点においては、入出力装置（以下「ＩＯ装置」と）とＣＰＵ装置の機械形状を同一化して、ＩＯケースへ容易に装着できる仕様になっている。

30

その一方で、監視制御装置の業界では、適用分野が様々な業態に広がる傾向に起因して、多くの生産者が参入しており、このためにコスト競争にも晒されつつある。

しかしながら、前述のように監視制御装置は高い信頼性が求められるので、コスト競争に対しては高価な電子デバイスを有効利用する、という方法で解決することが殆どである。安易に安価な部品を採用することで信頼性を損ねてしまってはならない。

【0003】

また、前述の可用性については、監視制御装置に活線挿抜が実現できれば理想的である。

40

なお、本発明に関係すると思われる先行技術文献を特許文献 1 に示す。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 9 - 188249 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

50

従来の監視制御装置は、活線挿抜には対応しておらず、I/OケースからI/O装置を挿抜する場合には、一旦監視制御装置自身を停止処理させる必要があった。また、I/O装置はその種類に応じて様々なI/Oデータ長を備えているが、従来の監視制御装置では全てのI/O装置のI/Oメモリ専有幅を同一化していたため、メモリマップドI/Oの利用効率が必ずしも良くなかった。

【0006】

本発明はかかる課題を解決し、I/Oメモリ空間の利用効率を良好にすると共に、活線挿抜にも対応し、更には低負荷でI/O装置の挿抜が実現できる、制御装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明は、I/Oケース、複数のI/O接続部及び入出力装置（I/O装置）及びCPU装置を備える制御装置である。

I/Oケースは、I/Oデータ空間と、I/Oデータ空間に存在する領域の先頭アドレスを格納するI/Oインデックス空間とを有するI/Oメモリ空間にアクセス可能なバスと、バスに接続される周辺装置が収納される複数のスロットとを有する。

また、複数のI/O接続部は、バスに接続され、I/Oインデックス空間にマッピングされ、I/Oデータ空間の先頭アドレスが記憶され得るスロットアドレスレジスタと、バスに接続され、I/Oインデックス空間にマッピングされ、周辺装置が接続されているか否かを検出する周辺装置装着フラグを有する。更に、複数のI/O接続部は、I/Oケースにおける配置位置を示すスロット番号が格納されているスロット番号格納部と有し、複数のスロットに夫々内蔵されている。

また、入出力装置（I/O装置）は、複数のスロットに装着される周辺装置であり、バスにI/O接続部を通じて接続され、I/Oデータ空間にマッピングされ得る入出力インターフェースと、入出力インターフェースのI/Oデータ空間上の先頭アドレスが記憶され得るI/Oアドレスレジスタと、スロットアドレスレジスタとI/Oアドレスレジスタとの一致を判定するアドレス一致判定部と、スロット番号格納部からスロット番号が記憶され得るスロット番号レジスタと、入出力インターフェースのI/Oデータ長が格納されるI/Oデータ長格納部を有する。また、アドレス一致判定部がスロットアドレスレジスタとI/Oアドレスレジスタとの不一致を判定することに呼応して起動し、スロットアドレスレジスタに記憶されているスロットアドレスをI/Oアドレスレジスタに複写して、スロット番号レジスタの値をインクリメントしながらバスを通じてスロット番号レジスタが指し示す他の周辺装置が接続されている直近のI/O接続部を探索し、探索したI/O接続部のスロットアドレスレジスタに、複写したスロットアドレスとI/Oデータ長を加算した算出アドレスを書き込む動的アドレスマッピング処理部とを有する。

また、CPU装置は、複数のスロットに装着され、入出力装置とバスを通じて情報を送受信して、所定の演算処理を行う周辺装置である。

【0008】

入出力装置が主体となって、I/O接続部に設けられているスロットアドレスレジスタとスロット番号格納部を手がかりに、動的にI/Oアドレスのマッピングを実行した後、直近のスロットに存在する他の入出力装置が同様な動的アドレスマッピング処理を遂行するための開始アドレスを、当該I/O接続部のスロットアドレスレジスタに書き込む。

【発明の効果】

【0009】

本発明により、I/Oメモリ空間の利用効率を良好にすると共に、活線挿抜にも対応し、更には低負荷でI/O装置の挿抜が実現できる、制御装置を提供できる。

【図面の簡単な説明】

【0010】

【図1】本発明の一実施形態である監視制御装置の外観斜視図である。

10

20

30

40

50

【図 2】監視制御装置の概略を表すブロック図である。

【図 3】I/O 接続部と I/O 装置の機能ブロック図である。

【図 4】動的アドレスマッピング制御部の内部構成を示す機能ブロック図である。

【図 5】動的アドレスマッピング制御部による動的アドレスマッピング処理の流れを示すフローチャートである。

【図 6】動的アドレスマッピング制御部による動的アドレスマッピング処理の流れを示すフローチャートである。

【図 7】I/O 接続部と I/O 装置と I/O メモリ空間の関係を示す概略図である。

【図 8】本実施形態の監視制御装置における動的アドレスマッピング処理の流れを説明する概略図である。

10

【図 9】本実施形態の監視制御装置における動的アドレスマッピング処理の流れを説明する概略図である。

【図 10】本実施形態の監視制御装置における動的アドレスマッピング処理の流れを説明する概略図である。

【図 11】動的アドレスマッピング制御部による動的アドレスマッピング処理の流れを示すフローチャートである。

【図 12】動的アドレスマッピング制御部による動的アドレスマッピング処理の流れを示すフローチャートである。

【発明を実施するための形態】

【0011】

20

[外 観]

図 1 は、本発明の一実施形態である監視制御装置の外観斜視図である。

監視制御装置 101 は、I/O ケース 102 のスロット 103 に一つ以上の I/O 装置 104 と一つの CPU 装置 105 が装着されることで構成される。I/O ケース 102 にとって周辺装置ともいえる I/O 装置 104 及び CPU 装置 105 は、I/O ケース 102 のどのスロット 103 にも装着できるように、共通の大きさと形状を有する。

【0012】

[内部構成]

図 2 は、監視制御装置 101 の概略を表すブロック図である。

I/O ケース 102 の内側には、バス 201 と、スロット毎に第一 I/O 接続部 202 a、第二 I/O 接続部 202 b、第三 I/O 接続部 202 c、第 (n - 1) I/O 接続部 202 m 及び第 n I/O 接続部 202 n が設けられている。そして、I/O 装置 104 や CPU 装置 105 はこれらの I/O 接続部に接続される。

30

第一 I/O 接続部 202 a 乃至第 n I/O 接続部 202 n には、各々のスロット 103 の位置を識別するためのスロット番号が書換不可能に格納されているスロット番号格納部 203 と、各々のスロット 103 に接続される I/O 装置 104 の I/O アドレスが格納されるスロットアドレスレジスタ 204 と、I/O 装置 104 が装着されているか否かを識別するための周辺装置装着フラグともいえる I/O 装置装着フラグ 205 が設けられている。

【0013】

I/O 装置装着フラグ 205 は 2 ビットのフラグ変数であり、抵抗を伴って論理電圧にプルアップされた論理配線と図示しないコネクタで構成される。I/O 装置 104 がコネクタに接続されると、I/O 装置 104 側のグラウンドが接触することで、当該論理配線の電圧が論理電圧から 0 V に降下する。

40

この I/O 装置装着フラグ 205 は、下位 1 ビットが I/O 装置 104 の有無を示すフラグであり、上位 1 ビットが I/O 接続部 202 の有無を示すフラグである。

I/O 装置装着フラグ 205 の値が「11」であれば、当該 I/O 接続部 202 には I/O 装置 104 が装着されていないことを表す。

I/O 装置装着フラグ 205 の値が「10」であれば、当該 I/O 接続部 202 には I/O 装置 104 が装着されていることを表す。

I/O 装置装着フラグ 205 の値が「00」であれば、当該 I/O 接続部 202 以降に I/O

50

接続部 202 は存在しないことを表す。

【0014】

但し、第一 I O 接続部 202 a にはスロットアドレスレジスタ 204 の代わりに、固定値のアドレスが格納されるスロットアドレス格納部 206 が設けられている。

また、最後の I O 接続部である第 n I O 接続部 202 n にはスロットアドレスレジスタ 204 が二つ設けられており、更にスロットアドレスレジスタ 204 に加えて「このスロットは最後である」という意味を示す固定値が格納される最終フラグ格納部 207 が設けられている。この最終フラグ格納部 207 が、値が「00」の I O 装置装着フラグ 205 である。

I O 接続部にはこの他にも種々の機能ブロックが存在するが、詳細は図 3 にて後述する。

10

【0015】

バス 201 は一般的なパラレルバスその他、シリアルバスでも良い。このバス 201 に求められる条件は、I O メモリ空間を有することである。つまり、バス 201 に接続される I O 装置 104、I O 接続部及び CPU 装置 105 から一つを選択するために、アドレスを指定することができる必要がある。

【0016】

なお、これ以降、「格納部」と記す名称は固定値を格納する機能ブロックである。ROM やサムロタリスイッチ、或は配線等により固定値を形成する。そして、「レジスタ」と記す名称は可変値を記憶する機能ブロックである。RAM やレジスタ等により可変値を記憶する。

20

【0017】

図 3 は、I O 接続部 202 と I O 装置 104 の機能ブロック図である。

I O 接続部 202 には、入出力制御部 301 がバス 201 に接続されている。入出力制御部 301 は、インデックスアドレス格納部 302 に格納されているインデックスアドレスが、バス 201 に接続されている他の機器から指定されたアドレスと一致していたら、入出力制御部 301 に接続されているスロットアドレスレジスタ 204 に対するアクセスを許可する。つまり、インデックスアドレス格納部 302 に格納されているインデックスアドレスは、スロットアドレスレジスタ 204 の I O メモリ空間内におけるアドレスである。したがって、インデックスアドレス格納部 302 に格納されているインデックスアドレスは、I O 接続部 202 毎にユニークである（一意性を有する）。

30

【0018】

I O 接続部 202 にはこの他に、スロット番号格納部 203 が存在する。前述のように、スロット番号格納部 203 に格納されている値は、スロット 103 に付されている番号である。スロット番号は 1 から始まり、I O ケース 102 に設けられているスロット 103 の最大数が最大値である。

【0019】

I O 接続部 202 には、I O 装置 104 との間にはバス 201 との接続点 P 303 と、スロットアドレスレジスタ 204 との接続点 P 304 と、スロット番号格納部 203 との接続点 P 305 を有する。つまり、I O 装置 104 はバス 201 に接続される他、I O 接続部 202 のスロットアドレスレジスタ 204 及びスロット番号格納部 203 と直接接続される。

40

なお、詳細は後述するが、I O 装置 104 は必ずしもスロットアドレスレジスタ 204 と直接接続されていなくても良い。但し、I O 装置 104 がスロット番号格納部 203 内のスロット番号を直接読み取ることができるように、I O 装置 104 とスロット番号格納部 203 とは直接接続されていなければならない。

【0020】

I O 装置 104 にも、入出力制御部 306 がバス 201 に接続されている。入出力制御部 306 は、I O アドレスレジスタ 307 に格納されている I O アドレスが、バス 201 に接続されている他の機器から指定されたアドレスと一致していたら、入出力制御部 30

50

6に接続されている入出力インターフェース308に対するアクセスを許可する。つまり、I/Oアドレスレジスタ307に格納されているI/Oアドレスは、入出力インターフェース308、ひいてはI/O装置104自体のI/Oメモリ空間内におけるアドレスである。したがって、I/Oアドレスレジスタ307に格納されているI/Oアドレスは、I/O装置104毎にユニークでなければならない。

【0021】

I/O接続部202の-slotアドレスレジスタ204と、I/O装置104のI/Oアドレスレジスタ307との間には、アドレス一致判定部309が接続されている。アドレス一致判定部309は双方のアドレスが等しい場合に論理の「真」を出力する。一方、有効アドレス判定部310はI/Oアドレスの値の有効性、つまりI/Oメモリ空間内に存在するかどうかを判定し、有効であれば論理の「真」を出力する。

10

アドレス一致判定部309の論理出力と有効アドレス判定部310の論理出力はANDゲート311に入力される。ANDゲート311は、「slotアドレスレジスタ204の値(以下「slotアドレス」)とI/Oアドレス(I/Oアドレスレジスタ307の値)が一致していて、且つI/Oアドレスが有効な値である場合」に論理の「真」を出力する。つまり、ANDゲート311の出力が「真」の時は、通常の動作状態を意味する。入出力制御部306は、ANDゲート311の出力が論理の「真」である場合に、バス201と入出力インターフェース308との接続を許可する。

【0022】

一方、アドレス一致判定部309の論理出力はNOTゲート312を介して動的アドレスマッピング制御部313に供給される。NOTゲート312の出力信号は、I/O接続部202のslotアドレスレジスタ204と、I/O装置104のI/Oアドレスレジスタ307とのアドレスが異なる場合に論理の「真」を出力する。そして、この信号が動的アドレスマッピング制御部313の起動トリガとなる。

20

【0023】

動的アドレスマッピング制御部313は、本実施形態の監視制御装置101における、I/Oメモリ空間内におけるI/O装置104の動的アドレスマッピング処理を遂行する。このために、slot番号格納部203と、slotアドレスレジスタ204と、I/Oアドレスレジスタ307と、slot番号レジスタ314と、I/Oデータ長格納部315が動的アドレスマッピング制御部313に接続される。

30

【0024】

slot番号レジスタ314は、I/O装置104に最も近い他のI/O装置104の存在を検出するためのレジスタである。最初に動的アドレスマッピング制御部313によってslot番号格納部203内のslot番号が複写され、その後、I/O装置104が装着されている直近のslot103のI/O接続部202を見つけるまでインクリメントされる。

I/Oデータ長格納部315は、I/O装置104固有のデータ長を示す情報がワード単位にて格納される。

【0025】

図4は、動的アドレスマッピング制御部313の内部構成を示す機能ブロック図である。

40

NOTゲート312の出力信号は、動的アドレスマッピング制御部313の起動トリガとしてアドレス複写処理部401に入力される。

アドレス複写処理部401は、起動トリガを受信するとslotアドレスレジスタ204に記憶されているslotアドレスをI/Oアドレスレジスタ307に複写する。そして、複写処理が完遂したら、トリガ信号をslot番号複写処理部402に出力する。

slot番号複写処理部402は、トリガ信号を受けると、slot番号格納部203に格納されているslot番号を、slot番号レジスタ314に複写する。そして、複写処理が完遂したら、トリガ信号をI/O装置探索部403に出力する。

【0026】

50

ＩＯ装置探索部４０３は、トリガ信号を受けると、スロット番号レジスタ３１４に格納されているスロット番号をインクリメントした後、バス２０１を通じてスロット番号レジスタ３１４に格納されているスロット番号のＩＯ接続部２０２に存在するＩＯ装置装着フラグ２０５を読みに行き、当該ＩＯ接続部２０２にＩＯ装置１０４が装着されているか否かを確認する。

もし、ＩＯ装置１０４が装着されていれば、トリガ信号をアドレス書き込み処理部４０４に出力する。

もし、ＩＯ装置１０４が装着されていなければ、スロット番号レジスタ３１４に格納されているスロット番号をインクリメントした後、再びバス２０１を通じてスロット番号レジスタ３１４に格納されているスロット番号のＩＯ接続部２０２に存在するＩＯ装置装着フラグ２０５を読みに行き、当該ＩＯ接続部２０２にＩＯ装置１０４が装着されているか否かを確認する。

10

【００２７】

アドレス書き込み処理部４０４は、トリガ信号を受けると、スロット番号レジスタ３１４に格納されているスロット番号のＩＯ接続部２０２に存在するスロットアドレスレジスタ２０４に、加算器４０５が出力する算出アドレスを書き込む。加算器４０５にはＩＯアドレスレジスタ３０７とＩＯデータ長格納部３１５が接続されており、加算器４０５はＩＯアドレスとＩＯデータ長を加算する。

【００２８】

[動作]

20

図５及び図６は、動的アドレスマッピング制御部３１３による動的アドレスマッピング処理の流れを示すフローチャートである。

処理を開始すると（Ｓ５０１）、先ずアドレス一致判定部３０９はスロットアドレスとＩＯアドレスが一致しているか否かを判定する（Ｓ５０２）。アドレスが一致していれば（Ｓ５０２のＮＯ）、何もせずに処理を終了する（Ｓ５０３）。そして、所定の時間が経過した後、再びステップＳ５０１から処理が繰り返される。所定の時間とは、例えば０．２乃至０．５秒程度の期間である。

【００２９】

ステップＳ５０２において、アドレス一致判定部３０９はスロットアドレスとＩＯアドレスが一致していないと判定したら（Ｓ５０２のＹＥＳ）、アドレス一致判定部３０９の出力するトリガ信号がアドレス複写処理部４０１を駆動する。アドレス複写処理部４０１はスロットアドレスをＩＯアドレスレジスタ３０７に複写する（Ｓ５０４）。そして、複写処理が完遂したら、アドレス複写処理部４０１はトリガ信号をスロット番号複写処理部４０２に出力する。

30

スロット番号複写処理部４０２は、アドレス複写処理部４０１からトリガ信号を受けると、スロット番号格納部２０３に格納されているスロット番号を、スロット番号レジスタ３１４に複写する（Ｓ５０５）。そして、複写処理が完遂したら、トリガ信号をＩＯ装置探索部４０３に出力する。

【００３０】

これ以降はループである。

40

ＩＯ装置探索部４０３は、スロット番号複写処理部４０２からトリガ信号を受けると、先ずスロット番号レジスタ３１４に格納されているスロット番号をインクリメントする（Ｓ５０６）。次に、バス２０１を通じてスロット番号レジスタ３１４に格納されているスロット番号のＩＯ接続部２０２に存在するＩＯ装置装着フラグ２０５を読みに行き、当該ＩＯ接続部２０２は最後のスロットであるか否かを確認する（Ｓ５０７）。もし最後のスロットであれば（Ｓ５０７のＹＥＳ）、一連の処理を終了する（Ｓ５０８）。そして、ステップＳ５０３と同様、所定の時間が経過した後、再びステップＳ５０１から処理が繰り返される。

ステップＳ５０７において、最後のスロットでなければ（Ｓ５０７のＮＯ）、ＩＯ装置探索部４０３は次に当該ＩＯ接続部２０２にＩＯ装置１０４が装着されているか否かを確認

50

認する(S509)。当該IO接続部202にIO装置104が装着されていなければ(S509のNO)、ステップS506から再び処理を繰り返す。

【0031】

図6を参照して説明を続ける。

ステップS509において、当該IO接続部202にIO装置104が装着されていれば(S509のYES)、加算器405はIOアドレスとIOデータ長を加算する(S610)。そして、アドレス書き込み処理部404は、IO装置探索部403からトリガ信号を受けると、スロット番号レジスタ314に格納されているスロット番号のIO接続部202に存在するスロットアドレスレジスタ204に、加算器405の出力データを書き込み(S611)、一連の処理を終了する(S612)。

10

【0032】

以上、図1乃至図4にて説明した監視制御装置101の内部構成と、図5及び図6にて説明した監視制御装置101の動作を踏まえて、本実施形態の監視制御装置101が具体的にどのような振る舞いをするのかを、これより説明する。

図7(a)及び(b)は、IO接続部202とIO装置104とIOメモリ空間の関係を示す概略図である。

図7(a)は、IO接続部202にIO装置104が接続されている状態を示す概略図である。

図7(b)は、IOメモリ空間を示す概略図である。

一例として、本実施形態の監視制御装置101は、IOメモリ空間S701として0x00A1~0x02FF迄のアドレス範囲を有する。このうちIOインデックス空間S702は0x00A1~0x00A9迄のアドレス範囲を有し、IOデータ空間S703は0x00AA~0x02FF迄のアドレス範囲を有する。

20

また、本実施形態の監視制御装置101は1ワードを32ビットとし、IOメモリ空間S701のアドレスは16ビットで指定されるものとする。

なお、図7の詳細な説明は後述する。

【0033】

図8(a)、(b)、(c)及び(d)と、図9(e)及び(f)は、本実施形態の監視制御装置101における動的アドレスマッピング処理の流れを説明する概略図である。

先ず、図8(a)には、第一IO接続部202aにIO装置104が接続された瞬間の状態が図示されている。

30

IO装置104は第一IO接続部202aに接続されると、第一IO接続部202aに設けられている図示しない電源ラインを通じて電源の供給を受ける。そして、IOアドレスレジスタ307を「未値」であることを示す「0xFFFF」に初期化する。なお、IOケース102のスロット103に内蔵されているIO接続部202のスロットアドレスレジスタ204も同様に、電源投入直後は「未値」であることを示す「0xFFFF」に初期化される。

次に、アドレス一致判定部309はスロットアドレスとIOアドレスが一致しているか否か、判定する。この時点で、スロットアドレス格納部206は不変の「0x00AA」というアドレスを格納している。片や比較対象となるIOアドレスは初期値の0xFFFFである。つまり、スロットアドレスとIOアドレスは不一致である。この結果、アドレス一致判定部309はスロットアドレスとIOアドレスが不一致であることを示す信号を出力する。

40

この状態は、図5のステップS502における「YES」に相当する。

【0034】

次に、図8(b)には、第一IO接続部202aにIO装置104が接続され、図8(a)から所定の時間が経過した後の状態が図示されている。

アドレス複写処理部401はスロットアドレスをIOアドレスレジスタ307に複写する。すると、IOアドレスレジスタ307にはアドレス複写処理部401によって、スロットアドレス格納部206に格納されている「0x00AA」が書き込まれる。

50

この状態は、図5のステップS504に相当する。

【0035】

次に、図8(c)には、第一IO接続部202aにIO装置104が接続され、図8(b)から所定の時間が経過した後の状態が図示されている。

スロット番号複写処理部402は、スロット番号格納部203に格納されているスロット番号を、スロット番号レジスタ314に複写する。すると、スロット番号レジスタ314にはスロット番号複写処理部402によって、スロット番号格納部203に格納されている「1」が書き込まれる。

この状態は、図5のステップS505に相当する。

【0036】

次に、図8(d)には、第一IO接続部202aにIO装置104が接続され、図8(c)から所定の時間が経過した後の状態が図示されている。

IO装置探索部403は、先ずスロット番号レジスタ314に格納されているスロット番号をインクリメントする。すると、スロット番号レジスタ314に書き込まれた「1」という値は、IO装置探索部403によって「2」にインクリメントされる。

この処理は、図5のステップS506に相当する。

【0037】

次に、IO装置探索部403はバス201を通じて、スロット番号レジスタ314に格納されているスロット番号のIO接続部202に存在するIO装置装着フラグ205を読みに行き、当該IO接続部202は最後のスロットであるか否かを確認する。図8(d)の場合では、スロット番号レジスタ314には「2」が記憶されているので、2番目のIO接続部202、すなわち第二IO接続部202bのIO装置装着フラグ205を読みに行く。IOインデックス空間S702のアドレスデータは32ビットの固定長なので、第一IO接続部202aのスロットアドレス格納部206のアドレスである「0x00A1」に「1」を加算した「0x00A2」が、第二IO接続部202bのスロットアドレスレジスタ204及びIO装置装着フラグ205のアドレスである。

第二IO接続部202bにはIO装置104が接続されており、また第二IO接続部202bは最終スロットではない。したがって、IO装置装着フラグ205は「10」という値である。

この状態は、図5のステップS507における「YES」を経て図5のステップS509における「YES」に相当する。

【0038】

次に、図9(e)には、第一IO接続部202aにIO装置104が接続され、図8(d)から所定の時間が経過した後の状態が図示されている。

加算器405はIOアドレスレジスタ307の値とIOデータ長格納部315の値を加算する。図8(d)の場合、加算器405は $0x00AA + 3\text{ワード} = 0x00AD$ という値を出力する。

この処理は、図6のステップS610に相当する。

アドレス書き込み処理部404は、この値を第二IO接続部202bのスロットアドレスレジスタ204に書き込む。

この状態は、図6のステップS611に相当する。

【0039】

図9(f)には、IOメモリ空間S701が図示されている。

図8(a)から図9(e)迄の処理の流れを受けて、IOメモリ空間S701には、IOインデックス空間S702の $0x00A2$ に「 $0x00AD$ 」が書き込まれる。そして、IOデータ空間S703の $0x00AA$ から $0x00AC$ までの3ワードは、第一IO接続部202aに接続されたIO装置104によって確保されたこととなる。したがって、第二IO接続部202bに接続されたIO装置104は、 $0x00AD$ からIOデータ空間S703の確保を行うこととなる。

【0040】

10

20

30

40

50

以上の動作によって、第一 I O 接続部 2 0 2 a に接続される I O 装置 1 0 4 a の入出力インターフェース 3 0 8 は、I O アドレス「0 x 0 0 A A」から 3 ワードの範囲でアクセスが可能になる。

【 0 0 4 1 】

再び図 7 を参照して、説明を続ける。

図 7 (a) では、第一 I O 接続部 2 0 2 a、第二 I O 接続部 2 0 2 b 及び第三 I O 接続部 2 0 2 c が図示されている。そしてこれら三つの I O 接続部には夫々 I O 装置 1 0 4 が接続されている。

第一 I O 接続部 2 0 2 a には I O データ長が 3 ワードの I O 装置 1 0 4 a が接続されている。

10

第二 I O 接続部 2 0 2 b には I O データ長が 2 ワードの I O 装置 1 0 4 b が接続されている。

第三 I O 接続部 2 0 2 c には I O データ長が 4 ワードの I O 装置 1 0 4 c が接続されている。

【 0 0 4 2 】

前述のように、第一 I O 接続部 2 0 2 a は R O M 等の不変値であるスロットアドレス格納部 2 0 6 を有する。このスロットアドレス格納部 2 0 6 は、I O インデックス空間 S 7 0 2 の先頭位置である「0 x 0 0 A 1」というアドレスにマッピングされ、その中身は I O データ空間 S 7 0 3 の先頭位置である「0 x 0 0 A A」というアドレスが格納されている。

20

これに対し、第二 I O 接続部 2 0 2 b 以降の I O 接続部は、R A M 等の変動値であるスロットアドレスレジスタ 2 0 4 を有する。このスロットアドレスレジスタ 2 0 4 は、I O インデックス空間 S 7 0 2 の二番目の位置である「0 x 0 0 A 2」というアドレス以降にマッピングされる。

【 0 0 4 3 】

第一 I O 接続部 2 0 2 a に I O データ長が 3 ワードの I O 装置 1 0 4 を接続すると、I O 装置装着フラグ 2 0 5 は「1 1」から「1 0」という値に変化する。つまり、I O 装置 1 0 4 が第一 I O 接続部 2 0 2 a に接続されたことにより、I O 装置装着フラグ 2 0 5 の最下位ビットが接地電位になる。そして、I O アドレスレジスタ 3 0 7 にはスロットアドレス格納部 2 0 6 の中身である「0 x 0 0 A A」が複写される。この「0 x 0 0 A A」と I O データ長「3 ワード」を足した「0 x 0 0 A D」が、第二 I O 接続部 2 0 2 b のスロットアドレスレジスタ 2 0 4 に書き込まれる。

30

【 0 0 4 4 】

第二 I O 接続部 2 0 2 b に I O データ長が 2 ワードの I O 装置 1 0 4 を接続すると、I O 装置装着フラグ 2 0 5 は「1 1」から「1 0」という値に変化する。そして、I O アドレスレジスタ 3 0 7 にはスロットアドレス格納部 2 0 6 の中身である「0 x 0 0 A D」が複写される。この「0 x 0 0 A D」と I O データ長「2 ワード」を足した「0 x 0 0 A F」が、第三 I O 接続部 2 0 2 c のスロットアドレスレジスタ 2 0 4 に書き込まれる。

【 0 0 4 5 】

第三 I O 接続部 2 0 2 c に I O データ長が 4 ワードの I O 装置 1 0 4 を接続すると、I O 装置装着フラグ 2 0 5 は「1 1」から「1 0」という値に変化する。そして、I O アドレスレジスタ 3 0 7 にはスロットアドレス格納部 2 0 6 の中身である「0 x 0 0 A F」が複写される。この「0 x 0 0 A F」と I O データ長「4 ワード」を足した「0 x 0 0 B 3」が、第三 I O 接続部 2 0 2 c の次に位置する I O 接続部 2 0 2 のスロットアドレスレジスタ 2 0 4 に書き込まれる。

40

【 0 0 4 6 】

以上、第一 I O 接続部 2 0 2 a から第三 I O 接続部 2 0 2 c の状態変化の結果、I O メモリ空間 S 7 0 1 は図 7 (b) のようになる。I O インデックス空間 S 7 0 2 には I O データ空間 S 7 0 3 の先頭アドレスが書き込まれる。そして、I O データ空間 S 7 0 3 は I O 装置 1 0 4 のスロット 1 0 3 の順番に、I O 装置 1 0 4 の I O データ長に等しいメモリ

50

空間が割り当てられる。

【 0 0 4 7 】

図 1 0 (a)、(b)、(c) 及び (d) は、本実施形態の監視制御装置 1 0 1 における動的アドレスマッピング処理の流れを説明する概略図である。

本実施形態の監視制御装置 1 0 1 は、空きスロットを設けても動的アドレスマッピング処理が正常に遂行される。

今、図 1 0 (a) のように、第二 I O 接続部 2 0 2 b を空きスロットにして、第一 I O 接続部 2 0 2 a と第三 I O 接続部 2 0 2 c に I O 装置 1 0 4 が接続されている状態を形成すると、I O メモリ空間 S 7 0 1 は図 1 0 (b) のように、I O データ空間 S 7 0 3 は第二 I O 接続部 2 0 2 b の存在がなかったかのように、第一 I O 接続部 2 0 2 a 及び第三 I O 接続部 2 0 2 c に接続されている I O 装置 1 0 4 によって順番にメモリ空間が利用される。

10

【 0 0 4 8 】

図 1 0 (a) の状態から、図 1 0 (c) のように、後から第二 I O 接続部 2 0 2 b に I O 装置 1 0 4 を接続する。その際、I O メモリ空間 S 7 0 1 の動的アドレスマッピングを促すために、第一 I O 接続部 2 0 2 a に接続されている I O 装置 1 0 4 を一旦引き抜き、再び接続する。すると、I O メモリ空間 S 7 0 1 は図 1 0 (d) のように、I O データ空間 S 7 0 3 は第一 I O 接続部 2 0 2 a の I O 装置 1 0 4 に割り当てられているメモリ空間 (3 ワード) の後に第二 I O 接続部 2 0 2 b の I O 装置 1 0 4 のためのメモリ空間 (2 ワード) を割り当てて、その後に第三 I O 接続部 2 0 2 c の I O 装置 1 0 4 のためのメモリ空間 (4 ワード) を割り当てる。

20

【 0 0 4 9 】

これまでの説明より明らかなように、本実施形態の監視制御装置 1 0 1 は、I O 装置 1 0 4 が主体となって、I O 接続部 2 0 2 に設けられているスロットアドレス (スロットアドレス格納部 2 0 6 又はスロットアドレスレジスタ 2 0 4) とスロット番号 (スロット番号格納部 2 0 3) を手がかりに、動的に I O アドレスのマッピングを実行した (図 5 のステップ S 5 0 4) 後、直近のスロット 1 0 3 に存在する他の I O 装置 1 0 4 が同様な動的アドレスマッピング処理を遂行するための開始アドレスを当該 I O 接続部 2 0 2 のスロットアドレスレジスタ 2 0 4 に書き込む (図 6 のステップ S 6 1 2) 。この処理に、C P U 装置 1 0 5 は一切介在していない。

30

したがって、I O 装置 1 0 4 が故障した際、監視制御装置 1 0 1 を停止させずに故障した I O 装置 1 0 4 を I O ケース 1 0 2 から抜き取り、新たな I O 装置 1 0 4 を装着すれば、自動的に動的アドレスマッピングが実行されて、当該 I O 装置 1 0 4 が即座に利用可能になる。

【 0 0 5 0 】

以上のように構成される監視制御装置 1 0 1 において、C P U 装置 1 0 5 はスロット 1 0 3 に装着されている I O 装置 1 0 4 に対し、I O インデックス空間 S 7 0 2 の I O 装置装着フラグ 2 0 5 を見る。そして、I O 装置装着フラグ 2 0 5 が「 1 0 」となっている (I O 装置 1 0 4 が装着されている) レコードのスロットアドレスレジスタ 2 0 4 又はスロットアドレス格納部 2 0 6 が示すスロットアドレスを読み取り、そのスロットアドレスで I O データ空間 S 7 0 3 にアクセスする。

40

【 0 0 5 1 】

本実施形態では以下の応用例が可能である。

(1) I O 装置 1 0 4 は、通常動作時においても、他の I O 装置 1 0 4 が装着されている直近の I O 接続部 2 0 2 のスロットアドレスレジスタ 2 0 4 を確認し、スロットアドレスが本来あるべき値とは異なる場合には、正しい値に書き込み直す処理を施しても良い。

【 0 0 5 2 】

図 1 1 及び図 1 2 は、動的アドレスマッピング制御部 3 1 3 による動的アドレスマッピング処理の流れを示すフローチャートである。図 1 1 及び図 1 2 の処理のうち、図 5 及び図 6 と同じ処理内容の項目については、括弧書きでステップ番号を付している。

50

図 1 1 及び図 1 2 に開示する動的アドレスマッピング処理の、図 5 及び図 6 に開示した動的アドレスマッピング処理と異なる点は、以下の二点である。

【 0 0 5 3 】

< a > ステップ S 1 1 0 2 (S 5 0 2) で、アドレス一致判定部 3 0 9 がスロットアドレスと I O アドレスが一致しているか否かを判定した後、アドレスが一致していれば (S 1 1 0 2 の N O)、何もせずに処理を終了するのではなく、動的アドレスマッピング処理のうちステップ S 1 1 0 3 (S 5 0 4) にて実行する、アドレス複写処理部 4 0 1 によるスロットアドレスを I O アドレスレジスタ 3 0 7 へ複写する処理を行わずに、ステップ S 1 1 0 4 (S 5 0 5) にてスロット番号格納部 2 0 3 に格納されているスロット番号を、スロット番号レジスタ 3 1 4 に複写する。

10

【 0 0 5 4 】

< b > ステップ S 1 2 0 9 (S 6 1 0) で、加算器 4 0 5 が I O アドレスと I O データ長を加算した後、直ぐにステップ S 1 2 1 1 (S 6 1 1) で算出したスロットアドレスを I O 接続部 2 0 2 のスロットアドレスレジスタに書き込まず、予め算出したスロットアドレスと読み取ったスロットアドレスが一致しているか確認する (S 1 2 1 0)。確認の結果、算出したスロットアドレスと読み取ったスロットアドレスが一致していれば、何もせずに終了する (S 1 2 1 2)。

【 0 0 5 5 】

以上のように、通常動作時においても他の I O 装置 1 0 4 が装着されている直近の I O 接続部 2 0 2 のスロットアドレスレジスタ 2 0 4 を確認することで、図 1 0 のような状況でも第一 I O 接続部 2 0 2 a に装着されている I O 装置 1 0 4 を抜き差しせずに動的アドレスマッピング処理を遂行できる。

20

【 0 0 5 6 】

(2) I O 装置 1 0 4 の入出力制御部 3 0 6 が参照する I O 装置 1 0 4 のアドレスは、I O アドレスレジスタ 3 0 7 の他に、I O 接続部 2 0 2 のスロットアドレスレジスタ 2 0 4 を参照しても良い。

【 0 0 5 7 】

(3) 図 3 の有効アドレス判定部 3 1 0 及び A N D ゲート 3 1 1 は、I O アドレスレジスタ 3 0 7 の初期値が I O メモリ空間 S 7 0 1 の範囲外である場合、なくてもよい。

【 0 0 5 8 】

本実施形態では、監視制御装置 1 0 1 を開示した。

本実施形態の監視制御装置 1 0 1 は、I O ケース 1 0 2 に形成される各々のスロット 1 0 3 に、I O 接続部 2 0 2 を設ける。I O 接続部 2 0 2 には、I O 装置 1 0 4 が動的アドレスマッピング処理を行う際の、I O データ空間 S 7 0 3 の先頭アドレスが格納されるスロットアドレスレジスタ 2 0 4 と、I O 装置 1 0 4 が装着されているか否かを知るための I O 装置装着フラグ 2 0 5 と、自分自身が装着されているスロットの番号を知るためのスロット番号格納部 2 0 3 が設けられている。

30

I O 装置 1 0 4 は、スロット 1 0 3 に装着されて I O 接続部 2 0 2 に接続されると、スロットアドレスレジスタ 2 0 4 と I O 装置装着フラグ 2 0 5 とスロット番号格納部 2 0 3 にアクセスし、動的アドレスマッピング処理を実行する。そしてその後、バス 2 0 1 を通じて他の I O 装置 1 0 4 が接続されている直近の I O 接続部 2 0 2 を探索し、自身が確保した I O データ空間 S 7 0 3 の領域の直後のアドレスを、当該 I O 接続部 2 0 2 に接続される I O 装置 1 0 4 の、I O データ空間 S 7 0 3 における先頭アドレスとして、当該 I O 接続部 2 0 2 のスロットアドレスレジスタ 2 0 4 に書き込む。

40

【 0 0 5 9 】

従来の監視制御装置は、I O データ長が異なる種々の I O 装置 1 0 4 を使用するに際して、I O データ空間 S 7 0 3 に対し、固定長で I O データ空間 S 7 0 3 の領域を確保していた。このため、I O データ空間 S 7 0 3 に利用されない無駄な領域が生じていた。

本実施形態の監視制御装置 1 0 1 では、前述のように I O 装置 1 0 4 が動作することで、I O データ長が異なる種々の I O 装置 1 0 4 を使用するに際して、I O データ空間 S 7

50

03に対し、IO装置104のIOデータ長に合わせて領域を確保する。したがって、IOデータ空間S703、ひいてはIOメモリ空間S701を無駄なく効率的に利用することが可能になる。

CPU装置105が一切介在することなく、IO装置104が主体となって動的アドレスマッピング処理を遂行するので、CPU装置105の処理が全く増加せずに済むだけでなく、活線挿抜にも対応できる。

【0060】

以上、本発明の実施形態例について説明したが、本発明は上記実施形態例に限定されるものではなく、特許請求の範囲に記載した本発明の要旨を逸脱しない限りにおいて、他の変形例、応用例を含む。

【符号の説明】

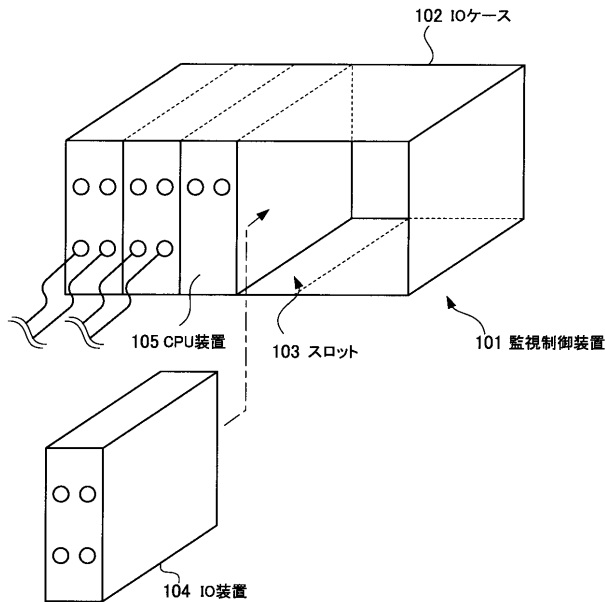
【0061】

101...監視制御装置、102...IOケース、103...スロット、104...IO装置、105...CPU装置、201...バス、202...IO接続部、203...スロット番号格納部、204...スロットアドレスレジスタ、205...IO装置装着フラグ格納部、206...スロットアドレス格納部、207...最終フラグ格納部、301...入出力制御部、302...インデックスアドレス格納部、306...入出力制御部、307...IOアドレスレジスタ、308...入出力インターフェース、309...アドレス一致判定部、310...有効アドレス判定部、311...ANDゲート、312...NOTゲート、313...動的アドレスマッピング制御部、314...スロット番号レジスタ、315...IOデータ長格納部、401...アドレス複写処理部、402...スロット番号複写処理部、403...IO装置探索部、404...アドレス書き込み処理部、405...加算器

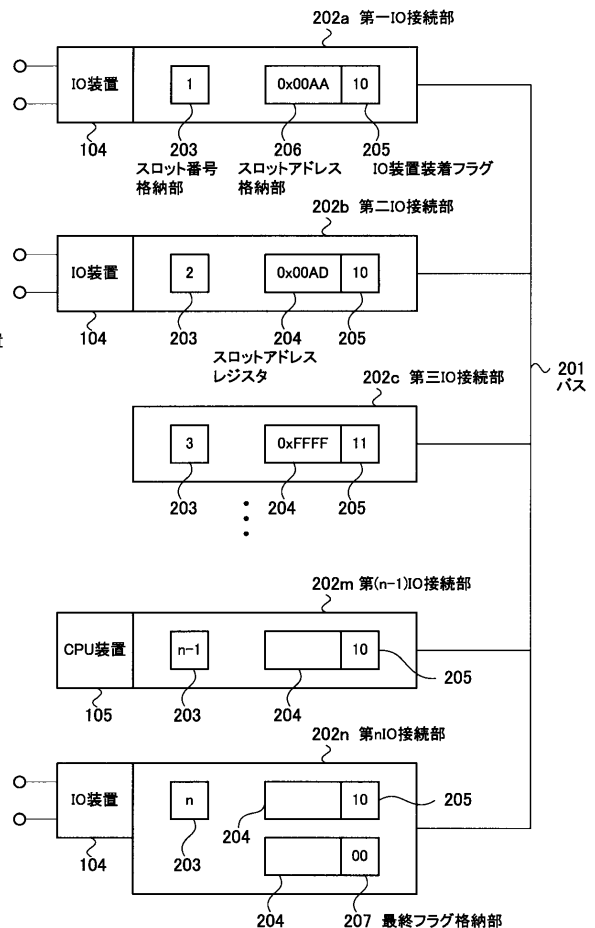
10

20

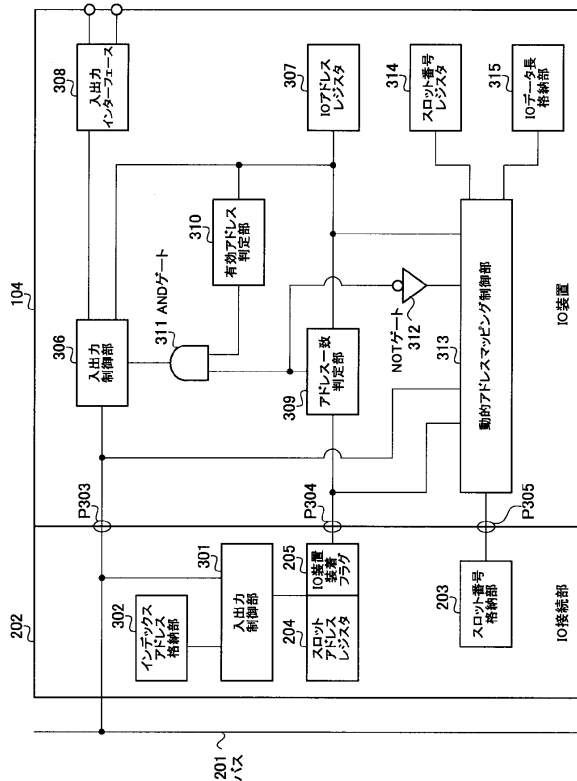
【図1】



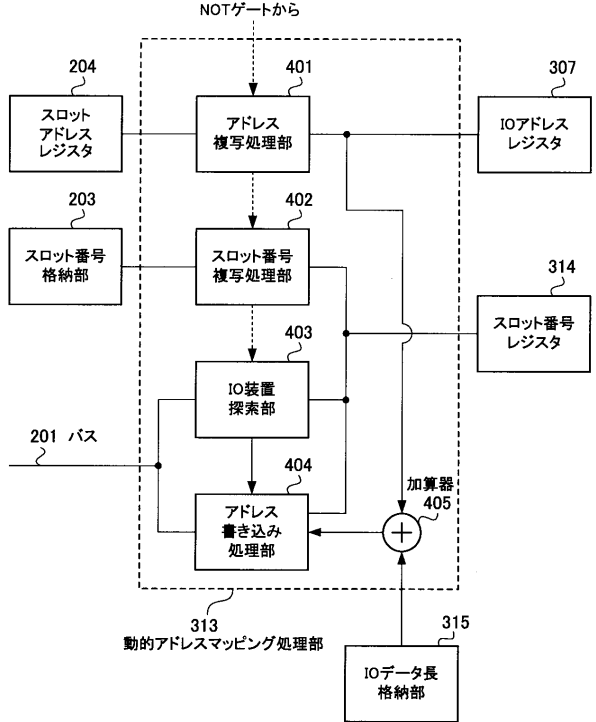
【図2】



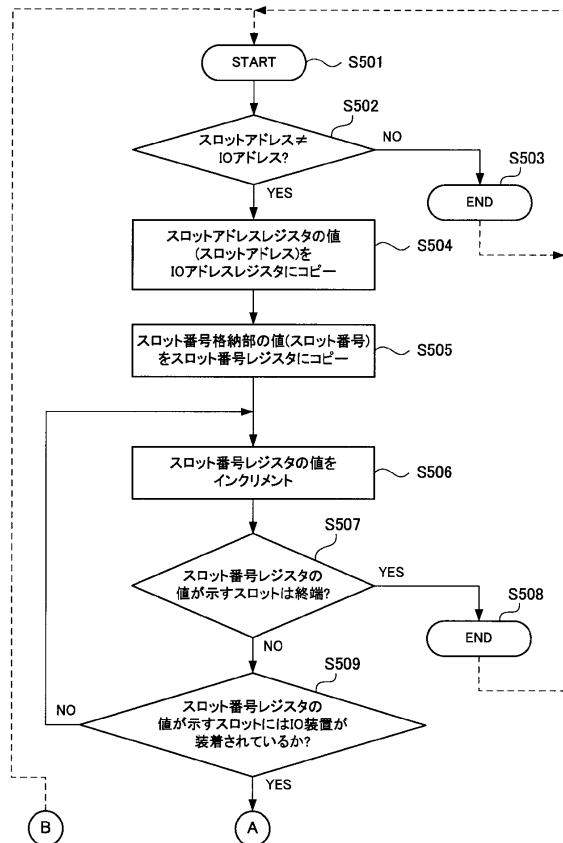
【図3】



【図4】

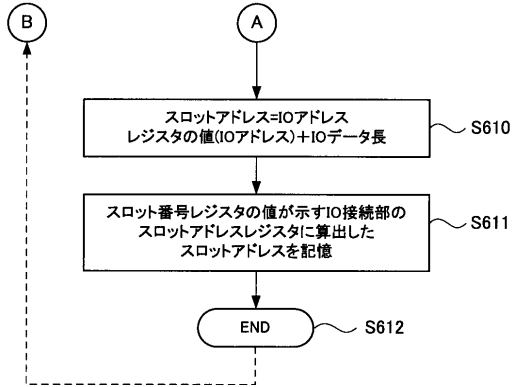


【図5】



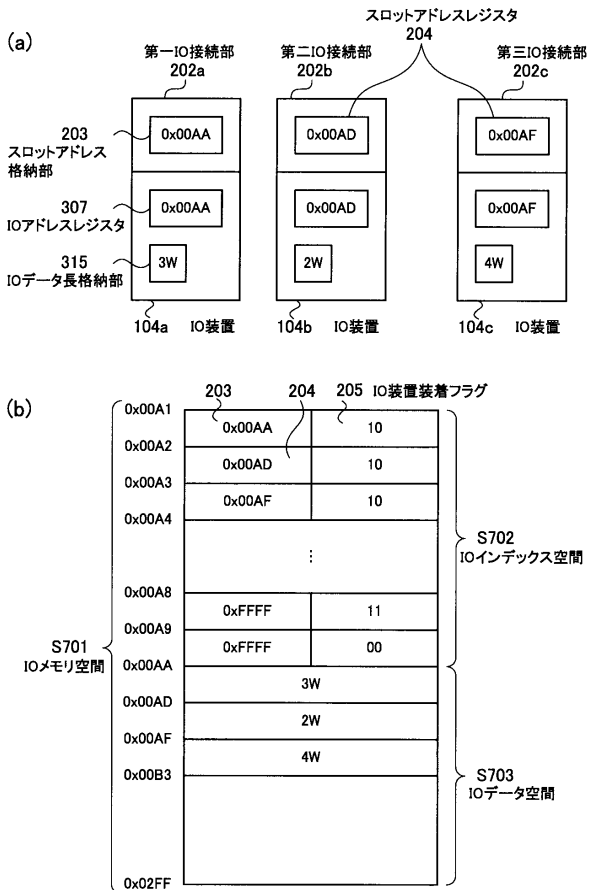
動的アドレスマッピング処理(前半)

【図6】

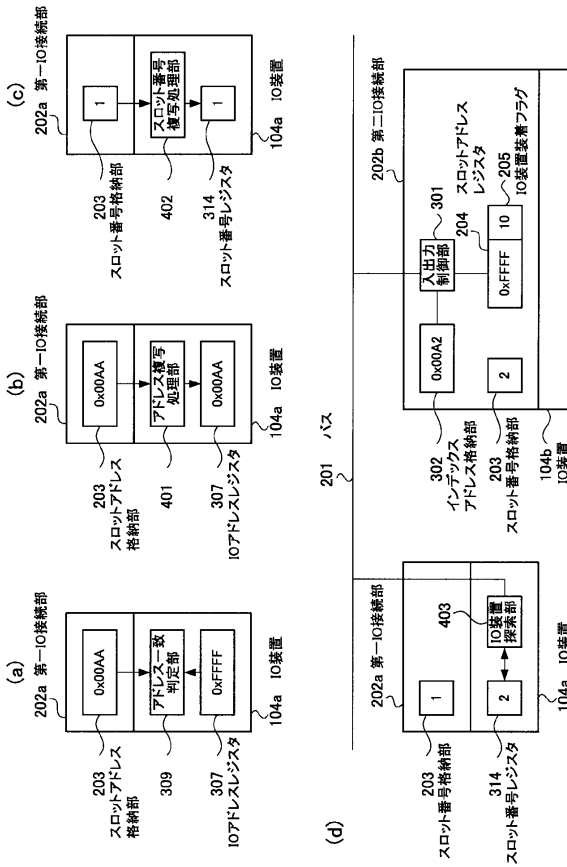


動的アドレスマッピング処理(後半)

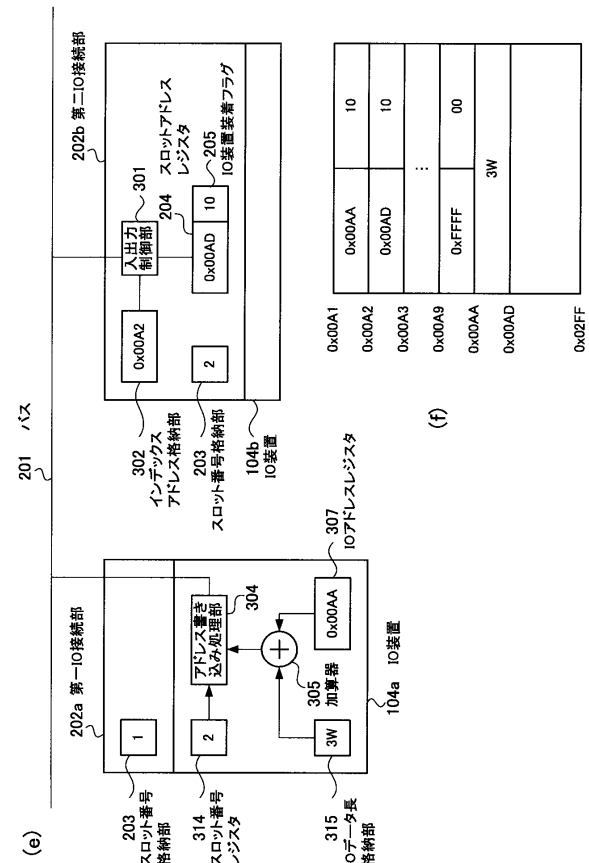
【図7】



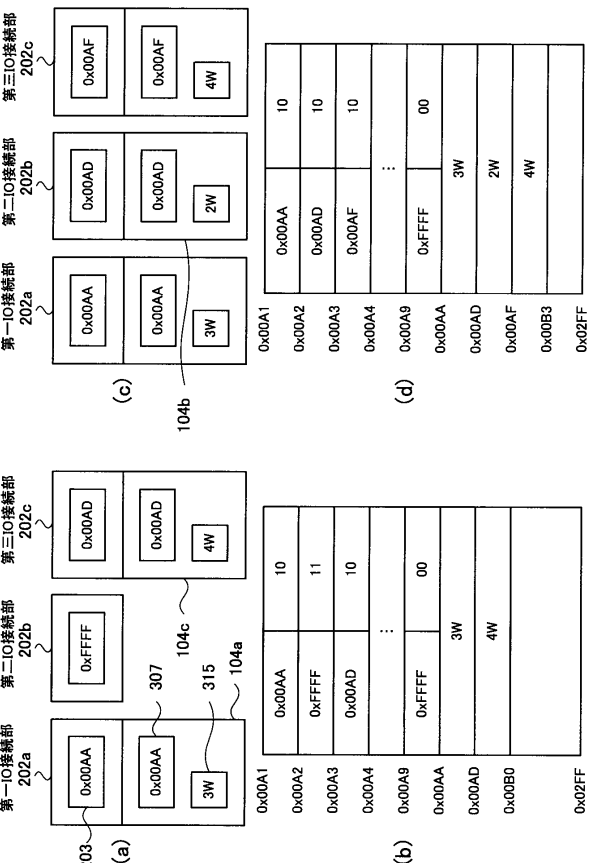
【図8】



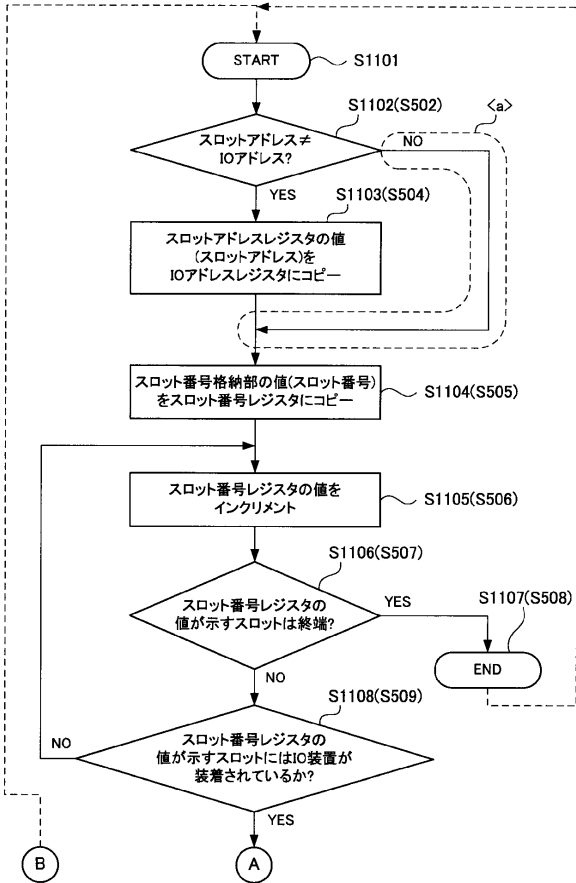
【図9】



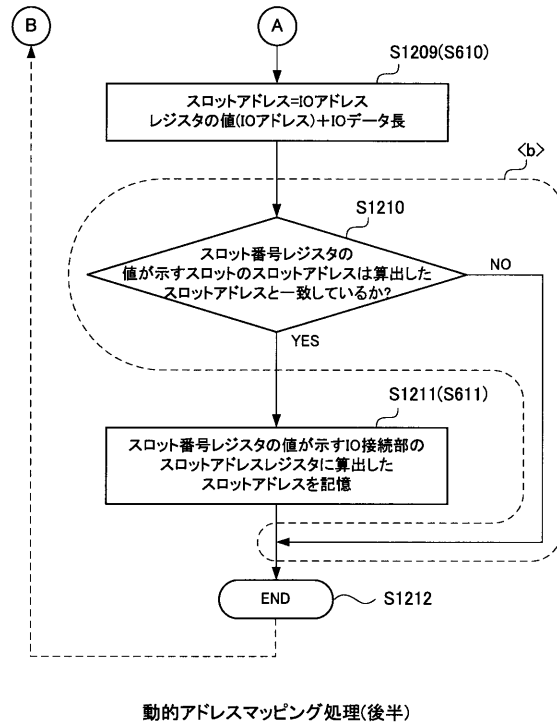
【図10】



【図11】



【図12】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 0 6 F 3 / 0 6 - 3 / 0 8

G 0 6 F 1 3 / 0 0 - 1 3 / 4 2