

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) . Int. Cl.<sup>8</sup>  
*H01L 21/60* (2006.01)

(45) 공고일자 2006년02월10일  
 (11) 등록번호 10-0550171  
 (24) 등록일자 2006년02월01일

---

(21) 출원번호	10-2002-0058485	(65) 공개번호	10-2003-0027757
(22) 출원일자	2002년09월26일	(43) 공개일자	2003년04월07일

---

(30) 우선권주장 JP-P-2001-00297041 2001년09월27일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바  
 일본국 도쿄도 미나토구 시바우라 1조메 1방 1고

(72) 발명자 요코이데쓰야  
 일본가나가와肯가와사끼시사이와이꾸고무끼이도시바코1가부시끼가이  
 샤도시바마이크로일렉트로닉스센터내

(74) 대리인 장수길  
 구영창

**심사관 : 송원선**

---

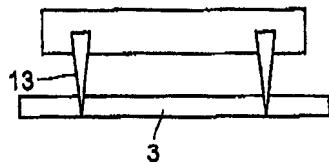
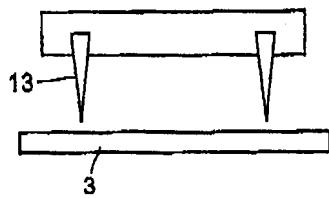
**(54) 필름 기판, 반도체 장치, 필름 기판의 제조 방법, 및 반도체 장치를 갖는 회로 기판의 제조 방법**

---

**요약**

장래 분리될 영역의 외주선 상에 절결부를 갖고, 반도체 디바이스 칩이 탑재되는 절연성 시트와, 상기 절연성 시트 상에 형성되며, 상기 절결부를 횡단하여, 상기 반도체 디바이스 칩의 외부 단자에 접속되는 도전성 패턴을 포함한 필름형 기판이다.

**대표도**



### 색인어

반도체 디바이스 칩, 외부 단자, 절결부, 절연성 시트

### 명세서

#### 도면의 간단한 설명

도 1a 및 도 1b는 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 2a 내지 도 2c는 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 3a 및 도 3b는 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 4a 및 도 4b는 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 5a 및 도 5b는 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 6a 및 도 6b는 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 7a 및 도 7b는 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 8은 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 9는 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 10은 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 11은 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 12는 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 13a 및 도 13b는 본 발명의 실시예에 따른 제조 방법을 설명하기 위한 도면.

도 14a 및 도 14d는 본 발명의 실시예의 변경예를 설명하기 위한 도면.

도 15a 및 도 15b는 본 발명의 실시예의 다른 변경예를 설명하기 위한 도면.

도 16a 및 도 16b는 본 발명의 실시예의 다른 변경예를 설명하기 위한 도면.

도 17a 및 도 17b는 본 발명의 실시예의 다른 변경예를 설명하기 위한 도면.

도 18a 및 도 18b는 종래 기술에 따른 제조 방법을 설명하기 위한 도면.

도 19a 및 도 19b는 종래 기술에 따른 제조 방법을 설명하기 위한 도면.

도 20a 및 도 20b는 종래 기술에 따른 제조 방법을 설명하기 위한 도면.

도 21a 및 도 21b는 종래 기술에 따른 제조 방법을 설명하기 위한 도면.

도 22a 및 도 22b는 종래 기술에 따른 제조 방법을 설명하기 위한 도면.

도 23a 및 도 23b는 종래 기술에 따른 제조 방법을 설명하기 위한 도면.

도 24는 종래 기술에 따른 제조 방법을 설명하기 위한 도면.

도 25a 및 도 25b는 종래 기술의 문제점을 설명하기 위한 도면.

도 26은 종래 기술의 문제점을 설명하기 위한 도면.

<도면의 주요 부분에 대한 부호의 설명>

1 : 반도체 디바이스 칩

2 : 스터드 범프

3 : 테이프형 절연성 필름

4 : 배선 패턴

5 : 접착제

6 : 이방성 도전 수지

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은, 반도체 디바이스 칩이 탑재되는 예정된 필름 기판, 반도체 장치, 필름 기판의 제조 방법, 및 반도체 장치를 갖는 회로 기판의 제조 방법에 관한 것이다.

반도체 디바이스 칩을 도전성 패턴이 형성된 절연성 필름 상에 탑재하는 종래 방법의 일례에 대하여, 도 18a 및 도 18b ~ 도 22a 및 도 22b를 참조하여 설명한다.

도 18a는 반도체 디바이스 칩(1)(반도체 집적 회로 디바이스 칩 등)의 외관을 도시한 사시도이며, 도 18b는 도 18a의 B-B'에 따라 자른 단면도이다. 반도체 디바이스 칩(1)의 표면에는, 외부 단자로서 복수의 스터드 범프(2)가 형성되어 있다.

도 19a는 도전성 패턴(배선 패턴 : 4)이 형성된 테이프형 절연성 필름(3)을 도시한 평면도이며, 도 19b는 도 19a의 B-B에 따라 자른 단면도이다. 도 19a 및 도 19b에 도시한 구조는, 절연성 필름(3)(두께 25~75 $\mu$ m 정도) 상에 접착제(5)에 의해 접착된 도전성 금속박(예를 들면, 두께 35 $\mu$ m 정도의 동박이나 알루미늄 박)을, 리소그래피 및 에칭에 의해 패터닝함으로써 얻을 수 있다.

이어서, 도 20a 및 도 20b에 도시한 바와 같이, 상기한 바와 같이 함으로써 얻어진 도전성 패턴(4)이 부착된 절연성 필름(3) 표면의 칩 탑재 영역에, 이방성 도전 수지(anisotropic conductive resin)(6)를 접착한다. 또한, 도 21a 및 도 21b에 도시한 바와 같이, 플립 칩 방식에 의해 이방성 도전 수지(6) 상에 반도체 디바이스 칩(1)을 탑재한다. 이와 같이 하여, 테이프형 필름 기판이 얻어진다.

그 후, 도 22a에 도시한 바와 같이, 프레스 장치 등에 의해 테이프형 필름 기판으로부터 소정의 형상을 분리한다. 이에 따라, 도 22b에 도시한 바와 같이 필름 기판편(片)을 얻을 수 있다.

이와 같이 하여 얻어진 필름 기판편은, 이하와 같이 하여 PCB(Printed Circuit Board)나 FPC(Flexible Printed Circuit board) 등의 회로 기판에 실장된다.

우선, 도 23a 및 도 23b에 도시한 바와 같이, 수동 부품(7) 및 접속 단자(9) 등이 형성된 회로 기판(8) 상에 도전성 접착제(10)를 접착한다. 도전성 접착제(10)로서는 이방성 도전 수지를 이용할 수 있다.

이어서, 도 24에 도시한 바와 같이, 도 22a 및 도 22b의 공정에서 얻어진 필름 기판편을 흡착 지그(11)를 이용하여 회로 기판(8) 상에 배치하고, 필름 기판편에 형성되어 있는 도전성 패턴(4)과 회로 기판(8)에 형성되어 있는 접속 단자(9)를 도전성 접착제에 의해 접속한다. 접속시에는, 가열 압착(thermocompression bonding) 지그(12)에 의해 가열 압착(200°C, 20초 정도)을 행한다.

### 발명이 이루고자 하는 기술적 과제

그러나, 상술한 종래의 방법에서는 테이프형 필름 기판으로부터 필름 기판편을 분리하고, 분리된 필름 기판편을 회로 기판에 탑재하기 때문에, 이하와 같은 문제가 있었다.

즉, 필름 기판편을 개개로 취급해야 하므로, 필름 기판편의 취급이 어렵다. 그 때문에, 자동화에 의한 생산성의 향상이 곤란하다. 또한, 필름 기판편의 사이즈를 작게 하면, 흡착 지그(11)와 가열 압착 지그(12)를 나란히 배치할 수 없게 된다. 그 때문에, 도 25a 및 도 25b에 도시한 바와 같이, 2 단계의 공정을 행할 필요가 있어, 공정이 증가된다. 또한, 도 26에 도시한 바와 같이, 도전성 접착제(10)가 필름 기판편의 주연부로부터 올라와, 예를 들면 가열 압착 지그(12)에 부착될 우려가 있다. 이것을 방지하기 위해서는 필름 기판편을 크게 해야 함으로써, 소형화의 요구에 반하게 된다.

이와 같이, 종래 기술에서는 테이프형 필름 기판으로부터 필름 기판편을 분리한 후에 필름 기판편을 회로 기판 상에 탑재할 필요가 있기 때문에, 취급이 어렵고, 소형화가 어려우며, 생산성이 좋지 않은 문제가 있었다.

한편, 특개평3-84955호 공보 및 특개평6-53288호 공보에는, 반도체 디바이스 칩이 탑재된 테이프형 필름 기판에 사전에 절결부(slit)를 형성해 두는 기술이 개시되어 있다. 절결부 내측의 영역에는, 반도체 디바이스 칩 및 반도체 디바이스 칩에 접속된 도전성 패턴이 형성되어 있다. 사전에 절결부를 형성해 둠으로써, 테이프형 필름 기판으로부터 필름 기판편이 분리되기 쉬워진다.

그러나, 이들 종래 기술에 개시된 방법에서는, 절결부 내측의 영역과 절결부 외측의 영역은, 인접하는 절결부 사이의 부분에 의해 연결되어 있을 뿐이다. 즉, 분리 전에는, 절결부 내측의 영역은, 절결부 사이의 부분에 의해 유지되어 있을 뿐이다. 따라서, 절결부 내측의 영역의 유지 강도가 약하고, 테이프형 필름 기판의 취급이 어렵다는 문제가 있다.

### 발명의 구성 및 작용

본 발명의 제1 시점은, 장래 분리될 영역의 외주선 상에 절결부를 갖고, 반도체 디바이스 칩이 탑재되는 절연성 시트와, 상기 절연성 시트 상에 형성되며, 상기 절결부를 횡단하여, 상기 반도체 디바이스 칩의 외부 단자에 접속되는 도전성 패턴을 포함하는 필름 기판이다.

본 발명의 제2 시점은, 장래 분리될 영역의 외주 상에 절결부를 갖는 절연성 시트와, 상기 절연성 시트 상에 형성되며, 상기 절결부를 획단하는 도전성 패턴과, 상기 절연성 시트 상에 탑재되며, 상기 도전성 패턴에 전기적으로 접속된 외부 단자를 갖는 반도체 디바이스 칩을 포함하는 반도체 장치이다.

본 발명의 제3 시점은, 반도체 디바이스 칩이 탑재되는 절연성 시트를 준비하는 공정과, 상기 절연성 시트의 장래 분리될 영역의 외주선 상에 절결부를 형성하는 공정과, 상기 절연성 시트 상에, 상기 절결부를 획단하여 상기 반도체 디바이스 칩의 외부 단자에 접속되는 도전성 패턴을 형성하는 공정을 포함하는 필름 기판의 제조 방법이다.

본 발명의 제4 시점은, 반도체 디바이스 칩이 탑재되는 절연성 시트를 준비하는 공정과, 상기 절연성 시트의 장래 분리될 영역의 외주선 상에 절결부를 형성하는 공정과, 상기 절연성 시트 상에 상기 절결부를 획단하는 도전성 패턴을 형성하는 공정과, 상기 절연성 시트 상에 반도체 디바이스 칩을 탑재하고, 상기 반도체 디바이스 칩의 외부 단자를 상기 도전성 패턴에 전기적으로 접속하는 공정을 포함하는 반도체 장치의 제조 방법이다.

본 발명의 제5 시점은, 반도체 디바이스 칩이 탑재되는 절연성 시트를 준비하는 공정과, 상기 절연성 시트의 장래 분리될 제1 영역의 외주선 상에 절결부를 형성하는 공정과, 상기 절연성 시트 상에 상기 절결부를 획단하는 도전성 패턴을 형성하는 공정과, 상기 절연성 시트 상에 반도체 디바이스 칩을 탑재하고, 상기 반도체 디바이스 칩의 외부 단자를 상기 도전성 패턴에 접착하는 공정과, 상기 제1 영역의 외측의 제2 영역을 상기 제1 영역으로부터 분리하고, 상기 제1 영역을 상기 회로 기판 상에 남겨두는 공정을 포함하는 반도체 장치를 갖는 회로 기판의 제조 방법이다.

이하, 본 발명의 실시예를 도면을 참조하여 설명한다.

우선, 도 1a 및 도 1b ~ 도 13a 및 도 13b를 참조하여, 본 실시예에 따른 제조 방법의 일례에 대하여 설명한다.

우선, 도 1a 및 도 1b에 도시한 바와 같이, 폴리이미드나 PET(폴리에스테르테레프탈레이트) 등의 테이프형 절연성 필름(절연성 시트에 상당함, 이하 동일 : 3)에, 금속 칼(가령 톰슨 칼 : 13)을 이용하여, 절연성 필름(3)을 관통하는 절결부를 형성한다.

도 2a는 이와 같이 하여 절결부(15)가 형성된 절연성 필름(3)의 평면도이고, 도 2b는 도 2a의 B-B에 따라 자른 단면도이며, 도 2c는 도 2a의 파선으로 나타낸 부분을 확대한 도면이다. 절결부(15)는, 도 2a에 도시한 바와 같이 장래 분리될 분리 예정 영역(최종적으로 필요한 목적으로 하는 영역)의 외주선을 따라 (외주선에 대응하여) 부분적으로 형성된다. 즉, 절결부(15)는 분리 예정 영역의 외주선 상 전체에 형성되어 있는 것이 아니며, 외주선에 대응하는 부분 중 절결부(15)가 형성되어 있지 않은 부분도 존재하고 있다. 이 절결부(15)는, 후공정에서 절결부(15) 내측의 부분을 분리하기 위한 것이다. 절결부(15) 내측의 부분을, 분리 공정에서 용이하게 분리할 수 있고, 또한 분리 공정 전에 떨어져 나가지 않도록 하기 위해, 절결부(15)의 길이는, 외주선 전체 길이의 70% 이상 또한 100% 미만(바람직하게는 99% 이하)인 것이 바람직하다. 또한, 도면에 도시한 예에서는, 절결부가 형성되어 있지 않은 곳이 4 개소 있지만, 해당 개소는 1개소 이상, 바람직하게는 2 개소 이상 형성되도록 한다.

한편, 도 3a 및 도 3b에 도시한 바와 같이, 절연성 필름(3) 상에 도전성 패턴(배선 패턴)을 형성하기 위한 도전성 금속박(14)을 준비하고, 이 금속박(14) 위에 접착제(5)를 도포한다. 금속박(14)으로는, 예를 들면 동박이나 알루미늄 박을 이용할 수 있다. 또한, 접착제(5)로는 도레이(東レ) 제조의 #7100이나 도모에가와(巴川) 제지제의 X 등을 이용하는 것이 가능하다.

그 후, 도 4a 및 도 4b에 도시한 바와 같이, 절결부(15)를 갖는 절연성 필름(3)과 금속박(14)을 접착제(5)에 의해 접합한다.

이어서, 도 5a 및 도 5b에 도시한 바와 같이, 리소그래피 및 에칭에 의해 금속박(14)을 패터닝하고, 도전성 패턴(배선 패턴 : 4)을 형성한다. 금속박(14)으로서 동박이나 알루미늄박을 이용한 경우에는, 염화제2철 등의 약액에 의해 에칭을 행하는 것이 가능하다. 이 때, 도전성 패턴(4)은 절결부(15)를 획단하도록 형성된다. 이와 같이 함으로써, 절결부(15)를 갖는 절연성 필름(3) 상에 도전성 패턴(4)이 형성된 테이프형의 필름 기판이 얻어진다.

이어서, 도 6a 및 도 6b에 도시한 바와 같이, 도전성 패턴(4)이 형성된 절연성 필름(3) 표면의 칩 탑재 영역에, 접착성을 갖는 이방성 도전 수지(6)를 접착한다. 또한, 플립 칩 방식에 의해, 이방성 도전 수지(6) 상에 반도체 디바이스 칩(1)을 탑재

한다. 반도체 디바이스 칩(1)은 예를 들면 도 18a 및 도 18b의 종래 기술로 나타낸 것과 마찬가지로, 외부 단자로서 복수의 스터드 범프가 이면측에 형성되어 있다. 각 스터드 범프는 대응하는 도전성 패턴(4)에 이방성 도전 수지(6)를 개재하여 전기적으로 접속된다.

이상과 같이 함으로써, 반도체 디바이스 칩(1)이 탑재된 테이프형 필름 기판이 얻어진다. 이러한 테이프형 필름 기판은, 렐 상태 혹은 롤 상태에서 연속적으로 제조 가능하고, 도 6a에 도시한 단위 구조(파선으로 나타낸 부분)가 연속적으로 형성된다.

이어서, 이와 같이 함으로써 얻어진 테이프형 필름 기판을 이용하여, 이하와 같이 하여 PCB나 FPC 등의 회로 기판 상에 필름 기판을 실장한다.

우선, 도 7a 및 도 7b에 도시한 바와 같이, 수동 부품(7) 및 접속 단자(9) 등이 형성된 회로 기판(8)을 준비하고, 접속 단자(9)가 형성된 영역 상에 도전성 접착제(10)를 접착한다. 도전성 접착제(10)로서는, 이방성 도전 수지(예를 들면, 히타치 화성 제조의 FC-262b) 등을 이용할 수 있다.

이어서, 도 8에 도시한 바와 같이 도 6a 및 도 6b에 도시한 반도체 디바이스 칩(1)이 탑재된 테이프형 필름 기판을, 도 7a 및 도 7b에 도시한 회로 기판(8) 상에 배치한다. 그리고, 도전성 접착제(10)에 의해, 테이프형 필름 기판에 형성된 도전성 패턴(4)과, 회로 기판(8)에 형성된 접속 단자(9)를 접속한다.

구체적으로는, 도 9에 도시한 바와 같이, 롤러(16 및 17)에 의해 유지된 반도체 디바이스(1)가 탑재된 테이프형 필름 기판과 회로 기판(8)과의 위치 결정(alignment)을 행한 후, 테이프형 필름 기판을 회로 기판(8)에 접속한다. 접속시에는, 가열 압착 지그(12)에 의해 가열 압착(200°C, 20초 정도)을 행한다. 이에 따라, 반도체 디바이스 칩(1)에 형성된 각 스터드 범프(2)(외부 단자)가 대응하는 도전성 패턴(4)을 통해, 회로 기판(8)에 형성된 대응하는 접속 단자(9)와 전기적으로 접속된다. 또, 도 9에서는 지면의 형편 상, 접착제(5) 및 도전성 접착제(10)는 생략되어 도시되어 있지만, 도 5a 및 도 5b ~ 도 7a 및 도 7b 등으로부터 알 수 있듯이, 실제로는 이들도 형성되어 있다(이후의 도면도 마찬가지). 도 10은, 이와 같이 하여 반도체 디바이스 칩(1)이 탑재된 테이프형 필름 기판과 회로 기판(8)을 접착한 상태를 도시하고 있다.

계속해서, 도 11에 도시한 바와 같이, 롤러(16 및 17)를 상방으로 이동시켜, 테이프형 필름 기판을 끌어올린다. 이 때, 테이프형 필름 기판에는 절결부(15)가 형성되어 있기 때문에, 절결부 내측의 부분만이 필름 기판편으로서 분리되어 회로 기판(8) 위에 남겨진다. 그 외의 부분은, 도 12에 도시한 바와 같은 형상이 되어 분리된다.

이와 같이 하여 도 13a 및 도 13b에 도시한 바와 같이 반도체 디바이스 칩(1)이 탑재된 필름 기판편이 실장된 회로 기판이 얻어진다.

그 후, 한쪽의 롤러(예를 들면 롤러(17))에 의해, 테이프형 필름 기판을 도 6a에 도시한 1 단위 구조만큼 권취하는, 즉 도 11의 공정 후, 테이프형 필름 기판을 1 단위 구조만큼 이동시킨다. 그 후, 상술한 공정과 마찬가지의 공정을 행함으로써, 다른 회로 기판 상에 필름 기판편을 탑재한다. 이후, 마찬가지의 공정을 반복함으로써, 순차적으로 각 필름 기판편을 각 회로 기판 상에 실장할 수 있다.

이상 설명한 바와 같이, 본 실시예에 따르면, 절연 필름(3)에 사전에 절결부(15)를 형성해 두므로, 테이프형 필름 기판을 회로 기판(8)에 접속한 상태에서 용이하게 필름 기판편을 분리할 수 있다. 따라서, 개개의 필름 기판편으로 분리하지 않고 테이프형 필름 기판을 취급할 수 있어, 자동화에 의한 생산성 향상을 꾀할 수 있다. 또한, 종래 기술에서 설명한 바와 같은 문제, 즉 흡착 지그와 가열 압착 지그를 나란히 배치할 수 없는 문제(도 25 참조), 도전성 접착제가 필름 기판편의 주연부로부터 올라오는 문제(도 26 참조) 등을 방지할 수 있기 때문에, 필름 기판편을 쉽게 할 수 있다. 또한, 도전성 패턴(4)이 절결부(15)를 획단하도록 형성되어 있으므로(도 5a 및 도 5b, 도 6a 및 도 6b 참조), 필름 기판편을 최종적으로 분리할 때까지, 필름 기판편을 확실하게 유지할 수 있다. 따라서, 테이프형 필름 기판의 취급이 용이해진다.

또, 본 실시예는 이하에 나타내는 바와 같이 여러가지 변형하여 실시하는 것이 가능하다.

도 14a ~ 도 14d는 절결부(15)의 형상에 대하여 여러가지의 변형예를 도시한 것이다. 이들 절결부 형상을 채용한 경우에도, 상술한 효과와 마찬가지의 효과를 발휘하는 것이 가능하다.

도 15a 및 도 15b는, 도전성 패턴(4)의 형상의 변형예를 도시한 것이다. 본 예에서는, 도 15b(도 15a의 파선 내의 확대도)에 도시한 바와 같이, 도전성 패턴(4)의 선 폭이 절결부(15)를 횡단하는 부분에서 좁게 되어 있다. 이와 같은 구성을 채용함으로써, 필름 기판편을 확실하고 용이하게 분리하는 것이 가능해진다.

도 16a 및 도 16b는, 도전성 패턴(4)과는 별도의 부가적인 도전성 패턴(18)을, 절연 필름 상에 형성한 것이다. 도전성 패턴(18)도, 절결부(15)를 횡단하도록 형성되어 있다. 이 도전성 패턴(18)은, 도전성 패턴(4)의 패터닝 공정에서 동시에 패터닝된다. 단, 도전성 패턴(18)은 반도체 디바이스 칩의 외부 단자(스터드 범프)와는 전기적으로 분리되어 있다. 이와 같이, 부가적인 도전성 패턴(18)을 형성함으로써, 필름 기판편을 최종적으로 분리할 때까지, 필름 기판편을 확실하게 유지할 수 있다.

도 17a 및 도 17b는, 도전성 패턴(4) 및 그것에 대응하는 절결부(15) 패턴의 예를 도시한 것이다. 도 17a는 도전성 패턴(4)이 3 방향으로 배치되어 있는 예이다. 도 17b는, 하측의 도전성 패턴(4)이 상측의 도전성 패턴(4)보다도 개수가 많아 밀도도 높은 경우의 예이다. 어떤 예든, 상술한 실시예의 경우(도 5a 및 도 5b 등 참조)와 비교하여, 도전성 패턴(4)의 배치 형상으로 기인하여 절결부(15)의 패턴이 복잡하게 되어 있지만, 이러한 경우에도 상술한 실시예의 효과와 마찬가지의 효과를 발휘하는 것이 가능하다.

상술한 실시예는 모든 점에서 예시이며 제한적인 것은 아니라고 생각되어야한다. 본 발명의 범위는 상기한 실시예의 설명이 아니라 특허 청구의 범위에 의해 정의되며, 또한 특허 청구의 범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것으로 의도되어야한다.

### 발명의 효과

본 발명에 따르면, 테이프형 필름 기판의 취급이 용이하여 자동화에 의한 생산성 향상을 도모할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

분리용 절결선을 갖고, 상기 분리용 절결선의 내측에 반도체 디바이스 칩이 탑재된 절연성 시트와,

상기 절연성 시트 상에 형성되고, 상기 반도체 디바이스 칩의 외부 단자와 접속하고, 상기 분리용 절결선을 횡단하도록 배치된 도전성 패턴

을 포함하는 필름 기판.

#### 청구항 2.

제1항에 있어서,

상기 도전성 패턴의 폭은 상기 분리용 절결선을 횡단하는 부분에서 좁게 되어 있는 필름 기판.

#### 청구항 3.

제1항에 있어서,

상기 절연성 시트 상에 형성되고, 외주선 상의 분리용 절결선을 횡단하고, 상기 반도체 디바이스 칩의 외부 단자에 접속되지 않는 도전성 패턴을 더 포함하는 필름 기판.

#### 청구항 4.

분리용 절결선을 갖고, 상기 분리용 절결선의 내측에 반도체 디바이스 칩이 탑재된 절연성 시트와,

상기 절연성 시트 상에 형성되고, 상기 반도체 디바이스 칩의 외부 단자와 전기적으로 접속하고, 상기 분리용 절결선을 횡단하도록 배치된 도전성 패턴

을 포함하는 반도체 장치.

#### 청구항 5.

제4항에 있어서,

상기 도전성 패턴의 폭은 상기 분리용 절결선을 횡단하는 부분에서 좁게 되어 있는 반도체 장치.

#### 청구항 6.

제4항에 있어서,

상기 절연성 시트 상에 형성되고, 외주선 상의 분리용 절결선을 횡단하고, 상기 반도체 디바이스 칩의 외부 단자에 접속되지 않는 도전성 패턴을 더 포함하는 반도체 장치.

#### 청구항 7.

반도체 디바이스 칩이 탑재되는 절연성 시트를 준비하는 공정과,

상기 절연성 시트의 장래 분리될 영역의 외주선 상에 분리용 절결선을 형성하는 공정과,

상기 절연성 시트 상에, 상기 분리용 절결선을 횡단하여 상기 반도체 디바이스 칩의 외부 단자에 접속되는 도전성 패턴을 형성하는 공정

을 포함하는 필름 기판의 제조 방법.

#### 청구항 8.

제7항에 있어서,

상기 도전성 패턴의 폭은 상기 분리용 절결선을 횡단하는 부분에서 좁게 되어 있는 필름 기판의 제조 방법.

#### 청구항 9.

제7항에 있어서,

상기 도전성 패턴을 형성하는 공정은, 상기 절연성 시트 상에, 상기 외주선 상의 분리용 절결선을 횡단하고, 상기 반도체 디바이스 칩의 외부 단자에 접속되지 않는 부가적인 도전성 패턴을 형성하는 공정을 포함하는 필름 기판의 제조 방법.

#### 청구항 10.

반도체 디바이스 칩이 탑재되는 절연성 시트를 준비하는 공정과,

상기 절연성 시트의 장래 분리될 영역의 외주선 상에 분리용 절결선을 형성하는 공정과,

상기 절연성 시트 상에 상기 분리용 절결선을 횡단하는 도전성 패턴을 형성하는 공정과,

상기 절연성 시트 상에 반도체 디바이스 칩을 탑재하고, 상기 반도체 디바이스 칩의 외부 단자를 상기 도전성 패턴에 전기적으로 접속하는 공정

을 포함하는 반도체 장치의 제조 방법.

### 청구항 11.

제10항에 있어서,

상기 도전성 패턴의 폭은 상기 분리용 절결선을 횡단하는 부분에서 좁게 되어 있는 반도체 장치의 제조 방법.

### 청구항 12.

제10항에 있어서,

상기 도전성 패턴을 형성하는 공정은, 상기 절연성 시트 상에, 상기 외주선 상의 분리용 절결선을 횡단하고, 상기 반도체 디바이스 칩의 외부 단자에 접속되지 않는 부가적인 도전성 패턴을 형성하는 공정을 포함하는 반도체 장치의 제조 방법.

### 청구항 13.

반도체 디바이스 칩이 탑재되는 절연성 시트를 준비하는 공정과,

상기 절연성 시트의 장래 분리될 제1 영역의 외주선 상에 분리용 절결선을 형성하는 공정과,

상기 절연성 시트 상에 상기 분리용 절결선을 횡단하는 도전성 패턴을 형성하는 공정과,

상기 절연성 시트 상에 반도체 디바이스 칩을 탑재하고, 상기 반도체 디바이스 칩의 외부 단자를 상기 도전성 패턴에 전기적으로 접속하는 공정과,

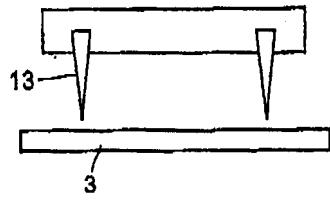
상기 반도체 디바이스 칩이 탑재된 절연성 시트의 상기 제1 영역 중 적어도 일부를 회로 기판에 접착하는 공정과,

상기 제1 영역 외측의 제2 영역을 상기 제1 영역으로부터 분리하여, 상기 제1 영역을 상기 회로 기판 상에 남겨두는 공정

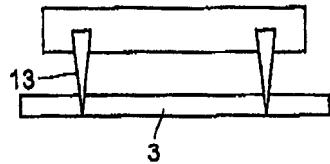
을 포함하는 반도체 장치를 갖는 회로 기판의 제조 방법.

**도면**

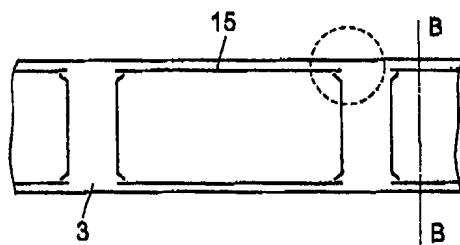
도면1a



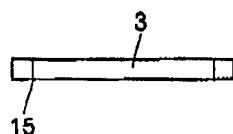
도면1b



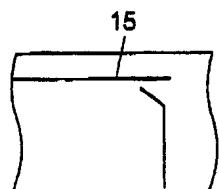
도면2a



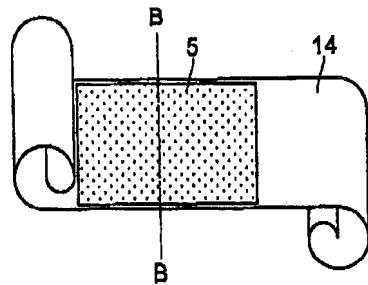
도면2b



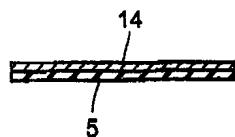
도면2c



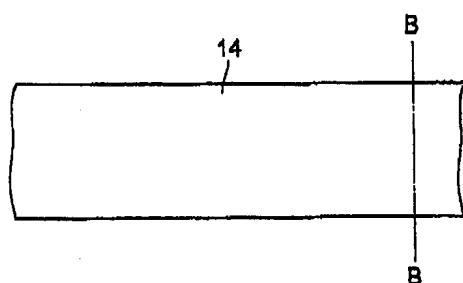
도면3a



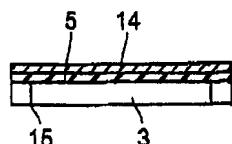
도면3b



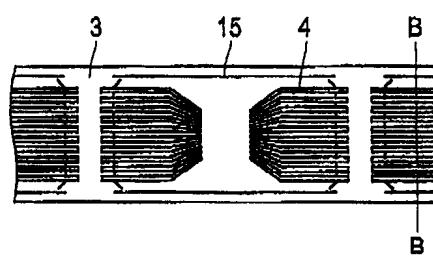
도면4a



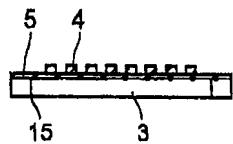
도면4b



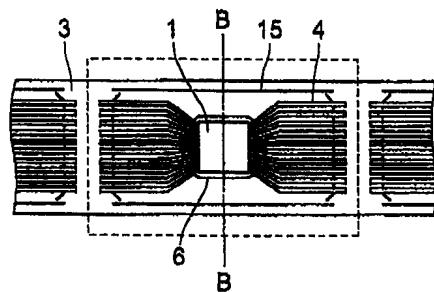
도면5a



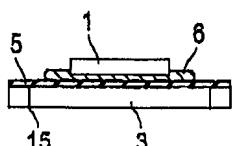
도면5b



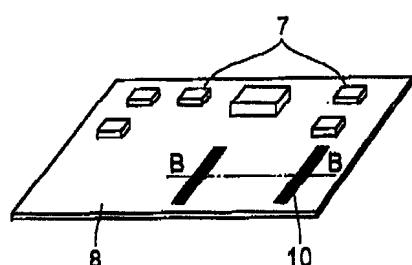
도면6a



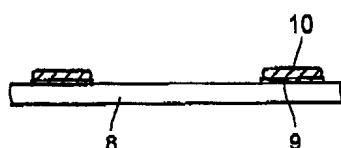
도면6b



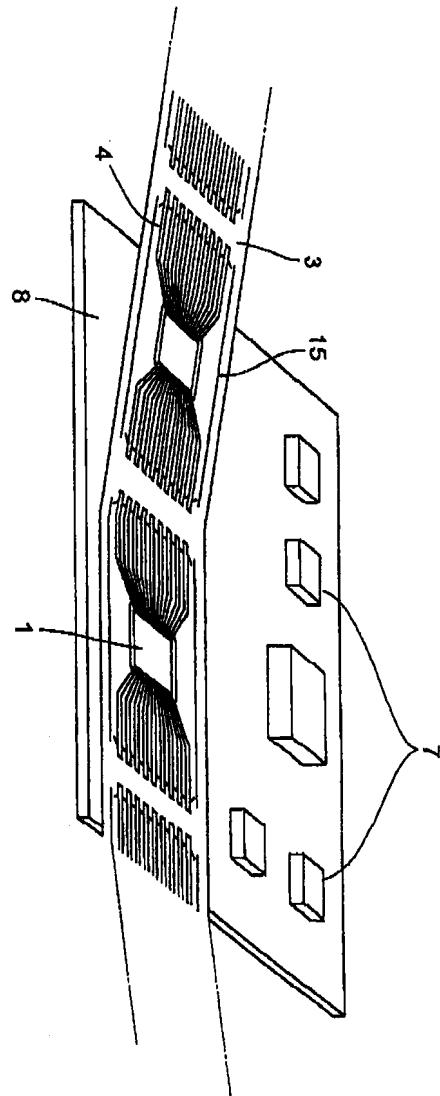
도면7a



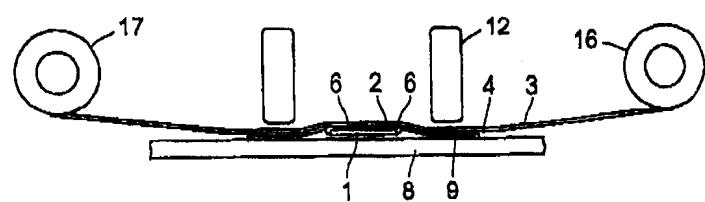
도면7b



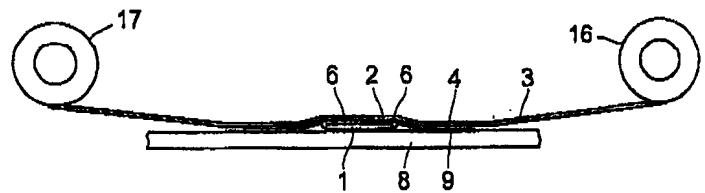
도면8



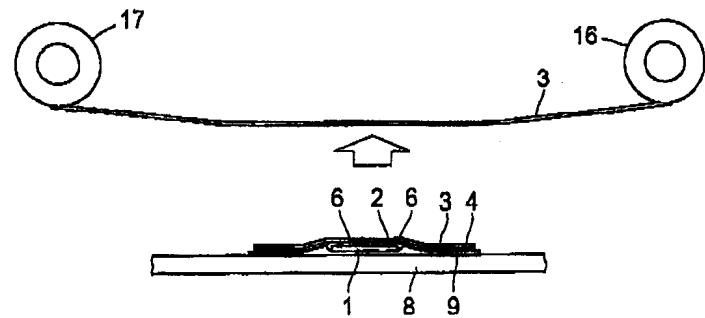
도면9



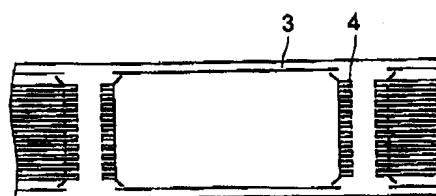
도면10



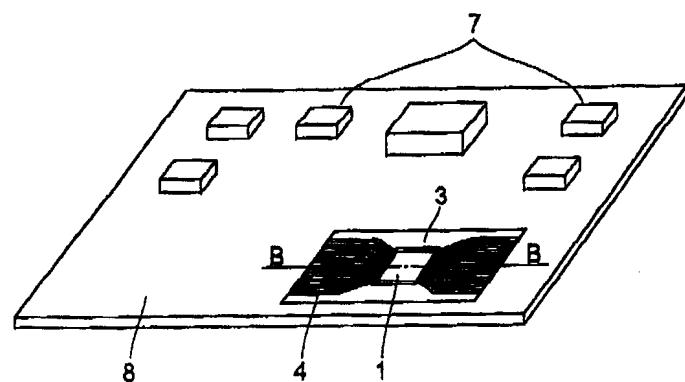
도면11



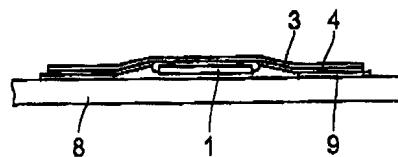
도면12



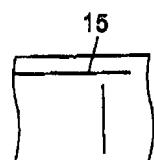
도면13a



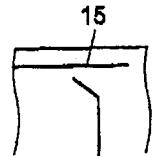
도면13b



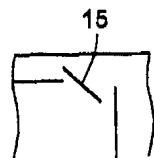
도면14a



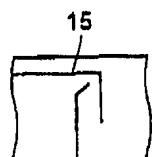
도면14b



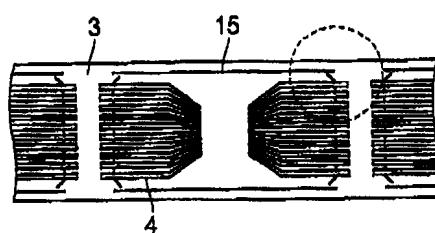
도면14c



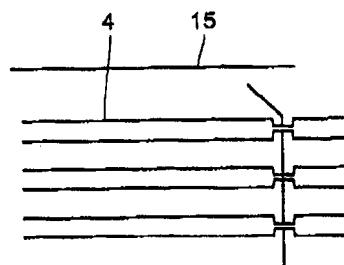
도면14d



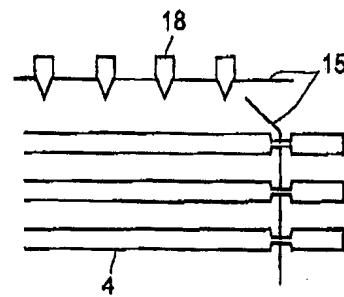
도면15a



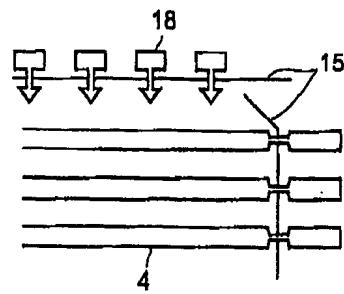
도면15b



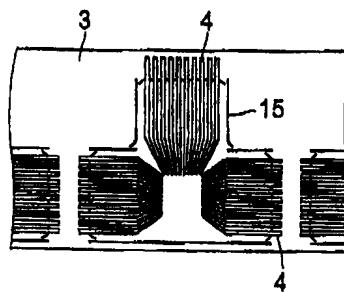
도면16a



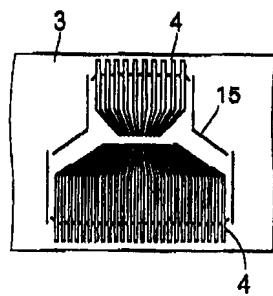
도면16b



도면17a

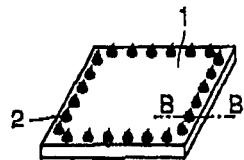


도면17b



도면18a

(종래 기술)



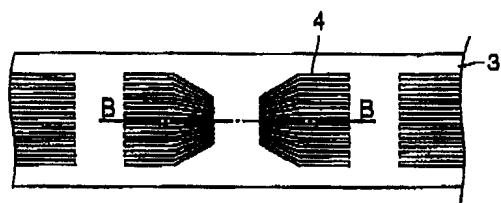
도면18b

(종래 기술)



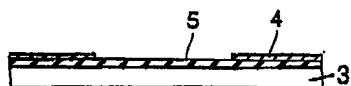
도면19a

(종래 기술)



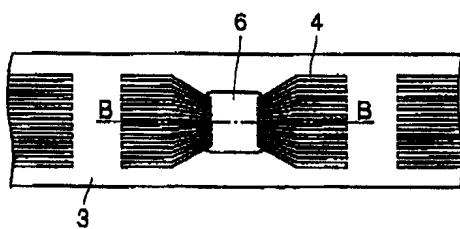
도면19b

(종래 기술)



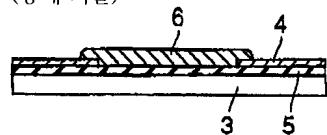
도면20a

(종래 기술)



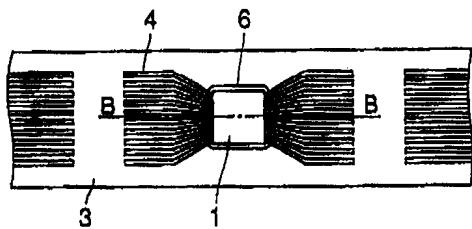
도면20b

(종래 기술)



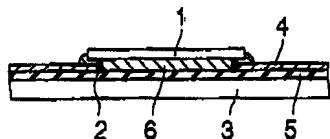
도면21a

(종래 기술)



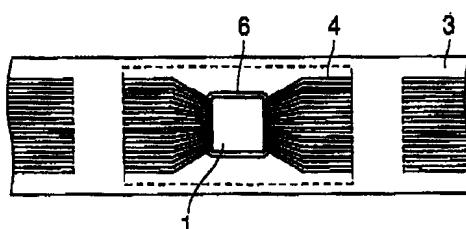
도면21b

(종래 기술)



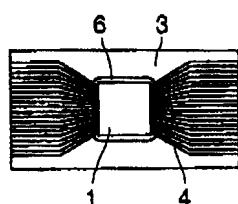
도면22a

(종래 기술)



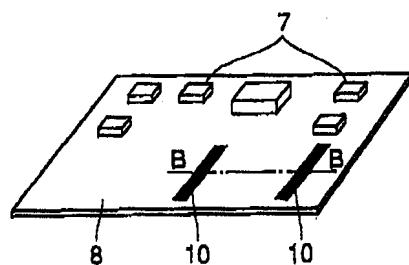
도면22b

(종래 기술)



도면23a

(종래 기술)



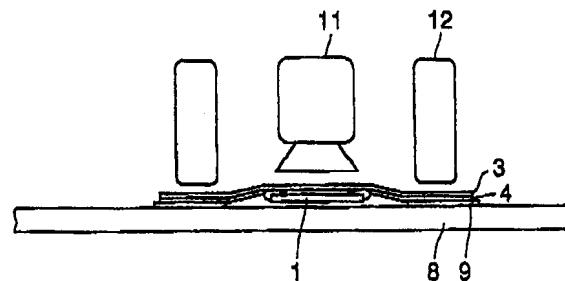
도면23b

(종래 기술)



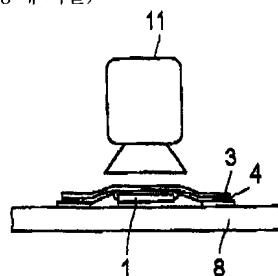
도면24

(종래 기술)



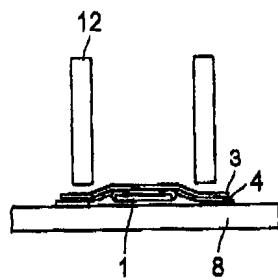
도면25a

(종래 기술)



도면25b

(종래 기술)



도면26

(종래 기술)

