

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5667767号  
(P5667767)

(45) 発行日 平成27年2月12日 (2015. 2. 12)

(24) 登録日 平成26年12月19日 (2014. 12. 19)

(51) Int. Cl.

F I

H O 1 L 21/02 (2006. 01)

H O 1 L 27/12 B

H O 1 L 27/12 (2006. 01)

H O 1 L 27/08 3 3 1 E

H O 1 L 27/08 (2006. 01)

H O 1 L 21/02 B

H O 1 L 21/265 (2006. 01)

H O 1 L 21/265 Q

H O 1 L 21/336 (2006. 01)

H O 1 L 27/12 R

請求項の数 1 (全 41 頁) 最終頁に続く

(21) 出願番号 特願2010-8680 (P2010-8680)  
 (22) 出願日 平成22年1月19日 (2010. 1. 19)  
 (65) 公開番号 特開2010-192884 (P2010-192884A)  
 (43) 公開日 平成22年9月2日 (2010. 9. 2)  
 審査請求日 平成25年1月17日 (2013. 1. 17)  
 (31) 優先権主張番号 特願2009-11425 (P2009-11425)  
 (32) 優先日 平成21年1月21日 (2009. 1. 21)  
 (33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷 3 9 8 番地  
 (72) 発明者 野田 耕生  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 審査官 右田 勝則

最終頁に続く

(54) 【発明の名称】 S O I 基板の作製方法

(57) 【特許請求の範囲】

【請求項 1】

単結晶半導体基板上に塩素原子を含む酸化膜を形成し、

前記塩素原子を含む酸化膜を介して前記単結晶半導体基板にイオンを照射して、前記単結晶半導体基板中に脆化領域を形成し、

前記塩素原子を含む酸化膜を介して前記単結晶半導体基板と向かい合うように支持基板を貼り合わせ、

前記単結晶半導体基板を加熱し、前記脆化領域から前記単結晶半導体基板の一部を分離して、前記塩素原子を含む酸化膜を介して前記支持基板上に単結晶半導体層を形成し、

前記単結晶半導体層の表面に対して、基板バイアスを印加することなく第 1 のエッチングを行い、

前記第 1 のエッチング後、前記単結晶半導体層に対してレーザビームを照射して、前記単結晶半導体層の少なくとも表面の一部を溶融させ、

前記レーザビームの照射後、前記単結晶半導体層に対して、基板バイアスを印加することなく第 2 のエッチングを行い、

前記イオンは、 $H^+$ 、 $H_2^+$ 、及び  $H_3^+$  の総量に対する  $H_3^+$  の割合が 80 % 以上であり、

前記第 1 のエッチング及び前記第 2 のエッチングは、三フッ化窒素ガス及び窒素ガスを用いて行うことを特徴とする S O I 基板の作製方法。

【発明の詳細な説明】

10

20

## 【技術分野】

## 【0001】

本発明は絶縁表面に単結晶半導体層が設けられた所謂SOI (Silicon on Insulator) 構造を有するSOI基板の製造方法及びSOI構造を有する半導体装置の作製方法に関する。

## 【背景技術】

## 【0002】

単結晶半導体のインゴットを薄くスライスして作製されるシリコンウエハに代わり、絶縁表面に薄い単結晶半導体層を設けたシリコン・オン・インシュレータ(以下、「SOI」ともいう)と呼ばれる半導体基板を使った集積回路が開発されている。SOI基板を使った集積回路は、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させるものとして注目を集めている。

10

## 【0003】

SOI基板を製造する方法としては、水素イオン注入剥離法が知られている(例えば、特許文献1参照)。水素イオン注入剥離法は、シリコンウエハに水素イオンを注入することによって表面から所定の深さに脆化領域を形成し、該脆化領域において分離することで、別のシリコンウエハに薄いシリコン層を接合する。さらにシリコン層を剥離する熱処理を行うことに加え、酸化性雰囲気下での熱処理にシリコン層に酸化膜を形成した後に該酸化膜を除去し、次に1000 から1300 で熱処理を行って接合強度を高める必要があるとされている。

20

## 【0004】

一方、高耐熱性ガラスなどの絶縁基板にシリコン層を設けた半導体装置が開示されている(例えば、特許文献2参照)。この半導体装置は、歪み点が750 以上の結晶化ガラスの全面を絶縁性シリコン膜で保護し、水素イオン注入剥離法により得られるシリコン層を当該絶縁性シリコン膜上に貼り合わされた構成を有している。

## 【0005】

水素イオン注入剥離法により得られるシリコン層の表面には、脆化領域の形成のためのイオン注入工程等による欠陥が存在している。そこで、欠陥を除去するため、気相エッチングにより除去する技術が開示されている(特許文献3参照)。

## 【先行技術文献】

30

## 【特許文献】

## 【0006】

【特許文献1】特開2000-124092号公報

【特許文献2】特開平11-163363号公報

【特許文献3】特開平11-102848号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0007】

ところが、気相エッチングにより欠陥を除去する際に、金属汚染物質がシリコン層に付着、および拡散されるおそれがある。また、SOI基板上に半導体素子を形成する際に、金属汚染物質がシリコン層に残留してしまうおそれがある。金属汚染物質は、半導体装置が持つ性能及び信頼性を低下させる原因となる。

40

## 【0008】

このような問題点に鑑み、本発明の一態様は、金属元素等の不純物による汚染が抑制されたSOI基板を提供することを課題とする。また、そのようなSOI基板を用いて形成する半導体装置の性能及び信頼性の低下を防止することを課題とする。

## 【課題を解決するための手段】

## 【0009】

本発明の一態様は、単結晶半導体基板上に酸化膜を形成し、酸化膜を介して単結晶半導体基板に加速されたイオンを打ち込むことにより、単結晶半導体基板中に脆化領域を形成し

50

、酸化膜を間に挟んで単結晶半導体基板と向かい合うように支持基板を貼り合わせ、単結晶半導体基板を加熱することにより、脆化領域において、単結晶半導体層が貼り合わされた支持基板と単結晶半導体基板の一部とに分離し、支持基板に貼り合わされた単結晶半導体層の表面に対して、基板バイアスを印加して第1のエッチングを行い、単結晶半導体層に対してレーザビームを照射して、単結晶半導体層の少なくとも表面の一部を溶融した後、凝固させ、単結晶半導体層の表面に対して、基板バイアスを印加することなく第2のエッチングを行うことを含むSOI基板の作製方法である。

【0010】

また、本発明の一態様は、単結晶半導体基板上に酸化膜を形成し、酸化膜を介して半導体基板に加速されたイオンを打ち込むことにより、半導体基板中に脆化領域を形成し、酸化膜を間に挟んで単結晶半導体基板と向かい合うように支持基板を貼り合わせ、単結晶半導体基板を加熱することにより、脆化領域において、単結晶半導体層が貼り合わされた支持基板と単結晶半導体基板の一部とに分離し、支持基板に貼り合わされた単結晶半導体層の表面に対して、基板バイアスを印加することなく第1のエッチングを行い、単結晶半導体層に対してレーザビームを照射して、前記単結晶半導体層の少なくとも表面の一部を溶融した後、凝固させ、単結晶半導体層の表面に対して、基板バイアスを印加することなく第2のエッチングを行うことを含むSOI基板の作製方法である。

【0011】

また、本発明の一態様において、第1のエッチングは、塩素系ガスを用いて行うことが好ましい。また、第2のエッチングは、フッ素系ガスを用いて行うことが好ましい。

【0012】

または、本発明の一態様において、第1のエッチング及び第2のエッチングは、フッ素系ガスを用いて行うことが好ましい。

【0013】

本発明の一態様において、支持基板は、ガラス基板を用いることができる。

【0014】

本明細書において、単結晶とは、ある結晶軸に注目した場合、その結晶軸の方向が試料のどの部分においても同じ方向を向いている結晶のことをいい、かつ結晶と結晶との間に結晶粒界が存在しない結晶である。なお、本明細書では、結晶欠陥やダングリングボンドを含んでいても、上記のように結晶軸の方向が揃っており、粒界が存在していない結晶であるものは単結晶とする。また、単結晶半導体層の再単結晶化とは、単結晶構造の単結晶半導体層が、その単結晶構造と異なる状態（例えば、液相状態）を経て、再び単結晶構造になることをいう。あるいは、単結晶半導体層の再単結晶化とは、単結晶半導体層を再結晶化して、単結晶半導体層を形成するということもできる。

【0015】

また、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置、半導体回路及び電子機器は全て半導体装置に含まれる。

【0016】

また、本明細書中において表示装置とは、発光装置や液晶表示装置を含む。発光装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)素子、有機EL素子等が含まれる。

【発明の効果】

【0017】

本発明の一態様は、単結晶半導体層の金属元素等の不純物による汚染を抑制されたSOI基板を作製することができる。さらに、そのようなSOI基板用いて形成する半導体装置の性能及び信頼性の低下を防止することができる。

【図面の簡単な説明】

【0018】

【図1】本発明の一態様に係るSOI基板の製造方法を説明する図。

10

20

30

40

50

【図 2】本発明の一態様に係る S O I 基板の製造方法を説明する図。

【図 3】プラズマ C V D 装置の一例を説明する図。

【図 4】本発明の一態様に係る S O I 基板の製造方法を説明する図。

【図 5】本発明の一態様に係る半導体装置の製造方法を説明する図。

【図 6】本発明の一態様に係る半導体装置の作製方法を説明する図。

【図 7】本発明の一態様に係る S O I 基板により得られるマイクロプロセッサの構成を示すブロック図。

【図 8】本発明の一態様に係る S O I 基板により得られるマイクロプロセッサの構成を示すブロック図。

【図 9】( A ) 液晶表示装置の画素の平面図。( B ) J - K 切断線による図 9 ( A ) の断面図。 10

【図 10】( A ) エレクトロルミネセンス表示装置の画素の平面図。( B ) J - K 切断線による図 10 ( A ) の断面図。

【図 11】本発明の一態様に係る電子機器を示す図。

【図 12】本発明の一態様に係る電子機器を示す図。

【図 13】A F M で観察した単結晶シリコン基板の A F M 像。

【図 14】( A ) M O S キャパシタ構造、( B ) ゲート耐圧特性を示すグラフ。

【図 15】二次イオン質量分析結果を説明する図。

【図 16】二次イオン質量分析結果を説明する図。

【図 17】容量 T E G を説明する図。 20

【図 18】電流 - 電圧 ( I - V ) 特性を測定した結果を示す図。

【図 19】電流 - 電圧 ( I - V ) 特性を測定した結果を示す図。

【図 20】電界効果移動度を測定した結果を示す図。

【発明を実施するための形態】

【 0 0 1 9 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。 30

【 0 0 2 0 】

( 実施の形態 1 )

本実施の形態では、本発明の一態様に係る S O I 基板の作製方法について図面を参照して説明する。

【 0 0 2 1 】

まず、半導体基板 1 0 1 を準備する ( 図 1 ( A - 1 ) 参照 ) 。

【 0 0 2 2 】

半導体基板 1 0 1 は、単結晶半導体基板や多結晶半導体基板を用いることができ、例えば、単結晶又は多結晶のシリコン基板や、ゲルマニウム基板、ガリウムヒ素やインジウムリン等の化合物半導体基板が挙げられる。市販のシリコン基板としては、直径 5 インチ ( 1 2 5 m m ) 、直径 6 インチ ( 1 5 0 m m ) 、直径 8 インチ ( 2 0 0 m m ) 、直径 1 2 インチ ( 3 0 0 m m ) 、直径 1 6 インチ ( 4 0 0 m m ) サイズの円形のものが代表的である。なお、形状は円形に限られず矩形状等に加工したシリコン基板を用いることも可能である。以下の説明では、半導体基板 1 0 1 として、単結晶シリコン基板を用いる場合について示す。 40

【 0 0 2 3 】

また、半導体基板 1 0 1 の表面をあらかじめ硫酸過酸化水素水混合溶液 ( S P M ) 、アンモニア過酸化水素水混合溶液 ( A P M ) 、塩酸過酸化水素水混合溶液 ( H P M ) 、希フッ酸 ( D H F ) 、オゾン水などを用いて適宜洗浄することが汚染除去の点から好ましい。ま 50

た、希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

【0024】

次に、半導体基板101の表面に酸化膜102を形成する(図1(A-2)参照)。

【0025】

酸化膜102は、例えば、酸化シリコン膜、酸化窒化シリコン膜等の単層、又はこれらを積層させた膜を用いることができる。これらの膜は、熱酸化法、CVD法又はスパッタリング法等を用いて形成することができる。また、CVD法を用いて酸化膜102を形成する場合には、テトラエトキシシラン(略称;TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ )等の有機シランを用いて作製される酸化シリコン膜を酸化膜102に用いることが生産性の点から好ましい。

10

【0026】

本実施の形態では、半導体基板101に熱酸化処理を行うことにより酸化膜102(ここでは、 $\text{SiO}_x$ 膜)( $x > 0$ )を形成する(図1(A-2)参照)。熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。

【0027】

例えば、塩素(Cl)が添加された酸化性雰囲気中で半導体基板101に熱酸化処理を行うことにより塩素酸化された酸化膜102を形成する。従って、酸化膜102は、塩素原子を含有した膜となる。

【0028】

酸化膜102中に含有された塩素原子は、歪みを形成する。その結果、酸化膜102の水分に対する吸収割合が向上し、拡散速度が増大する。つまり、酸化膜102表面に水分が存在する場合に、当該表面に存在する水分を酸化膜102中に素早く吸収し、拡散させることができる。

20

【0029】

熱酸化処理の一例としては、酸素に対し塩化水素(HCl)を0.5~10体積%(好ましくは2体積%)の割合で含む酸化性雰囲気中で、900~1150の温度(代表的には1000)で行うと良い。処理時間は0.1~6時間、好ましくは0.5~1時間とすればよい。形成される酸化膜の膜厚としては、10nm~1000nm(好ましくは50nm~300nm)、例えば100nmの厚さとする。

【0030】

熱酸化処理の他の一例としては、酸素に対し、トランス-1,2-ジクロロエチレン(DCE)を0.25~5体積%(好ましくは3体積%)の割合で含む酸化性雰囲気中で、700~1150の温度(代表的には950)で行うとよい。処理時間は0.1~6時間、好ましくは0.5~1時間とすればよい。形成される酸化膜の膜厚としては、10nm~1000nm(好ましくは50nm~300nm)、例えば100nmの厚さとする。トランス-1,2-ジクロロエチレンは熱分解する温度が低いため、熱酸化処理の温度を低温で行うことができる。特に、半導体基板を繰り返し再利用する場合には、熱酸化処理の温度を低くすることにより生産性の向上と熱衝撃の影響を低減することができる。なお、トランス-1,2-ジクロロエチレンにかえて、シス-1,2-ジクロロエチレン、1,1-ジクロロエチレンや、これらの中から二種類以上のガスの混合ガスを用いてもよい。

30

40

【0031】

本実施の形態では、酸化膜102に含まれる塩素原子の濃度を $1 \times 10^{17} \text{ atoms/cm}^3 \sim 1 \times 10^{21} \text{ atoms/cm}^3$ となるように制御する。

【0032】

また、酸化膜102に塩素原子を含有させることによって、外因性不純物である重金属(例えば、Fe、Cr、Ni、Mo等)を捕集して半導体基板101が汚染されることを防止する効果を奏する。

【0033】

酸化膜102として、HCl酸化などによって膜中に塩素等のハロゲンを含ませることに

50

より、半導体基板に悪影響を与える不純物（例えば、Na等の可動イオン）をゲッタリングすることができる。つまり、酸化膜102を形成した後に行われる熱処理により、半導体基板に含まれる不純物が酸化膜102に析出し、ハロゲン（例えば塩素）と反応して捕獲されることとなる。それにより酸化膜102中に捕集した当該不純物を固定して半導体基板101の汚染を防ぐことができる。したがって、酸化膜102はガラス基板と貼り合わせた場合に、ガラスに含まれるNa等の不純物を中和する膜として機能しうる。

#### 【0034】

特に、酸化膜102として、HCl酸化などによって膜中に塩素等のハロゲンを含ませることは、半導体基板の洗浄が不十分である場合や、繰り返し再利用して用いられる半導体基板の汚染除去に有効となる。

#### 【0035】

また、熱酸化処理のガスに水素を含有させることにより、半導体基板101と酸化膜102の界面の欠陥を補償して界面の局在準位密度を低減する作用を奏する。そのため、酸化膜102中に水素原子が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上含まれるようにすることが好ましい。

#### 【0036】

上記説明では、塩素原子を含有する酸化膜102の形成方法として、塩化水素やジクロロエチレンを含有させた酸化性雰囲気中で熱酸化処理を行う場合を示したが、これに限られない。例えば、半導体基板101に酸化性雰囲気中で熱酸化処理を行い、半導体基板101表面に酸化膜102（例えば、 $\text{SiO}_x$ ）を形成した後、イオンドーピング装置又はイオン注入装置を用いて、電界で加速された塩素イオンを添加することにより酸化膜102中に塩素原子を含有させてもよい。他にも、表面を塩化水素（HCl）溶液で処理した後に酸化性雰囲気中で熱酸化処理を行ってもよい。

#### 【0037】

また、酸化膜102に含有させるハロゲン原子としては塩素原子に限られない。酸化膜102にフッ素原子を含有させてもよい。半導体基板101表面をフッ素酸化するには、半導体基板101表面にHF溶液に浸漬した後に酸化性雰囲気中で熱酸化処理を行うことや、 $\text{NF}_3$ を酸化性雰囲気に添加して熱酸化処理を行えばよい。

#### 【0038】

次に、加速されたイオン103を半導体基板101に打ち込むことで、半導体基板101の所定の深さに結晶構造が損傷された脆化領域104を形成する（図1（A-3）参照）。図1（A-3）に示すように、酸化膜102を介して、加速されたイオン103を半導体基板101に打ち込むことで、半導体基板101の表面から所定の深さの領域にイオン103が添加され、脆化領域104を形成することができる。イオン103は、ソースガスを励起して、ソースガスのプラズマを生成し、このプラズマに含まれるイオンを、電界の作用によりプラズマから引き出して、加速したイオンである。

#### 【0039】

脆化領域104が形成される領域の深さは、イオン103の運動エネルギー、イオンの質量、イオン103の入射角によって調節することができる。運動エネルギーは加速電圧などにより調節できる。イオン103の平均侵入深さとほぼ同じ深さの領域に脆化領域104が形成される。そのため、イオン103を添加する深さで、半導体基板101から分離される単結晶半導体層の厚さが決定される。この単結晶半導体層の厚さが110nm以上500nm以下、好ましくは50nm以上200nm以下になるように、脆化領域104が形成される深さを調節する。

#### 【0040】

脆化領域104の形成は、イオンドーピング処理で行うことができる。イオンドーピング処理には、イオンドーピング装置を用いて行うことができる。イオンドーピング装置の代表的な装置は、プロセスガスをプラズマ励起して生成された全てのイオン種をチャンバー内に配置された被処理体に照射する非質量分離型の装置である。非質量分離型の装置であるのは、プラズマ中のイオン種を質量分離しないで、全てのイオン種を被処理体に照射し

10

20

30

40

50

ているからである。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置は、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する装置である。

#### 【0041】

イオンドーピング装置の主要な構成は、被処理物を配置するチャンバー、所望のイオンを発生させるイオン源、およびイオンを加速し、照射するための加速機構である。イオン源は、所望のイオン種を生成するためのソースガスを供給するガス供給装置、ソースガスを励起して、プラズマを生成させるための電極などで構成される。プラズマを形成するための電極として、フィラメント型の電極や容量結合高周波放電用の電極などが用いられる。加速機構は、引出電極、加速電極、減速電極、接地電極等の電極など、およびこれらの電極に電力を供給するための電源などで構成される。加速機構を構成する電極には複数の開口やスリットが設けられており、イオン源で生成されたイオンは電極に設けられた開口やスリットを通過して加速される。なお、イオンドーピング装置の構成は上述したものに限定されず、必要に応じた機構が設けられる。

10

#### 【0042】

本実施形態では、イオンドーピング装置で、水素を半導体基板101に添加する。プラズマソースガスとして水素を含むガスを供給する。例えば、 $H_2$ を供給する。水素ガスを励起してプラズマを生成し、プラズマ中に含まれるイオンを質量分離せずに加速し、加速されたイオンを半導体基板101に打ち込む。

#### 【0043】

イオンドーピング装置において、水素ガスから生成されるイオン種( $H^+$ 、 $H_2^+$ 、 $H_3^+$ )の総量に対して $H_3^+$ の割合を50%以上とする。より好ましくは、その $H_3^+$ の割合を80%以上とする。イオンドーピング装置は質量分離を行わないため、プラズマ中に生成される複数のイオン種のうち、1つ( $H_3^+$ )を50%以上とすることが好ましく、80%以上とすることが好ましい。同じ質量のイオンを添加することで、半導体基板101の同じ深さに集中させてイオンを添加することができる。

20

#### 【0044】

脆化領域104を浅い領域に形成するためには、イオン103の加速電圧を低くする必要があるが、プラズマ中の $H_3^+$ イオンの割合を高くすることで、脆化領域104を浅い領域に形成することができる。 $H_3^+$ イオンは $H^+$ イオンの3倍の質量をもつので、加速電圧が同じ場合、 $H^+$ イオンと比べて $H_3^+$ の方が浅い領域に添加されるからである。

30

#### 【0045】

また、 $H_3^+$ イオンは $H^+$ イオンの3倍の質量をもつので、同じ深さに水素原子を1つ添加する場合、 $H_3^+$ イオンの加速電圧は、 $H^+$ イオンの加速電圧の3倍にすることが可能となる。イオンの加速電圧を大きくできれば、イオンの照射工程のタクトタイムを短縮することが可能となり、生産性やスループットの向上を図ることができる。したがって、 $H_3^+$ イオンの割合を高めることで、原子状水素( $H$ )を効率よく半導体基板101に添加できる。

#### 【0046】

イオンドーピング装置は廉価で、大面積処理に優れているため、このようなイオンドーピング装置を用いて $H_3^+$ を照射することで、半導体特性の向上、大面積化、低コスト化、生産性向上などの顕著な効果を得ることができる。また、イオンドーピング装置を用いた場合、重金属も同時に導入されるおそれがあるが、塩素原子を含有する酸化膜102を介してイオンの照射を行うことによって、上述したようにこれらの重金属による半導体基板101の汚染を防ぐことができる。

40

#### 【0047】

なお、加速されたイオン103を半導体基板101に打ち込む工程は、イオン注入装置で行うこともできる。イオン注入装置は、チャンバー内に配置された被処理体に、ソースガスをプラズマ励起して生成された複数のイオン種を質量分離し、特定のイオン種を打ち込む質量分離型の装置である。したがって、イオン注入装置を用いる場合は、水素ガスやP

50

$H_3$  を励起して生成された  $H^+$  イオンおよび  $H_2^+$  イオンを質量分離して、 $H^+$  イオンまたは  $H_2^+$  イオンの一方のイオンを加速して、半導体基板 101 に打ち込む。

【0048】

次に、支持基板 121 を準備する（図 1（B-1）参照）。

【0049】

支持基板 121 は、絶縁体でなる基板を用いる。具体的には、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。本実施の形態では、ガラス基板を用いる場合について説明する。支持基板 121 として大面積化が可能で安価なガラス基板を用いることにより、シリコンウエハを用いる場合と比較して低コスト化を図ることができる。

10

【0050】

また、支持基板 121 を用いるに際し、支持基板 121 の表面をあらかじめ洗浄することが好ましい。具体的には、支持基板 121 を、硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、塩酸過酸化水素水混合溶液（HPM）、希フッ酸（DHF）、オゾン水等を用いて超音波洗浄を行う。例えば、支持基板 121 の表面に塩酸過水を用いて超音波洗浄を行うことが好ましい。このような洗浄処理を行うことによって、支持基板 121 表面の平坦化や残存する研磨粒子を除去することができる。

【0051】

次に、半導体基板 101 の表面と支持基板 121 の表面とを対向させ、酸化膜 102 の表面と支持基板 121 の表面とを接合させる（図 1（C）参照）。

20

【0052】

ここでは、半導体基板 101 と支持基板 121 を密接させた後、半導体基板 101 の一箇所  $1 \sim 500 \text{ N/cm}^2$ 、好ましくは  $1 \sim 20 \text{ N/cm}^2$  程度の圧力を加える。圧力を加えた部分から酸化膜 102 と支持基板 121 とが接合しはじめ、自発的に接合が形成されほぼ全面におよぶ。この接合工程は、ファンデルワールス力や水素結合が作用しており、熱処理を伴わず、常温で行うことができるため、支持基板 121 に、ガラス基板のように耐熱温度が低い基板を用いることができる。

【0053】

なお、半導体基板 101 と支持基板 121 を接合させる前に、半導体基板 101 上に形成された酸化膜 102 と、支持基板 121 の表面処理を行うことが好ましい。表面処理としては、オゾン処理（例えば、オゾン水洗浄）やメガソニック洗浄、2 流体洗浄（純水や水素添加水等の機能水を窒素等のキャリアガスとともに吹き付ける方法）又はこれらを組み合わせることができる。また、オゾン水洗浄とフッ酸による洗浄を複数回繰り返し行ってもよい。特に、上述したように酸化膜 102、支持基板 121 の表面にプラズマ処理を行った後に、表面処理を行うことによって、酸化膜 102、支持基板 121 表面の有機物等のゴミを除去し、表面を親水化することができる。その結果、酸化膜 102 と支持基板 121 の接合強度を向上させることができる。

30

【0054】

また、支持基板 121 に半導体基板 101 を接合させた後、酸化膜 102 と支持基板 121 との接合強度を増加させるための熱処理を行うことが好ましい。この熱処理の温度は、脆化領域 104 に亀裂を発生させない温度とし、例えば、室温以上  $400$  未満の温度範囲で処理する。また、この温度範囲で加熱しながら、酸化膜 102 と支持基板 121 を接合させてもよい。熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。

40

【0055】

一般的に、酸化膜 102 と支持基板 121 を接合と同時に又は接合させた後に熱処理を行うと、接合界面において脱水反応が進行し、接合界面同士が近づき、水素結合の強化や共有結合が形成されることにより接合が強化される。脱水反応を促進させるためには、脱水反

50



応により接合界面に生じる水分を高温で熱処理を行うことにより除去する必要がある。つまり、接合後の熱処理温度が低い場合には、脱水反応で接合界面に生じた水分を効果的に除去できないため、脱水反応が進まず接合強度を十分に向上させることが難しい。

【0056】

一方で、酸化膜102として、塩素原子等を含有させた酸化膜を用いた場合、当該酸化膜102が水分を吸収し拡散させることができるため、接合後の熱処理を低温で行う場合であっても、脱水反応で接合界面に生じた水分を酸化膜102へ吸収、拡散させ脱水反応を効率良く促進させることができる。この場合、支持基板121としてガラス等の耐熱性が低い基板を用いた場合であっても、酸化膜102と支持基板121の接合強度を十分に向上させることが可能となる。

10

【0057】

次に、熱処理を行い脆化領域104にて分離（劈開）することにより、支持基板121上に、酸化膜102を介して単結晶半導体層123（ここでは、単結晶シリコン層）を設ける（図1（D）参照）。

【0058】

熱処理を行うことで、温度上昇によって脆化領域104に形成されている微小な孔には、添加された原子が析出し、内部の圧力が上昇する。圧力の上昇により、脆化領域104の微小な孔に体積変化が起こり、脆化領域104に亀裂が生じるので、脆化領域104において半導体基板101が劈開する。酸化膜102は支持基板121に接合しているので、支持基板121上には半導体基板101から分離された単結晶半導体層123が形成される。また、ここでの熱処理の温度は、支持基板121の歪み点を越えない温度とする。

20

【0059】

この熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。例えば、RTA装置を用いる場合、加熱温度550 以上730 以下、処理時間0.5分以上60分以内で行うことができる。

【0060】

なお、上述した支持基板121と酸化膜102との接合強度を増加させるための熱処理を行わず、図1（D）の熱処理を行うことにより、酸化膜102と支持基板121との接合強度の増加の熱処理工程と、脆化領域104における分離の熱処理工程を同時に行ってもよい。

30

【0061】

以上の工程により、支持基板121上に酸化膜102を介して単結晶半導体層123が設けられたSOI基板を作製することができる。本実施の形態で示した作製方法を用いることによって、酸化膜102を接合層として用いた場合であっても、支持基板121と単結晶半導体層123との接合強度を向上させ、信頼性を向上させることができる。その結果、支持基板121上に形成される単結晶半導体層123への不純物の拡散を抑制すると共に、支持基板121と単結晶半導体層123とが強固に密着したSOI基板を形成することができる。

【0062】

40

また、半導体基板側に塩素等のハロゲンを含む酸化膜を形成することにより、作製工程を簡略化すると共に支持基板との貼り合わせ前に当該半導体基板へ不純物元素が浸入することを抑制することができる。また、半導体基板側に設ける接合層として塩素等のハロゲンを含む酸化膜を形成することにより、接合後の熱処理を低温で行う場合であっても、脱水反応を効率良く促進させることにより接合強度を向上させることができる。

【0063】

次に、支持基板に貼り合わされた単結晶半導体層123の表面に残存する結晶欠陥をエッチングにより除去する。図2（A）に示す単結晶半導体層123の表面には、脆化領域104の形成のためのイオン添加工程や、分離工程による欠陥が存在し、単結晶半導体層表面の平坦性は損なわれている。このような、平坦性の損なわれた単結晶半導体層123の

50

表面に、薄く、且つ、高い絶縁耐圧のゲート絶縁層を形成することは困難である。また、単結晶半導体層 1 2 3 に欠陥が存在する場合には、ゲート絶縁層との界面における局在準位密度が高くなるなど、トランジスタの性能及び信頼性に悪影響を与えるおそれがある。そこで、単結晶半導体層 1 2 3 の欠陥を除去する処理を行う。なお、図 2 ( A ) において、単結晶半導体層 1 2 3 の表面の凹凸形状は、表面が粗く、平坦性が悪いことを特徴的に示しているだけであり、実際の形状はこれに限定されない。なお、分離工程によって得られる単結晶半導体層 1 2 3 の膜厚は、1 3 0 n m ~ 1 4 0 n m 程度である。

#### 【 0 0 6 4 】

そこで、単結晶半導体層 1 2 3 の表面に存在する欠陥を除去するために、単結晶半導体層 1 2 3 の表面に第 1 のエッチングを行う ( 図 2 ( B ) 参照 ) 。本実施の形態では、例えば、反応性イオンエッチング ( R I E : R e a c t i v e I o n E t c h i n g ) 法、I C P ( I n d u c t i v e l y C o u p l e d P l a s m a ) エッチング法、E C R ( E l e c t r o n C y c l o t r o n R e s o n a n c e ) エッチング法、平行平板型 ( 容量結合型 ) エッチング法、マグネトロンプラズマエッチング法、2 周波プラズマエッチング法またはヘリコン波プラズマエッチング法等のドライエッチング法を用いる。

10

#### 【 0 0 6 5 】

単結晶半導体層 1 2 3 に対して、エッチングを行い、単結晶半導体層の表面を除去することにより、単結晶半導体層表面に形成された欠陥の除去を行うことができ、単結晶半導体層の表面荒れを低減することができる。例えば I C P エッチング法を用いる場合、エッチングガスである塩素の流量 4 0 s c c m ~ 1 0 0 s c c m 、コイル型の電極に投入する電力 1 0 0 W ~ 2 0 0 W 、下部電極 ( バイアス側 ) に投入する電力 4 0 W ~ 1 0 0 W 、反応圧力 0 . 5 P a ~ 1 . 0 P a とすれば良い。エッチングガスには、塩素、塩化硼素、塩化珪素または四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄または弗化窒素などのフッ素系ガス、酸素などを適宜用いることができる。単結晶半導体層に存在する欠陥の大きさや深さは、イオンを添加するエネルギーの大きさやドーズ量に起因する。よって、第 1 のエッチングによって除去する膜厚は、第 1 のエッチング前の単結晶半導体層 1 2 3 の膜厚とその表面粗さの程度によって適宜設定すればよい。

20

#### 【 0 0 6 6 】

図 2 ( B ) の第 1 のエッチング処理は、次のように行うことができる。エッチングガスである塩素の流量 1 0 0 s c c m 、コイル型の電極に投入する電力 1 5 0 W 、下部電極に投入する電力 4 0 W 、反応圧力 1 . 0 P a とすることにより、単結晶半導体層 1 2 3 を 1 2 0 n m 程度まで除去する。

30

#### 【 0 0 6 7 】

単結晶半導体基板を分離することにより支持基板に貼り合わされた単結晶半導体層表面に第 1 のエッチングを行うことにより、イオン添加工程や分離工程による欠陥を除去することができ、単結晶半導体層の表面粗さを低減することができる。

#### 【 0 0 6 8 】

なお、支持基板 1 2 1 に貼り合わされた単結晶半導体層 1 2 3 中には、脆化領域 1 0 4 の形成、及び脆化領域 1 0 4 における分離によって、結晶欠陥が形成されている。単結晶半導体層 1 2 3 中の結晶欠陥を低減、及び単結晶半導体層 1 2 3 中の結晶性の回復のために、図 2 ( C ) に示すように、単結晶半導体層 1 2 3 にレーザビーム 1 0 7 を照射する。

40

#### 【 0 0 6 9 】

矢印 1 0 8 に示すように、支持基板 1 2 1 を移動させて、レーザビーム 1 0 7 を単結晶半導体層 1 2 3 に対して走査しながら、レーザビーム 1 0 7 を単結晶半導体層 1 2 3 の表面に対して照射する。レーザビーム 1 0 7 の照射によって、単結晶半導体層 1 2 3 の一部又は深さ方向の層全体を熔融させる。単結晶半導体層を熔融させることで表面張力の作用により、平坦性が向上する。図 2 ( C ) では模式的に単結晶半導体層の一部が熔融した様子を示しており、点線で囲まれた部分 1 0 9 の少なくとも一部はシリコンの融点 1 4 1 0 を超えて液相となっていることを示している。

50

## 【 0 0 7 0 】

レーザビーム 1 0 7 を単結晶半導体層の上面側から照射することで、単結晶半導体層の上面を熔融させることができる。熔融した後、単結晶半導体層が冷却、固化することで、その上面の平坦性が向上した単結晶半導体層が得られる。レーザビーム 1 0 7 を用いることにより、支持基板 1 2 1 が直接加熱されないため、当該支持基板 1 2 1 の温度上昇を抑えることができる。このため、ガラス基板のような耐熱性の低い基板を支持基板 1 2 1 に用いることが可能である。

## 【 0 0 7 1 】

レーザビーム 1 0 7 の照射による単結晶半導体層 1 2 3 の熔融には、完全熔融でも部分熔融でもよい。ここで、完全熔融とは、単結晶半導体層が下部界面付近まで熔融されて、液体状態になることをいう。他方、部分熔融とは、この場合、単結晶半導体層の上部は熔融して液相となるが、下部は熔融せずに固相のままであることをいう。好ましくは、上層（表層側）が熔融して液相となり、下層（支持基板側）が熔融せず固相となる部分熔融とすることで、固相部分から結晶成長を進行させることができる。これにより、単結晶半導体層中の欠陥を減少させることができる。

10

## 【 0 0 7 2 】

上記レーザビームの照射には、パルス発振レーザを用いることが好ましい。これは、瞬間的に高エネルギーのパルスレーザビームを発振することができ、熔融状態を作り出すことが容易となるためである。発振周波数は、1 H z 以上 1 0 M H z 以下程度とすることが好ましい。

20

## 【 0 0 7 3 】

このようにして、単結晶半導体層 1 2 3 にレーザビームを照射することにより、単結晶半導体層の一部または全部を熔融させ、再単結晶化させてよりよい単結晶半導体層を得ることができる（図 2（D）参照）。これにより、イオンの添加に起因する欠陥を低減し、単結晶半導体層の結晶性が回復された単結晶半導体層をとすることができる。また、レーザビームを照射する前にエッチング処理を行うことにより、単結晶半導体層の熔融時に、欠陥やダメージを単結晶半導体層中に取り込むことを防ぐことができる。

## 【 0 0 7 4 】

このようにレーザビームを照射することにより、支持基板表面を短時間で加熱し、短時間で冷却できるので、支持基板の温度上昇が抑えられ、ガラス基板のような耐熱性の低い基板を支持基板に用いることが可能となる。よって、イオン添加工程による単結晶半導体層中のダメージを十分回復させることができる。

30

## 【 0 0 7 5 】

次に、後に形成される半導体素子にとって最適となる膜厚まで単結晶半導体層 1 2 3 を薄膜化するための処理を行う（図 2（E）参照）。薄膜化工程は、基板バイアスを印加しないエッチング（第 2 のエッチングとも記す）で行うことが好ましい。

## 【 0 0 7 6 】

図 3 に、本実施の形態で使用される装置の一例として、平行平板型（容量結合型）プラズマ C V D 装置の構成の一例を示す。図 3 に示すプラズマ C V D 装置は、処理室 6 2 0 と、ステージ 6 2 1 と、ガス供給部 6 2 2 と、シャワープレート 6 2 3 と、排気口 6 2 4 と、上部電極 6 2 5 と、下部電極 6 2 6 と、交流電源 6 2 7 と、マッチングコントローラ 6 2 8、温度制御部 6 2 9 と、を有する。上部電極 6 2 5 と下部電極 6 2 6 との間隔は、概ね 1 0 m m ~ 7 0 m m である。

40

## 【 0 0 7 7 】

図 3 に示すプラズマ C V D 装置により処理を行う際には、所定のガスをガス供給部 6 2 2 から供給する。ガスは、シャワープレート 6 2 3 を通って、処理室 6 2 0 に導入される。上部電極 6 2 5 と下部電極 6 2 6 に接続された交流電源 6 2 7 により高周波電力が印加され、処理室 6 2 0 内のガスが励起され、プラズマが生成される。また、真空ポンプに接続された排気口 6 2 4 によって、処理室 6 2 0 内のガスが排気されている。また、温度制御部 6 2 9 を用いることで、被処理物を加熱しつつエッチングすることが可能になる。なお

50

、下部電極 6 2 6 は、接地されている。

【 0 0 7 8 】

図 3 に示すプラズマ C V D 装置で行う場合、単結晶半導体層 1 2 3 のエッチング処理は、 $\text{NF}_3$  と  $\text{N}_2$  の混合ガス中で行う。このとき、処理室 6 2 0 に導入される  $\text{NF}_3$  の流量に対して  $\text{N}_2$  の流量を概ね 4 0 倍とするとよく、例えば、 $\text{N}_2$  の流量を 4 0 0 s c c m とし、 $\text{NF}_3$  の流量を 1 0 s c c m とするとよい。

【 0 0 7 9 】

なお、第 2 のエッチングの条件は、R F パワーを 1 5 ~ 5 0 W ( 電源周波数 : 1 3 . 5 6 M H z ) とし、第 2 のエッチング時の処理室 6 2 0 の圧力を 6 5 ~ 1 0 0 P a 、基板間距離を 2 1 ~ 3 0 m m 、支持基板 1 2 1 の温度を 2 0 0 とすることができ、具体的には、R F パワーを 5 0 W ( 1 3 . 5 6 M H z ) とし、第 2 のエッチング時の処理室 6 2 0 の圧力を 6 5 P a 、基板間距離を 3 0 m m 、基板温度を 2 0 0 とすることができる。

【 0 0 8 0 】

第 2 のエッチングにより、単結晶半導体層の膜厚は 5 n m 以上 1 0 0 n m 以下とすることが好ましく、5 n m 以上 6 0 n m 以下がより好ましい。このように第 2 のエッチングを行うことにより、後に形成される半導体素子にとって最適となる膜厚まで単結晶半導体層 1 2 3 を薄膜化することができる。

【 0 0 8 1 】

単結晶半導体層 1 2 3 をエッチングする際に、基板バイアスを印加することで、単結晶半導体層 1 2 3 にプラズマダメージが与えられるおそれがある。また、不純物が単結晶半導体層中に導入されるおそれがある。しかし、本発明の一態様では、基板バイアスを印加せずに、単結晶半導体層 1 2 3 をエッチングするため、プラズマダメージが入らないように単結晶半導体層 1 2 3 をエッチングすることができる。さらには、単結晶半導体層表面に存在する不純物が、単結晶半導体層中に導入されることを抑制することができる。また、不純物が単結晶半導体層中に導入することによって引き起こされる半導体装置の性能及び信頼性の低下を防止することができる。

【 0 0 8 2 】

また、 $\text{NF}_3$  ガスを用いてのエッチング処理を適用することで、単結晶半導体層に形成されるダングリングボンドがフッ素により終端され、電気的特性を向上させることができる。また、単結晶半導体層 1 2 3 表面の平坦性を向上させることができる。

【 0 0 8 3 】

薄膜化工程の後、単結晶半導体層 1 2 3 に 5 0 0 以上 7 0 0 以下の熱処理を行うことが好ましい。この熱処理によって、レーザビーム 1 0 7 の照射で回復されなかった、単結晶半導体層 1 2 3 の欠陥の消滅、単結晶半導体層 1 2 3 の歪みの緩和をすることができる。この熱処理には、R T A 装置としては、高温のガスを用いて熱処理を行う G R T A ( G a s R a p i d T h e r m a l A n n e a l ) 装置、又はランプ光により熱処理を行う L R T A ( L a m p R a p i d T h e r m a l A n n e a l ) 装置を用いることができる。例えば、抵抗加熱炉を用いた場合は、6 0 0 で 4 時間加熱するとよい。

【 0 0 8 4 】

以上の工程により、図 2 ( E ) に示す S O I 基板を作製することができる。

【 0 0 8 5 】

本実施の形態では、第 1 のエッチングは、基板バイアスを印加して行う場合について説明したが、本発明の一態様はこれに限定されない。第 1 のエッチングにおいても、基板バイアスを印加することなく、エッチングを行うことができる。

【 0 0 8 6 】

第 1 のエッチングにおいても、基板バイアスを印加することなくエッチングを行うことにより、プラズマダメージが入らないように単結晶半導体層 1 2 3 をエッチングすることができる。さらには、単結晶半導体層表面に存在する不純物が、単結晶半導体層中に導入されることを抑制することができる。また、不純物が単結晶半導体層中に導入することによって引き起こされる半導体装置の性能及び信頼性の低下を防止することができる。

## 【0087】

本発明の一態様により、単結晶半導体層の金属元素等の不純物による汚染を抑制されたSOI基板を作製することができる。さらに、そのようなSOI基板を用いて形成する半導体装置の性能及び信頼性の低下を防止することができる。

## 【0088】

なお、本実施の形態で示したSOI基板の作製方法は、本明細書の他の実施の形態で示す作製方法と適宜組み合わせることができる。

## 【0089】

(実施の形態2)

本実施の形態では、上記実施の形態と異なるSOI基板の作製方法に関して図面を参照して説明する。

10

## 【0090】

まず、表面に酸化膜102が設けられ、所定の深さに脆化領域104が設けられた半導体基板101を準備する(図4(A-1)~(A-3)参照)。なお、図4(A-1)~図4(A-3)は、上記図1(A-1)~(A-3)と同様に行うことができる。

## 【0091】

次に、支持基板121を準備する図4(B-1)。なお、図4(B-1)は、上記図1(B)と同様に行うことができる。

## 【0092】

次に、支持基板121の表面に絶縁層122を形成する(図4(B-2)参照)。絶縁層122は、例えば、窒化シリコン膜( $\text{SiN}_x$ )又は窒化酸化シリコン膜( $\text{SiN}_x\text{O}_y$ )( $x > y$ )等の窒素を含有する絶縁層で形成することが好ましい。

20

## 【0093】

本実施の形態において、絶縁層122は、半導体基板101上に設けられた酸化膜102と貼り合わされる層(接合層)となる。また、絶縁層122は、後に支持基板上に単結晶構造を有する単結晶半導体層(以下、「単結晶半導体層」と記す)を設けた際に、支持基板に含まれるNa(ナトリウム)等の不純物が単結晶半導体層に拡散することを防ぐためのバリア層として機能する。

## 【0094】

次に、半導体基板101上に形成された酸化膜102又は支持基板121上に形成された絶縁層122の少なくとも一方の表面にプラズマ処理を行うことが好ましい。本実施の形態では、支持基板121上に形成された絶縁層122の表面に対してプラズマ処理を行う場合について説明する(図4(B-3)参照)。

30

## 【0095】

プラズマ処理は、真空状態のチャンバーに不活性ガス(例えば、アルゴン(Ar)ガス)及び/又は反応性ガス(例えば、酸素( $\text{O}_2$ )ガス、窒素( $\text{N}_2$ )ガス)を導入し、被処理面にバイアス電圧を印加してプラズマ状態として行う。

## 【0096】

例えば、酸素プラズマ処理を行う場合、真空状態のチャンバーにガスを導入し、被処理物にバイアス電圧を印加してプラズマ状態として行う。プラズマ中には酸素の陽イオンが存在し、陰極方向(半導体基板101側)に酸素の陽イオンが加速される。加速された酸素の陽イオンが被処理面に衝突することによって、被処理面の有機物等の不純物を除去し、被処理面を活性化することができる。

40

## 【0097】

また、支持基板121上の絶縁層122にプラズマ処理を行った場合、窒素を含有する絶縁層122表面の疎水性を有する $\text{SiN}$ 、 $\text{SiH}_3$ を減少させ、親水性を有する $\text{SiO}_x$ を増加させることができるため、窒素を含有する絶縁層122を接合層とした場合であっても接合強度を向上させることができる。

## 【0098】

その後、半導体基板101の表面と支持基板121の表面とを対向させ、酸化膜102の

50

表面と絶縁層 1 2 2 の表面とを接合させた後（図 4（C）参照）、熱処理を行い脆化領域 1 0 4 にて分離（劈開）することにより、支持基板 1 2 1 上に、酸化膜 1 0 2、絶縁層 1 2 2 を介して単結晶半導体層 1 2 3 を設ける（図 4（D）参照）。

【0099】

その後、図 2（A）～（E）と同様にして、第 1 のエッチング、レーザビームの照射、第 2 のエッチングを行うことにより、本発明の一態様に係る S O I 基板を作製することができる。

【0100】

支持基板上に形成される単結晶半導体層への不純物の拡散を抑制すると共に、単結晶半導体層と支持基板との接合強度を向上させることができる。また、半導体基板と支持基板の貼り合わせにおいて、窒素を含有する絶縁膜を接合層として用いる場合であっても、信頼性を向上させることができる。

【0101】

本発明の一態様は、単結晶半導体層の金属元素等の不純物による汚染を抑制された S O I 基板を作製することができる。さらに、そのような S O I 基板を用いて形成する半導体装置の性能及び信頼性の低下を防止することができる。

【0102】

なお、本実施の形態で示した S O I 基板の作製方法は、本明細書の他の実施の形態で示す作製方法と適宜組み合わせることができる。

【0103】

（実施の形態 3）

本実施の形態では、上記実施の形態で作製した S O I 基板を用いて、半導体装置を作製する方法を説明する。

【0104】

まず、図 5 および図 6 を参照して、n チャネル型薄膜トランジスタ、および p チャネル型薄膜トランジスタを作製する方法を説明する。複数の薄膜トランジスタ（T F T）を組み合わせることで、各種の半導体装置を形成することができる。なお、実施の形態 1 及び 2 と同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0105】

図 5（A）は、支持基板 1 2 1 上に酸化膜 1 0 2、単結晶半導体層 1 2 3 が形成されている。なお、ここでは図 5（A）に示す構成の S O I 基板（実施の形態 1 を参照）を適用する例を示すが、本明細書で示すその他の構成の S O I 基板も適用できる。

【0106】

単結晶半導体層 1 2 3 をエッチングして、半導体素子の配置に合わせて島状に分離した単結晶半導体層 2 0 5、2 0 6 を形成する（図 5（B）参照。）。

【0107】

単結晶半導体層上の酸化膜を除去し、単結晶半導体層 2 0 5、2 0 6 を覆うゲート絶縁層 2 0 7 を形成する。本実施の形態における単結晶半導体層 2 0 5、2 0 6 は平坦性が高いため、単結晶半導体層 2 0 5、2 0 6 上に形成されるゲート絶縁層が薄膜のゲート絶縁層であっても被覆性よく覆うことができる。従ってゲート絶縁層の被覆不良による特性不良を防ぐことができ、高信頼性の半導体装置を歩留まりよく作製することができる。ゲート絶縁層 2 0 7 の薄膜化は、薄膜トランジスタを低電圧で高速に動作させる効果がある。

【0108】

ゲート絶縁層 2 0 7 は酸化珪素、若しくは酸化珪素と窒化珪素の積層構造で形成すればよい。ゲート絶縁層 2 0 7 は、プラズマ C V D 法や減圧 C V D 法により絶縁膜を堆積することで形成しても良いし、プラズマ処理による固相酸化若しくは固相窒化で形成すると良い。単結晶半導体層を、プラズマ処理により酸化又は窒化することにより形成するゲート絶縁層は、緻密で絶縁耐圧が高く信頼性に優れているためである。

【0109】

また、ゲート絶縁層 2 0 7 として、二酸化ジルコニウム、酸化ハフニウム、二酸化チタン

10

20

30

40

50

、五酸化タンタルなどの高誘電率材料を用いても良い。ゲート絶縁層 207 に高誘電率材料を用いることにより、ゲートリーク電流を低減することができる。

【0110】

ゲート絶縁層 207 上にゲート電極層 208 及びゲート電極層 209 を形成する（図 5（C）参照）。ゲート電極層 208、209 は、スパッタリング法、蒸着法、CVD 法等の手法により形成することができる。ゲート電極層 208、209 はタンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ネオジム（Nd）から選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料で形成すればよい。また、ゲート電極層 208、209 としてリン等の不純物元素をドーピングした多結晶シリコン層に代表される半導体層や、AgPdCu 合金を用いてもよい。

10

【0111】

単結晶半導体層 206 を覆うマスク 211 を形成する。マスク 211 及びゲート電極層 208 をマスクとして、n 型を付与する不純物元素 210 を添加し、第 1 の n 型不純物領域 212a、212b を形成する（図 5（D）参照）。本実施の形態では、不純物元素を含むドーピングガスとしてホスフィン（PH<sub>3</sub>）を用いる。ここでは、第 1 の n 型不純物領域 212a、212b に、n 型を付与する不純物元素が  $1 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^3$  程度の濃度で含まれるように添加する。本実施の形態では、n 型を付与する不純物元素としてリン（P）を用いる。

【0112】

20

次に、単結晶半導体層 205 を覆うマスク 214 を形成する。マスク 214、ゲート電極層 209 をマスクとして p 型を付与する不純物元素 213 を添加し、第 1 の p 型不純物領域 215a、第 1 の p 型不純物領域 215b を形成する（図 5（E）参照）。本実施の形態では、不純物元素としてボロン（B）を用いるため、不純物元素を含むドーピングガスとしてはジボラン（B<sub>2</sub>H<sub>6</sub>）などを用いる。

【0113】

マスク 214 を除去し、ゲート電極層 208、209 の側面にサイドウォール構造の側壁絶縁層 216a 乃至 216d、ゲート絶縁層 233a、233b を形成する（図 6（A）参照）。側壁絶縁層 216a 乃至 216d は、ゲート電極層 208、209 を覆う絶縁層を形成した後、これを RIE（Reactive ion etching：反応性イオンエッチング）法による異方性のエッチングによって加工し、ゲート電極層 208、209 の側壁に自己整合的にサイドウォール構造の側壁絶縁層 216a 乃至 216d を形成すればよい。ここで、絶縁層について特に限定はなく、TEOS（tetraethyl-ortho-silicate）若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化珪素であることが好ましい。絶縁層は熱 CVD、プラズマ CVD、常圧 CVD、バイアス ECRCVD、スパッタリング等の方法によって形成することができる。ゲート絶縁層 233a、233b はゲート電極層 208、209、及び側壁絶縁層 216a 乃至 216d をマスクとしてゲート絶縁層 207 をエッチングして形成することができる。

30

【0114】

40

また、本実施の形態では、絶縁層をエッチングする際、ゲート電極層上の絶縁層を除去し、ゲート電極層を露出させるが、絶縁層をゲート電極層上に残すような形状に側壁絶縁層 216a 乃至 216d を形成してもよい。また、後工程でゲート電極層上に保護膜を形成してもよい。このようにゲート電極層を保護することによって、エッチング加工する際、ゲート電極層の膜減りを防ぐことができる。また、ソース領域及びドレイン領域にシリサイドを形成する場合、シリサイド形成時に成膜する金属膜とゲート電極層とが接しないので、金属膜の材料とゲート電極層の材料とが反応しやすい材料であっても、化学反応や拡散などの不良を防止することができる。エッチング方法は、ドライエッチング法でもウェットエッチング法でもよく、種々のエッチング方法を用いることができる。本実施の形態では、ドライエッチング法を用いる。エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、S

50

$\text{SiCl}_4$  もしくは  $\text{CCl}_4$  などを代表とする塩素系ガス、 $\text{CF}_4$ 、 $\text{SF}_6$  もしくは  $\text{NF}_3$  などを代表とするフッ素系ガス又は  $\text{O}_2$  を適宜用いることができる。

【0115】

次に単結晶半導体層 206 を覆うマスク 218 を形成する。マスク 218、ゲート電極層 208、側壁絶縁層 216a、216b をマスクとして n 型を付与する不純物元素 217 を添加し、第 2 の n 型不純物領域 219a、219b、第 3 の n 型不純物領域 220a、220b が形成される。本実施の形態では、不純物元素を含むドーピングガスとして  $\text{PH}_3$  を用いる。ここでは、第 2 の n 型不純物領域 219a、219b に n 型を付与する不純物元素が  $5 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$  程度の濃度で含まれるように添加する。また、単結晶半導体層 205 にチャネル形成領域 221 が形成される（図 6（B）参照。）

10

【0116】

第 2 の n 型不純物領域 219a、第 2 の n 型不純物領域 219b は高濃度 n 型不純物領域であり、ソース、ドレインとして機能する。一方、第 3 の n 型不純物領域 220a、220b は低濃度不純物領域であり、LDD (Lightly Doped Drain) 領域となる。第 3 の n 型不純物領域 220a、220b はゲート電極層 208 に覆われていない Loff 領域に形成されるため、オフ電流を低減する効果がある。この結果、さらに信頼性の高く、低消費電力の半導体装置を作製することが可能である。

【0117】

マスク 218 を除去し、単結晶半導体層 205 を覆うマスク 223 を形成する。マスク 223、ゲート電極層 209、側壁絶縁層 216c、216d をマスクとして、p 型を付与する不純物元素 222 を添加し、第 2 の p 型不純物領域 224a、224b、第 3 の p 型不純物領域 225a、225b を形成する。

20

【0118】

第 2 の p 型不純物領域 224a、224b に p 型を付与する不純物元素が  $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$  程度の濃度で含まれるように添加する。本実施の形態では、第 3 の p 型不純物領域 225a、225b は、側壁絶縁層 216c、216d により、自己整合的に第 2 の p 型不純物領域 224a、224b より低濃度となるように形成する。また、単結晶半導体層 206 にチャネル形成領域 226 が形成される（図 6（C）参照。）。

【0119】

第 2 の p 型不純物領域 224a、224b は高濃度 p 型不純物領域であり、ソース、ドレインとして機能する。一方、第 3 の p 型不純物領域 225a、225b は低濃度不純物領域であり、LDD (Lightly Doped Drain) 領域となる。第 3 の p 型不純物領域 225a、225b はゲート電極層 209 に覆われていない Loff 領域に形成されるため、オフ電流を低減する効果がある。この結果、さらに信頼性の高く、低消費電力の半導体装置を作製することが可能である。

30

【0120】

マスク 223 を除去し、不純物元素を活性化するために熱処理、強光の照射、又はレーザービームの照射を行ってもよい。活性化と同時にゲート絶縁層へのプラズマダメージやゲート絶縁層と単結晶半導体層との界面へのプラズマダメージを回復することができる。

40

【0121】

次いで、ゲート電極層、ゲート絶縁層を覆う層間絶縁層を形成する。本実施の形態では、保護膜となる水素を含む絶縁膜 227 と、絶縁層 228 との積層構造とする。絶縁膜 227 と絶縁層 228 は、スパッタ法、またはプラズマ CVD を用いた窒化珪素膜、窒化酸化珪素膜、酸化窒化珪素膜、酸化珪素膜でもよく、他の珪素を含む絶縁膜を単層または 3 層以上の積層構造として用いても良い。

【0122】

さらに、窒素雰囲気中で、 $300 \sim 550$  で  $1 \sim 12$  時間の熱処理を行い、単結晶半導体層を水素化する工程を行う。好ましくは、 $400 \sim 500$  で行う。この工程は層間絶縁層である絶縁膜 227 に含まれる水素により単結晶半導体層のダングリングボンドを終

50



端する工程である。本実施の形態では、450度( )で1時間、熱処理を行う。

#### 【0123】

絶縁膜227、絶縁層228としては他に窒化アルミニウム(AlN)、酸化窒化アルミニウム(AlON)、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム(AlNO)または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素(CN)その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。また、シロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。有機基は、フルオロ基を含んでいてもよい。また、有機絶縁性材料を用いてもよく、有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、ポリシラザンを用いることができる。平坦性のよい塗布法によってされる塗布膜を用いてもよい。

10

#### 【0124】

絶縁膜227、絶縁層228は、ディップ、スプレー塗布、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター、CVD法、蒸着法等を採用することができる。液滴吐出法により絶縁膜227、絶縁層228を形成してもよい。液滴吐出法を用いた場合には材料液を節約することができる。また、液滴吐出法のようにパターンが転写、または描写できる方法、例えば印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)なども用いることができる。

20

#### 【0125】

次いで、レジストからなるマスクを用いて絶縁膜227、絶縁層228に単結晶半導体層に達するコンタクトホール(開口)を形成する。エッチングは、用いる材料の選択比によって、一回で行っても複数回行っても良い。エッチングによって、絶縁膜227、絶縁層228を除去し、ソース領域又はドレイン領域である第2のn型不純物領域219a、219b、第2のp型不純物領域224a、224bに達する開口を形成する。エッチングは、ウェットエッチングでもドライエッチングでもよく、両方用いてもよい。ウェットエッチングのエッチャントは、フッ素水素アンモニウム及びフッ化アンモニウムを含む混合溶液のようなフッ酸系の溶液を用いるとよい。エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>もしくはCCl<sub>4</sub>などを代表とする塩素系ガス、CF<sub>4</sub>、SF<sub>6</sub>もしくはNF<sub>3</sub>などを代表とするフッ素系ガス又はO<sub>2</sub>を適宜用いることができる。また用いるエッチング用ガスに不活性気体を添加してもよい。添加する不活性元素としては、He、Ne、Ar、Kr、Xeから選ばれた一種または複数種の元素を用いることができる。

30

#### 【0126】

開口を覆うように導電膜を形成し、導電膜をエッチングして各ソース領域又はドレイン領域の一部とそれぞれ電氣的に接続するソース電極層又はドレイン電極層として機能する配線層229a、229b、230a、230bを形成する。配線層は、PVD法、CVD法、蒸着法等により導電膜を成膜した後、所望の形状にエッチングして形成することができる。また、液滴吐出法、印刷法、電解メッキ法等により、所定の場所に選択的に導電層を形成することができる。更にはリフロー法、ダマシン法を用いてもよい。配線層の材料は、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba等の金属、及びSi、Ge、又はその合金、若しくはその窒化物を用いて形成する。また、これらの積層構造としてもよい。

40

#### 【0127】

以上の工程でCMOS構造のnチャネル型薄膜トランジスタである薄膜トランジスタ231及びpチャネル型薄膜トランジスタである薄膜トランジスタ232を含む半導体装置を作製することができる(図6(D)参照。)。図示しないが、本実施の形態はCMOS構造であるため、薄膜トランジスタ231と薄膜トランジスタ232とは電氣的に接続している。

#### 【0128】

50

本実施の形態に限定されず、薄膜トランジスタはチャネル形成領域が一つ形成されるシングルゲート構造でも、二つ形成されるダブルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

#### 【0129】

以上のように、単結晶半導体層の金属元素等の不純物による汚染を抑制されたSOI基板を用いることにより、高性能及び高信頼性な半導体装置を歩留まり良く作製することができる。

#### 【0130】

このように、SOI基板を用いて薄膜トランジスタを作製することができる。SOI基板の単結晶半導体層は、結晶欠陥が低減され、ゲート絶縁層207との界面準位密度が低減された単結晶半導体層であり、その表面が平坦化され、さらにその厚さを60nm以下と薄膜化されている。このことにより、支持基板121に、低い駆動電圧、高い電界効果移動、小さいサブスレッショルド値など、優れた特性を備えた薄膜トランジスタを形成することができる。さらに、同一基板上に特性のばらつきの少ない、高性能なトランジスタを複数基板上に形成することが可能である。すなわち、本発明に係るSOI基板を用いることで、しきい値電圧や移動度などトランジスタ特性として重要な特性値の不均一性が抑制され、また高電界移動度などの高性能化が可能になる。

#### 【0131】

図5及び図6を参照してTFTの作製方法を説明したが、TFTの他、容量、抵抗などTFTと共に各種の半導体素子を形成することで、高付加価値の半導体装置を作製することができる。以下、図面を参照しながら半導体装置の具体的な態様を説明する。

#### 【0132】

まず、半導体装置の一例として、マイクロプロセッサについて説明する。図7はマイクロプロセッサ500の構成例を示すブロック図である。

#### 【0133】

マイクロプロセッサ500は、演算回路501(Arithmetic logic unit。ALUともいう。)、演算回路制御部502(ALU Controller)、命令解析部503(Instruction Decoder)、割り込み制御部504(Interrupt Controller)、タイミング制御部505(Timing Controller)、レジスタ506(Register)、レジスタ制御部507(Register Controller)、バスインターフェース508(Bus I/F)、読み出し専用メモリ509、およびメモリインターフェース510を有している。

#### 【0134】

バスインターフェース508を介してマイクロプロセッサ500に入力された命令は、命令解析部503に入力され、デコードされた後、演算回路制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505に入力される。演算回路制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505は、デコードされた命令に基づき様々な制御を行う。

#### 【0135】

演算回路制御部502は、演算回路501の動作を制御するための信号を生成する。また、割り込み制御部504は、マイクロプロセッサ500のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を処理する回路であり、割り込み制御部504は、割り込み要求の優先度やマスク状態を判断して、割り込み要求を処理する。レジスタ制御部507は、レジスタ506のアドレスを生成し、マイクロプロセッサ500の状態に応じてレジスタ506の読み出しや書き込みを行う。タイミング制御部505は、演算回路501、演算回路制御部502、命令解析部503、割り込み制御部504、およびレジスタ制御部507の動作のタイミングを制御する信号を生成する。例えば、タイミング制御部505は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えている。図7に示すように、内部クロック信号CLK2は他

10

20

30

40

50

の回路に入力される。

【 0 1 3 6 】

次に、非接触でデータの送受信を行う機能、および演算機能を備えた半導体装置の一例を説明する。図 8 は、このような半導体装置の構成例を示すブロック図である。図 8 に示す半導体装置は、無線通信により外部装置と信号の送受信を行って動作するコンピュータ（以下、「R F C P U」という）と呼ぶことができる。

【 0 1 3 7 】

図 8 に示すように、R F C P U 5 1 1 は、アナログ回路部 5 1 2 とデジタル回路部 5 1 3 を有している。アナログ回路部 5 1 2 として、共振容量を有する共振回路 5 1 4、整流回路 5 1 5、定電圧回路 5 1 6、リセット回路 5 1 7、発振回路 5 1 8、復調回路 5 1 9 と、変調回路 5 2 0 を有している。デジタル回路部 5 1 3 は、R F インターフェース 5 2 1、制御レジスタ 5 2 2、クロックコントローラ 5 2 3、インターフェース 5 2 4、中央処理ユニット 5 2 5、ランダムアクセスメモリ 5 2 6、読み出し専用メモリ 5 2 7 を有している。

10

【 0 1 3 8 】

R F C P U 5 1 1 の動作の概要は以下の通りである。アンテナ 5 2 8 が受信した信号は共振回路 5 1 4 により誘導起電力を生じる。誘導起電力は、整流回路 5 1 5 を経て容量部 5 2 9 に充電される。この容量部 5 2 9 はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで形成されていることが好ましい。容量部 5 2 9 は、R F C P U 5 1 1 を構成する基板に集積されている必要はなく、他の部品として R F C P U 5 1 1 に組み込むこともできる。

20

【 0 1 3 9 】

リセット回路 5 1 7 は、デジタル回路部 5 1 3 をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路 5 1 8 は、定電圧回路 5 1 6 により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。復調回路 5 1 9 は、受信信号を復調する回路であり、変調回路 5 2 0 は、送信するデータを変調する回路である。

【 0 1 4 0 】

例えば、復調回路 5 1 9 はローパスフィルタで形成され、振幅変調（A S K）方式の受信信号を、その振幅の変動をもとに、二値化する。また、送信データを振幅変調（A S K）方式の送信信号の振幅を変動させて送信するため、変調回路 5 2 0 は、共振回路 5 1 4 の共振点を変化させることで通信信号の振幅を変化させている。

30

【 0 1 4 1 】

クロックコントローラ 5 2 3 は、電源電圧または中央処理ユニット 5 2 5 における消費電流に応じてクロック信号の周波数とデューティ比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 5 3 0 が行っている。

【 0 1 4 2 】

アンテナ 5 2 8 から R F C P U 5 1 1 に入力された信号は復調回路 5 1 9 で復調された後、R F インターフェース 5 2 1 で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 5 2 2 に格納される。制御コマンドには、読み出し専用メモリ 5 2 7 に記憶されているデータの読み出し、ランダムアクセスメモリ 5 2 6 へのデータの書き込み、中央処理ユニット 5 2 5 への演算命令などが含まれている。

40

【 0 1 4 3 】

中央処理ユニット 5 2 5 は、インターフェース 5 2 4 を介して読み出し専用メモリ 5 2 7、ランダムアクセスメモリ 5 2 6、制御レジスタ 5 2 2 にアクセスする。インターフェース 5 2 4 は、中央処理ユニット 5 2 5 が要求するアドレスより、読み出し専用メモリ 5 2 7、ランダムアクセスメモリ 5 2 6、制御レジスタ 5 2 2 のいずれかに対するアクセス信号を生成する機能を有している。

【 0 1 4 4 】

中央処理ユニット 5 2 5 の演算方式は、読み出し専用メモリ 5 2 7 に O S（オペレーティ

50

ングシステム)を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の演算処理を行い、プログラムを使って、残りの演算を中央処理ユニット525が処理する方式を適用できる。

#### 【0145】

次に、図9、図10を用いて、表示装置について説明する。

#### 【0146】

図9は液晶表示装置を説明するための図面である。図9(A)は液晶表示装置の画素の平面図であり、図9(B)は、J-K切断線による図9(A)の断面図である。

10

#### 【0147】

図9(A)に示すように、画素は、単結晶半導体層320、単結晶半導体層320と交差している走査線322、走査線322と交差している信号線323、画素電極324、画素電極324と単結晶半導体層320を電気的に接続する電極328を有する。単結晶半導体層320は、支持基板121上に設けられた単結晶半導体層から形成された層であり、画素のTFT325を構成する。

#### 【0148】

SOI基板には上記実施の形態で示したSOI基板が用いられている。図9(B)に示すように、支持基板121上に、酸化膜102及び絶縁層122を介して単結晶半導体層320が積層されている。支持基板121としては、ガラス基板を用いることができる。TFT325の単結晶半導体層320は、SOI基板の単結晶半導体層をエッチングにより素子分離して形成された膜である。単結晶半導体層320には、チャネル形成領域340、不純物元素が添加されたn型の高濃度不純物領域341が形成されている。TFT325のゲート電極は走査線322に含まれ、ソース電極およびドレイン電極の一方は信号線323に含まれている。

20

#### 【0149】

層間絶縁膜327上には、信号線323、画素電極324および電極328が設けられている。層間絶縁膜327上には、柱状スペーサ329が形成されている。信号線323、画素電極324、電極328および柱状スペーサ329を覆って配向膜330が形成されている。対向基板332には、対向電極333、対向電極を覆う配向膜334が形成されている。柱状スペーサ329は、支持基板121と対向基板332の隙間を維持するために形成される。柱状スペーサ329によって形成される隙間に液晶層335が形成されている。信号線323および電極328と高濃度不純物領域341との接続部は、コンタクトホール形成によって層間絶縁膜327に段差が生じるので、この接続部では液晶層335の液晶の配向が乱れやすい。そのため、この段差部に柱状スペーサ329を形成して、液晶の配向の乱れを防ぐ。

30

#### 【0150】

次に、エレクトロルミネセンス表示装置(以下、EL表示装置という。)について図10を参照して説明する。図10(A)はEL表示装置の画素の平面図であり、図10(B)は、J-K切断線による図10(A)の断面図である。

40

#### 【0151】

図10(A)に示すように、画素は、TFTでなる選択用トランジスタ401、表示制御用トランジスタ402、走査線405、信号線406、および電流供給線407、画素電極408を含む。エレクトロルミネセンス材料を含んで形成される層(EL層)が一对の電極間に挟んだ構造の発光素子が各画素に設けられている。発光素子の一方の電極が画素電極408である。また、単結晶半導体層403は、選択用トランジスタ401のチャネル形成領域、ソース領域およびドレイン領域が形成されている。単結晶半導体層404は、表示制御用トランジスタ402のチャネル形成領域、ソース領域およびドレイン領域が形成されている。単結晶半導体層403、404は、支持基板上に設けられた単結晶半導体層から形成された層である。

50

## 【 0 1 5 2 】

選択用トランジスタ 4 0 1 において、ゲート電極は走査線 4 0 5 に含まれ、ソース電極またはドレイン電極の一方は信号線 4 0 6 に含まれ、他方は電極 4 1 0 として形成されている。表示制御用トランジスタ 4 0 2 は、ゲート電極 4 1 2 が電極 4 1 1 と電氣的に接続され、ソース電極またはドレイン電極の一方は、画素電極 4 0 8 に電氣的に接続される電極 4 1 3 として形成され、他方は、電流供給線 4 0 7 に含まれている。

## 【 0 1 5 3 】

表示制御用トランジスタ 4 0 2 は p チャネル型の T F T である。図 1 0 ( B ) に示すように、単結晶半導体層 4 0 4 には、チャネル形成領域 4 5 1、および p 型の高濃度不純物領域 4 5 2 が形成されている。なお、S O I 基板は、実施の形態で作製した S O I 基板が用いられている。

10

## 【 0 1 5 4 】

表示制御用トランジスタ 4 0 2 のゲート電極 4 1 2 を覆って、層間絶縁膜 4 2 7 が形成されている。層間絶縁膜 4 2 7 上に、信号線 4 0 6、電流供給線 4 0 7、電極 4 1 1、4 1 3 などが形成されている。また、層間絶縁膜 4 2 7 上には、電極 4 1 3 に電氣的に接続されている画素電極 4 0 8 が形成されている。画素電極 4 0 8 は周辺部が絶縁性の隔壁層 4 2 8 で囲まれている。画素電極 4 0 8 上には E L 層 4 2 9 が形成され、E L 層 4 2 9 上には対向電極 4 3 0 が形成されている。補強板として対向基板 4 3 1 が設けられており、対向基板 4 3 1 は樹脂層 4 3 2 により支持基板 1 2 1 に固定されている。

## 【 0 1 5 5 】

20

E L 表示装置の階調の制御は、発光素子の輝度を電流で制御する電流駆動方式と、電圧でその輝度を制御する電圧駆動方式とがあるが、電流駆動方式は、画素ごとでトランジスタの特性値の差が大きい場合、採用することは困難であり、そのためには特性のばらつきを補正する補正回路が必要になる。S O I 基板の作製工程を含む製造方法で E L 表示を作製することで、選択用トランジスタ 4 0 1 および表示制御用トランジスタ 4 0 2 は画素ごとに特性のばらつきがなくなるため、電流駆動方式を採用することができる。

## 【 0 1 5 6 】

つまり、S O I 基板を用いることで、様々な電気機器を作製することができる。電気機器としては、ビデオカメラ、デジタルカメラ等のカメラ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポなど）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍など）、記録媒体を備えた画像再生装置（具体的には D V D ( d i g i t a l v e r s a t i l e d i s c ) などの記録媒体に記憶された音声データを再生し、かつ記憶された画像データを表示しうる表示装置を備えた装置）などが含まれる。それらの一例を図 1 1、図 1 2 に示す。

30

## 【 0 1 5 7 】

図 1 1 ( A ) は表示装置であり、筐体 9 0 1、支持台 9 0 2、表示部 9 0 3、スピーカ部 9 0 4、ビデオ入力端子 9 0 5 などを含む。この表示装置は、他の実施の形態で示した作製方法により形成したトランジスタを駆動 I C や表示部 9 0 3 などに用いることにより作製される。なお、表示装置には液晶表示装置、発光表示装置などがあり、用途別にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。具体的には、ディスプレイ、ヘッドマウントディスプレイ、反射型プロジェクターなどを挙げることができる。

40

## 【 0 1 5 8 】

図 1 1 ( B ) はコンピュータであり、筐体 9 1 1、表示部 9 1 2、キーボード 9 1 3、外部接続ポート 9 1 4、ポインティングデバイス 9 1 5 などを含む。本発明を用いて作製されたトランジスタは、表示部 9 1 2 の画素部だけではなく、表示用の駆動 I C、本体内部の C P U、メモリなどの半導体装置にも適用が可能である。

## 【 0 1 5 9 】

また、図 1 1 ( C ) は携帯電話であり、携帯用の情報処理端末の 1 つの代表例である。こ

50

の携帯電話は筐体 9 2 1、表示部 9 2 2、操作キー 9 2 3 などを含む。本発明に係る S O I 基板を用いて作製されたトランジスタは表示部 9 2 2 の画素部やセンサ部 9 2 4 だけではなく、表示用の駆動 I C、メモリ、音声処理回路などに用いることができる。センサ部 9 2 4 は光センサ素子を有しており、センサ部 9 2 4 で得られる照度に合わせて表示部 9 2 2 の輝度コントロールを行うことや、センサ部 9 2 4 で得られる照度に合わせて操作キー 9 2 3 の照明を抑えることによって、携帯電話の消費電力を抑えることができる。

#### 【 0 1 6 0 】

上記の携帯電話を初めとして、P D A ( P e r s o n a l D i g i t a l A s s i s t a n t s、情報携帯端末)、デジタルカメラ、小型ゲーム機、携帯型の音響再生装置などの電子機器に、本発明を用いて形成した半導体材料を用いることもできる。例えば、C P U、メモリ、センサなどの機能回路を形成することや、これらの電子機器の画素部や、表示用の駆動 I C にも適用することが可能である。

10

#### 【 0 1 6 1 】

また、図 1 1 ( D )、( E ) はデジタルカメラである。なお、図 1 1 ( E ) は、図 1 1 ( D ) の裏側を示す図である。このデジタルカメラは、筐体 9 3 1、表示部 9 3 2、レンズ 9 3 3、操作キー 9 3 4、シャッターボタン 9 3 5 などを有する。本発明を用いて作製されたトランジスタは、表示部 9 3 2 の画素部、表示部 9 3 2 を駆動する駆動 I C、メモリなどに用いることができる。

#### 【 0 1 6 2 】

図 1 1 ( F ) はデジタルビデオカメラである。このデジタルビデオカメラは、本体 9 4 1、表示部 9 4 2、筐体 9 4 3、外部接続ポート 9 4 4、リモコン受信部 9 4 5、受像部 9 4 6、バッテリー 9 4 7、音声入力部 9 4 8、操作キー 9 4 9、接眼部 9 5 0 などを有する。本発明を用いて作製されたトランジスタは、表示部 9 4 2 の画素部、表示部 9 4 2 を制御する駆動 I C、メモリ、デジタル入力処理装置などに用いることができる。

20

#### 【 0 1 6 3 】

この他にも、ナビゲーションシステム、音響再生装置、記録媒体を備えた画像再生装置などに用いることが可能である。これらの表示部の画素部や、表示部を制御する駆動 I C、メモリ、デジタル入力処理装置、センサ部などの用途に、本発明を用いて作製されたトランジスタを用いることができる。

#### 【 0 1 6 4 】

図 1 2 は、本発明を適用した携帯電話の一例であり、図 1 2 ( A ) が正面図、図 1 2 ( B ) が背面図、図 1 2 ( C ) が 2 つの筐体をスライドさせたときの正面図である。携帯電話 7 0 0 は、筐体 7 0 1 及び筐体 7 0 2 二つの筐体で構成されている。携帯電話 7 0 0 は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

30

#### 【 0 1 6 5 】

携帯電話 7 0 0 は、筐体 7 0 1 及び筐体 7 0 2 で構成されている。筐体 7 0 1 においては、表示部 7 0 3、スピーカ 7 0 4、マイクロフォン 7 0 5、操作キー 7 0 6、ポインティングデバイス 7 0 7、表面カメラ用レンズ 7 0 8、外部接続端子ジャック 7 0 9 及びイヤホン端子 7 1 0 等を備え、筐体 7 0 2 においては、キーボード 7 1 1、外部メモリスロット 7 1 2、裏面カメラ 7 1 3、ライト 7 1 4 等により構成されている。また、アンテナは筐体 7 0 1 に内蔵されている。

40

#### 【 0 1 6 6 】

また、携帯電話 7 0 0 には、上記の構成に加えて、非接触型 I C チップ、小型記録装置等を内蔵していてもよい。

#### 【 0 1 6 7 】

重なり合った筐体 7 0 1 と筐体 7 0 2 ( 図 1 2 ( A ) に示す ) は、スライドさせることが可能であり、スライドさせることで図 1 2 ( C ) のように展開する。表示部 7 0 3 には、実施の形態 2 及び実施の形態 3 で説明した表示装置の作製方法を適用した表示パネル又は表示装置を組み込むことが可能である。表示部 7 0 3 と表面カメラ用レンズ 7 0 8 を同一

50

の面に備えているため、テレビ電話としての使用が可能である。また、表示部 703 をファインダーとして用いることで、裏面カメラ 713 及びライト 714 で静止画及び動画の撮影が可能である。

【0168】

スピーカ 704 及びマイクロフォン 705 を用いることで、携帯電話 700 は、音声記録装置（録音装置）又は音声再生装置として使用することができる。また、操作キー 706 により、電話の発着信操作、電子メール等の簡単な情報入力操作、表示部に表示する画面のスクロール操作、表示部に表示する情報の選択等を行うカーソルの移動操作等が可能である。

【0169】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード 711 を用いると便利である。更に、重なり合った筐体 701 と筐体 702（図 12（A））をスライドさせることで、図 12（C）のように展開させることができる。携帯情報端末として使用する場合には、キーボード 711 及びポインティングデバイス 707 を用いて、円滑な操作でカーソルの操作が可能である。外部接続端子ジャック 709 は AC アダプタ及び USB ケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット 712 に記録媒体を挿入し、より大量のデータ保存及び移動が可能になる。

【0170】

筐体 702 の裏面（図 12（B））には、裏面カメラ 713 及びライト 714 を備え、表示部 703 をファインダーとして静止画及び動画の撮影が可能である。

【0171】

また、上記の機能構成に加えて、赤外線通信機能、USB ポート、テレビワンセグ受信機能、非接触 IC チップ又はイヤホンジャック等を備えたものであってもよい。

【0172】

図 11 において説明した各種電子機器は、上述したトランジスタ及び表示装置の作製方法を適用して作製することができる。

【実施例 1】

【0173】

以下において、本発明に関し実施例に基づいて更に詳しく説明する。本発明はこの実施例によって何ら限定されるものではなく、特許請求の範囲によって特定されるものであることはいうまでもないことである。本実施例では、半導体基板の表面粗さについて説明する。

【0174】

半導体基板として、単結晶シリコン基板を用意する。単結晶シリコン基板は、5 インチの p 型シリコン基板であり、その面方位は（100）であり、その側面方位は〈100〉である。

【0175】

単結晶シリコン基板の表面に対してエッチングを行った。単結晶シリコン基板のエッチング条件は次の通りである。平行平板型プラズマ CVD 装置を用いて、プラズマ CVD 装置において、RF パワー；50 W（13.56 MHz）、処理室内圧力；65 Pa、電極間距離；30 mm、基板温度；200、反応ガスの流量比  $\text{NF}_3 : \text{N}_2 = 10 : 400$ （sccm）、処理時間 30 sec（30 nm エッチングできる程度）として行った。

【0176】

次に、エッチングを行った後の単結晶シリコン基板の表面粗さについて測定を行った。

【0177】

単結晶シリコン基板の表面粗さ、およびその結晶性の分析には、例えば、光学顕微鏡、原子間力顕微鏡（AFM；Atomic Force Microscope）、走査電子顕微鏡（SEM；Scanning Electron Microscope）による観察、電子後方散乱回折像（EBSP；Electron Back Scatter

10

20

30

40

50

D i f f r a c t i o n P a t t e r n ) の観察、及びラマン分光測定などを用いることができる。

【 0 1 7 8 】

本実施例においては単結晶シリコン基板の表面粗さの測定には、原子間力顕微鏡 ( A F M ; A t o m i c F o r c e M i c r o s c o p e ) を用いて、単結晶シリコン基板の平均面粗さ ( R a ) 、自乗平均面粗さ ( R M S ) 、山谷の最大高低差 ( P - V ) を測定した。

【 0 1 7 9 】

ここで、平均面粗さ ( R a ) とは、 J I S B 0 6 0 1 : 2 0 0 1 ( I S O 4 2 8 7 : 1 9 9 7 ) で定義されている中心線平均粗さ R a を、測定面に対して適用できるように三次元に拡張したものである。基準面から指定面までの偏差の絶対値を平均した値と表現でき、次式で与えられる。

【 0 1 8 0 】

【数 1】

$$R_a = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |F(X,Y) - Z_0| dXdY \quad (1)$$

【 0 1 8 1 】

なお、測定面とは、全測定データの示す面であり、下記の式で表す。

【 0 1 8 2 】

【数 2】

$$Z = F(X,Y) \quad (2)$$

【 0 1 8 3 】

また、指定面とは、粗さ計測の対象となる面であり、座標 ( X<sub>1</sub> , Y<sub>1</sub> ) ( X<sub>1</sub> , Y<sub>2</sub> ) ( X<sub>2</sub> , Y<sub>1</sub> ) ( X<sub>2</sub> , Y<sub>2</sub> ) で表される 4 点により囲まれる長方形の領域とし、指定面が理想的にフラットであるとしたときの面積を S<sub>0</sub> とする。なお、S<sub>0</sub> は下記の式で求められる。

【 0 1 8 4 】

【数 3】

$$S_0 = (X_2 - X_1) \cdot (Y_2 - Y_1) \quad (3)$$

【 0 1 8 5 】

また、基準面とは、指定面の高さの平均値を Z<sub>0</sub> とするとき、Z = Z<sub>0</sub> で表される平面である。基準面は X Y 平面と平行となる。なお、Z<sub>0</sub> は下記の式で求められる。

【 0 1 8 6 】

【数 4】

$$Z_0 = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} F(X,Y) dXdY \quad (4)$$

【 0 1 8 7 】

自乗平均面粗さ ( R M S ) とは、断面曲線に対する R M S を、測定面に対して適用できるよう、R a と同様に三次元に拡張したものである。基準面から指定面までの偏差の自乗を平均した値の平方根と表現でき、次式で与えられる。

【 0 1 8 8 】

【数 5】

$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} \{F(X,Y) - Z_0\}^2 dXdY} \quad (5)$$

【 0 1 8 9 】



山谷の最大高低差（ $P - V$ ）とは、指定面において、最も高い山頂の標高  $Z_{\max}$  と最も低い谷底の標高  $Z_{\min}$  の差と表現でき、次式で与えられる。

【0190】

【数6】

$$P - V = Z_{\max} - Z_{\min} \quad (6)$$

【0191】

ここでいう山頂と谷底とは J I S B 0 6 0 1 : 2 0 0 1 ( I S O 4 2 8 7 : 1 9 9 7 ) で定義されている「山頂」「谷底」を三次元に拡張したものであり、山頂とは指定面の山において最も標高の高いところ、谷底とは指定面において最も標高の低いところと表現される。

10

【0192】

本実施例における平均面粗さ（ $Ra$ ）、自乗平均面粗さ（ $RMS$ ）、山谷の最大高低差（ $P - V$ ）の測定条件を以下に記す。

・原子間力顕微鏡（ $AFM$ ）：走査型プローブ顕微鏡  $SPI3800N / SPA500$ （セイコーインスツルメンツ（株）製）

・測定モード：ダイナミックフォースモード（ $DFM$ モード）

・カンチレバー： $SI - DF40$ （シリコン製、バネ定数  $42 N / m$ 、共振周波数  $250 \sim 390 kHz$ 、探針の先端  $R = 10 nm$ ）

・走査速度： $1.0 Hz$

20

・測定面積： $1 \times 1 \mu m$

・測定点数： $256 \times 256$  点

なお、 $DMF$ モードとは、ある周波数（カンチレバーに固有の周波数）でカンチレバーを共振させた状態で、レバーの振動振幅が一定になるように探針と試料との距離を制御しながら、表面形状を測定する測定モードのことである。この  $DFM$ モードは試料の表面に非接触で測定するため、試料の表面を傷つけることなく、元の形状を保ったまま測定できる。

【0193】

本実施例においては単結晶シリコン基板の表面粗さの測定は、基板面内3箇所（図13（A）参照）について上記条件にて行い、三次元表面形状の像を得た。この得られた測定画像の基板断面の曲率を考慮し、付属のソフトウェアにより、画像の全データから最小二乗法により1次平面を求めてフィッティングし、面内の傾きを補正する1次傾き補正を行い、続いて同様に2次曲線を補正する2次傾き補正を行ったのち、付属のソフトウェアにより、表面粗さ解析を行い、平均面粗さ（ $Ra$ ）、自乗平均面粗さ（ $RMS$ ）、山谷の最大高低差（ $P - V$ ）をそれぞれ算出した。

30

【0194】

図13（B）～図13（D）は、 $AFM$ による測定結果を示す。図13（B）は、図13（A）におけるポイント1の観察像であり、図13（C）は、図13（A）におけるポイント2の観察像であり、図13（D）は図13（A）におけるポイント3の観察像である。

40

【0195】

図13（B）～図13（D）の観察像をもとに計算された表面粗さを表1に示す。

【0196】

【表1】

	$Ra[nm]$	$P-V[nm]$	$RMS[nm]$
ポイント1	0.1101	2.839	0.1452
ポイント2	0.1204	4.011	0.1701
ポイント3	0.143	8.807	0.2797
3箇所の平均	0.125	5.219	0.198

【0197】

50

比較のため、エッチングを行っていない単結晶シリコン基板の表面粗さを表 2 に示す。なお、エッチングを行っていない単結晶シリコン基板の表面粗さの測定は、エッチングを行った単結晶シリコン基板と同様の 3 箇所（図 1 3（A）参照）にて行った。

【 0 1 9 8 】

【表 2】

	Ra[nm]	P-V[nm]	RMS[nm]
ポイント1	0.139	1.482	0.174
ポイント2	0.135	1.490	0.170
ポイント3	0.137	1.554	0.172
3箇所の平均	0.137	1.509	0.172

10

【 0 1 9 9 】

以上の結果から、単結晶シリコン基板にエッチングを行った場合でも、R a、R M S については、エッチングを行っていない単結晶シリコン基板と遜色のない結果が得られた。

【 0 2 0 0 】

次に、M O S キャパシタ構造を用いてゲート耐圧について比較した結果について説明する。

【 0 2 0 1 】

図 1 4（A）に本実施例で用いた M O S キャパシタ構造を示す。M O S キャパシタ構造は、単結晶シリコン基板 3 0 1 上に、酸化窒化珪素膜で形成された絶縁膜 3 0 2 が形成され、絶縁膜 3 0 2 上にアルミニウムで形成されたゲート電極 3 0 3 が形成されている。

20

【 0 2 0 2 】

M O S キャパシタ構造は、以下の 3 つの条件によって作製した。条件 1 は、単結晶シリコン基板上に、酸化窒化珪素膜でゲート絶縁膜を 2 0 n m 形成したのち、アルミニウムでゲート電極を 4 0 0 n m（電極面積：0 . 7 8 5 m m<sup>2</sup>）形成した。

【 0 2 0 3 】

条件 2 は、単結晶シリコン基板に I C P エッチング装置を用いて、塩素ガスの流量 1 0 0 s c c m、反応圧力 1 . 2 P a、下部電極の温度 7 0、コイル型の電極に投入する R F（1 3 . 5 6 M H z）パワー 1 5 0 W、下部電極（バイアス側）に投入する電力 4 0 W として、基板バイアスを印加してエッチングを行った後、単結晶シリコン基板上に、酸化窒化珪素膜でゲート絶縁膜を 2 0 n m 形成した後、アルミニウムでゲート電極を 4 0 0 n m（電極面積：0 . 7 8 5 m m<sup>2</sup>）形成した。

30

【 0 2 0 4 】

条件 3 は、単結晶シリコン基板にプラズマ C V D 装置を用いて、反応ガスの流量比 N F<sub>3</sub> : N<sub>2</sub> = 1 0 : 4 0 0（s c c m）、処理室内圧力 6 5 P a、電極間距離 3 0 m m、基板温度 2 0 0、R F（1 3 . 5 6 M H z）パワー 5 0 W、として、基板バイアスを印加せずにエッチングを行った後、単結晶シリコン基板上に、酸化窒化珪素膜でゲート絶縁膜を 2 0 n m 形成した後、アルミニウムでゲート電極を 4 0 0 n m（電極面積：0 . 7 8 5 m m<sup>2</sup>）形成した。

【 0 2 0 5 】

条件 1 で作製した試料を試料 A、条件 2 で作製した試料を試料 B、条件 3 で作製した試料を試料 C とした。

40

【 0 2 0 6 】

図 1 4（B）に、試料 A ~ 試料 C の電流 - 電圧（I - V）特性を測定した結果を示す。図 1 4（B）において、横軸は電圧 V<sub>g</sub>（V）、縦軸は電流 I<sub>g</sub>（A）を表している。ここでは、試料 A ~ 試料 C の基板面内 1 ポイントずつ I - V 特性を測定した結果を示す。

【 0 2 0 7 】

図 1 4（B）の結果より、エッチングを、基板バイアスを印加して行った試料 B は、エッチングを行っていない試料 A よりも電流の立ち上がりが早く、耐圧が悪いことが確認できた。これに対して、エッチングを、基板バイアスを印加せずに行った試料 C は、エッチングを行っていない試料 A と同程度の耐圧となった。

50

## 【0208】

次に、単結晶シリコン基板中の不純物（ここでは、Al）を調査するため、二次イオン質量分析法（SIMS）を用いて分析を行った。

## 【0209】

SIMS分析で用いた試料について説明する。条件1として、単結晶シリコン基板を用意した。条件2として、単結晶シリコン基板に、プラズマCVD装置を用いて、反応ガスの流量比 $\text{NF}_3 : \text{N}_2 = 10 : 400$ （sccm）、処理室内圧力65Pa、電極間距離30mm、基板温度200℃、RF（13.56MHz）パワー50W、として、基板バイアスを印加せずにエッチングを行った。条件3として、単結晶シリコン基板にICPエッチング装置を用いて、塩素ガスの流量100sccm、反応圧力1.5Pa、下部電極の温度40℃、コイル型の電極に投入するRF（13.56MHz）パワー1000W、下部電極（バイアス側）に投入する電力50Wとして、基板バイアスを印加してエッチングを行った。条件4として、単結晶シリコン基板に、条件3と同様に、基板バイアスを印加してエッチングを行った後、オゾン水とフッ酸を交互に用いたサイクル洗浄を行った。条件1で作製した試料を試料D、条件2で作製した試料を試料E、条件3で作製した試料を試料F、条件4で作製した試料を試料Gとした。なお、SIMS分析において、試料の最表面において外気からの吸着不純物が検出されてしまう。そこで、試料D～試料Gの表面を保護するために酸化窒化珪素膜をそれぞれ20nm成膜した。

10

## 【0210】

次に、図15に、試料D～試料Gについて、SIMSで測定した結果を示す。図15において、横軸は試料の深さ方向（nm）、縦軸はAlの濃度（atoms/cm<sup>3</sup>）を表している。なお、約20nmの深さまでは酸化窒化珪素膜である。

20

## 【0211】

図15において、単結晶シリコン基板中（深さ約30nm）のAl濃度に注目すると、試料FではAlの濃度が約 $1 \times 10^{18}$  atoms/cm<sup>3</sup>であるのに対し、試料EではAlの濃度が約 $1 \times 10^{14}$  atoms/cm<sup>3</sup>（SIMSの測定限界以下）であり、試料Dと同程度の濃度であった。また、試料Fと試料Eとでは、Alの濃度が3桁以上異なっていることがわかる。

## 【0212】

図15より、基板バイアスを印加してエッチングを行った試料Fの最表面からは、 $2 \times 10^{18}$  atoms/cm<sup>3</sup>のAlが検出された。ただし、SIMS測定においては、イオンの衝突によってAlが押し込まれるため、プロファイルは実際の分布よりも深さ方向にテールを引いていると考えられる。しかし、基板バイアスを印加してエッチングを行った試料Fからは、エッチングを行っていない試料Dに比べて多くのAlが検出された。また、試料Gの結果から、基板バイアスを印加してエッチングした後にサイクル洗浄を行うことにより、最表面のAlが多少除去できていると考えられるが、Si表面からの深さ20～80nmにおいては、サイクル洗浄の有無に関わらず、同程度の濃度であった。このことから、基板バイアスを印加してエッチングを行うことにより、不純物（Al）はサイクル洗浄では除去できない深さまで打ち込まれてしまっていると考えられる。

30

## 【0213】

以上の結果から、基板バイアスを印加せずにエッチングを行うことにより、単結晶シリコン層中まで不純物によって汚染されることを抑制できることがわかった。このような単結晶シリコン層を用いることにより、不純物汚染による耐圧不良などのデバイス特性の悪化を防ぎ、良好な半導体装置を作製することができる。

40

## 【実施例2】

## 【0214】

本実施例では、単結晶シリコン基板中の不純物（ここでは、Al）の情報をより正確に得るために、試料の基板側から二次イオン質量分析法（SIMS）を用いて分析を行った結果について説明する。

## 【0215】

50

本実施例で用いた試料について説明する。試料Hとして、単結晶シリコン基板に、ICPエッチング装置を用いて、塩素ガスの流量100 sccm、反応圧力1.5 Pa、下部電極の温度70℃、コイル型の電極に投入するRF(13.56 MHz)パワー1000 W、下部電極(バイアス側)に投入する電力50 Wとして、基板バイアスを印加してエッチングを行ったものを用意した。

【0216】

次に、試料Iとして、単結晶シリコン基板に、ICPエッチング装置を用いて、塩素ガスの流量100 sccm、反応圧力2.0 Pa、下部電極の温度70℃、コイル型の電極に投入するRF(13.56 MHz)パワー2000 W、下部電極(バイアス側)に投入する電力0 Wとして、基板バイアスを印加せずにエッチングを行ったものを用意した。

10

【0217】

次に、試料Jとして、単結晶シリコン基板に、ICPエッチング装置を用いて、反応ガスの流量比 $\text{NF}_3 : \text{N}_2 = 20 : 80$  (sccm)、反応圧力0.67 Pa、下部電極の温度40℃、コイル型の電極に投入するRF(13.56 MHz)パワー2000 W、下部電極に投入する電力0 Wとして、基板バイアスを印加せずにエッチングを行ったものを用意した。

【0218】

次に、試料Kとして、何も処理を行っていない単結晶シリコン基板を用意した。

【0219】

なお、SIMS分析において、試料の最表面において外気からの吸着不純物が検出されてしまう。そこで、試料H～試料Kの表面を保護するために酸化窒化珪素膜をそれぞれ20 nm成膜した。

20

【0220】

次に、図16に、試料H～試料Kについて、SIMSで測定した結果を示す。図16において、横軸は試料の深さ方向(nm)、縦軸はAlの濃度(atoms/cm<sup>3</sup>)を表している。なお、約20 nmの深さまでは酸化窒化珪素膜である。ここで、注意すべきは、単結晶シリコン基板上の酸化窒化珪素膜の成分検出の影響をできるだけ避けるため、単結晶シリコン基板の裏面から測定を行っている点である。単結晶シリコン基板を所定の厚さまで研磨した後、単結晶シリコン基板の裏面側から測定を行った。

【0221】

図16に示すように、基板バイアスを印加せずにエッチングを行った試料I、試料Jについては、基板バイアスを印加してエッチングを行った試料Hと比較して、Alの濃度が低く、単結晶シリコン基板中からは、Alはほぼ検出されなかった。

30

【実施例3】

【0222】

本実施例では、基板バイアスの印加の有無によるSOI基板の作製中に生じる単結晶半導体層の汚染の影響について調査した結果について説明する。

【0223】

以下、本実施例のSOI基板の作製方法について説明する。

【0224】

まず、単結晶半導体基板を準備し、当該単結晶半導体基板を熱酸化処理して絶縁層として機能する酸化シリコン膜を形成した。熱酸化処理の温度は、950℃とし、絶縁層の膜厚は100 nmとした。また、熱酸化処理の雰囲気は酸素に対しHClを3体積%の割合で含む雰囲気とした。

40

【0225】

本実施例においては、単結晶半導体基板として単結晶シリコンウエハを用いて、ベース基板上に単結晶シリコン層を形成した。単結晶シリコンウエハは、5インチ角の四角い基板である。また、その結晶方位は、主表面が(100)であり、側面が<110>であり、導電型はP型である。

【0226】

50

単結晶半導体基板を熱酸化処理した後、単結晶半導体基板に脆化領域を形成するために、イオンドーピング装置を用い、水素イオンを照射した。ソースガスには100%水素ガスを50sccm用い、水素ガスを励起して生成されたプラズマ中のイオンを質量分離せずに、電界で加速して単結晶半導体基板に照射して、脆化領域を形成した。なお、イオンドーピング装置を用いて水素ガスを励起することで、3種類のイオン種( $H^+$ 、 $H_2^+$ 、 $H_3^+$ )を生成し、このうち70%程度を $H_3^+$ とした。水素イオンドーピングの条件は、加速電圧50kV、ビーム電流密度 $5\mu A/cm^2$ 、ドーズ量 $2.0 \times 10^{16} ions/cm^2$ とした。

#### 【0227】

次いで、ベース基板、及び単結晶半導体基板をメガソニック洗浄した後、オゾンを含む純水中で洗浄し、ベース基板表面と単結晶半導体基板上に形成された絶縁層とを密着させて、接合した。本実施例においては、ベース基板として無アルカリガラス基板(商品名AN100)を用いた。AN100は、比重 $2.51g/cm^3$ 、ポワソン比0.22、ヤング率77GPa、二軸弾性係数98.7GPa、熱膨張率 $38 \times 10^{-7}/$ といった物性値を有するガラス基板である。

#### 【0228】

次いで、加熱炉において、200℃、2時間の熱処理を行い、ベース基板と酸化シリコン膜の結合強度を向上させた。引き続き、加熱炉において600℃、2時間の熱処理を行うことで、脆化領域を境として単結晶半導体基板を分離し、ベース基板上に絶縁層を介して単結晶半導体層を形成した。単結晶半導体層の膜厚は140nm程度とした。

#### 【0229】

次いで、単結晶半導体層に対して、第1のエッチング処理、レーザー光照射処理及び第2のエッチング処理を行った。以下に具体的な条件を示す。

#### 【0230】

条件1として、第1のエッチング処理及び第2のエッチング処理を、基板バイアスを印加せずに行った場合について説明する。単結晶半導体層に、プラズマCVD装置を用いて、反応ガスの流量比 $NF_3:N_2=5:300(sccm)$ 、処理室内圧力50Pa、電極間距離30mm、基板温度200℃、RF(13.56MHz)パワー50W、として第1のエッチング処理を行うことで、単結晶半導体層の膜厚を120nm程度とした。次に、単結晶半導体層にレーザー光を照射した後、第1のエッチング処理を同じ条件で第2のエッチング処理を行うことで、単結晶半導体層の膜厚を60nm程度とした。

#### 【0231】

条件2として、第1のエッチング処理は基板バイアスを印加し、第2のエッチング処理は基板バイアスを印加せずに行った場合について説明する。単結晶半導体層に、ICPエッチング装置を用いて、塩素ガスの流量100sccm、反応圧力1.5Pa、下部電極の温度40℃、コイル型の電極に投入するRF(13.56MHz)パワー1000W、下部電極(バイアス側)に投入する電力50Wとして第1のエッチング処理を行うことで、単結晶半導体層の膜厚を120nm程度とした。次に、単結晶半導体層にレーザー光を照射した後、条件1の第1のエッチング処理と同じ条件で第2のエッチング処理を行うことで、単結晶半導体層の膜厚を60nm程度とした。

#### 【0232】

条件3として、第1のエッチング処理は基板バイアスを印加せず、第2のエッチング処理は基板バイアスを印加して行った場合について説明する。単結晶半導体層に条件1の第1のエッチング処理と同じ条件で第1のエッチング処理を行うことで、単結晶半導体層の膜厚を120nm程度とした。次に、単結晶半導体層にレーザー光を照射した後、条件2の第1のエッチング処理と同じ条件で第2のエッチング処理を行うことで、単結晶半導体層の膜厚を60nm程度とした。

#### 【0233】

条件4として、第1のエッチング処理及び第2のエッチング処理を、基板バイアスを印加して行った場合について説明する。単結晶半導体層に条件2の第1のエッチング処理と同

10

20

30

40

50

じ条件で第1のエッチング処理を行うことで、単結晶半導体層の膜厚を120nm程度とした。次に、単結晶半導体層にレーザー光を照射した後、条件2の第1のエッチング処理と同じ条件で第2のエッチング処理を行うことで、単結晶半導体層の膜厚を60nm程度とした。

#### 【0234】

なお、条件1～条件4において、レーザー光の照射条件は、レーザー発振器に、波長308nmのビームを発振するXeClエキシマレーザーを用い、光学系により、被照射面のビーム形状がおおよそ390μm×140mmの線状となるように集光した。レーザー光のパルス幅は20nsであり、繰り返し周波数は30Hzである。また、レーザー光の照射は、室温で窒素ガスを照射領域に吹き付けながら行った。

10

#### 【0235】

以上、条件1～条件4によって作製したSOI基板を用いて容量TEGを作製した。図17に本実施例で作製した薄膜トランジスタの構造を示す。図17(A)は容量TEGの上面図であり、図17(B)は図17(A)のA-Bの切断面である。

#### 【0236】

ガラス基板800上に、酸化処理により形成された酸化シリコン膜801(膜厚100nm)が形成されている。また、酸化シリコン膜801上にゲート絶縁層804(膜厚20nm)、ゲート絶縁層上にゲート電極層805(膜厚30nmの窒化タンタル層と膜厚370nmのタングステン層との積層)が形成されている。酸化シリコン膜801には、ソース領域およびドレイン領域803(n型を付与する不純物元素としてリンを含む不純物領域)に接続するソース電極層及びドレイン電極層(膜厚60nmのチタン層、膜厚40nmの窒化チタン層、膜厚300nmのアルミニウム層、膜厚100nmのチタン層の順に積層)が形成されている。また、酸化シリコン膜801のソース領域およびドレイン領域(p型を付与する不純物元素として硼素を含む不純物領域)に接続するソース電極層及びドレイン電極層807(膜厚60nmのチタン層、膜厚40nmの窒化チタン層、膜厚300nmのアルミニウム層、膜厚100nmのチタン層の順に積層)が形成されている。さらに、トランジスタ上は層間絶縁層806(膜厚50nmの酸化シリコン膜、膜厚300nmの窒化酸化シリコン膜、膜厚450nmの酸化窒化シリコン膜の順に積層)が形成されている。本実施例に係る容量TEGは、ゲート電極の面積を0.66mm<sup>2</sup>となるように形成されている。

20

30

#### 【0237】

図18及び図19に、試料L～試料Oの電流-電圧(I-V)特性を測定した結果を示す。図18及び図19において、横軸はゲート電圧V<sub>g</sub>(V)、縦軸はゲート電流I<sub>g</sub>(A)を表している。ここでは、試料L～試料Oの基板面内25ポイントずつI-V特性を測定した結果を示す。

#### 【0238】

図18及び図19の結果より、第1のエッチング処理及び第2のエッチング処理を、基板バイアスを印加せずに行った試料Lは、電流値の立ち上がりが遅くなり、バラツキも少なく、耐圧が良いことがわかった。また、第1のエッチング処理は基板バイアスを印加し、第2のエッチング処理は基板バイアスを印加せずに行った試料Mも、電流値の立ち上がりにバラツキが生じているものの、立ち上がりが遅くなり、良好な特性が得られた。これに対し、第1のエッチング処理は基板バイアスを印加せず、第2のエッチング処理は基板バイアスを印加した試料N、及び第1のエッチング処理及び第2のエッチング処理を、基板バイアスを印加して行った試料Oは、電流値の立ち上がりが早く、耐圧が悪いことがわかった。

40

#### 【0239】

図20に、上記試料L～試料Oの電界効果移動度の結果を示す。電界効果移動度の結果からも、第1のエッチング処理及び第2のエッチング処理を、基板バイアスを印加せずに行った試料L、及び第1のエッチング処理は基板バイアスを印加し、第2のエッチング処理は基板バイアスを印加せずに行った試料Mは、他の試料と比べてバラツキが少なく、高い

50

電界効果移動度が得られることがわかった。

【 0 2 4 0 】

以上の結果より、少なくとも第 2 のエッチング処理を、基板バイアスを印加せずに行った試料 L 及び試料 M は、エッチング処理において汚染が少なく、また単結晶シリコン層の表面粗さが低減されたため、良好な耐圧及び高い電界効果移動度が得られたものと考えられる。しかし、少なくとも第 2 のエッチング処理を、基板バイアスを印加して行った試料 N、試料 O は、エッチング処理において汚染が生じてしまい、また単結晶シリコン層の表面が荒れしまったため、耐圧が低く、電界効果移動度も低下してしまったと考えられる。

【 0 2 4 1 】

以上の結果より、本発明の一態様を適用することで、S O I 基板の作製中に生じる単結晶シリコン基板の汚染が低減することがわかった。また、このような S O I 基板を用いた半導体装置は、高性能化及び信頼性を向上させることがわかった。

10

【符号の説明】

【 0 2 4 2 】

1	ポイント	
2	ポイント	
3	ポイント	
4	基板	
1 0 1	半導体基板	
1 0 2	酸化膜	20
1 0 3	イオン	
1 0 4	脆化領域	
1 0 7	レーザビーム	
1 0 8	矢印	
1 0 9	部分	
1 2 1	支持基板	
1 2 2	絶縁層	
1 2 3	単結晶半導体層	
1 2 3	単結晶半導体層	
2 0 5	単結晶半導体層	30
2 0 6	単結晶半導体層	
2 0 7	ゲート絶縁層	
2 0 8	ゲート電極層	
2 0 9	ゲート電極層	
2 1 0	不純物元素	
2 1 1	マスク	
2 1 2 a	n 型不純物領域	
2 1 3	不純物元素	
2 1 4	マスク	
2 1 5 a	p 型不純物領域	40
2 1 5 b	p 型不純物領域	
2 1 6 a	側壁絶縁層	
2 1 6 c	側壁絶縁層	
2 1 7	不純物元素	
2 1 8	マスク	
2 1 9 a	n 型不純物領域	
2 1 9 b	n 型不純物領域	
2 2 0 a	n 型不純物領域	
2 2 1	チャネル形成領域	
2 2 2	不純物元素	50

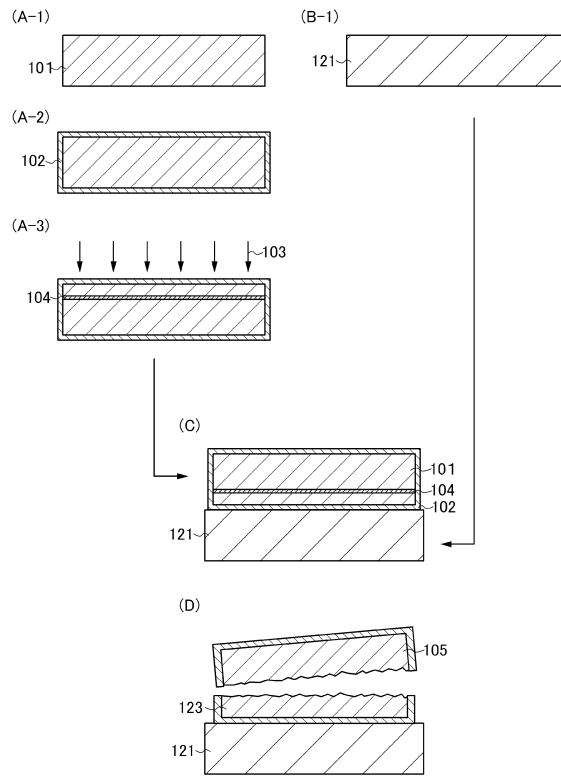
2 2 3	マスク	
2 2 4 a	p 型不純物領域	
2 2 5 a	p 型不純物領域	
2 2 6	チャネル形成領域	
2 2 7	絶縁膜	
2 2 8	絶縁層	
2 2 9 a	配線層	
2 3 1	薄膜トランジスタ	
2 3 2	薄膜トランジスタ	
2 3 3 a	ゲート絶縁層	10
3 0 1	単結晶シリコン基板	
3 0 2	絶縁膜	
3 0 3	ゲート電極	
3 2 0	単結晶半導体層	
3 2 2	走査線	
3 2 3	信号線	
3 2 4	画素電極	
3 2 5	T F T	
3 2 7	層間絶縁膜	
3 2 8	電極	20
3 2 9	柱状スペーサ	
3 3 0	配向膜	
3 3 2	対向基板	
3 3 3	対向電極	
3 3 4	配向膜	
3 3 5	液晶層	
3 4 0	チャネル形成領域	
3 4 1	高濃度不純物領域	
4 0 1	選択用トランジスタ	
4 0 2	表示制御用トランジスタ	30
4 0 3	単結晶半導体層	
4 0 4	単結晶半導体層	
4 0 5	走査線	
4 0 6	信号線	
4 0 7	電流供給線	
4 0 8	画素電極	
4 1 0	電極	
4 1 1	電極	
4 1 2	ゲート電極	
4 1 3	電極	40
4 2 7	層間絶縁膜	
4 2 8	隔壁層	
4 2 9	E L 層	
4 3 0	対向電極	
4 3 1	対向基板	
4 3 2	樹脂層	
4 5 1	チャネル形成領域	
4 5 2	高濃度不純物領域	
5 0 0	マイクロプロセッサ	
5 0 1	演算回路	50



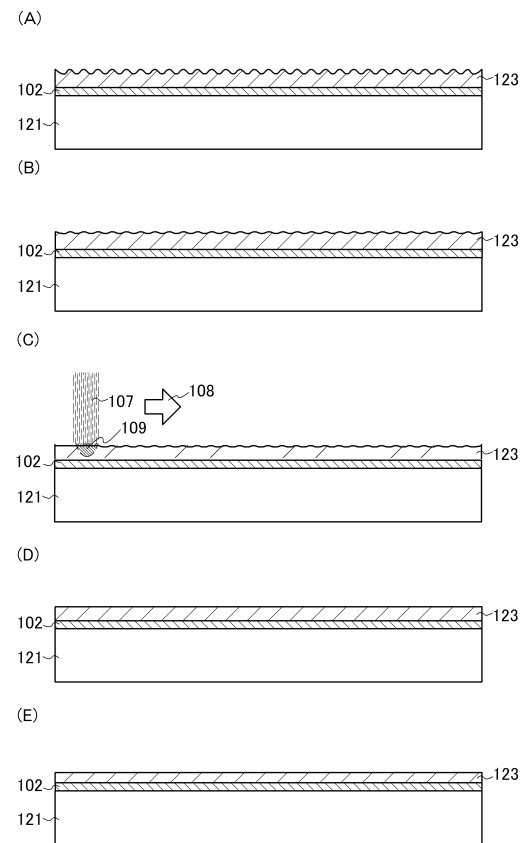
5 0 2	演算回路制御部	
5 0 3	命令解析部	
5 0 4	制御部	
5 0 5	タイミング制御部	
5 0 6	レジスタ	
5 0 7	レジスタ制御部	
5 0 8	バスインターフェース	
5 0 9	専用メモリ	
5 1 0	メモリインターフェース	
5 1 1	R F C P U	10
5 1 2	アナログ回路部	
5 1 3	デジタル回路部	
5 1 4	共振回路	
5 1 5	整流回路	
5 1 6	定電圧回路	
5 1 7	リセット回路	
5 1 8	発振回路	
5 1 9	復調回路	
5 2 0	変調回路	
5 2 1	R F インターフェース	20
5 2 2	制御レジスタ	
5 2 3	クロックコントローラ	
5 2 4	インターフェース	
5 2 5	中央処理ユニット	
5 2 6	ランダムアクセスメモリ	
5 2 7	専用メモリ	
5 2 8	アンテナ	
5 2 9	容量部	
5 3 0	電源管理回路	
5 5 0	加熱温度	30
6 2 0	処理室	
6 2 1	ステージ	
6 2 2	ガス供給部	
6 2 3	シャワープレート	
6 2 4	排気口	
6 2 5	上部電極	
6 2 6	下部電極	
6 2 7	交流電源	
6 2 8	マッチングコントローラ	
6 2 9	温度制御部	40
7 0 0	携帯電話	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	スピーカ	
7 0 5	マイクロフォン	
7 0 6	操作キー	
7 0 7	ポインティングデバイス	
7 0 8	表面カメラ用レンズ	
7 0 9	外部接続端子ジャック	50

7 1 0	イヤホン端子	
7 1 1	キーボード	
7 1 2	外部メモリスロット	
7 1 3	裏面カメラ	
7 1 4	ライト	
8 0 0	ガラス基板	
8 0 1	酸化シリコン膜	
8 0 4	ゲート絶縁層	
8 0 5	ゲート電極層	
8 0 6	層間絶縁層	10
8 0 7	ソース電極層及びドレイン電極層	
9 0 1	筐体	
9 0 2	支持台	
9 0 3	表示部	
9 0 4	スピーカ部	
9 0 5	ビデオ入力端子	
9 1 1	筐体	
9 1 2	表示部	
9 1 3	キーボード	
9 1 4	外部接続ポート	20
9 1 5	ポインティングデバイス	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	操作キー	
9 2 4	センサ部	
9 3 1	筐体	
9 3 2	表示部	
9 3 3	レンズ	
9 3 4	操作キー	
9 3 5	シャッターボタン	30
9 4 1	本体	
9 4 2	表示部	
9 4 3	筐体	
9 4 4	外部接続ポート	
9 4 5	リモコン受信部	
9 4 6	受像部	
9 4 7	バッテリー	
9 4 8	音声入力部	
9 4 9	操作キー	
9 5 0	接眼部	40

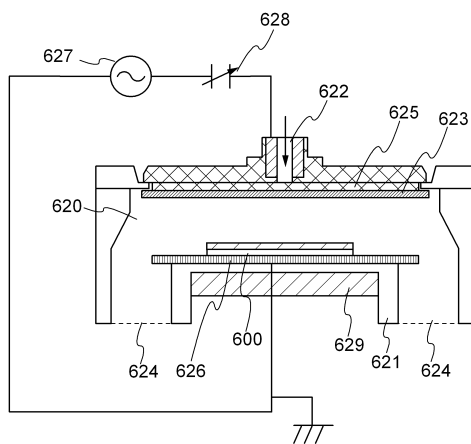
【図 1】



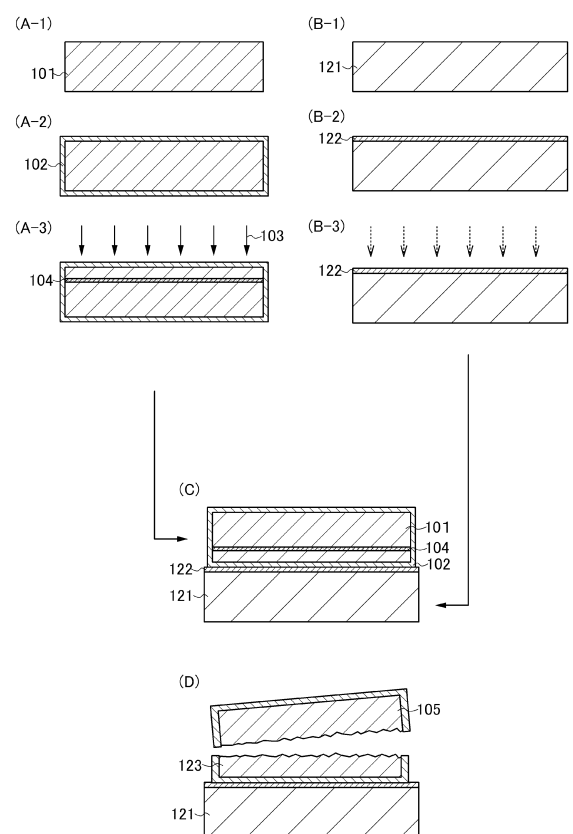
【図 2】



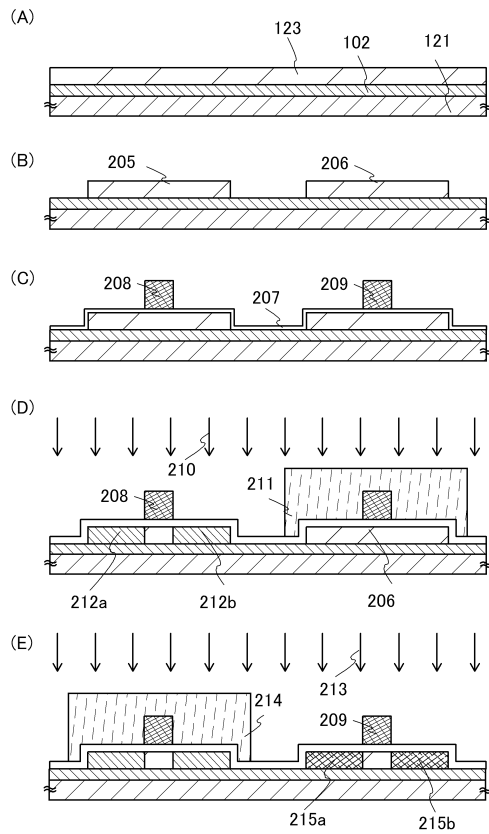
【図 3】



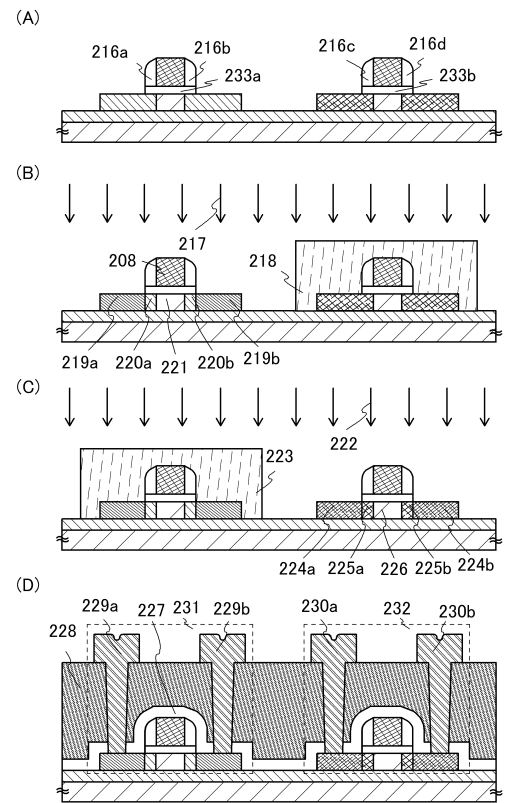
【図 4】



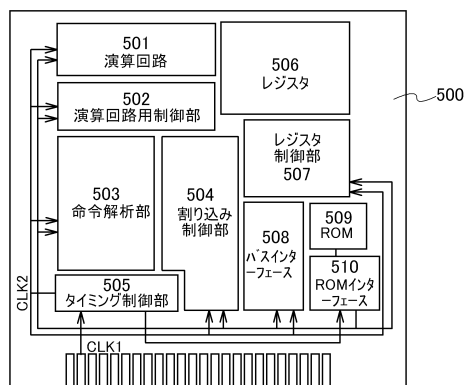
【図 5】



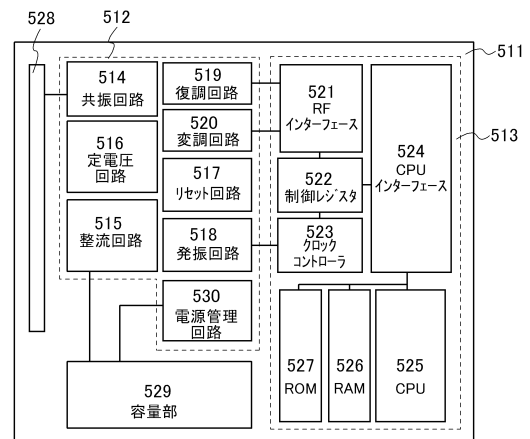
【図 6】



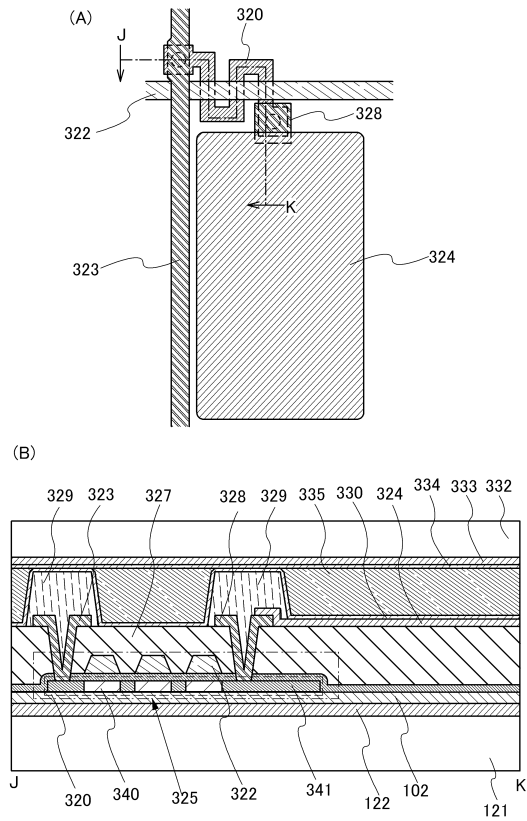
【図 7】



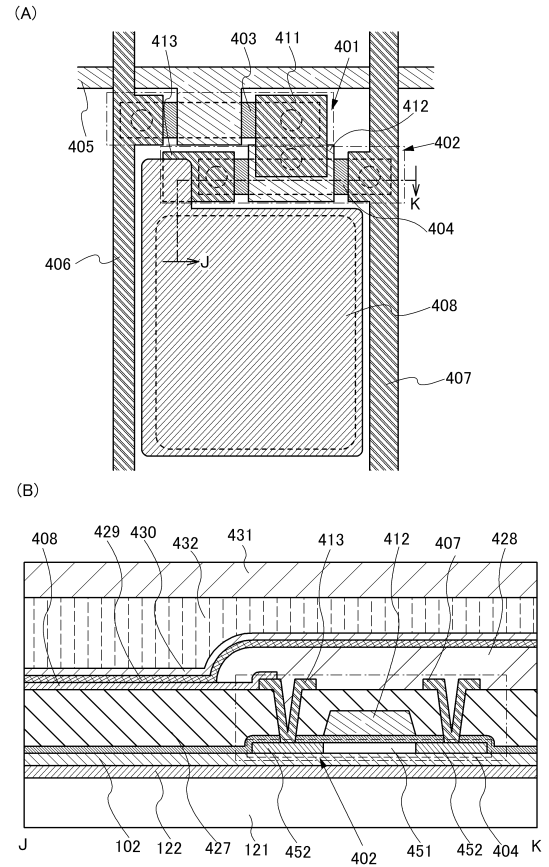
【図 8】



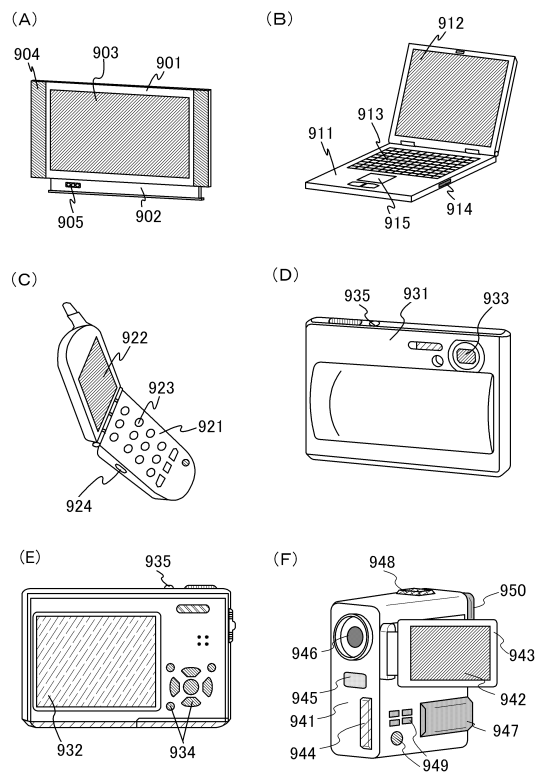
【図 9】



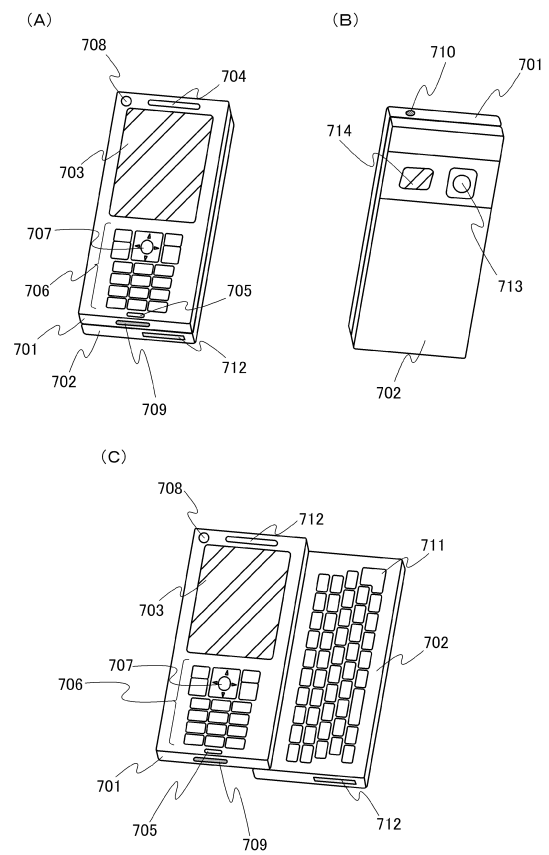
【図 10】



【図 11】

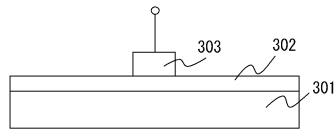


【図 12】

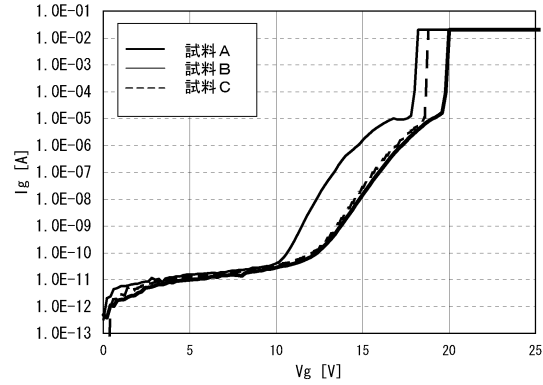


【図 14】

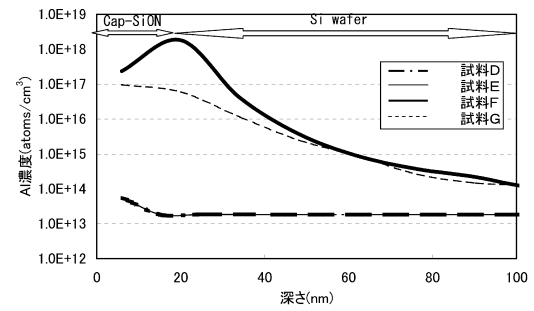
(A)



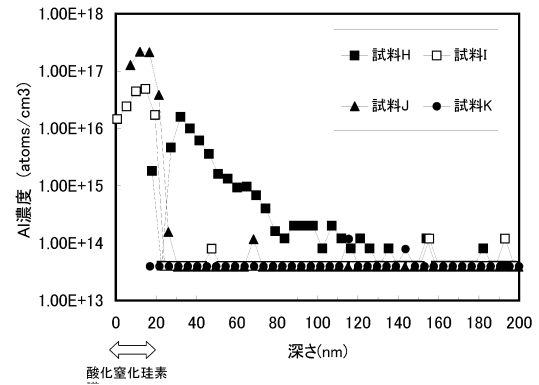
(B)



【図 15】

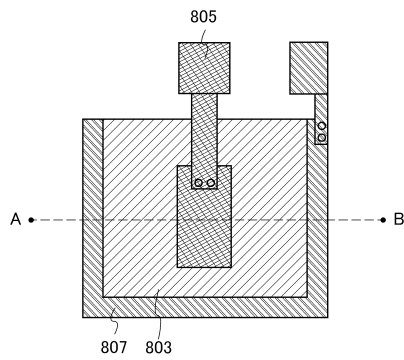


【図 16】

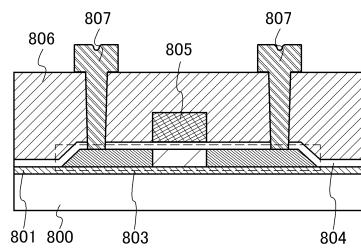


【図 17】

(A)

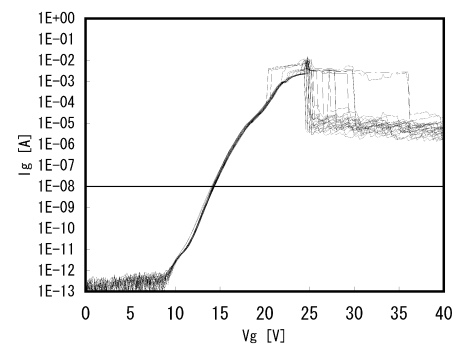


(B)

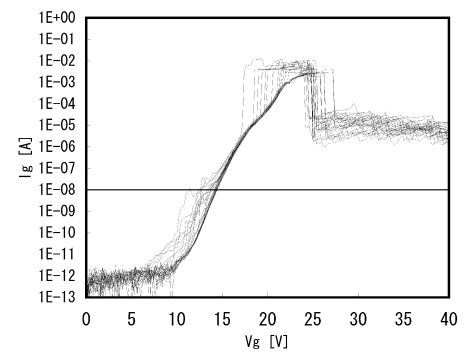


【図 18】

(A)

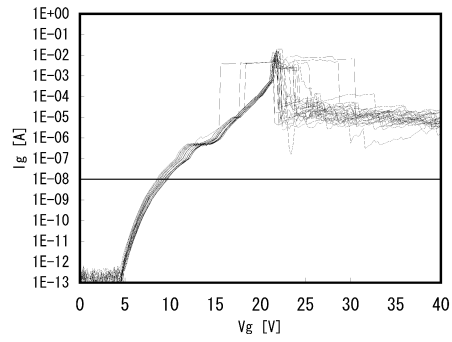


(B)

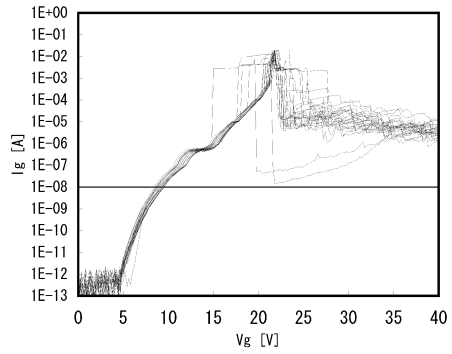


【図 19】

(A)

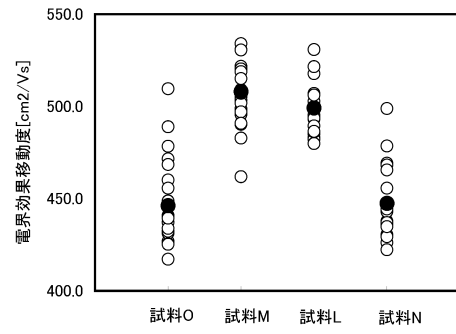


(B)



【図 20】

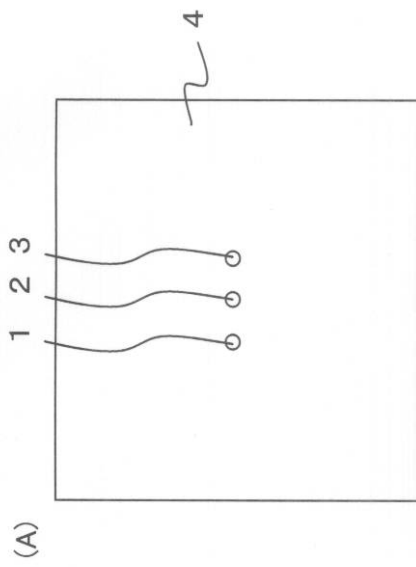
(A)



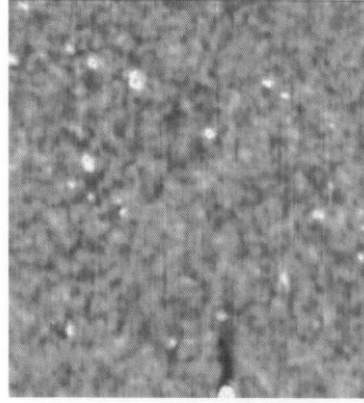
(B)

	試料O[cm²/Vs]	試料N[cm²/Vs]	試料L[cm²/Vs]	試料M[cm²/Vs]
最大値	509.6	498.9	565.0	577.0
最小値	417.2	422.4	479.9	462.0
平均値	446.2	447.5	499.2	508.1

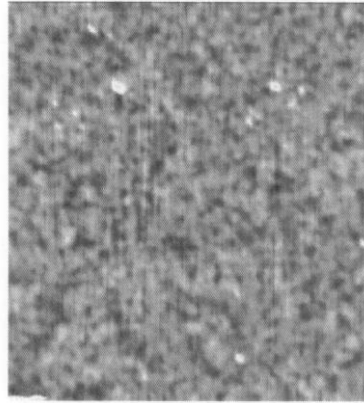
【図 13】



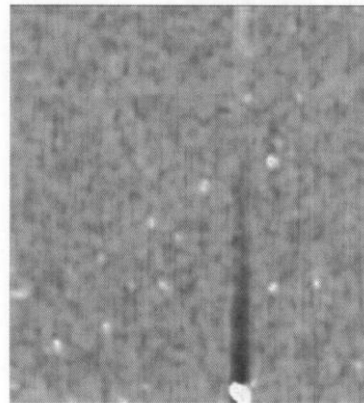
(D)



(C)



(B)





---

 フロントページの続き

(51)Int.Cl.			F I		
H 0 1 L	29/786	(2006.01)	H 0 1 L	29/78	6 2 7 D
H 0 1 L	21/3065	(2006.01)	H 0 1 L	21/302	1 0 5 B
H 0 1 L	21/322	(2006.01)	H 0 1 L	21/322	X
H 0 1 L	21/20	(2006.01)	H 0 1 L	21/20	

(56)参考文献 特開 2 0 0 5 - 2 5 2 2 4 4 ( J P , A )  
 特開平 1 1 - 1 0 2 8 4 8 ( J P , A )  
 特開 2 0 0 5 - 2 5 1 9 1 2 ( J P , A )  
 特開平 0 9 - 1 5 3 4 6 2 ( J P , A )  
 特開 2 0 0 8 - 3 0 0 5 7 1 ( J P , A )  
 特開平 0 2 - 0 5 4 5 3 2 ( J P , A )  
 特開 2 0 0 9 - 0 0 4 7 4 9 ( J P , A )  
 特開 2 0 0 7 - 0 5 9 8 8 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 0 2  
 H 0 1 L 2 1 / 2 0  
 H 0 1 L 2 1 / 2 6 5  
 H 0 1 L 2 1 / 3 0 6 5  
 H 0 1 L 2 1 / 3 2 2  
 H 0 1 L 2 1 / 3 3 6  
 H 0 1 L 2 7 / 0 8  
 H 0 1 L 2 7 / 1 2  
 H 0 1 L 2 9 / 7 8 6