



(21)申請案號：107104267

(22)申請日：中華民國 107 (2018) 年 02 月 07 日

(51)Int. Cl. : H03K5/22 (2006.01)

H03M1/12 (2006.01)

(71)申請人：國立臺灣科技大學(中華民國) NATIONAL TAIWAN UNIVERSITY OF SCIENCE AND TECHNOLOGY (TW)

臺北市大安區基隆路4段43號

(72)發明人：彭盛裕 PENG, SHENG YU (TW)；李浩宇 LI, HAO YU (TW)；王子昀 WANG, TZU YUN (TW)；黃揚景 HUANG, YANG JING (TW)；馬宗猷 MA, ZONG YU (TW)；游世安 YU, SHIH AN (TW)

(74)代理人：陳夢麟

(56)參考文獻：

US 9082631B1

US 9225320B1

US 9438211B1

US 9641138B2

WO 2008/117998A1

WO 2012/101610A1

WO 2014/198702A2

審查人員：蔡明宏

申請專利範圍項數：9 項 圖式數：4 共 26 頁

(54)名稱

動態電流關聯電路及其應用之比較器及類比數位轉換裝置

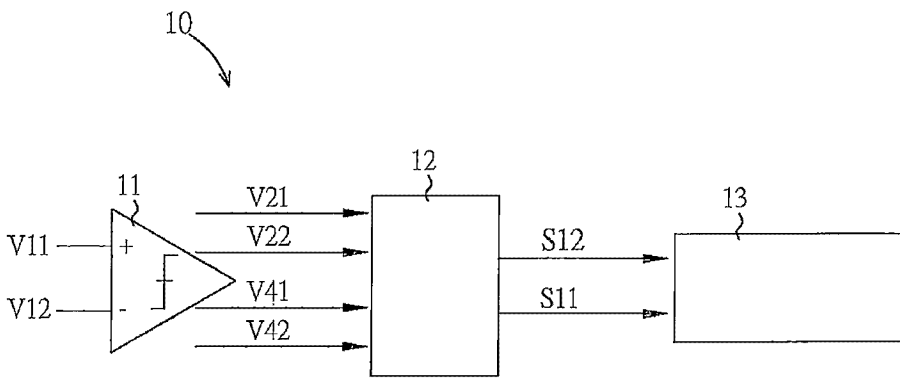
DYNAMIC CURRENT CORRELATING CIRCUIT AND ITS APPLIED COMPARATOR AND ANALOG-TO-DIGITAL CONVERTER

(57)摘要

本發明揭露一種動態電流關聯電路，其包括一重置電路、一第一電流產生電路以及一第二電流產生電路。重置電路係於一第一時間執行一放電程序，並於一第二時間執行一充電程序。第一電流產生電路係與重置電路電性連接，並依據一第一輸入電壓及一第二輸入電壓，而於一第三時間產生一第一子電流及一第二子電流，並於第三時間之後產生一第一電流。第二電流產生電路係與重置電路電性連接，並依據第一輸入電壓及第二輸入電壓，而於第三時間之後產生一第二電流。另外，本發明亦揭露一種應用該動態電流關聯電路之比較器及類比數位轉換裝置。

A dynamic current correlating circuit is disclosed. The current correlating circuit includes a reset circuit, a first current generating circuit and a second current generating circuit. The reset circuit executes a discharging procedure during a first time interval and executes a charging procedure during a second time interval. The first current generating circuit is electrically connected to the reset circuit. The first current generating circuit generates a first sub-current and a second sub-current during a third time interval according to a first input voltage and a second input voltage and generates a first current after the third time interval. The second current generating circuit is electrically connected to the reset circuit. The second current generating circuit generates a second current according to the first input voltage and the second input voltage after the third time interval. In addition, a comparator and an analog-to-digital converter applied with the dynamic current correlating circuit are also disclosed.

指定代表圖：



第 1 圖

符號簡單說明：

10 . . . 類比數位轉換裝置

11 . . . 比較器

12 . . . 控制單元

13 . . . 旁路切換邏輯單元

V11 . . . 第一輸入電壓

V12 . . . 第二輸入電壓

V21 . . . 第一輸出電壓

V22 . . . 第二輸出電壓

V41 . . . 第一旁路觸發電壓

V42 . . . 第二旁路觸發電壓

S11 . . . 旁路觸發訊號

S12 . . . 準備訊號

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】動態電流關聯電路及其應用之比較器及類比數位轉換裝置

DYNAMIC CURRENT CORRELATING CIRCUIT
AND ITS APPLIED COMPARATOR AND
ANALOG-TO-DIGITAL CONVERTER

【技術領域】

【0001】 本發明係關於一種動態電流關聯電路及其應用之比較器及類比數位轉換裝置。

【先前技術】

【0002】 許多需要長期監控的病症，例如心臟的問題，需要使用心電圖裝置來做長時間的監測。然而，體積過大的監測裝置將不適合使用者長時間配戴使用。隨著於科技的發展，電子技術與醫學的結合，而發展出穿戴式心電圖裝置，甚至是植入式心臟檢測裝置。

【0003】 當裝置的體積越來越小時，電池所能夠持續的使用時間隨即變得相當重要。因為電池如果需要常常更換，將造成使用者的不便利性。尤其是植入式心臟檢測裝置，更不能夠隨時取出更換電池。

【0004】 要延長電池的使用時間，其一作法為提高電池的蓄電容量，但在有限的空間下，電池蓄電容量仍有相當的限制。因而，除了提高電池的蓄電容量之外，減少電子元件的功率消耗亦是各家業者著眼的重點技術之一。

【0005】 一般而言，在此類的電子裝置中，因為數位化的關係，皆需要使用類比數位轉換器 (analog to digital converter, ADC) 以將類比訊號轉換為數位訊號。在類比數位轉換器中通常係利用包括比較器、邏輯閘等邏輯電路所組成，在正常狀況下，使用數量較少的邏輯電路將能夠降低功率消耗。因此，如何提供一種類比數位轉換裝置，除了維持高轉換效益，且又能降低功率消耗，

實屬當前重要課題之一。

【發明內容】

【0006】 有鑒於此，本發明之一目的在於提供一種能夠降低功率消耗，以延長使用時間的動態電流關聯電路及其應用之比較器及類比數位轉換裝置。

【0007】 另外，本發明之另一目的在於提供一種適用於穿戴式或植入式感測裝置的動態電流關聯電路及其應用之比較器及類比數位轉換裝置。

【0008】 為達上述目的，本發明提供一種動態電流關聯電路，其包括一重置電路、一第一電流產生電路以及一第二電流產生電路。重置電路係於一第一時間執行一放電程序，並於一第二時間執行一充電程序。第一電流產生電路係與重置電路電性連接，並依據一第一輸入電壓及一第二輸入電壓，而於一第三時間產生一第一子電流及一第二子電流，並於第三時間之後產生一第一電流。第二電流產生電路係與重置電路電性連接，並依據第一輸入電壓及第二輸入電壓，而於第三時間之後產生一第二電流。

【0009】 另外，為達上述目的，本發明提供一種比較器，其包括一動態電流關聯電路、一第一閘鎖電路及一第二閘鎖電路。動態電流關聯電路包括一重置電路、一第一電流產生電路以及一第二電流產生電路。重置電路係於一第一時間執行一放電程序，並於一第二時間執行一充電程序。第一電流產生電路係與重置電路電性連接，並依據一第一輸入電壓及一第二輸入電壓，而於一第三時間產生一第一子電流及一第二子電流，並於第三時間之後產生一第一電流。第二電流產生電路係與重置電路電性連接，並依據第一輸入電壓及第二輸入電壓，而於第三時間之後產生一第二電流。第一閘鎖電路係與動態電流關聯電路電性連接，並依據第一子電流及第二子電流所產生之一第一子電壓及一第二子電壓，而產生一第一輸出電壓及一第二輸出電壓。第二閘鎖電路係與動態電流關聯電路電性連接，並依據第一電流及第二電流所產生之一第一電壓及一第二電壓，而產生一第一旁路觸發電壓及一

第二旁路觸發電壓。

【0010】 依據本發明之一實施例，比較器更包括一可調式延遲電路，其係電性連接於該第二門鎖電路與該動態電流關聯電路之間，藉以控制該第一電壓及/或該第二電壓之一上升時間。可調式延遲電路可包括至少一電容器，其係電性連接於第一電壓與一第一參考電壓之間，或電性連接於第二電壓與一第二參考電壓之間。其中，電容器可以係為電解電容、有機電容、無機電容或半導體電容，而半導體電容例如為金氧半電容。

【0011】 再者，為達上述目的，本發明提供一種類比數位轉換裝置，其包括一比較器、一控制單元以及一旁路切換邏輯單元。比較器包括一動態電流關聯電路、一第一門鎖電路及一第二門鎖電路。動態電流關聯電路包括一重置電路、一第一電流產生電路以及一第二電流產生電路。重置電路係於一第一時間執行一放電程序，並於一第二時間執行一充電程序。第一電流產生電路係與重置電路電性連接，並依據一第一輸入電壓及一第二輸入電壓，而於一第三時間產生一第一子電流及一第二子電流，並於第三時間之後產生一第一電流。第二電流產生電路係與重置電路電性連接，並依據第一輸入電壓及第二輸入電壓，而於第三時間之後產生一第二電流。第一門鎖電路係與動態電流關聯電路電性連接，並依據第一子電流及第二子電流所產生之一第一子電壓及一第二子電壓，而產生一第一輸出電壓及一第二輸出電壓。第二門鎖電路係與動態電流關聯電路電性連接，並依據第一電流及第二電流所產生之一第一電壓及一第二電壓，而產生一第一旁路觸發電壓及一第二旁路觸發電壓。控制單元係與比較器電性連接，且係接收第一輸出電壓、第二輸出電壓、第一旁路觸發電壓及第二旁路觸發電壓，並據以輸出一旁路觸發訊號及一準備訊號。旁路切換邏輯單元係與控制單元電性連接，並依據旁路觸發訊號及準備訊號，依序產生一組數位控制訊號。

【0012】 依據本發明之一實施例，其中當第一輸入電壓與第二輸入電壓差值越小時，則第一電流之電流值越大，而第二電流

之電流值越小。反之，當第一輸入電壓與第二輸入電壓差值越大時，則第一電流之電流值越小，而第二電流之電流值越大。

【0013】 依據本發明之一實施例，其中，第一電流產生電路及第二電流產生電路係分別由複數個P型金氧半場效電晶體所組成，或分別由複數個N型金氧半場效電晶體所組成。

【0014】 依據本發明之一實施例，其中旁路切換邏輯單元包括一第一子邏輯電路即一第二子邏輯電路。第一子邏輯電路具有複數組依序串聯之第一數位訊號產生電路，並輸出一組第一子控制訊號，當該些第一數位訊號產生電路之其中之一的輸出為0時，其後所串聯之第一數位訊號產生電路則停止運作。第二子邏輯電路具有複數組依序串聯之第二數位訊號產生電路，其係依序運作並輸出一組第二子控制訊號。該組第一子控制訊號與該組第二子控制訊號係組成該組數位控制訊號。

【0015】 承上所述，依據本發明之一種動態電流關聯電路及其應用之比較器及類比數位轉換裝置，利用具有重置電路的動態電流關聯電路搭配一組比較器即可實現類比數位轉換裝置。因此，利用極簡化的電子元件來完成類比數位轉換裝置，減少硬體元件的使用則能夠有效地降低功率消耗，以達到延長其應用之電子產品的使用時間之目的。

【圖式簡單說明】

【0016】

第1圖係顯示依據本發明較佳實施例之一種類比數位轉換裝置之一方塊示意圖。

第2圖係顯示依據本發明較佳實施例之類比數位轉換裝置使用之一比較器之一電路架構示意圖。

第3圖係顯示依據本發明較佳實施例之類比數位轉換裝置使用之一控制單元之一電路架構示意圖。

第4圖係顯示依據本發明較佳實施例之類比數位轉換裝置使用之一旁路切換邏輯單元之一電路架構示意圖。

【實施方式】

【0017】 以下將透過實施例來解釋本發明內容，本發明的實施例並非用以限制本發明須在如實施例所述之任何特定的環境、應用或特殊方式方能實施。因此，關於實施例之說明僅為闡釋本發明之目的，而非用以限制本發明。須說明者，以下實施例及圖式中，與本發明非直接相關之元件已省略而未繪示，且圖式中各元件間之尺寸關係僅為求容易瞭解，非用以限制實際比例。另外，以下實施例中，相同的元件將以相同的元件符號加以說明。

【0018】 請參照第1圖所示，本發明較佳實施例之一種類比數位轉換裝置10，其包括一比較器11、一控制單元12以及一旁路切換邏輯單元13。本發明之類比數位轉換裝置10係可應用於一穿戴式裝置或一植入式裝置，可作為心電圖（Electrocardiography, ECG）、眼電圖（Electro-Oculogram, EOG）、肌電圖（Electromyography, EMG）等量測訊號的轉換。

【0019】 請參照第2圖所示，本發明較佳實施例之類比數位轉換裝置使用之比較器之電路架構示意圖。比較器11包括一動態電流關聯電路111、一第一門鎖電路112及一第二門鎖電路113。

【0020】 動態電流關聯電路111包括一重置電路C11、一第一電流產生電路C12以及一第二電流產生電路C13。重置電路C11係於一第一時間執行一放電程序，並於一第二時間執行一充電程序。於本實施例中，重置電路C11包括一放電迴路C111及一充電迴路C112，換言之，重置電路C11係於第一時間致能（enable）放電迴路C111且禁能（disable）充電迴路C112，並於第二時間致能充電迴路C112且禁能放電迴路C111。

【0021】 放電迴路C111係由四個N型金氧半場效（NMOS）電晶體M1、M2、M3、M4所組成，其源極係電性連接至一接地端（ground）。充電迴路C112係包括一個P型金氧半場效（PMOS）電晶體M5，其係於第二時間執行充電程序時被導通，以提供一電源至與其電性連接之電路。

【0022】 第一電流產生電路C12及第二電流產生電路C13係電性連接於重置電路C11之放電迴路C111以及充電迴路C112之間。

【0023】 第一電流產生電路C12係由四個PMOS電晶體M6、M7、M8、M9所組成，其係電性連接於放電迴路C111及充電迴路C112之間。第一電流產生電路C12係依據一第一輸入電壓V11及一第二輸入電壓V12，而於一第三時間產生一第一子電流Is1及一第二子電流Is2，並於第三時間之後產生一第一電流I11。

【0024】 第二電流產生電路C13係由二個PMOS電晶體M10、M11組成，其亦電性連接於放電迴路C111及充電迴路C112之間。第二電流產生電路C13係依據第一輸入電壓V11及第二輸入電壓V12，而於第三時間之後產生一第二電流I12。

【0025】 上述之第一輸入電壓V11及第二輸入電壓V12即為類比數位轉換裝置10所應用之穿戴式裝置或植入式裝置所量測到之訊號，其分別代表為一正相位（positive）訊號及一負相位（negative）訊號。在本實施例中，依據其電路架構，當第一輸入電壓V11與第二輸入電壓V12之差值越小時，則第一電流I11之電流值越大，而第二電流I12之電流值則越小。反之，當第一輸入電壓V11與第二輸入電壓V12之差值越大時，則第一電流I11之電流值越小，而第二電流I12之電流值則越大。換言之，第一電流I11與第二電流I12之差值亦隨之變化。

【0026】 在其他實施例中，依據不同的電路架構，當第一輸入電壓與第二輸入電壓之差值越小，而第一電流之電流值越大時，第二電流之電流值係維持不變或係隨之變大。然而，當第二電流的電流值係隨著第一電流的電流值變大時，第二電流的電流值的變化程度係與第一電流的電流值的變化程度不同。反之，當第一輸入電壓與第二輸入電壓之差值越大，而第一電流之電流值越小時，第二電流之電流值係維持不變或係隨之變小。然而，當第二電流的電流值係隨著第一電流的電流值變小時，第二電流的電流值的變化程度係與第一電流的電流值的變化程度不同。簡而言之，第一輸入電壓及第二輸入電壓的差值係可控制第一電流與第二電流產生差動變化。

【0027】 第一門鎖電路112係由四個PMOS電晶體M12、M13、

M14、M15以及四個NMOS電晶體M16、M17、M18、M19所組成。第一閃鎖電路112係與動態電流關聯電路111電性連接，並依據第一子電流 I_{s1} 及第二子電流 I_{s2} 所產生之一第一子電壓 V_{s1} 及一第二子電壓 V_{s2} ，而產生一第一輸出電壓 V_{21} 及一第二輸出電壓 V_{22} 。

【0028】 第二閃鎖電路113係由四個PMOS電晶體M20、M21、M22、M23、四個NMOS電晶體M24、M25、M26、M27以及二個P型金氧半電容M28、M29所組成。第二閃鎖電路113係與動態電流關聯電路111電性連接，並依據第一電流 I_{11} 及第二電流 I_{12} 所產生之一第一電壓 V_{31} 及一第二電壓 V_{32} ，而產生一第一旁路觸發電壓 V_{41} 及一第二旁路觸發電壓 V_{42} 。

【0029】 其中，P型金氧半電容M28、M29係為一可調式延遲電路之組成元件。在其他實施例中，其亦可由電解電容、有機電容、無機電容或其他半導體電容替代之。另外，根據上述電路架構，於本實施例中，第一閃鎖電路112係可命名為一極性比較閃鎖（polarity comparison latch）電路，而第二閃鎖電路113係可命名為一近接檢測閃鎖（proximity detection latch）電路。

【0030】 於本實施例中，選擇使用P型金氧半電容（PMOS Capacitor）M28、M29，係因其電容值對於其閘極（gate）的變化在正電壓區域係較n型金氧半電容來得平緩。另外，P型金氧半電容M28之閘極係接收一第一參考電壓 V_{r1} ，P型金氧半電容M29之閘極係接收一第二參考電壓 V_{r2} 。經由調整第一參考電壓 V_{r1} 及第二參考電壓 V_{r2} 的大小，將可調整控制第一電壓 V_{31} 及第二電壓 V_{32} 之至少其一之上升時間，進而可調整類比數位轉換裝置10之一旁路臨界範圍（bypass window）的大小，當第一輸入電壓 V_{11} 及第二輸入電壓 V_{12} 落在旁路臨界範圍時，將進入一旁路程序，其相關內容，容後敘述。

【0031】 上述之比較器11的運作方式簡述如下，在第一時間執行放電程序時，係由一第二時脈訊號 Clk_c 控制充電迴路C112的PMOS電晶體M5被關閉（turn off），而放電迴路C111的四個NMOS電晶體M1、M2、M3、M4被導通（turn on），以電性導通接地端並

將第一電流產生電路C12以及第二電流產生電路C13中的電荷傳導至接地端，使得迴路中之一第一子電壓Vs1、一第二子電壓Vs2、一第一電壓V31及一第二電壓V32為低電位。另外，第一閃鎖電路112的二個PMOS電晶體M12、M15以及第二閃鎖電路113的二個PMOS電晶體M20、M23亦被導通，而使得第一旁路觸發電壓V41、第二旁路觸發電壓V42、第一輸出電壓V21及第二輸出電壓V22則為高電位。在第二時間執行充電程序時，係由第二時脈訊號Clkc控制放電迴路C111的四個NMOS電晶體M1、M2、M3、M4被關閉，而充電迴路C112的PMOS電晶體M5被導通，以提供一電源VDD至第一電流產生電路C12以及第二電流產生電路C13。

【0032】 承上所述，上述的第一時間及第二時間係稱為一重置階段，上述的第一子電壓Vs1、第二子電壓Vs2、第二電壓V32和第一電壓V31係稱為一第一級輸出，第一旁路觸發電壓V41、第二旁路觸發電壓V42、第二輸出電壓V22及第一輸出電壓V21係稱為一第二級輸出。

【0033】 第一閃鎖電路112的第一子電壓Vs1以及第二子電壓Vs2的輸入係來自於動態電流關聯電路111的PMOS電晶體M6、M7的汲極。在充電程序開始時，由於PMOS電晶體M8、M9處於截止狀態，PMOS電晶體M6、M7作為偽差分對(pseudo differential pair)運行，而產生極性比較結果。第二閃鎖電路113所接收的第一電壓V31和第二電壓V32係取決於第一電流I11及第二電流I12的大小，以及對應的P型金氧半電容M28、M29的電容值。於本實施例中，當第一輸入電壓V11及第二輸入電壓V12輸入電壓差較小時，第一電壓V31將以比第二電壓V32快的速度充電。因此，第二閃鎖電路113輸出的第二旁路觸發電壓V42係保持高電位，而第一旁路輸出電壓V41轉變為低電位。

【0034】 請再搭配第3圖所示，係依據本發明較佳實施例之類比數位轉換裝置使用之控制單元之電路架構示意圖。控制單元12係與比較器11電性連接，且係接收第一輸出電壓V21、第二輸出電壓V22、第一旁路觸發電壓V41及第二旁路觸發電壓V42，並據以

輸出一旁路觸發訊號S11及一準備訊號S12。在本實施例中，控制單元12係至少包括二個反及(NAND)閘121、122、一個及(AND)閘123以及一個正反器124。正反器124具有一輸入端、一輸出端、一時脈輸入端及一重置輸入端。反及閘121及122之輸出端係分別電性連接至及閘123之輸入端，而及閘123則據以輸出準備訊號S12。另外，及閘122的輸出端更電性連接至正反器124的時脈輸入端，正反器124的重置輸入端係接收一第一時脈訊號Clks。正反器124係依據第一旁路觸發電壓V41、反及閘122的輸出以及第一時脈訊號Clks而輸出旁路觸發訊號S11。

【0035】 請搭配第4圖所示，依據本發明較佳實施例之類比數位轉換裝置使用之旁路切換邏輯單元之電路架構示意圖。旁路切換邏輯單元13係與控制單元12電性連接，並依據旁路觸發訊號S11、準備訊號S12以及第一時脈訊號Clks，依序產生一組數位控制訊號S14。於本實施例中，旁路切換邏輯單元13係由一反(NOT)閘13a、一反或(NOR)閘13b、一或(OR)閘13c以及十級(stage)的數位訊號產生電路所組成。十級的數位訊號產生電路包括一第一數位訊號產生電路131、一第二數位訊號產生電路132、一第三數位訊號產生電路133、一第四數位訊號產生電路134、一第五數位訊號產生電路135、一第六數位訊號產生電路136、一第七數位訊號產生電路137、一第八數位訊號產生電路138、一第九數位訊號產生電路139以及一第十數位訊號產生電路130。

【0036】 第一數位訊號產生電路131至第四數位訊號產生電路134係分別具有一第一及閘131a、132a、133a、134a及一第二及閘131b、132b、133b、134b及一個正反器131c、132c、133c、134c。第五數位訊號產生電路135至第十數位訊號產生電路130係分別具有一個正反器135c、136c、137c、138c、139c、130c。在本實施例中，上述之正反器係為D型正反器，惟此非為限制性者。

【0037】 上述之正反器131c~130c各具有一輸入端、一輸出端、一時脈輸入端及一重置輸入端。其中，各重置輸入端係接收一第一時脈訊號Clks。反閘13a係依據旁路觸發訊號S11而輸出一反

相旁路觸發訊號S11'至第一數位訊號產生電路131至第四數位訊號產生電路134。反或閘13b係依據旁路觸發訊號S11及第四數位訊號產生電路134之正反器134c之輸出端的輸出訊號而輸出一比較訊號S13至第五數位訊號產生電路之正反器135c之輸入端。或閘13c係依據第十數位訊號產生電路130之正反器130c之輸出端的輸出訊號、準備訊號S12及第一時脈訊號Clks而輸出一第二時脈訊號Clkc。

【0038】 第一數位訊號產生電路131之第一及閘131a之一輸入端係接收反相旁路觸發訊號S11'，而另一輸入端係接收電源VDD，並依據反相旁路觸發訊號S11'及電源VDD而產生一輸出訊號至正反器131c之一輸入端。第一數位訊號產生電路131之第二及閘131b之一輸入端係接收反相旁路觸發訊號S11'，而另一輸入端係接收準備訊號S12，並依據反相旁路觸發訊號S11'及準備訊號S12而產生一輸出訊號至正反器131c之時脈輸入端。正反器131c則係依據第一及閘131a的輸出訊號、第二及閘131b的輸出訊號以及第一時脈訊號Clks而由輸出端輸出一第一子控制訊號P9。

【0039】 第二數位訊號產生電路132之第一及閘132a之另一輸入端係接收第一數位訊號產生電路131之正反器131c輸出的第一子控制訊號P9。第一及閘132a之輸出端係電性連接正反器132c之輸入端。第二及閘132b之一輸入端係接收反相旁路觸發訊號S11'，而另一輸入端係接收準備訊號S12，並依據反相旁路觸發訊號S11'及準備訊號S12而產生一輸出訊號至正反器132c之時脈輸入端。正反器132c則係依據第一及閘132a的輸出訊號、第二及閘132b的輸出訊號以及第一時脈訊號Clks而由輸出端輸出一第二子控制訊號P8。

【0040】 第三數位訊號產生電路133之第一及閘133a之另一輸入端係接收第二數位訊號產生電路132之正反器132c輸出的第二子控制訊號P8。第一及閘133a之輸出端係電性連接正反器133c之輸入端。第二及閘133b之一輸入端係接收反相旁路觸發訊號S11'，而另一輸入端係接收準備訊號S12，並依據反相旁路觸發訊

號S11'及準備訊號S12而產生一輸出訊號至正反器133c之時脈輸入端。正反器133c則係依據第一及閘133a的輸出訊號、第二及閘133b的輸出訊號以及第一時脈訊號Clks而由輸出端輸出一第三子控制訊號P7。

【0041】 第四數位訊號產生電路134之第一及閘134a之另一輸入端係接收第三數位訊號產生電路133之正反器133c輸出的第三子控制訊號P7。第一及閘134a之輸出端係電性連接正反器134c之輸入端。第二及閘134b之一輸入端係接收反相旁路觸發訊號S11'，而另一輸入端係接收準備訊號S12，並依據反相旁路觸發訊號S11'及準備訊號S12而產生一輸出訊號至正反器134c之時脈輸入端。正反器134c則係依據第一及閘134a的輸出訊號、第二及閘134b的輸出訊號以及第一時脈訊號Clks而由輸出端輸出一第四子控制訊號P6。另外，第四子控制訊號P6更傳輸至反或閘13b之另一輸入端。

【0042】 第五數位訊號產生電路135之正反器135c之輸入端係電性連接反或閘13b之輸出端，以接收比較訊號S13；時脈輸入端係接收準備訊號S12；重置輸入端係接收第一時脈訊號Clks。正反器135c係依據比較訊號S13、準備訊號S12及第一時脈訊號Clks而由輸出端輸出一第五子控制訊號P5。

【0043】 第六數位訊號產生電路136之正反器136c之輸入端係電性連接第五數位訊號產生電路135之正反器135c之輸出端，以接收第五子控制訊號P5；時脈輸入端係接收準備訊號S12；重置輸入端係接收第一時脈訊號Clks。正反器136c係依據第五子控制訊號P5、準備訊號S12及第一時脈訊號Clks而由輸出端輸出一第六子控制訊號P4。

【0044】 第七數位訊號產生電路137之正反器137c之輸入端係電性連接第六數位訊號產生電路136之正反器136c之輸出端，以接收第六子控制訊號P4；時脈輸入端係接收準備訊號S12；重置輸入端係接收第一時脈訊號Clks。正反器137c係依據第六子控制訊號P4、準備訊號S12及第一時脈訊號Clks而由輸出端輸出一第七子控

制訊號P3。

【0045】 第八數位訊號產生電路138之正反器138c之輸入端係電性連接第七數位訊號產生電路137之正反器137c之輸出端，以接收第七子控制訊號P3；時脈輸入端係接收準備訊號S12；重置輸入端係接收第一時脈訊號Clks。正反器138c係依據第七子控制訊號P3、準備訊號S12及第一時脈訊號Clks而由輸出端輸出一第八子控制訊號P2。

【0046】 第九數位訊號產生電路139之正反器139c之輸入端係電性連接第八數位訊號產生電路138之正反器138c之輸出端，以接收第八子控制訊號P2；時脈輸入端係接收準備訊號S12；重置輸入端係接收第一時脈訊號Clks。正反器139c係依據第八子控制訊號P2、準備訊號S12及第一時脈訊號Clks而由輸出端輸出一第九子控制訊號P1。

【0047】 第十數位訊號產生電路130之正反器130c之輸入端係電性連接第九數位訊號產生電路139之正反器139c之輸出端，以接收第九子控制訊號P1；時脈輸入端係接收準備訊號S12；重置輸入端係接收第一時脈訊號Clks。正反器130c係依據第九子控制訊號P1、準備訊號S12及第一時脈訊號Clks而由輸出端輸出一第十子控制訊號P0。

【0048】 或閘13c係依據第十子控制訊號P0、準備訊號S12以及第一時脈訊號Clks而輸出一第二時脈訊號Clkc至比較器11，以控制電晶體M1~M5、M12、M15、M20、M23。

【0049】 承上所述，第一數位訊號產生電路131至第十數位訊號產生電路130所輸出之第一子控制訊號P9至第十子控制訊號P0係組成數位控制訊號S14。其中，第一子控制訊號P9至第十子控制訊號P0係分別為數位控制訊號S14之其中之一位元（bit），且第一子控制訊號P9代表位元數最大的位元，而第十子控制訊號P0代表位元數最小之位元。換言之，於本實施例中，數位控制訊號S14係為一10位元之數位控制訊號S14。而數位控制訊號S14係用以傳輸至一數位類比轉換裝置（digital to analog converter, DAC）以進而

控制一電容切換陣列（圖未顯示）。

【0050】 上述之十級數位訊號產生電路係依次作動，簡言之，第二數位訊號產生電路132將依據第一數位訊號產生電路131的輸出而作動，第三數位訊號產生電路133則係依據第二數位訊號產生電路132的輸出而作動，餘類推。本發明之旁路切換邏輯單元13係為一連續逼近型數位訊號產生電路（*successive approximation logic circuit*）。然而，根據其數位訊號產生電路的架構，第一數位訊號產生電路131至第四數位訊號產生電路134的動作將可有效地減少功率消耗。其原因為，由第一數位訊號產生電路131所輸出之第一子控制訊號P9係代表位元數最大之位元，而其所對應欲驅動的電容器陣列所需的能耗最大，並依序遞減至第十子控制訊號P0對應驅動的電容器陣列所需的能耗最小。而本實施例之旁路切換邏輯單元13的第一數位訊號產生電路131至第四數位訊號產生電路134中，當其中之一級數位訊號產生電路的輸出為0，則其後級的剩餘數位訊號產生電路皆不再動作。舉例而言，當第一數位訊號產生電路131輸出之第一子控制訊號P9為0時，則第二數位訊號產生電路132、第三數位訊號產生電路133及第四數位訊號產生電路134輸出之第二子控制訊號P8、第三子控制訊號P7及第四子控制訊號P6亦皆為0。此結果代表類比數位轉換裝置10在這四個階段中，因為比較器11的第一輸入電壓V11及第二輸入電壓V12係落在旁路臨界範圍內，因而進入旁路程序而不動作，如此一來即可減少功率消耗。

【0051】 綜上所述，依據本發明較佳實施例之類比數位轉換裝置10僅利用一組比較器並搭配控制單元及旁路邏輯單元進行訊號轉換。藉由經過設計的動態電流關聯電路、第一閘鎖電路及第二閘鎖電路所產生的旁路臨界範圍來與第一輸入電壓及第二輸入電壓作比較，進而控制其後級是否執行旁路程序。據此，並搭配簡化的邏輯電路設計，藉由控制開關的切換與否以達到最佳化整體功率消耗，將功率消耗降至最低。如此一來，當類比數位轉換裝置應用於穿戴式感測裝置或是植入式感測裝置時，將能夠延長

其使用時間，而不需要頻繁地更換裝置或更換電池。

【0052】 本發明符合發明專利之要件，爰依法提出專利申請。惟，以上所述者僅為本發明之較佳實施例，自不能以此限制本案之申請專利範圍。舉凡熟悉本案技藝之人士，爰依本案發明精神所作之等效修飾或變化，皆應包括於以下之申請專利範圍內。

【符號說明】

【0053】

10	類比數位轉換裝置
11	比較器
111	動態電流關聯電路
C11	重置電路
C111	放電迴路
C112	充電迴路
C12	第一電流產生電路
C13	第二電流產生電路
112	第一門鎖電路
113	第二門鎖電路
12	控制單元
121、122	反及閘
123	及閘
124	正反器
13	旁路切換邏輯單元
13a	反閘
13b	反或閘
13c	或閘
131	第一數位訊號產生電路
132	第二數位訊號產生電路
133	第三數位訊號產生電路
134	第四數位訊號產生電路
135	第五數位訊號產生電路

136	第六數位訊號產生電路
137	第七數位訊號產生電路
138	第八數位訊號產生電路
139	第九數位訊號產生電路
130	第十數位訊號產生電路
131a、132a、133a、134a	第一及閘
131b、132b、133b、134b	第二及閘
131c、132c、133c、134c、135c、136c、137c、138c、139c、 130c	正反器
M1、M2、M3、M4、M16、M17、M18、M19、M24、M25、 M26、M27	N型金氧半場效電晶體
M5、M6、M7、M8、M9、M10、M11、M12、M13、M14、 M15、M20、M21、M22、M23	P型金氧半場效電晶體
M28、M29	P型金氧半電容
V11	第一輸入電壓
V12	第二輸入電壓
V21	第一輸出電壓
V22	第二輸出電壓
V31	第一電壓
V32	第二電壓
V41	第一旁路觸發電壓
V42	第二旁路觸發電壓
Vs1	第一子電壓
Vs2	第二子電壓
Vr1	第一參考電壓
Vr2	第二參考電壓
I11	第一電流
I12	第二電流
Is1	第一子電流
Is2	第二子電流

【發明名稱】動態電流關聯電路及其應用之比較器及類比數位轉換裝置

DYNAMIC CURRENT CORRELATING CIRCUIT
AND ITS APPLIED COMPARATOR AND
ANALOG-TO-DIGITAL CONVERTER

【中文】

本發明揭露一種動態電流關聯電路，其包括一重置電路、一第一電流產生電路以及一第二電流產生電路。重置電路係於一第一時間執行一放電程序，並於一第二時間執行一充電程序。第一電流產生電路係與重置電路電性連接，並依據一第一輸入電壓及一第二輸入電壓，而於一第三時間產生一第一子電流及一第二子電流，並於第三時間之後產生一第一電流。第二電流產生電路係與重置電路電性連接，並依據第一輸入電壓及第二輸入電壓，而於第三時間之後產生一第二電流。另外，本發明亦揭露一種應用該動態電流關聯電路之比較器及類比數位轉換裝置。

【英文】

A dynamic current correlating circuit is disclosed. The current correlating circuit includes a reset circuit, a first current generating circuit and a second current generating circuit. The reset circuit executes a discharging procedure during a first time interval and executes a charging procedure during a second time interval. The first current generating circuit is electrically connected to the reset circuit. The first current generating circuit generates a first sub-current and a second sub-current during a third time interval according to a first input voltage and a second input voltage and generates a first current after the third time interval. The second current generating circuit is electrically connected to the reset circuit. The second current generating circuit generates a

second current according to the first input voltage and the second input voltage after the third time interval. In addition, a comparator and an analog-to-digital converter applied with the dynamic current correlating circuit are also disclosed.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

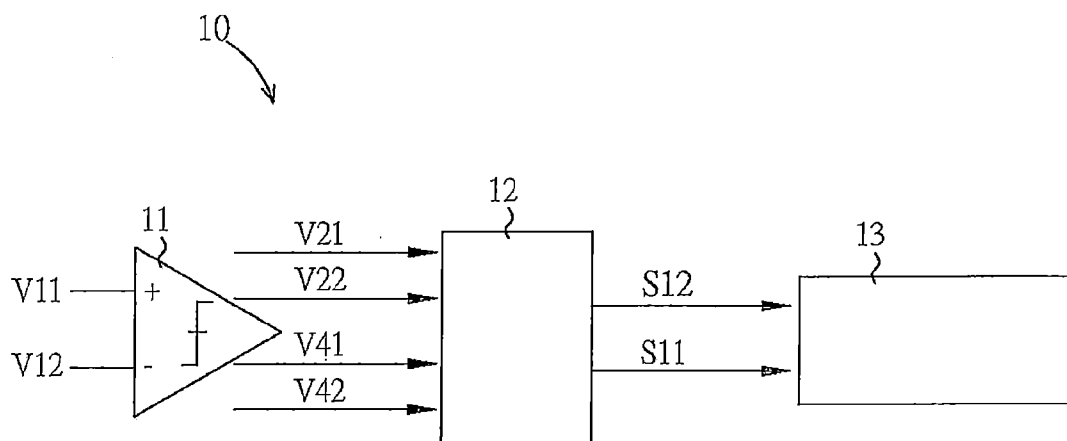
【本代表圖之符號簡單說明】：

- 10 類比數位轉換裝置
- 11 比較器
- 12 控制單元
- 13 旁路切換邏輯單元
- V11 第一輸入電壓
- V12 第二輸入電壓
- V21 第一輸出電壓
- V22 第二輸出電壓
- V41 第一旁路觸發電壓
- V42 第二旁路觸發電壓
- S11 旁路觸發訊號
- S12 準備訊號

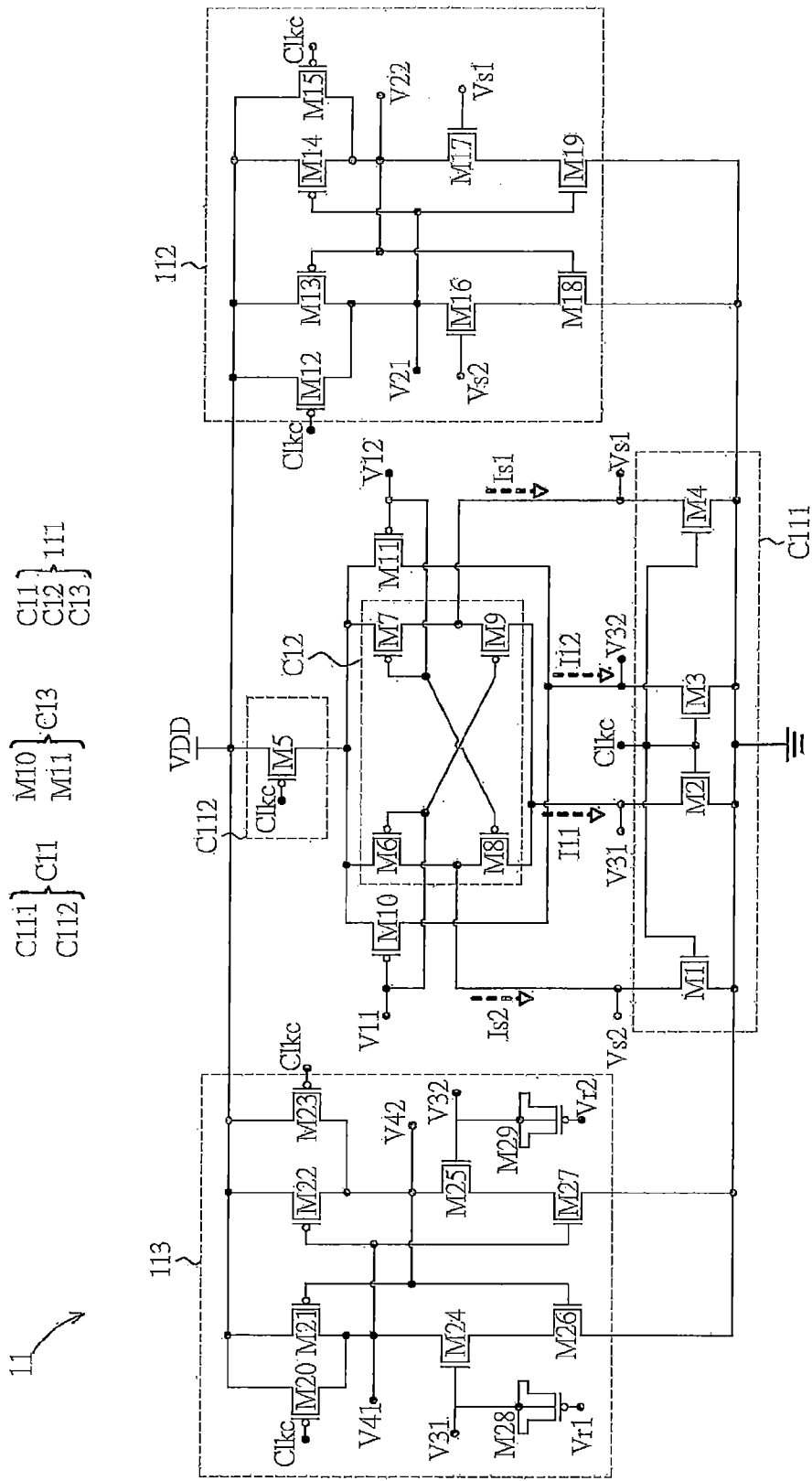
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

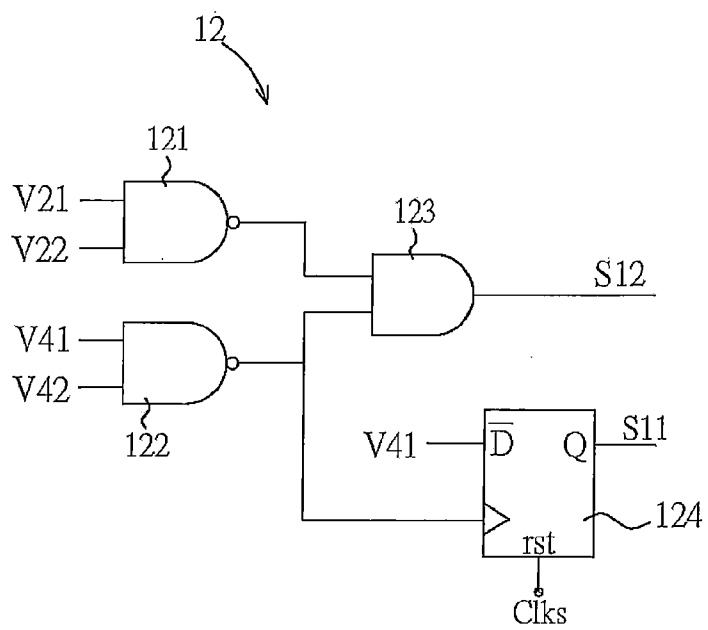
圖式



第 1 圖



第 2 圖



第 3 圖

Clks	第一時脈訊號
Clkc	第二時脈訊號
S11	旁路觸發訊號
S11'	反相旁路觸發訊號
S12	準備訊號
S13	比較訊號
S14	數位控制訊號
VDD	電源
P9	第一子控制訊號
P8	第二子控制訊號
P7	第三子控制訊號
P6	第四子控制訊號
P5	第五子控制訊號
P4	第六子控制訊號
P3	第七子控制訊號
P2	第八子控制訊號
P1	第九子控制訊號
P0	第十子控制訊號

申請專利範圍

1. 一種動態電流關聯電路，包含：
 - 一重置電路，係於一第一時間執行一放電程序，並於一第二時間執行一充電程序；
 - 一第一電流產生電路，係與該重置電路電性連接，並依據一第一輸入電壓及一第二輸入電壓，而於一第三時間產生一第一子電流及一第二子電流，並於該第三時間之後產生一第一電流；以及
 - 一第二電流產生電路，係與該重置電路電性連接，並依據該第一輸入電壓及該第二輸入電壓，而於該第三時間之後產生一第二電流，其中，當該第一輸入電壓與該第二輸入電壓差值越小時，該第一電流之電流值越大，而該第二電流之電流值越小，當該第一輸入電壓與該第二輸入電壓差值越大時，該第一電流之電流值越小，而該第二電流之電流值越大。
2. 一種比較器，包含：
 - 一動態電流關聯電路，其包含：
 - 一重置電路，係於一第一時間執行一放電程序，並於一第二時間執行一充電程序；
 - 一第一電流產生電路，係與該重置電路電性連接，並依據一第一輸入電壓及一第二輸入電壓，而於一第三時間產生一第一子電流及一第二子電流，並於該第三時間之後產生一第一電流；及
 - 一第二電流產生電路，係與該重置電路電性連接，並依據該第一輸入電壓及該第二輸入電壓，而於該第三時間之後產生一第二電流；
 - 一第一門鎖電路（極性比較門鎖），係與該動態電流關聯電路電性連接，並依據該第一子電流及該第二子電流所產生之一第一子電壓及一第二子電壓，而產生一第一輸出電壓及一第二輸出電壓；以及

- 一第二門鎖電路（近接檢測門鎖），係與該動態電流關聯電路電性連接，並依據該第一電流及該第二電流所產生之一第一電壓及一第二電壓，而產生一第一旁路觸發電壓及一第二旁路觸發電壓。
3. 如請求項 2 所述之比較器，其中，當該第一輸入電壓與該第二輸入電壓差值越小時，該第一電流之電流值越大，而該第二電流之電流值越小，當該第一輸入電壓與該第二輸入電壓差值越大時，該第一電流之電流值越小，而該第二電流之電流值越大。
 4. 如請求項 2 所述之比較器，更包含：
 - 一可調式延遲電路，電性連接於該第二門鎖電路與該動態電流關聯電路之間，藉以控制該第一電壓及/或該第二電壓之一上升時間。
 5. 如請求項 4 所述之比較器，其中該可調式延遲電路係包括至少一電容器，電性連接於該第一電壓與一第一參考電壓之間，或電性連接於該第二電壓與一第二參考電壓之間。
 6. 一種類比數位轉換裝置，包含：
 - 一比較器，其包含：
 - 一動態電流關聯電路，其包含：
 - 一重置電路，係於一第一時間執行一放電程序，並於一第二時間執行一充電程序；
 - 一第一電流產生電路，係與該重置電路電性連接，並依據一第一輸入電壓及一第二輸入電壓，而於一第三時間產生一第一子電流及一第二子電流，並於該第三時間之後產生一第一電流；及
 - 一第二電流產生電路，係與該重置電路電性連接，並依據該第一輸入電壓及該第二輸入電壓，而於該第三時間之後產生一第二電流；
 - 一第一門鎖電路（極性比較門鎖），係與該動態電流關聯電路電性連接，並依據該第一子電流及該第二子電流所產生之一第一子電壓及一第二子電壓，而產生一第一輸出電

- 壓及一第二輸出電壓；及
- 一第二門鎖電路（近接檢測門鎖），係與該動態電流關聯電路電性連接，並依據該第一電流及該第二電流所產生之一第一電壓及一第二電壓，而產生一第一旁路觸發電壓及一第二旁路觸發電壓；
- 一控制單元，係與該比較器電性連接，該控制單元係接收該第一輸出電壓、該第二輸出電壓、該第一旁路觸發電壓及該第二旁路觸發電壓，並據以輸出一旁路觸發訊號及一準備訊號；以及
- 一旁路切換邏輯單元，係與該控制單元電性連接，並依據該旁路觸發訊號、該準備訊號及一第一時脈訊號，依序產生一組數位控制訊號。
7. 如請求項 6 所述之類比數位轉換裝置，其中，當該第一輸入電壓與該第二輸入電壓差值越小時，該第一電流之電流值越大，而該第二電流之電流值越小，當該第一輸入電壓與該第二輸入電壓差值越大時，該第一電流之電流值越小，而該第二電流之電流值越大。
8. 如請求項 6 所述之類比數位轉換裝置，其中該動態電流關聯電路更包含：
- 一可調式延遲電路，電性連接於該第二門鎖電路與該動態電流關聯電路之間，藉以控制該第一電壓及/或該第二電壓之一上升時間。
9. 如請求項 8 所述之類比數位轉換裝置，其中該可調式延遲電路係包括至少一電容器，電性連接於該第一電壓與一第一參考電壓之間，或電性連接於該第二電壓與一第二參考電壓之間。