

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-503422
(P2024-503422A)

(43)公表日 令和6年1月25日(2024.1.25)

(51)国際特許分類		F I		
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	6 5 2 E
H 0 1 L	29/12 (2006.01)	H 0 1 L	29/78	6 5 2 T
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 5 2 D
		H 0 1 L	29/78	6 5 8 A
		H 0 1 L	29/78	6 5 2 F
審査請求 未請求 予備審査請求 未請求 (全21頁)				
(21)出願番号	特願2023-542472(P2023-542472)	(71)出願人	300057230	
(86)(22)出願日	令和4年1月7日(2022.1.7)		セミコンダクター・コンポーネンツ・インダストリーズ・リミテッド・ライアビリティ・カンパニー	
(85)翻訳文提出日	令和5年9月7日(2023.9.7)		アメリカ合衆国 アリゾナ 8 5 2 5 0 , スコッツデール, ノース ピマ ロード 5 7 0 1	
(86)国際出願番号	PCT/US2022/070083	(74)代理人	110002077	
(87)国際公開番号	WO2022/155630		園田・小林弁理士法人	
(87)国際公開日	令和4年7月21日(2022.7.21)	(72)発明者	チョ, ケヴィン	
(31)優先権主張番号	17/248,160		大韓民国 1 4 4 8 7 キョンギド, プチョン, チュントンロ 3 9 , 7 1 ボンギル, 1 0 5 - 2 0 6	
(32)優先日	令和3年1月12日(2021.1.12)	(72)発明者	リー, ボンヨン	
(33)優先権主張国・地域又は機関	米国(US)		大韓民国 0 4 5 9 3 ソウル, チュン	
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,最終頁に続く		最終頁に続く	

(54)【発明の名称】 波状チャネルを備えたMOSFETデバイス

(57)【要約】

波状チャネル（110、110a、110b）を含む、交互に変化するP型ウェル幅（116a、118a）を備えたSiC MOSFETデバイスについて説明する。波状チャネル（110、110a、110b）は、オン抵抗、トランスコンダクタンス、閾値電圧、及びチャネル長さの最適化を可能にする、複数の幅の電流経路を提供する。複数幅のp型ウェル領域は、対応する複数幅の接合型FET（JFET）（112a、112b）を更に画定する。複数幅のJFET（112a、112b）は、短絡現象に対する改善された応答を可能にする。第1の幅（112a）のJFET内の高電界を第2の幅（112b）のJFET内へ分配することによって、高破壊電圧が得られる。

【選択図】 図1

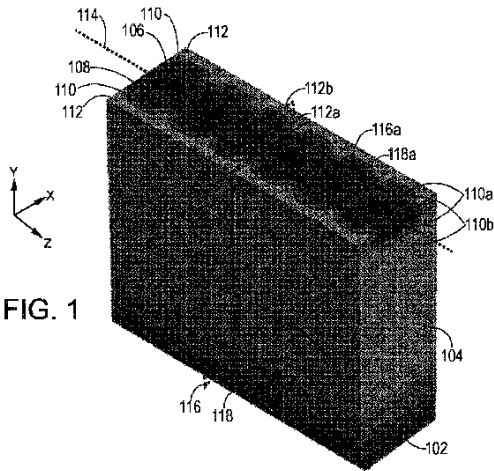


FIG. 1

【特許請求の範囲】

【請求項 1】

炭化ケイ素（S i C）半導体デバイスであって、
第 1 の導電型の基板（1 0 2）と、
前記基板（1 0 2）に配設された、前記第 1 の導電型のドリフト領域（1 0 4）と、
前記ドリフト領域（1 0 4）内にあり、かつ長手方向軸（1 1 4）に沿って配設された、
第 2 の導電型のチャンネル領域（4 0 2、4 0 4）と、
前記チャンネル領域（4 0 2、4 0 4）内に配設された、前記第 1 の導電型のソース領域（1 0 8）と、
前記チャンネル領域（4 0 2、4 0 4）と前記ドリフト領域（1 0 4）との間の複数の接
合電界効果トランジスタ（J F E T）領域（1 1 2 a、1 1 2 b）と、
前記長手方向軸（1 1 4）に沿って、かつ前記ソース領域（1 0 8）、前記チャンネル領
域（4 0 2、4 0 4）、及び前記複数の J F E T 領域（1 1 2 a、1 1 2 b）の少なくとも
も一部分に配設されたゲート（3 0 6）と、
前記チャンネル領域（4 0 2、4 0 4）が第 1 の幅を有する、前記長手方向軸（1 1 4）
に直交する第 1 の断面積と、
前記チャンネル領域（4 0 2、4 0 4）が前記第 1 の幅よりも狭い第 2 の幅を有する、前
記長手方向軸（1 1 4）に直交する第 2 の断面積と、を備える、炭化ケイ素（S i C）半
導体デバイス。

【請求項 2】

前記チャンネル領域（4 0 2、4 0 4）が、前記ソース領域（1 0 8）と前記チャンネル領
域の低濃度ドープチャンネル領域（4 0 2）との間に高濃度ドープチャンネル領域（4 0 4）
を含み、前記低濃度ドープチャンネル領域（4 0 2）が、前記高濃度ドープチャンネル領域（
4 0 4）と前記複数の J F E T 領域（1 1 2 a、1 1 2 b）のうちのある J F E T 領域と
の間にある、請求項 1 に記載の S i C 半導体デバイス。

【請求項 3】

前記複数の J F E T 領域（1 1 2 a、1 1 2 b）が、
第 1 の J F E T 幅を有する、前記第 1 の断面積内の第 1 の J F E T 領域（1 1 2 b）と
、
前記第 1 の J F E T 幅よりも広い第 2 の J F E T 幅を有する、前記第 2 の断面積内の第
2 の J F E T 領域（1 1 2 a）と、を備える、請求項 1 に記載の S i C 半導体デバイス。

【請求項 4】

前記チャンネル領域（4 0 2、4 0 4）が、前記長手方向軸（1 1 4）の方向に沿って、
波状チャンネル縁部（1 1 0）を含む、請求項 1 に記載の S i C 半導体デバイス。

【請求項 5】

前記ソース領域（1 0 8）内に、かつ前記長手方向軸（1 1 4）に沿って配設された、
前記第 2 の導電型の複数のボディコンタクト領域（1 0 6）を備える、請求項 1 に記載の
S i C 半導体デバイス。

【請求項 6】

炭化ケイ素（S i C）半導体デバイスであって、
第 1 の導電型の基板（1 0 2）と、
前記基板（1 0 2）に配設された、前記第 1 の導電型のドリフト領域（1 0 4）と、
前記ドリフト領域（1 0 4）内の第 2 の導電型のチャンネル領域（4 0 2、4 0 4）であ
って、波状チャンネル縁部を有する、チャンネル領域（4 0 2、4 0 4）と、
前記チャンネル領域（4 0 2、4 0 4）内に配設されたソース領域（1 0 8）と、
前記チャンネル領域（4 0 2、4 0 4）と前記ドリフト領域（1 0 4）との間に配設され
た複数の接合電界効果トランジスタ（J F E T）領域であって、前記波状チャンネル縁部の
波形に対応して交互に変化する幅を有する、複数の J F E T 領域（1 1 2 a、1 1 2 b）
と、
前記ソース領域（1 0 8）、前記チャンネル領域（4 0 2、4 0 4）、及び前記複数の J

F E T 領域（1 1 2 a、1 1 2 b）の少なくとも一部分に配設された少なくとも1つのゲートと、を備える、炭化ケイ素（S i C）半導体デバイス。

【請求項7】

前記S i C半導体デバイスの動作中に、前記複数のJ F E T領域（1 1 2 a）のうちのあるJ F E T領域の電界が、前記複数のJ F E T領域（1 1 2 b）のうちの隣接したJ F E T領域内に分配される、請求項6に記載のS i C半導体デバイス。

【請求項8】

S i C半導体デバイスを作製する方法であって、前記方法は、
基板（1 0 2）にドリフト領域（1 0 4）を提供することと、
前記ドリフト領域（1 0 4）内に、かつ長手方向軸（1 1 4）に沿って、チャンネル領域（4 0 2、4 0 4）を注入することであって、前記チャンネル領域（4 0 2、4 0 4）が、前記長手方向軸（1 1 4）に対して交互に変化するウェル幅を有する、注入することと、
前記チャンネル領域（4 0 2、4 0 4）にソース領域（1 0 8）を注入することと、
前記ソース領域（1 0 8）の少なくとも一部分、前記チャンネル領域（4 0 2、4 0 4）の少なくとも一部分、及び前記チャンネル領域（4 0 2、4 0 4）と前記ドリフト領域（1 0 4）との間に配設された複数の接合電界効果トランジスタ（J F E T）領域（1 1 2 a、1 1 2 b）に少なくとも1つのゲートを提供することであって、前記複数のJ F E T領域（1 1 2 a、1 1 2 b）が、前記交互に変化するウェル幅に対応して交互に変化する、交互に変化するJ F E T幅を有する、提供することと、を含む、方法。

【請求項9】

前記チャンネル領域（4 0 2、4 0 4）を注入することが、
前記ドリフト領域（1 0 4）にマスクを提供することであって、前記マスクが、前記チャンネル領域（4 0 2、4 0 4）の前記交互に変化するウェル幅に対応する開口部を有する、提供することと、
前記マスクを使用して、第1のドーピング濃度で、前記ドリフト領域（1 0 4）にドーパントを注入することと、を含む、請求項8に記載の方法。

【請求項10】

前記マスクの前記開口部に沿ってスペーサを提供して、前記チャンネル領域（4 0 2、4 0 4）の一部分を露出させることと、
前記チャンネル領域（4 0 2、4 0 4）の前記一部分に追加のドーパントを注入して、第2のドーピング濃度を提供することと、を更に含む、請求項9に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書は、炭化ケイ素（Silicon Carbide、S i C）垂直金属酸化物半導体電界効果トランジスタ（metal oxide semiconductor field effect transistor、M O S F E T）を含む、M O S F E Tに関するものである。

【背景技術】

【0002】

炭化ケイ素（S i C）金属酸化物半導体電界効果トランジスタ（M O S F E T）は、そのようなS i C M O S F E Tが損傷することなく動作すると予想される電圧及び／又は電流の範囲を指す安全動作領域（safe operating area、S O A）に関して特徴付けられ得る。例えば、同等の電圧定格のシリコンパワーデバイスと比較して、より小さいサイズ、より少ない電力損失、及びより速いスイッチング速度などの好都合な特徴を有するS i C M O S F E Tを作製することは可能である。

【0003】

しかしながら、そのような特徴を十分に利用することは困難であり得る。例えば、スイッチングアプリケーションに使用されるS i C M O S F E Tは、低いオン抵抗及び高いトランスコンダクタンスによる利益が得られ得るが、これらのパラメータに対するS i C M O S F E Tの最適化は、S i C M O S F E Tの対応するS O Aを狭める場合がある。

他の例では、小型の SiC MOSFET はまた、短絡現象に対する耐久性が低下し得る。

【発明の概要】

【0004】

1つの一般的な態様によれば、炭化ケイ素 (SiC) 半導体デバイスは、第1の導電型の基板と、基板に配設された、第1の導電型のドリフト領域と、ドリフト領域内にあり、かつ長手方向軸に沿って配設された第2の導電型のチャンネル領域と、チャンネル領域内に配設された第1の導電型のソース領域と、を含む。 SiC 半導体デバイスは、チャンネル領域とドリフト領域との間の複数の接合電界効果トランジスタ (junction field effect transistor、 JFET) 領域と、長手方向軸に沿って、かつソース領域の少なくとも一部分に配設されたゲートと、チャンネル領域と、複数の JFET 領域と、を更に含む。 SiC 半導体デバイスは、チャンネル領域が第1の幅を有する、長手方向軸に直交する第1の断面積と、チャンネル領域が第1の幅よりも狭い第2の幅を有する、長手方向軸に直交する第2の断面積と、を含む。

10

【0005】

別の一般的な態様によれば、炭化ケイ素 (SiC) 半導体デバイスは、第1の導電型の基板と、基板に配設された、第1の導電型のドリフト領域と、ドリフト領域内の第2の導電型のチャンネル領域であって、波状チャンネル縁部を有する、チャンネル領域と、を含む。 SiC 半導体デバイスは、チャンネル領域内に配設されたソース領域と、チャンネル領域とドリフト領域との間に配設された複数の接合電界効果トランジスタ (JFET) 領域であって、波状チャンネル縁部の波形に対応して交互に変化する幅を有する複数の JFET 領域と、ソース領域、チャンネル領域、及び複数の JFET 領域のうちの少なくとも一部分に配設された少なくとも1つのゲートと、を含む。

20

【0006】

別の一般的な態様によれば、 SiC 半導体デバイスを作製する方法は、基板にドリフト領域を提供することと、ドリフト領域内に、かつ長手方向軸に沿って、チャンネル領域を注入することであって、チャンネル領域が、長手方向軸に対して交互に変化するウェル (例えば、 P 型ウェル) 幅を有する、注入することと、を含む。ソース領域の少なくとも一部分、チャンネル領域の少なくとも一部分、及びチャンネル領域とドリフト領域との間に配設された複数の接合電界効果トランジスタ (JFET) 領域に少なくとも1つのゲートを提供することであって、複数の JFET 領域が、交互に変化するウェル (例えば、 P 型ウェル) 幅に対応して交互に変化する、交互に変化する JFET 幅を有する、提供することと、を更に含む。

30

【0007】

添付の図面及び以下の説明において、1つ以上の実装形態の詳細が記述される。他の特徴は、本説明及び図面から、並びに請求項から明らかとなる。

【図面の簡単な説明】

【0008】

【図1】 波状チャンネル縁部を備えた MOSFET デバイスの等角側面図である。

【図2】 図1の MOSFET デバイスの実装形態の上面図である。

【図3】 図1の MOSFET デバイスの2つの簡略断面図を例示する。

40

【図4】 図1の MOSFET デバイスのより詳細な断面図である。

【図5】 図1の MOSFET デバイスのより詳細な例示的な実装形態の上面図である。

【図6A】 図1の MOSFET デバイスを作製するための例示的なプロセスフローを例示する。

【図6B】 図1の MOSFET デバイスを作製するための例示的なプロセスフローを例示する。

【図6C】 図1の MOSFET デバイスを作製するための例示的なプロセスフローを例示する。

【図6D】 図1の MOSFET デバイスを作製するための例示的なプロセスフローを例示する。

50

【図 7】第 1 の電流密度分布を含む、図 1 の MOSFET デバイスの実装形態の等角図を例示する。

【図 8】第 2 の電流密度分布を含む、図 17 の MOSFET デバイスの実装形態の等角図を例示する。

【図 9】図 7 の実施例の電流－電圧特性を例示するグラフである。

【図 10】図 8 の実施例の電流－電圧特性を例示するグラフである。

【図 11】図 1 の例示的な実装形態の波状チャネルのデルタ L 型フルバックの程度による閾値電圧の例示的な変化を例示するグラフである。

【図 12】図 1 の例示的な実装形態の波状チャネルのデルタ L 型フルバックの程度による特定のオン抵抗の例示的な変化を例示するグラフである。

【図 13】図 1 の例示的な実装形態の波状チャネルのデルタ L 型フルバックの程度による短絡電流 I_{sc} の例示的な変化を例示するグラフである。

【図 14】図 1 の例示的な実装形態の波状チャネルのデルタ L 型フルバックの程度による破壊電圧 (BV) の例示的な変化を例示するグラフである。

【図 15】図 1 の例示的な実装形態の波状チャネルのデルタ L 型フルバックの程度に関する、複数の処理段階における例示的なドーピングプロファイル及びその変形例を例示する。

【図 16】波状チャネルにおけるデルタ L 型フルバックについて図 15 からの例示的な値を使用した、図 1 の構造の例示的な実装形態における結果として生じるドーピング濃度を例示するグラフである。

【図 17】図 1 の例示的な実装形態の閾値電圧の関数として特定のオン抵抗を例示するグラフである。

【図 18】図 1 の例示的な実装形態の温度の関数として閾値電圧を例示するグラフである。

【発明を実施するための形態】

【0009】

本開示は、SiC MOSFET デバイスの閾値電圧 V_{TH} 又はチャネル長さにおける対応するトレードオフを必要としない（又は、最小限のトレードオフを伴う）、所望のオン抵抗及びトランスコンダクタンス値を有する SiC MOSFET デバイスについて説明する。上で参照したように、低いオン抵抗及び高いトランスコンダクタンスは、SiC MOSFET に対する所望の特性であり得るが、従来のデバイスでは、SOA の低減と関連付けられる。SiC MOSFET の V_{TH} を増加させて、及び／又はチャネル長さを増加させて所望の SOA を維持することは可能であるが、そうすることで、典型的には、所望のオン抵抗及びトランスコンダクタンス値を相殺してしまう。

【0010】

対照的に、本開示は、波状の又は変動するチャネルを備えた SiC MOSFET デバイスを含む、複数の、例えば交互する、P 型ウェル幅を備えた SiC MOSFET デバイスについて説明する。結果として生じるチャネルは、複数の幅の電流経路を提供し、これらの電流経路は一緒に、以前に必要であった、一方ではオン抵抗とトランスコンダクタンスとの間の、他方では V_{TH} とチャネル長さとの間のトレードオフを回避する。その結果、例えば、低いオン抵抗及び高いトランスコンダクタンス、並びに小さいサイズ及び高いスイッチング速度を提供しながら、SiC MOSFET デバイスの SOA が維持又は改善され得る。

【0011】

複数幅の p 型ウェル領域は、対応する複数幅の、例えば交互する、接合型 FET (JFET) を更に画定する。複数幅の JFET は、短絡現象、例えば短絡電流の制御、に対する改善された応答を可能にする。第 1 の幅の JFET 内の高電界を第 2 の幅の JFET 内に分配することによって、高破壊電圧が得られる。

【0012】

説明される SiC MOSFET デバイスは、安価でハイスループットな技術を使用し

10

20

30

40

50

て作製され得る。そのような技術は、所望の特性を得ることを可能にするために、微調整又は別様に最適化され得る。具体的には、所望の特性を取得するために、第1のP型ウェル幅と第2のP型ウェル幅との間のデルタが調整され得る。例えば、このデルタは、 V_{TH} 、オン抵抗、及び破壊電圧に正比例し得、一方で、短絡電流に反比例し得る。

【0013】

したがって、説明されるSiC MOSFETデバイスは、耐久性及び信頼性を提供し、一方でまた、小さいフォームファクタ及び低減されたシステムコストによって、パワースwitchング中の優れた性能特性を提供する。そのような特徴は、例えば電気モータ制御を含む、数多くの用途において非常に望ましい。

【0014】

図1は、波状チャネルを備えたMOSFETデバイスの等角側面図である。図1に示されるように、基板102は、その上に配設されたドリフト領域104を有し得る。例えば、基板102に形成されたエピタキシャル層の少なくとも一部分は、例えば低ドーピングn型であり得る、ドリフト領域を提供する。ドリフト領域104は、所望のMOSFET動作特性をサポートするように選択された厚さ及びドーピング値を有し得る。

【0015】

高濃度ドーピングp型領域106は、低濃度ドーピングp型領域110内に形成される。ソース領域108は、例えば図3及び図4の断面図からより簡単に分かるように、高濃度ドーピングp型領域106及び低濃度ドーピングp型領域110内に配設される。ソース領域108は、例えば、高濃度ドーピングn型領域であり得る。

【0016】

したがって、一般に垂直MOSFET構造と称されるMOSFET構造が形成され、この構造では、電流は、ソース領域108から、高濃度ドーピングp型領域106、低濃度ドーピングp型領域110、及び低濃度ドーピングp型領域110に隣接して形成された接合電界効果トランジスタ(JFET)領域112を通して流れる。MOSFET電流は、ドリフト領域104を通して、典型的にはドレイン端子(図1に示さず)が提供される基板102まで進行する。更に、様々なタイプのゲート又はゲート構造(関連するゲートコンタクト)を使用して電流フローが制御され得、そのようなゲート構造及び接触部の例は、例えば図3、図4、及び図5に関して下で提供されるが、本明細書で説明されるその様々な特徴をより良好に例示する(例えば、不明瞭にすることを回避する)ために、図1及び図2には示されていない。

【0017】

低濃度ドーピングp型領域110が、その中に形成された高濃度ドーピングp型領域106を有するので、それらの間には縁部又は境界110aが存在し、低濃度ドーピング領域110の境界110aと外縁110bとの間の距離又は幅を画定する。そのような縁部110a、110bは、説明のために簡略化された図3の形態で例示されているが、実際には、及び半導体処理の性質のため、そのような縁部は、図1に、及び図4のより詳細な実施例に示されるように、不連続的に画定されないことが理解認識されるであろう。

【0018】

したがって、図3及び図4に関して下で図示及び説明されるように、チャネル領域は、ソース領域108と低濃度ドーピング領域110の境界110aとの間の高濃度ドーピングp型領域106の一部分によって画定された高濃度ドーピング電流チャネル部分、並びに縁部110a、110bの間に画定された低濃度ドーピング電流チャネル部分を含み得る。高濃度ドーピングp型領域106は、ソース領域108内のアクセス可能な場所であるボディコンタクトを提供し得、また、図6A～図6Dに関して説明されるように、複数の処理ステップで提供され得る。

【0019】

したがって、図1では、垂直MOSFET構造内の電流フローの垂直方向は、含まれる凡例に示されるy軸の方向で生じることが理解される。y軸に対して垂直であるx軸に沿った横方向も例示され、一方で、z軸は、高濃度ドーピングp型領域106を通して延びる長

10

20

30

40

50

手方向軸 114 に沿った方向を画定する。断面 116 は、長手方向軸 114 に直交する $x-y$ 断面とされ、図 3 及び図 4 に更に詳細に例示されており、一方で、断面 118 は、長手方向軸 114 に直交する $x-y$ 断面とされ、図 3 に更に詳細に例示されている。

【0020】

図 1 では、チャンネル縁部 110b は、 x 軸に沿って、かつ長手方向軸 114 に対して垂直に異なる距離で延在する。したがって、チャンネル縁部 110 は、波状の、又は変動するチャンネル縁部を提供するのとして説明され得る。本明細書で説明されるように、波状チャンネル縁部 110b は、例えば直線状又はストライプ状の縁部と比較して、追加的な電流経路を提供する。追加的な電流経路は、SOA を犠牲にすることなく、低特性オン抵抗 (R_{sp}) を可能にする。

10

【0021】

具体的には、波状チャンネル縁部 110 は、広 JFET 領域 112a 及び狭 JFET 領域 112b を有する JFET 領域 112 をもたらす。すなわち、例えば図 2 からより容易に分かるように、図 1 の MOSFET デバイスは、図 1 の構造の少なくとも 2 つの隣接した実装形態を使用して形成され得、よって、実装形態の間に形成された n 型領域は、そのような JFET 領域のためのゲート制御機能を提供する p 型領域を取り囲むことによって、ドリフト領域 104 内に n 型 JFET 領域を効果的に提供する。高電流フローの期間中に、特に短絡現象中に生じる急な高電流フローの場合、そのような JFET 領域の二重ゲート制御機能は、そうでない場合には図 1 の MOSFET デバイスに損傷を与え得る対応する短絡電流を制限、規制、又は阻止するピンチオフ効果につながる。更に、交互に変化する広 JFET 領域 112a 及び狭 JFET 領域 112b は、所望の低特性オン抵抗 (R_{sp}) を犠牲にすることなく、そのような短絡電流の制限効果を提供する。

20

【0022】

チャンネル縁部 110b の波状性質に対応し、かつそれによって画定された交互に変化する広 JFET 領域 112a 及び狭 JFET 領域 112b は、追加的な利点も提供する。したがって、複数の接合電界効果トランジスタ (JFET) 領域 112a、112b が、チャンネル領域とドリフト領域との間に配設され、複数の JFET 領域 112a、112b は、波状チャンネル縁部 110b の波形に対応して交互に変化する幅を有する。その結果、例えば、広 JFET 領域 112a 内の電界の狭 JFET 領域 112b 内への分配のため、デバイス破壊電圧が増加し得る。

30

【0023】

本説明では、広い／狭いという相対的な用語は、広 JFET 領域 112a が狭 JFET 領域 112b よりも広いように、互いに対するものであると理解されるべきである。例えばパラメータ L 型プルバックの接触部における、広 JFET 領域 112a と狭 JFET 領域 112b との間の差分 (Δ) の程度の例が下で提供される。

【0024】

図 2 は、図 1 の構造の 2 つの隣接した実装形態の上面図を例示しており、したがって、その対応する (下部) 上面図に関して図 1 の参照番号が ($1xx$ 系列で) 繰り返されている。 $2xx$ 系列の参照番号は、第 2 の実装形態における同じ又は類似の態様に対応する。その結果、図 2 は、高濃度ドープ p 型領域 206、低濃度ドープ p 型領域 210、JFET 領域 212 (広 JFET 領域 212a 及び狭 JFET 領域 212b を含む)、及び長手方向軸 214 を例示する (簡潔にするために、ソース領域 108 及び対応するソース領域 208 は図 2 に例示されない)。

40

【0025】

したがって、図 2 は、広 JFET 領域 112a 及び狭 JFET 領域が、隣接した MOSFET デバイスの 2 つの隣接した低濃度ドープ p 型領域 110、210 の間に画定されることを示す。図 1 にも示されるように、縁部間の距離 116a は、(狭 JFET 領域 112b と隣接する) 断面 116 の x 方向に沿って、低濃度ドープ p 型領域 110 の外縁の間に画定され得、一方で、縁部間の距離 118a は、(広 JFET 領域 112a と隣接する) 断面 118 の x 方向に沿って、低濃度ドープ p 型領域 110 の外縁の間に画定され得る

50

。

【0026】

図3は、図1の断面116、118に対応する、図1のMOSFETデバイスの2つの簡略断面図を例示する。図3には、ド레인端子302、並びにゲート酸化物304及びゲート306が例示されている。接触線308もまた、断面で例示されている。ゲート構造304、306及び接触線308の例示的な実装形態に関する詳細は、例えば図5に関して、下で提供される。

【0027】

図3は、断面116でのチャネル縁部110bの距離（縁部間の幅）116aが、断面118でのチャネル縁部110bの距離（縁部間の幅）118aよりも長いことを示す。それに応じて、長手方向軸114からの距離（中心－縁部間の幅）116bは、長手方向軸114からの距離（中心－縁部間の幅）118bよりも長い。

10

【0028】

具体的には、L型フルバックとラベル付けされた距離は、距離116bと距離118bとの間のデルタを表す。それに応じて、L型フルバックは、図3に示されるように、及び図2を参照して、広JFET領域112aの半値幅と狭JFET領域112bの半値幅との間のデルタと称され得る。

【0029】

図4は、図1のMOSFETデバイスの断面図116のより詳細な例示である。図4は、低濃度ドーブチャネル領域402が境界110aとチャネル縁部110bとの間に存在し、一方で、高濃度ドーブチャネル領域404が境界110aとソース領域108との間に存在することを示す。上で参照したように、図4はまた、低濃度ドーブチャネル領域402、高濃度ドーブチャネル領域404、及びそれらの間の境界110aの拡散性質を例示する。

20

【0030】

図5は、図1のMOSFETデバイスのより詳細な例示的な実装形態の上面図である。図5は、図3及び図4に関して既に例示及び説明したように、ゲート306が長手方向軸114に沿って配設され、ゲートの間にゲートコンタクト308が配設されることを示す。ゲート306と接触308との間には、誘電体502が配設される。

【0031】

図5は、広JFET領域112a及び狭JFET領域112bを更に例示する。同じく既に説明したように、これらの値の間のデルタは、例示されたL型フルバックパラメータとして参照され得る。追加的な特徴パラメータは、広JFET領域112aのJFETの長手方向長さ504と、狭JFET領域112bのJFETの長手方向長さ506と、を含む。

30

【0032】

図6A～図6Dは、図1のMOSFETデバイスを作製するための例示的なプロセスフローを例示する。図6Aでは、例示されるプロセスフローは、例えばイオン注入（ion implantation、IIP）を使用して、P型ウェルチャネルの注入を行うこと（602）から始まる。示されるように、上で説明及び例示した所望のL型フルバックを含む、結果として生じるp型注入ウェル602bの所望のパラメータに対応する開口部を有するハードマスク酸化物602aが使用され得る。

40

【0033】

図6Bでは、ポケット注入は、スペーサ（例えば、ポリシリコンスペーサ）604aを使用して行われる（604）。その結果、低濃度ドーブp型領域602bと比較して、高濃度ドーブp型ウェル領域604bが形成される。p型ウェル領域604bは、ポケット注入領域と称され得、また、（p型領域602bによって提供される）図4の低濃度ドーブチャネル領域402と比較して、図4の高濃度ドーブチャネル領域404に寄与し得る。

。

【0034】

50

図 6 C では、ソース領域 606 a に対して、領域 602 b、604 b と反対の導電型の（例えば、n 型導電型）の注入が行われる（606）。更新されたスペーサ 606 b を使用して、ソース領域 606 a の所望のサイズ及び形状が得られ得る。

【0035】

図 6 D では、p 型アイランド領域 608 a が形成され、ハードマスク酸化物 602 a 及びスペーサ 604 a / 606 b が除去されて、図 1 の最終構造が得られる（608）。上で参照したように、p 型アイランド領域 608 a は、図 1 の高濃度ドープ p 型領域 106 内にボディコンタクトを提供し得る。

【0036】

図 7 は、第 1 の電流密度分布を含む、図 1 の MOSFET デバイスの実装形態の等角図を例示する。図 8 は、第 2 の電流密度分布を含む、図 17 の MOSFET デバイスの実装形態の等角図を例示する。図 7 及び図 8 の両方では、 V_{GS} は、一定に（例えば、18 V に）保持され、一方で、図 7 では、 V_{DS} は、低い値（例えば、1 V 以下）であり、一方で、図 8 では、 V_{DS} は、比較的高い電圧（例えば、10 ~ 80 V、又はそれ以上、例えば、65 V）である。

【0037】

図 7 は、空乏層領域 702 を例示し、一方で、図 8 は、空乏層領域 802 を例示する。示されるように、空乏層領域 802 は、図 8 での比較的高い V_{DS} の値のため、図 7 の空乏層領域 702 と比較して大幅に拡大されている。その結果、空乏層領域 802 は、領域 804 まで延在し、それによって、領域 804 内の電流フローを阻止する。したがって、上で参照したように、空乏層領域 802 の拡大により電流が領域 804 内を流れることができないので、短絡電流の保護が提供される。換言すれば、領域 804 は、短絡破壊前に電流飽和が到達する狭 JFET 領域に対応する。

【0038】

図 9 は、図 7 の実施例の電流－電圧特性を例示するグラフである。図 10 は、図 8 の実施例の電流－電圧特性を例示するグラフである。

【0039】

図 9 では、線 902 は、ドレイン電流が例えば 1 V 未満などの低くて小さい V_{DS} の電圧範囲にわたって変化する、図 7 の実装形態の電流－電圧特性を示す。線 904 は、図 1、図 7、図 8 の波状チャネルと比較して同様のタイプの直線状の又は一様なチャネルを有する、比較デバイスの電流－電圧特性を提供する。

【0040】

示されるように、電流／電圧の関係によって画定された、結果として生じる R_{DS-ON} 特性は、比較デバイスの特性よりも低い、図 7 の実装形態の R_{DS-ON} の値 906 を提供する。

【0041】

一方で、図 10 では、線 1002 は、図 8 の実装形態に対応し、一方で、線 1004 は、上で参照した比較デバイスに対応する。示されるように、空乏層領域 802 が領域 804 内へ延在した結果、線 1002 の電流は、基準デバイスよりも速く、かつはるかに低い V_{DS} 値で飽和する。

【0042】

図 11 は、図 1 の例示的な実装形態の波状チャネルのデルタ L 型フルバックの程度による閾値電圧の例示的な変化を例示するグラフである。図 11 は、L 型フルバックの増加が、閾値電圧の増加に対応することを示す。

【0043】

図 12 は、図 1 の例示的な実装形態の波状チャネルのデルタ L 型フルバックの程度による特定のオン抵抗の例示的な変化を例示するグラフである。図 12 は、L 型フルバックの増加が、 R_{DS-ON} の増加に対応することを示す。

【0044】

図 13 は、図 1 の例示的な実装形態の波状チャネルのデルタ L 型フルバックの程度によ

10

20

30

40

50

る短絡電流 I_{sc} の例示的な変化を例示するグラフである。図 13 は、L 型フルバックの増加が、短絡電流 I_{sc} の減少に対応することを示す。

【0045】

図 14 は、図 1 の例示的な実装形態の波状チャネルのデルタ L 型フルバックの程度による破壊電圧 (BV) の例示的な変化を例示するグラフである。図 14 は、L 型フルバックの増加が、そうでない場合には破壊現象につながり得る広 JFET 領域内の高電界が隣接した狭 JFET 領域へ分配され得るので、安定した破壊電圧に対応することを示す。

【0046】

図 15 は、図 1 の例示的な実装形態の波状チャネルのデルタ L 型フルバックの程度に関する、複数の処理段階における例示的なドーピングプロファイル及びその変形例を例示する。具体的には、図 15 は、L 型フルバックの 3 つの異なる値の増加について、図 6A 及び図 6B の処理段階 602、604 の実施例を例示する。

【0047】

L 型フルバック 1500a の第 1 の値では、領域 1502 及び 1504 は、ある程度のドーパント濃度を呈する。例えば、注入された p 型ドーパント (例えば、アルミニウム (Al) ドーパント) は、狭 JFET 領域に隣接する領域において例示された集中度を呈する。例えば、領域 1502 のドーパント濃度は、ハードマスク酸化物 602a からの注入されたドーパントの散乱及び反射の結果として生じ得る。

【0048】

1500a から増加した L 型フルバックの第 2 の値 1500b では、領域 1506 及び 1508 におけるドーピング濃度の増加の効果が高められる。1500b から増加した L 型フルバックの第 3 の値 1500c では、領域 1510 及び 1512 におけるドーピング濃度の増加の効果が更に高められる。

【0049】

したがって、一般に、L 型フルバックの値の増加又は拡大は、示される領域におけるドーピング濃度の増加をもたらす。上で説明したように、こうしたドーピング濃度の増加は、図 4 の高濃度ドーブチャネル領域 404 などの上で論じた高濃度ドーブチャネル領域を増加させ、また、図 11 ~ 図 14 に示される L 型フルバックと、 V_{th} 、 R_{son} 、 I_{sc} 、及び BV との間の特性関係とそれぞれ一致する。

【0050】

図 16 は、波状チャネルにおけるデルタ L 型フルバックについて図 15 からの例示的な値 1500a、1500b、1500c を使用した、図 1 の構造の例示的な実装形態における結果として生じるドーピング濃度を例示するグラフである。図 16 は、図 15 に例示される切断面全体にわたって取ったものであり、L 型フルバックの最も高い値 1500c について、高濃度ドーブチャネル領域内のドーピング濃度の相対的増加を示す。

【0051】

図 17 は、図 1 の例示的な実装形態の閾値電圧の関数として特定のオン抵抗を例示するグラフである。図 17 では、線 1702 は、図 1 の実装形態の R_{son} の値を例示し、一方で、線 1704 は、波状ではなく直線状であるチャネルを備えた比較デバイスの R_{son} の値を例示する。示されるように、線 1702 は、 R_{son} 値が図 1 の実装形態の様々な閾値電圧の範囲全体にわたってより低いことを示す。

【0052】

図 18 は、図 1 の例示的な実装形態の温度の関数として閾値電圧を例示するグラフである。示されるように、図 1 の実装形態に対応する線 1802 は、図 17 の比較デバイスの線 1804 と一致する。したがって、図 18 は、図 1 の実装形態が温度性能の低下を受けないことを示す。

【0053】

様々な例示的な実施態様では、炭化ケイ素 (SiC) 半導体デバイスは、第 1 の導電型の基板と、基板に配設された、第 1 の導電型のドリフト領域と、ドリフト領域内にあり、かつ長手方向軸に沿って配設された第 2 の導電型のチャネル領域と、を含む。SiC 半導

10

20

30

40

50

体デバイスは、チャンネル領域内に配設された第1の導電型のソース領域と、チャンネル領域とドリフト領域との間の複数の接合電界効果トランジスタ（J F E T）領域と、長手方向軸に沿って、かつソース領域の少なくとも一部分に配設されたゲートと、チャンネル領域と、複数のJ F E T領域と、を含む。S i C半導体デバイスは、チャンネル領域が第1の幅を有する、長手方向軸に直交する第1の断面積と、チャンネル領域が第1の幅よりも狭い第2の幅を有する、長手方向軸に直交する第2の断面積と、を含む。

【0054】

様々な例示的な実装形態では、S i C半導体デバイスにおいて、チャンネル領域は、ソース領域とチャンネル領域の低濃度ドーブチャンネル領域との間に高濃度ドーブチャンネル領域を含み、低濃度ドーブチャンネル領域は、高濃度ドーブチャンネル領域と複数のJ F E T領域のうちのあるJ F E T領域との間にある。追加又は代替の実装形態では、複数のJ F E T領域は、第1のJ F E T幅を有する、第1の断面積内の第1のJ F E T領域と、第1のJ F E T幅よりも広い第2のJ F E T幅を有する、第2の断面積内の第2のJ F E T領域と、を含む。S i C半導体デバイスの動作中に、第2のJ F E T領域の電界は、第1のJ F E T領域内へ分配され得る。チャンネル領域は、長手方向軸の方向に沿って波状チャンネル縁部を含み得る。第2の導電型の複数のボディコンタクト領域は、ソース領域内に、かつ長手方向軸に沿って配設され得る。S i C半導体デバイスの第1の幅と第2の幅との間のデルタは、少なくとも0.5ミクロンであり得る。S i C半導体デバイスは、少なくとも1つの金属酸化物半導体電界効果トランジスタ（M O S F E T）を含み得、また、基板が配設されるM O S F E Tのドレイン端子を含み得る。

【0055】

他の例示的な実装形態では、炭化ケイ素（S i C）半導体デバイスは、第1の導電型の基板と、基板に配設された、第1の導電型のドリフト領域と、ドリフト領域内の第2の導電型のチャンネル領域であって、波状チャンネル縁部を有する、チャンネル領域と、を含み得る。S i C半導体デバイスは、チャンネル領域内に配設されたソース領域と、チャンネル領域とドリフト領域との間に配設された複数の接合電界効果トランジスタ（J F E T）領域であって、波状チャンネル縁部の波形に対応して交互に変化する幅を有する複数のJ F E T領域と、を含み得る。少なくとも1つのゲートが、ソース領域、チャンネル領域、及び複数のJ F E T領域の少なくとも一部分に配設され得る。

【0056】

様々な例示的な実装形態では、チャンネル領域は、ソース領域とチャンネル領域の低濃度ドーブチャンネル領域との間に高濃度ドーブチャンネル領域を含み得、低濃度ドーブチャンネル領域は、高濃度ドーブチャンネル領域と複数のJ F E T領域のうちのあるJ F E T領域との間にあり得る。S i C半導体デバイスの動作中に、複数のJ F E T領域のうちのあるJ F E T領域の電界が、複数のJ F E T領域のうちの隣接したJ F E T領域内へ分配され得る。複数のJ F E T領域の交互に変化する幅の隣接した領域間のデルタは、少なくとも0.5ミクロンであり得る。S i C半導体デバイスは、少なくとも1つの金属酸化物半導体電界効果トランジスタ（M O S F E T）を含み得、また、基板が配設されるM O S F E Tのドレイン端子を含み得る。

【0057】

他の例示的な実装形態では、S i C半導体デバイスを作製する方法は、基板にドリフト領域を提供することと、ドリフト領域内に、かつ長手方向軸に沿って、チャンネル領域を注入することであって、チャンネル領域が、長手方向軸に対して交互に変化するウェル幅を有する、注入することと、含み得る。本方法は、チャンネル領域にソース領域を注入することと、ソース領域の少なくとも一部分、チャンネル領域の少なくとも一部分、及びチャンネル領域とドリフト領域との間に配設された複数の接合電界効果トランジスタ（J F E T）領域に少なくとも1つのゲートを提供することであって、複数のJ F E T領域が、交互に変化するウェル幅に対応して交互に変化する、交互に変化するJ F E T幅を有する、提供することと、を更に含む。

【0058】

例示的な実施形態において、チャンネル領域を注入することは、ドリフト領域にマスクを提供することであって、マスクが、チャンネル領域の交互に変化するウェル幅に対応する開口部を有する、提供することと、マスクを使用して、第1のドーピング濃度で、ドリフト領域にドーパントを注入することと、を含み得る。本方法は、マスクの開口部に沿ってスペーサを提供して、チャンネル領域の一部分を露出させることと、チャンネル領域の一部分に追加のドーパントを注入して、第2のドーピング濃度を提供することと、を含み得る。本方法は、隣接した幅が少なくとも0.5ミクロンだけ異なる交互に変化する幅を有するマスク開口部を提供することを含み得る。SiC半導体デバイスは、少なくとも1つの金属酸化物半導体電界効果トランジスタ(MOSFET)を含み得、本方法は、MOSFETのドレイン端子に基板を提供することを含み得る。本方法は、ソース領域内に、かつ長手方向軸に沿ってボディコンタクト領域を注入することを含み得る。交互に変化するウェル幅は、第1のチャンネル幅と、第1のチャンネル幅よりも広い第2のチャンネル幅と、を含み得、ボディコンタクト領域を注入することは、チャンネル領域内に、かつ第2のチャンネル幅内にボディコンタクト領域を注入することを含み得る。

10

【0059】

前述の説明において、層、領域、基板、又は構成要素等の素子が、他の素子上にある、接続する、電氣的に接続する、結合する、あるいは、電氣的に結合すると称される場合、これが、他の素子上に直接配置可能であるか、接続できるか、あるいは、結合可能であるか、又は1つ以上の介在素子が存在し得ることも、理解されよう。一方、素子が、他の素子や層上に直接配置されるか、直接接続するか、あるいは、直接結合すると称される場合、介在素子や層は、存在しない。本発明の詳細な説明を通じて、直接配置される、直接接続する、あるいは、直接結合するという語句が使用されないこともあるが、直接配置される、直接接続する、あるいは、直接結合するものとして図示される素子は、こうしたものとして言及可能である。本出願の請求項(含まれている場合)は、本明細書記載の、あるいは、図示される例示関係を述べるよう補正され得る。

20

【0060】

本明細書及び特許請求の範囲において使用される際、単数形は、文脈の観点において、特定の事例を明確に示さない限り、複数形を含み得る。空間的相対性を示す語句(例えば、全体にわたって、上、上方、下、下側、下方、下位等)は、図面で示す方向に加えて、使用中、あるいは、操作中の装置の種々の向きを含めることを意図している。いくつかの実装形態では、上と下という相対的な用語はそれぞれ、垂直方向に上と垂直方向に下を含むことができる。いくつかの実装形態では、隣接するという用語は、横方向に隣接するか、あるいは、水平方向に隣接することを含むことができる。

30

【0061】

いくつかの実装形態は、様々な半導体処理及び／又はパッケージング技術を使用して実装され得る。いくつかの実装形態は、例えば、シリコン(Si)、ガリウムヒ素(GaAs)、窒化ガリウム(GaN)、炭化ケイ素(SiC)、及び／又はそれら等を含むが、それらに限定されない半導体基板に関連付けられた様々なタイプの半導体処理技術を使用して実装され得る。

【0062】

開示の実施に関するいくつかの特徴を、本明細書で記載される通りに説明したが、これから、当業者は、多くの変形形態、代替え、変更、及び、等価物を発見するであろう。それゆえ、添付の特許請求の範囲を、こうした修正や変更のすべてを実装の範囲内に含めるよう網羅していることが、理解されよう。これらが、限定ではなく、単なる例示として提示されており、形態や細部に様々な変更がなされ得ることは、理解しているはずである。本明細書に記載の機器及び／又は方法の任意の部分は、相互に排他的な組み合わせを除き、任意の組み合わせで組み合わせることが可能である。本明細書で述べる種々の機器は、記載の様々な機器の機能、構成要素及び／又は特徴の様々な組み合わせ及び／又は部分組み合わせを含み得る。

40

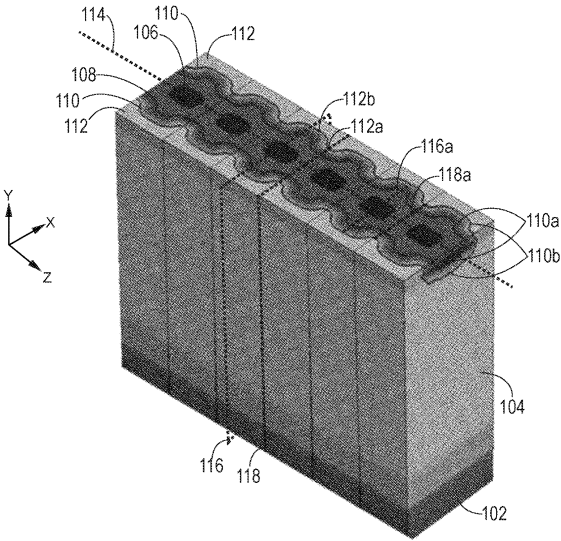
【0063】

50

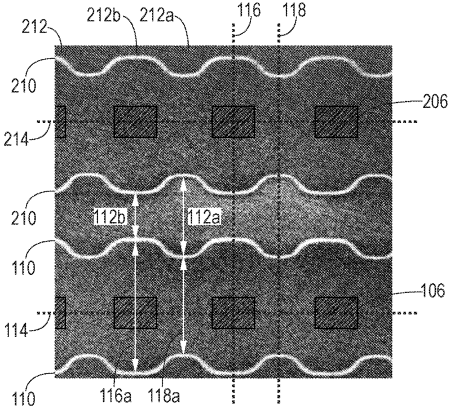
開示の実施に関するいくつかの特徴を、本明細書で記載される通りに説明したが、これから、当業者は、多くの変形形態、代替え、変更、及び、等価物を発見するであろう。それゆえ、添付の特許請求の範囲を、こうした修正及び変更のすべてを実施形態の範囲内に含まれるものとして網羅することを意図していることが理解されよう。

【図面】

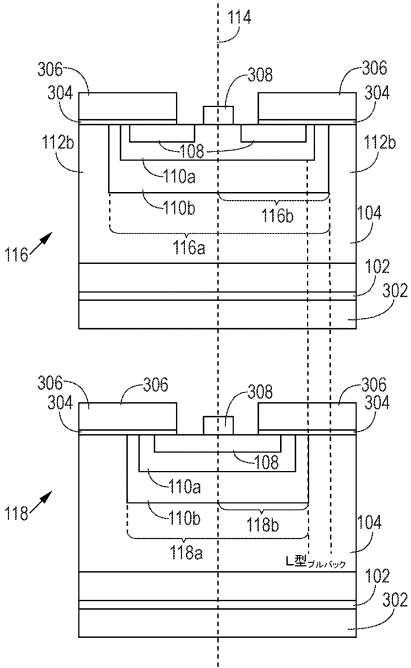
【図 1】



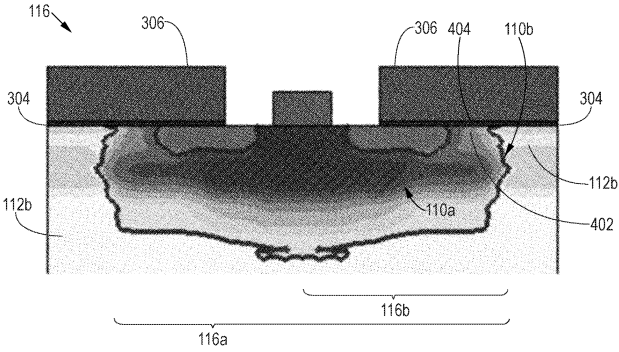
【図 2】



【図 3】



【図 4】



10

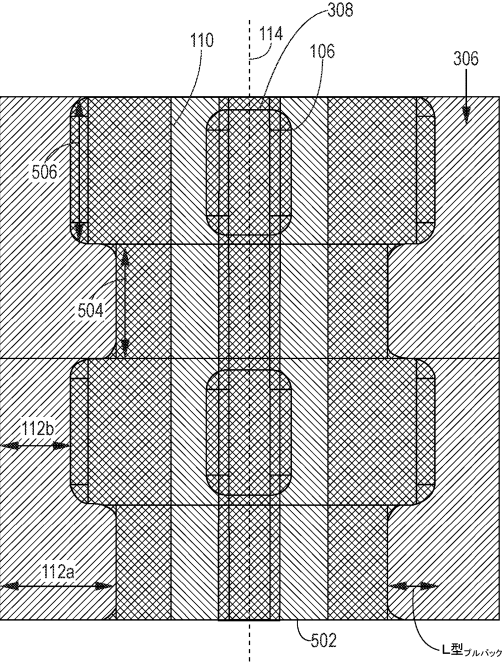
20

30

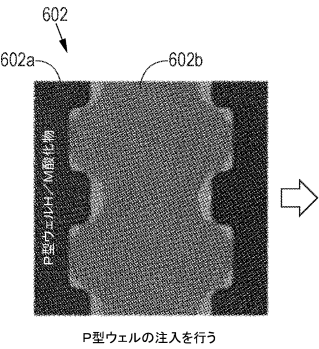
40

50

【図 5】

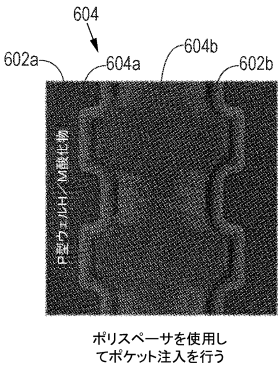


【図 6 A】



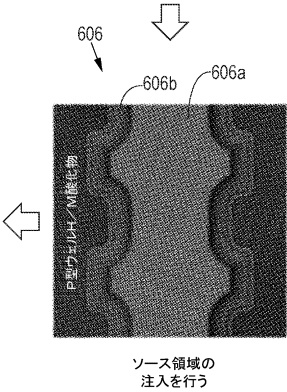
10

【図 6 B】



ポリスペーサを使用し
てポケット注入を行う

【図 6 C】



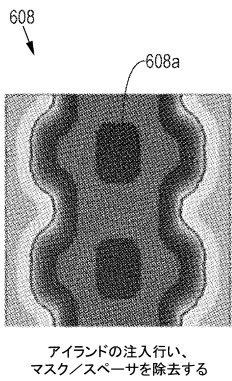
ソース領域の
注入を行う

30

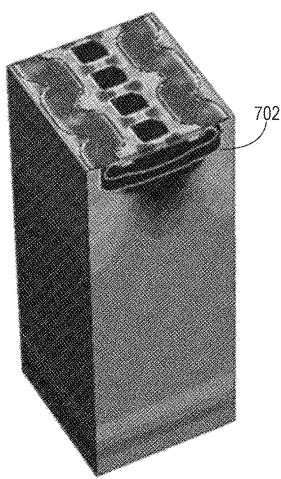
40

50

【図 6 D】

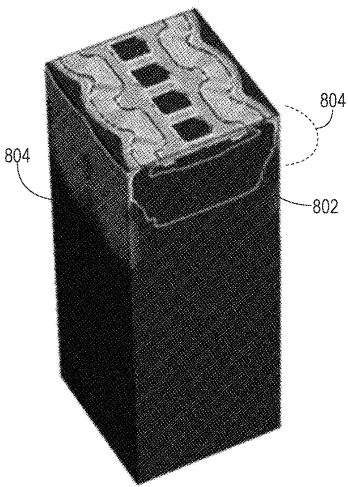


【図 7】

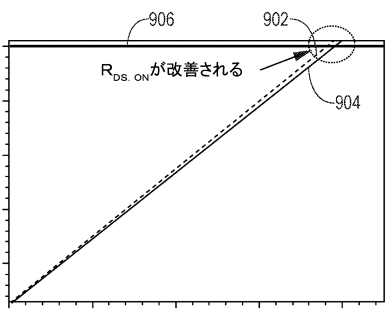


10

【図 8】



【図 9】



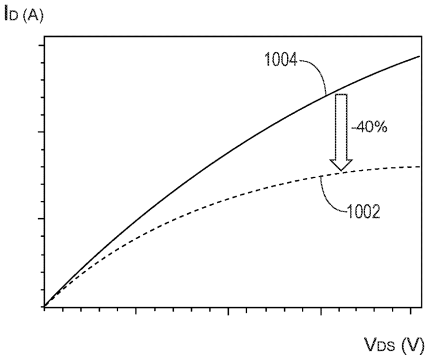
20

30

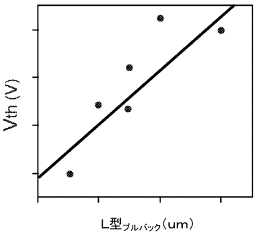
40

50

【図 1 0】

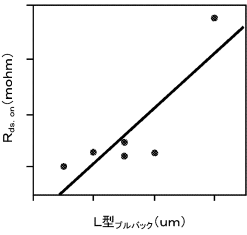


【図 1 1】

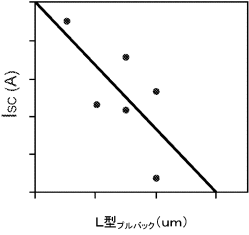


10

【図 1 2】

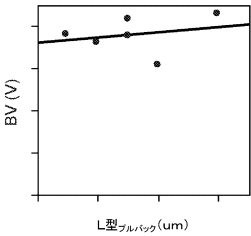


【図 1 3】

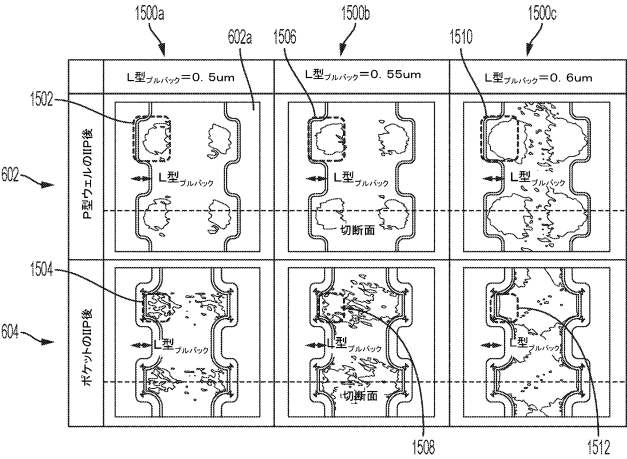


20

【図 1 4】



【図 1 5】

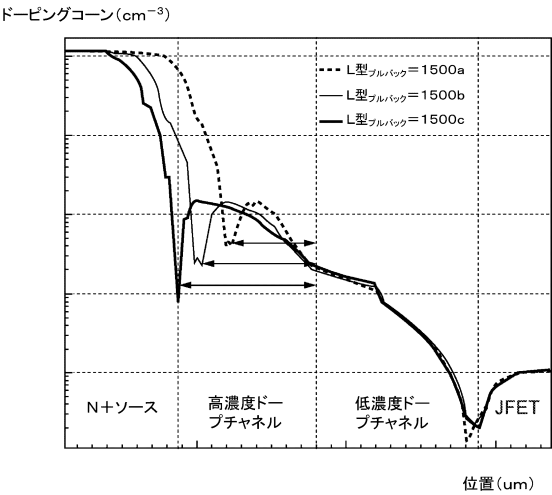


30

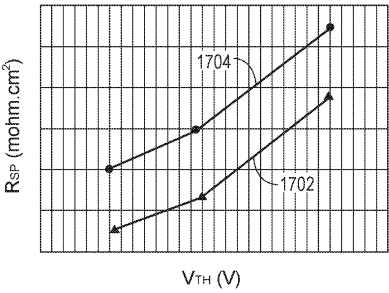
40

50

【図 1 6】

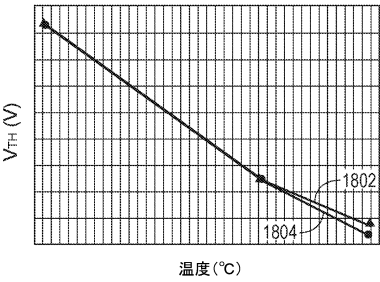


【図 1 7】



10

【図 1 8】



20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/070083

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L29/06 H01L29/10 H01L29/78 H01L29/08 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013/009256 A1 (OKUMURA KEIJI [JP] ET AL) 10 January 2013 (2013-01-10)	1, 3-9
Y	paragraph [0113] - paragraph [0147]; figures 1-3C paragraph [0173]; figure 9	2, 10
Y	JP 2007 242925 A (MITSUBISHI ELECTRIC CORP) 20 September 2007 (2007-09-20) paragraph [0013] - paragraph [0016]; figure 1 paragraph [0056] paragraph [0108] paragraph [0112] - paragraph [0121]; figures 17, 18	2, 10
	----- -/--	
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 April 2022		Date of mailing of the international search report 09/05/2022
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Lantier, Roberta

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/070083

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 844 277 A (HSIEH FWU-IUAN [US] ET AL) 1 December 1998 (1998-12-01) column 5, line 66 - column 7, line 19; figures 8-12D -----	1, 3-8
A	US 10 388 735 B2 (HYUNDAI MOTOR CO LTD [KR]; KIA MOTORS CORP [KR]) 20 August 2019 (2019-08-20) column 5, line 25 - line 45; figure 4 -----	1, 3-7
A	US 2012/193643 A1 (MASUDA TAKEYOSHI [JP] ET AL) 2 August 2012 (2012-08-02) paragraph [0070] - paragraph [0079]; figures 10-13 -----	2, 9, 10

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2022/070083

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2013009256 A1	10-01-2013	CN 102822977 A	12-12-2012
		EP 2562818 A1	27-02-2013
		EP 3651206 A1	13-05-2020
		JP 5616665 B2	29-10-2014
		JP 2011211020 A	20-10-2011
		US 2013009256 A1	10-01-2013
		US 2017092743 A1	30-03-2017
		US 2020321451 A1	08-10-2020
		WO 2011122670 A1	06-10-2011

JP 2007242925 A	20-09-2007	JP 4627272 B2	09-02-2011
		JP 2007242925 A	20-09-2007

US 5844277 A	01-12-1998	NONE	

US 10388735 B2	20-08-2019	CN 109962110 A	02-07-2019
		DE 102018116374 A1	19-06-2019
		KR 20190071353 A	24-06-2019
		US 2019189747 A1	20-06-2019

US 2012193643 A1	02-08-2012	CN 103843141 A	04-06-2014
		EP 2672516 A1	11-12-2013
		JP 2012160584 A	23-08-2012
		KR 20140001947 A	07-01-2014
		TW 201234592 A	16-08-2012
		US 2012193643 A1	02-08-2012
		WO 2012105088 A1	09-08-2012

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JO,JP,K
E,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,N
G,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,
TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

ク, トンゴロ 30, 10ギル

(72)発明者 パク, キョンソク

大韓民国 14536 キョンギ, プチョン, ウォンミク, トヤンロ 149

(72)発明者 チェ, ドウジン

大韓民国 10120 キョンギド, キムポ, ユヒョンロ 51

(72)発明者 ナイヤー, トーマス

ドイツ国 81547 バヴェアリア, ミュンヘン, マングファルシュトラーク 2

(72)発明者 キム, キミン

大韓民国 ソウル, ソチョク, ノンヒョンロ 25, 7ボンギル