



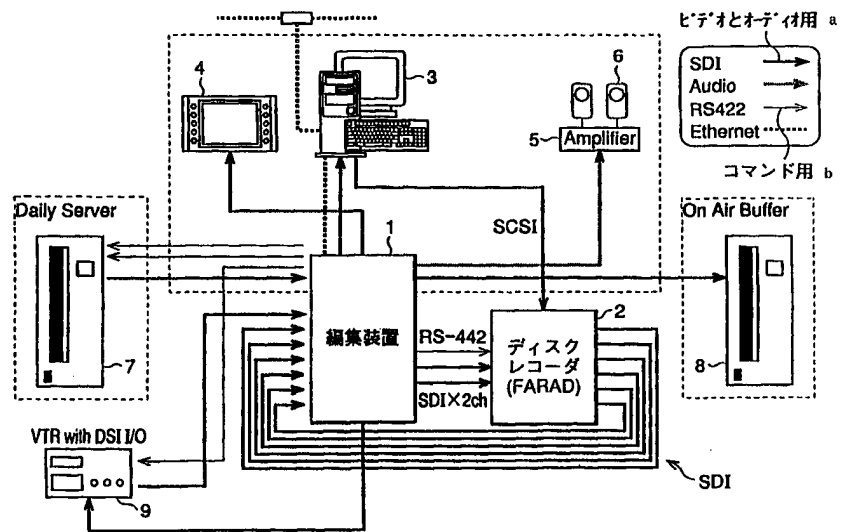
|   |  |  |
|---|--|--|
| <p>(51) 国際特許分類6<br/><b>G11B 27/031, H04N 5/91, 5/92</b></p>   | <p><b>A1</b></p>   | <p>(11) 国際公開番号<br/><b>WO98/45845</b></p> <p>(43) 国際公開日<br/>1998年10月15日(15.10.98)</p> |
| <p>(21) 国際出願番号 PCT/JP98/01596</p> <p>(22) 国際出願日 1998年4月7日(07.04.98)</p> <p>(30) 優先権データ<br/>特願平9/103950 1997年4月7日(07.04.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について)<br/>ソニー株式会社(SONY CORPORATION)[JP/JP]<br/>〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ)<br/>志野雅昭(SHINO, Masaaki)[JP/JP]<br/>長崎多仁生(NAGASAKI, Tanio)[JP/JP]<br/>加藤泰信(KATO, Yasunobu)[JP/JP]<br/>西川正樹(NISHIKAWA, Masaki)[JP/JP]<br/>大宅 昇(OOYA, Noboru)[JP/JP]<br/>今井雅敏(IMAI, Masatoshi)[JP/JP]<br/>〒141-0001 東京都品川区北品川6丁目7番35号<br/>ソニー株式会社内 Tokyo, (JP)</p> | <p>(74) 代理人<br/>弁理士 小池 晃, 外(KOIKE, Akira et al.)<br/>〒105-0001 東京都港区虎ノ門二丁目6番4号 第11森ビル<br/>Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類<br/>国際調査報告書</p> |  |

(54)Title: **EDITING SYSTEM AND EDITING METHOD**

(54)発明の名称 編集システムおよび編集方法

(57) Abstract

An editing system provided with an editor (1) which edits video data of a plurality of channels, a disk recorder (2) which is constituted of a disk array having a plurality of disks, and a computer (3). The disk recorder (2) prepares a block map which is used for managing the recording area of each disk so that each sub-block data can be recorded at such a position that the rotation standby time of a head is minimized at the time of accessing to the address of sub-block data recorded on each disk, divides the picture element data of a source video frame into a plurality of sub-block data at every frame based on the block map, and records the sub-block data so that the data can be distributed among a plurality of different disks.



- a ... for video and audio
- b ... for command
- 1 ... Editor
- 2 ... Disk recorder (FARAD)

(57)要約

編集システムは、複数チャンネルのビデオデータを編集するための編集装置1と、複数のディスクを有したディスクアレイから構成されるディスクレコーダ2と、コンピュータ3とを備えている。ディスクレコーダ2は、各ディスクに記録されたサブブロックデータにアクセスする場合にヘッドの回転待ち時間が最小となる位置に各サブブロックデータが記録されるように、ディスクの記録エリアを管理するためのブロックマップを作成し、このブロックマップに基づいて、各フレーム毎に、ソースビデオフレームの画素データを複数のサブブロックに分割し、このサブブロックを異なる複数のディスクに分散するように記録する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

|    |              |    |           |    |                   |    |            |
|----|--------------|----|-----------|----|-------------------|----|------------|
| AL | アルバニア        | FI | フィンランド    | LR | リベリア              | SK | スロヴァキア     |
| AM | アルメニア        | FR | フランス      | LS | レソト               | SL | シエラ・レオネ    |
| AT | オーストリア       | GA | ガボン       | LT | リトアニア             | SN | セネガル       |
| AU | オーストラリア      | GB | 英国        | LU | ルクセンブルグ           | SZ | スワジランド     |
| AZ | アゼルバイジャン     | GD | グレナダ      | LV | ラトヴィア             | TD | チャード       |
| BA | ボスニア・ヘルツェゴビナ | GE | グルジア      | MC | モナコ               | TG | トーゴ        |
| BB | バルバドス        | GH | ガーナ       | MD | モルドヴァ             | TJ | タジキスタン     |
| BE | ベルギー         | GM | ガンビア      | MG | マダガスカル            | TM | トルクメニスタン   |
| BF | ブルキナ・ファソ     | GN | ギニア       | MK | マケドニア旧ユーゴスラヴィア共和国 | TR | トルコ        |
| BG | ブルガリア        | GW | ギニア・ビサオ   | ML | マリ                | TT | トリニダッド・トバゴ |
| BJ | ベナン          | GR | ギリシャ      | MN | モンゴル              | UA | ウクライナ      |
| BR | ブラジル         | HR | クロアチア     | MR | モーリタニア            | UG | ウガンダ       |
| BY | ベラルーシ        | HU | ハンガリー     | MW | マラウイ              | US | 米国         |
| CA | カナダ          | ID | インドネシア    | MX | メキシコ              | UZ | ウズベキスタン    |
| CF | 中央アフリカ       | IE | アイルランド    | NE | ニジェール             | VN | ヴェトナム      |
| CG | コンゴ          | IL | イスラエル     | NL | オランダ              | YU | ユーゴスラビア    |
| CH | スイス          | IS | アイスランド    | NO | ノールウェー            | ZW | ジンバブエ      |
| CI | コートジボアール     | IT | イタリア      | NZ | ニュージーランド          |    |            |
| CM | カメルーン        | JP | 日本        | PL | ポーランド             |    |            |
| CN | 中国           | KE | ケニア       | PT | ポルトガル             |    |            |
| CU | キューバ         | KG | キルギスタン    | RO | ルーマニア             |    |            |
| CY | キプロス         | KP | 北朝鮮       | RU | ロシア               |    |            |
| CZ | チェッコ         | KR | 韓国        | SD | スーダン              |    |            |
| DE | ドイツ          | KZ | カザフスタン    | SE | スウェーデン            |    |            |
| DK | デンマーク        | LC | セントルシア    | SG | シンガポール            |    |            |
| EE | エストニア        | LI | リヒテンシュタイン | SI | スロヴェニア            |    |            |
| ES | スペイン         | LK | スリ・ランカ    |    |                   |    |            |

## 明 細 書

### 編集システムおよび編集方法

#### 技 術 分 野

本発明は、ソースビデオデータを編集するための編集システムおよび編集方法に関し、特に、ディスクから任意の位置に記録された複数チャンネルのビデオデータをリアルタイムで読み出すことによって、より高度な編集を行うことができるようにした編集システムおよび編集方法に関する。

#### 背 景 技 術

長年、放送局等の編集現場においては、ビデオデータを記録する場像記録メディアとして、磁気テープが使用されてきた。近年になって、より編集効率を向上させるためにハードディスク（HDD）等のランダムアクセス可能なディスク媒体を使用したノンリニア編集機が登場してきた。また、よりアクセス性を向上させるために、ノンリニア編集を行なうための記録媒体として、ハードディスク1台のみ使用するのではなく、HDDをアレイ状に接続して成るディスクアレイ装置を使用することが提案されている。

このディスクアレイ装置は、複数のディスク装置（HDD）を内蔵して、各ディスク装置を並列に動かすことによって読み出しある

いは書き込みを高速化する装置である。このようなディスクアレイ装置にデータを格納する場合、データを分割して複数の分割データを生成すると共に、それらの複数の分割データから誤り訂正用データを生成する。そして、それらの複数の分割データと誤り訂正用データをそれぞれ別々のディスク装置に書き込む。

逆に、ディスクアレイ装置からデータを取り出す場合、データを構成する複数の分割データと誤り訂正用データが格納されているディスク装置から、複数の分割データと誤り訂正用データを同時に読み出し、読み出した分割データから元のデータを構成し、エラーがなければそのまま送出手する。そのとき、分割データが格納されている記録エリアが壊れている等の理由で、正常に読み出すことができない場合、他の正常に読み出されたサブブロックと誤り訂正用データを元に、正しいデータを復元した後、送出手する。

また、ディスクアレイ装置においては、1つのディスク装置が完全に壊れた場合でも、壊れたディスク装置を新しいものに交換し、他のディスク装置のデータを用いて、壊れたデータを復旧するという機能を備えるようにすることもできる。

誤り訂正用データを取り入れたディスクアレイ装置にはいくつかの異なる方式がある。UCバークレイ校のDvid A.Patterson教授らは、その方式を5段階に分類し、RAID (Redundant Arrays of Inexpensive Disks) のレベルという用語を初めて提唱した。以下にその内容を簡単に紹介する。

RAID-1は、ディスク装置のデータを2重化するものであり、ミラードディスクとも呼ばれる。RAID-1では、全く同一のデータが2つのディスク装置に格納される。RAID-2, 3は、入力データを

ビット単位やバイト単位で分割し、複数のディスク装置に格納する。RAID-2ではハミング符号を、RAID-3ではパリティを、それぞれ誤り訂正用データとして使用する。RAID-4, RAID-5は、データをセクタ単位でインタリーブする。RAID-4は、パリティを同一のディスク装置に格納するのに対し、RAID-5では複数のディスク装置に分散させる。

これらのRAIDのレベルのうち、通常のディスクアレイ装置に最もよく採用されている方式は、RAID-3とRAID-5である。図64は、RAID-3の方式のディスクアレイ装置の一例の構成を表し、図65は、RAID-5の方式のディスクアレイ装置の一例の構成を表している。

図64に示したRAID-3方式のディスクアレイ装置においては、入力データをバイト単位に分割し、バイト単位に分割された各データを複数のディスク装置に格納する。そして、訂正用データとしてのパリティを所定のディスク装置に格納する。ここでは、複数のディスク装置に格納された番号1乃至4のデータに対するパリティP1-4と、番号5乃至8のデータに対するパリティP5-8が格納されている。

また、図65に示したRAID-5方式のディスクアレイ装置においては、入力データをセクタ単位に分割し、それらのデータをインタリーブして複数のディスク装置に分散させる。この場合、最初のディスク装置にはデータA, E, I、次のディスク装置にはデータB, F, J、次のディスク装置にはデータC, G, とデータI乃至Lに対するパリティP I-Lが格納されている。そして、次のディスクには、データD, Kと、データE乃至Hに対するパリティP E-Hが格納され、

最後のディスク装置には、データ A 乃至 D に対するパリティ P A-D と、データ H, L が格納されている。

このようなディスクアレイ装置に使用されている HDD は、記録トラックにアクセスする際に、そのトラックまでのヘッドのシーク時間はそれほど問題にならない。しかし、ヘッドが指定されたトラックにシークし、その位置においてヘッドが、読み出し要求されたデータが回転してくるのを待つ時間が非常に問題であった。最悪の場合、この待ち時間は、ディスクの 1 回転分の時間にもなってしまう。つまり、読み出し要求された数フレーム分のデータが、ディスク上において物理的な連続する位置に記録されているのであれば、このような問題は起きないかもしれないが、読み出し要求された数フレーム分のデータが、物理的にランダムな位置に記録されていると、ヘッドの待ち時間のために、これらの数フレーム分のデータをリアルタイムで読み出すことができないという問題があった。

つまり、物理的に連続する位置に記録されたあるフレームであれば、リアルタイムに読み出すことができるが、物理的に連続しない位置に記録されたあるフレームの場合には、リアルタイムに読み出すことができないということになると、どのような場合においてもリアルタイム性が要求される放送局及び業務の分野においては非常に問題であった。一般的に、放送局及び業務の分野においては、最悪の場合でもこれだけの時間で処理できるという上限を保証することをリアルタイム性を保証すると呼んでいるが、特に編集分野では、このリアルタイム性を保証することができるかどうか非常に重要である。

さらに、近年では、このような放送局及び業務の分野において使

用される編集装置は、例えば、複数チャンネルのビデオデータをリアルタイムで処理するようなより高度な編集機能を望まれている。従来のディスクアレイを使用した編集装置では、1チャンネルを処理する時でさえ、リアルタイム性を補償することができなかったことから理解できるように、複数チャンネルをリアルタイムで処理するだけの能力は全く無かった。

### 発 明 の 開 示

本発明は、上述したような状況に鑑みてなされたものであり、ディスク上のランダムな位置に記録された複数チャンネルのビデオデータをリアルタイムで処理することによって、高度な編集を実現する編集システムおよび編集方法を提案するものである。

すなわち、本発明に係る編集システムは、複数チャンネルのソースビデオデータを記録／再生するためのデータ記録／再生装置と、該記録装置に記録されたソースビデオデータを編集するための編集装置と、上記編集装置及びデータ記録再生装置を制御するコンピュータとを備えた編集システムにおいて、上記データ記録／再生装置は、上記複数チャンネルのソースビデオデータの1フレームの画素データを、ランダムアクセス可能な複数の記録媒体に記録すると共に、上記複数の記録媒体に記憶された複数チャンネルのビデオデータの所望のフレームから構成される複数チャンネルのビデオストリームを再生する記録／再生手段と、上記1フレームの画素データを複数のサブブロックに分割し、該分割されたサブブロックのデータが夫々異なる複数の記録媒体に記録されるように各記録媒体に転送

すると共に、上記各転送先の記録媒体上において所望のサブブロックに対してアクセスする際に、ヘッドの回転待ち時間が最小となるような位置に、上記各サブブロックデータを記録するような所定のアルゴリズムに基づいて、上記記録／再生手段を制御する制御手段を備え、上記編集装置は、上記コンピュータからの編集指示に従って、上記データ記録／再生装置から再生された複数チャンネルのビデオストリームをリアルタイムで処理し、編集されたビデオデータを生成するビデオデータ処理手段を備えたことを特徴とする。

また、本発明に係る編集システムは、複数チャンネルのソースビデオデータを記録／再生するためのデータ記録／再生装置と、上記データ記録再生装置を制御するためのコンピュータとを備えた編集システムにおいて、上記データ記録／再生装置は、上記複数チャンネルのソースビデオデータの1フレームの画素データを、ランダムアクセス可能な複数の記録媒体に記録すると共に、上記複数の記録媒体から所望のソースビデオデータを再生する記録／再生手段と、上記1フレームの画素データを、複数のサブブロックに分割し、上記サブブロックのデータを、夫々異なる複数の記録媒体に分散するように記録する第1のアルゴリズムと、上記各記録媒体に対する数フレーム分のサブブロックのアクセスにおいて、ヘッドのシーク距離が最小となるように上記数フレーム分のサブブロックに対するアクセス順序をスケジューリングする第2のアルゴリズムと、上記記録媒体上において所望のサブブロックに対してアクセスする際に、ヘッドの回転待ち時間が最小となるように上記記録媒体に記録される各サブブロックの記録位置を決定する第3のアルゴリズムとを使用して、上記記録／再生手段を制御する制御手段を備え、上記コン

ピュータは、編集オペレータの操作に従って、上記複数の記録媒体のランダムな位置に記録された複数チャンネルのソースビデオデータの所望のフレームから構成される複数チャンネルのビデオストリームを、上記各記録媒体からリアルタイムで読み出すように上記データ記録再生装置を制御する制御手段を有したことを特徴とする。

また、本発明に係る編集システムは、オペレータの入力した編集情報に基づいて複数チャンネルのソースビデオデータを編集するための編集システムにおいて、上記複数チャンネルのソースビデオデータの各フレームの画素データを複数のサブブロックに分割し、上記分割された各サブブロックが異なる複数のディスクに記録されるように振り分け、各ディスクにおいて、上記サブブロックのデータが配置されるトラックの上記データの始点と、隣接するトラックの上記データの始点との上記ディスクの中心からの角度差であるスキューが、1つの上記サブブロックの始点と終点の上記ディスクの中心からの角度差であるギャップに対応するように記録する記録する記録手段と、上記記録手段によって記録された複数のサブブロックにアクセスすることによって、上記複数チャンネルのビデオデータを同時に再生する再生手段と、上記再生手段により再生された複数チャンネルのビデオデータを、上記編集情報に基づいて処理し、少なくとも1チャンネルの編集されたビデオデータを生成する編集手段とを備えることを特徴とする。

また、本発明に係る編集システムは、オペレータの入力した編集情報に基づいて複数チャンネルのソースビデオデータを編集するための編集システムにおいて、上記複数チャンネルのソースビデオデータの各フレームの画素データを複数のサブブロックに分割し、上記

サブブロックの画素データを、異なる複数のディスクに分散するように、かつ、各ディスクにおいて、上記サブブロックのデータが配置されるトラックの上記データの始点と、隣接するトラックの上記データの始点との上記ディスクの中心からの角度差であるスキューが、略一定となるように上記各サブブロックを記録する記録手段と、上記記録手段によって記録された複数のサブブロックにアクセスすることによって、上記複数チャンネルのビデオデータを同時に再生する再生手段と、上記再生手段により再生された複数チャンネルのビデオデータを、上記編集情報に基づいて編集し、少なくとも1チャンネルのビデオデータを生成する編集手段とを備えることを特徴とする。

また、本発明に係る編集システムは、オペレータの入力した編集情報に基づいて複数チャンネルのソースビデオデータを編集するための編集システムにおいて、上記複数チャンネルのソースビデオデータの各フレームの画素データを複数のサブブロックに分割し、上記サブブロックを異なる複数のディスクに分散するように、かつ、各ディスクにおいて所望のサブブロックに対してアクセスする際にヘッドの回転待ち時間が最小となるように、上記各サブブロックを記録するための所定の記録アルゴリズムに基づいて上記複数チャンネルのソースビデオデータを記録する記録手段と、上記ソースビデオデータを記録する際に使用した上記所定の記録アルゴリズムに基づいて、上記記録手段によって記録された複数のサブブロックにアクセスすることによって、上記複数チャンネルのビデオデータを同時に再生する再生手段と、上記再生手段により再生された複数チャンネルのビデオデータを、上記入力手段より入力された編集情報に基づいて

編集し、少なくとも 1 チャンネルのビデオデータを生成する編集手段とを備えることを特徴とする。

また、本発明に係る編集システムは、オペレータの入力した編集情報に基づいて複数チャンネルのソースビデオデータを編集するための編集システムにおいて、上記複数チャンネルのソースビデオデータの各フレームの画素データを複数のサブブロックに分割し、上記サブブロックの画素データを、異なる複数のディスクに分散するように、かつ、各ディスクにおいて、上記サブブロックのデータが配置されるトラックの上記データの始点と、隣接するトラックの上記データの始点との上記ディスクの中心からの角度差が、略一定となるように上記各サブブロックを記録する記録手段と、上記記録手段によって記録された複数チャンネルのソースビデオデータの所望のフレームから構成されるフレーム単位の編集ストリームを生成する編集ストリーム作成手段と、上記記録手段によって記録された複数のサブブロックにアクセスすることによって、上記編集ストリーム生成手段によって生成された編集ストリームに応じたビデオストリームを出力する再生手段と、を備えることを特徴とする。

また、本発明に係る編集システムは、オペレータの入力した編集情報に基づいて複数チャンネルのソースビデオデータを編集するための編集システムにおいて、上記複数チャンネルのソースビデオデータの各フレームの画素データを複数のサブブロックに分割し、上記サブブロックを異なる複数のディスクに分散するように、かつ、各ディスクにおいて所望のサブブロックに対してアクセスする際にヘッドの回転待ち時間が最小となるように、上記各サブブロックを記録するための所定の記録アルゴリズムに基づいて上記複数チャンネル

のソースビデオデータを記録する記録手段と、上記記録手段によって記録された複数チャンネルのソースビデオデータの所望のフレームから構成されるフレーム単位の編集ストリームを生成する編集ストリーム作成手段と、上記ソースビデオデータを記録する際に使用した上記所定の記録アルゴリズムに基いて、上記記録手段によって記録された複数のサブブロックにアクセスすることによって、上記編集ストリーム生成手段によって生成された編集ストリームに応じたビデオストリームを出力する再生手段と、を備えることを特徴とする。

また、本発明に係る編集システムは、複数チャンネルのソースビデオデータを記録／再生するためのデータ記録／再生装置と、該記録装置に記録されたソースビデオデータを編集するための編集装置とを備えた編集システムにおいて、上記データ記録／再生装置は、上記ソースビデオデータの1フレームのデータを複数のサブブロックに分割し、複数のサブブロック毎に複数の夫々異なるディスクに記録する記録手段と、上記夫々異なる複数のディスクから複数のサブブロックデータを再生し、再生された複数のサブブロックデータから上記ソースビデオデータの1フレームを生成する再生手段と、上記ソースビデオデータの記録を開始する前に、上記ソースビデオデータを記録していく時に、上記複数のディスクのうちどのディスクを使用していくか及び上記ディスク上の記録エリアをどのように使用していくかを管理するためのブロックマップを作成する手段と、上記複数のサブブロックを上記複数のディスクに記録する際には、上記ブロックマップに基いて、上記記録／再生手段を制御する制御手段と、を備え、上記編集装置は、上記複数の記録媒体のランダム

な位置に記録されたソースビデオデータの所望のフレームを、複数の記録媒体からリアルタイムで読み出すように上記データ記録装置を制御する編集手段を有することを特徴とする。

また、本発明に係る編集システムは、複数チャンネルのソースビデオデータを記録／再生するためのデータ記録／再生装置と、該記録装置に記録されたソースビデオデータを編集するための編集装置と、上記編集装置及びデータ記録再生装置を制御するコンピュータとを備えた編集システムにおいて、上記データ記録／再生装置は、上記複数チャンネルのソースビデオデータの1フレームの画素データを、ランダムアクセス可能な複数の記録媒体に記録すると共に、上記複数の記録媒体に記憶された複数チャンネルのビデオデータの所望のフレームから構成される複数チャンネルのビデオストリームを再生する記録／再生手段と、上記1フレームの画素データを分割することによって生成された複数のサブブロックを上記各記録媒体に記録する際に、ヘッドの回転待ち時間が最小となるような位置に上記各サブブロックが記録されるように理論的に上記記録媒体の記録エリアをサブブロック単位で管理するブロックマップに基いて、上記記録／再生手段を制御する制御手段を備え、上記編集装置は、上記コンピュータからの編集指示に従って、上記データ記録／再生装置から再生された複数チャンネルのビデオストリームをリアルタイムで処理し、編集されたビデオデータを生成するビデオデータ処理手段を備えたことを特徴とする。

また、本発明に係る編集システムは、複数の記録媒体に記録された複数チャンネルのソースビデオデータを編集するための編集システムにおいて、上記ソースビデオデータの1フレームから分割され

た複数のサブブロックに対してアクセスする際に、ヘッドの回転待ち時間が最小となるような位置に上記各サブブロックデータが記録されるように、理論的に上記記録媒体の記録エリアをフォーマットするためのブロックマップを生成するブロックマップ生成手段と、上記ブロックマップ生成手段によって生成されたブロックマップに基づいて、上記複数チャンネルのビデオデータを上記サブブロック単位で上記記録媒体に記録する記録手段と、上記複数チャンネルのソースビデオデータが記録された記録媒体上のランダムな位置に存在する所望のフレームから構成されるフレーム単位の編集リストを生成する編集リスト生成手段と、上記編集リストに対応するビデオストリームを生成するように、上記ブロックマップに基づいて、上記複数の記録媒体から上記編集リストによって指定されたフレームに対応する複数のサブブロックを再生する再生手段とを備えたことを特徴とする。

また、本発明に係る編集方法は、複数の記録媒体に記録された複数チャンネルのソースビデオデータを編集するための編集方法において、上記ソースビデオデータの1フレームの画素データを複数のサブブロックに分割し、該分割されたサブブロックのデータが夫々異なる複数の記録媒体に記録されるように各記録媒体に転送すると共に、上記各転送先の記録媒体上において所望のサブブロックに対してアクセスする際に、ヘッドの回転待ち時間が最小となるような位置に、上記各サブブロックデータを記録し、上記複数チャンネルのソースビデオデータが記録された記録媒体上のランダムな位置に存在する所望のフレームから構成されるフレーム単位の編集リストを生成し、上記編集リストによって指定されたフレームに対応する

複数のサブブロックを再生し、上記再生された複数のサブブロックから上記1フレームを復元する処理を、上記編集リストとして指定されたフレーム毎に繰り返すことによって、上記編集リストに対応する編集ビデオストリームを生成することを特徴とする。

さらに、本発明に係る編集方法は、複数の記録媒体に記録された複数チャンネルのソースビデオデータを編集するための編集方法において、上記ソースビデオデータの1フレームから分割された複数のサブブロックに対してアクセスする際に、ヘッドの回転待ち時間が最小となるような位置に上記各サブブロックデータが記録されるように、理論的に上記記録媒体の記録エリアをフォーマットするためのブロックマップを生成し、上記ブロックマップに基づいて、上記複数チャンネルのビデオデータを上記サブブロック単位で上記記録媒体に記録し、上記複数チャンネルのソースビデオデータが記録された記録媒体上のランダムな位置に存在する所望のフレームから構成されるフレーム単位の編集リストを生成し、上記編集リストに対応するビデオストリームを生成するように、上記ブロックマップに基づいて、上記複数の記録媒体から上記編集リストによって指定されたフレームに対応する複数のサブブロックを再生することを特徴とする。

#### 図面の簡単な説明

図1は、本発明を適用した編集システムの構成例を示すブロック図である。

図2は、図1の編集装置の構成を示すブロック図である。

図 3 は、図 2 のシステムコントロール部の構成を示すブロック図である。

図 4 は、図 2 のマトリックススイッチャ部の構成を示すブロック図である。

図 5 は、図 2 ビデオ処理部の構成を示すブロック図である。

図 6 は、図 2 のオーディオ処理部の構成を示すブロック図である。

図 7 は、図 1 のディスクレコーダの構成例を示すブロック図である。

図 8 は、図 7 の CPU ブロックの構成例を示すブロック図である。

図 9 は、NTSC 方式の場合の図 8 の ZBR テーブルの例を示す図である。

図 10 は、PAL 方式の場合の図 8 の ZBR テーブルの例を示す図である。

図 11 (A), (B) は、シリンダ、トラック、およびセクタの関係を説明する図である。

図 12 は、ZBR の記録の原理を示す図である。

図 13 (A), (B) は、図 8 の物理アドレステーブルの例を示す図である。

図 14 は、図 8 のブロックマップのフォーマットを示す図である。

図 15 は、図 8 のブロックマップの例を示す図である。

図 16 は、ブロックマップ作成の処理を説明するフローチャートである。

図 17 は、シーク時間の特性を示す図である。

図 18 は、ギャップ  $\theta_{gap}$  を説明する図である。

図 19 は、ギャップ  $\theta_{gap}$  とスキュー  $\theta_{skew}$  を説明する図である。

図 20 は、複数シリンダの間におけるスキューを説明する図であ

る。

図 2 1 は、ギャップ  $\theta$  gap のシリンダに対する関係を説明する図である。

図 2 2 は、ギャップ  $\theta$  gap のシリンダに対する関係を説明する図である。

図 2 3 は、ギャップ  $\theta$  gap のシリンダに対する関係を説明する図である。

図 2 4 は、スケジューリングを説明する図である。

図 2 5 は、オーバヘッドを説明する図である。

図 2 6 は、図 7 のコントローラのスケジューリング処理を説明するフローチャートである。

図 2 7 は、図 7 のコントローラの  $k$  番目のデータの配置処理を説明するフローチャートである。

図 2 8 は、図 2 7 のステップ S 3 1 のより詳細な処理を説明するフローチャートである。

図 2 9 は、図 2 7 のステップ S 3 2 のより詳細な処理を説明するフローチャートである。

図 3 0 は、図 2 9 のステップ S 5 1 のより詳細な処理を説明するフローチャートである。

図 3 1 は、図 2 9 のステップ S 5 2 におけるより詳細な処理を説明するフローチャートである。

図 3 2 は、図 2 7 のステップ S 3 3 のより詳細な処理を説明するフローチャートである。

図 3 3 は、図 2 8 の処理により実現されるハードディスク上のデータの配置を説明する図である。

図34(A), (B)は、パリティデータの生成を説明する図である。

図35(A), (B)は、パリティデータによる誤りの訂正を説明する図である。

図36は、図7のRAIDコントローラとDMAコントローラのより詳細な構成例を示すブロック図である。

図37(A), (B)は、図36のRAIDコントローラのビット変換処理を説明する図である。

図38は、図36のFIFOの動作を説明する図である。

図39は、1フレーム分の画像の画素データを説明する図である。

図40は、パケット転送ブロックを説明する図である。

図41は、DMAコマンドを説明する図である。

図42は、図36のデータバッファにおけるデータの書き込みの状態を説明する図である。

図43は、1フレームの画像のRAIDの領域を説明する図である。

図44は、図43で示される1フレームの画像のサブブロックの構成を説明する図である。

図45は、誤りが存在しない場合の再生時のDMAコマンドを説明する図である。

図46は、誤りが存在する場合の再生時のDMAコマンドを説明する図である。

図47は、図36のRAIDコントローラのより詳細な構成を示すブロック図である。

図48は、図47のRAIDコントローラにおけるパリティ生成の処理を説明する図である。

図49は、図47のRAIDコントローラにおけるデータ訂正の処理

を説明する図である。

図 5 0 は、NTSC方式におけるパリティデータとサブブロックの構成例を示す図である。

図 5 1 は、NTSC方式におけるパリティデータとサブブロックの構成例を示す図である。

図 5 2 は、NTSC方式におけるパリティデータとサブブロックの構成例を示す図である。

図 5 3 は、NTSC方式におけるパリティデータとサブブロックの構成例を示す図である。

図 5 4 は、NTSC方式におけるパリティデータとサブブロックの構成例を示す図である。

図 5 5 は、NTSC方式におけるパリティデータとサブブロックの構成例を示す図である。

図 5 6 は、PAL方式の場合のパリティデータとサブブロックの構成例を示す図である。

図 5 7 は、PAL方式の場合のパリティデータとサブブロックの構成例を示す図である。

図 5 8 は、PAL方式の場合のパリティデータとサブブロックの構成例を示す図である。

図 5 9 は、PAL方式の場合のパリティデータとサブブロックの構成例を示す図である。

図 6 0 は、PAL方式の場合のパリティデータとサブブロックの構成例を示す図である。

図 6 1 は、PAL方式の場合のパリティデータとサブブロックの構成例を示す図である。

図 6 2 は、各フレームのサブブロックのデータの各ディスク上における配置を説明する図である。

図 6 3 は、ストリームの構成を説明する図である。

図 6 4 は、従来のRAIDを説明する図である。

図 6 5 は、従来のRAIDを説明する図である。

### 発明を実施するための最良の形態

以下、本発明に係る編集システムおよび編集方法の好ましい実施の形態について説明する。

図 1 は、本発明を応用した編集システムの構成例を表している。このシステムにおいては、編集装置 1 にソースビデオテープレコーダ (VTR) 9 や、デイリーサーバ 7 などから、ビデオデータが入力され、編集されるようになされている。この編集装置 1 は、ディスクレコーダ 2 を制御し、編集処理を行うようになされている。編集装置 1 は、2 チャンネルのSDI(Serial Data Interface)を介してディスクレコーダ 2 に、ビデオデータとオーディオデータを伝送し、また、ディスクレコーダ 2 は、それぞれ 6 チャンネルのビデオデータと、16 チャンネルのオーディオデータをSDIを介して編集装置 1 に供給するようになされている。さらに、編集装置 1 は、SDIを介して、メインモニタ 4、オンエアバッファ 8、ソースVTR 9、並びにホストパーソナルコンピュータ 3 に、ビデオデータとオーディオデータを供給するようになされている。また、編集装置 1 は、増幅器 5 にオーディオ信号を出力し、スピーカ 6 から放音させるようになされている。

一方、ホストパーソナルコンピュータ 3 は、編集装置 1 に対して、RS-422 規格の通信プロトコルを使用してコマンドを送り、編集装置 1 を制御するようになされている。また、編集装置 1 も、ディスクレコーダ 2、デイリーサーバ 7、ソースVTR 9 などに、RS-422 を介してコマンドを送り、それぞれを制御するようになされている。さらに編集装置 1 は、ホストパーソナルコンピュータ 3 を介して、イーサネットにより制御されたり、外部装置を制御することができるようになされている。ディスクレコーダ 2 は、SCSI(ANSI Small Computer System Interface)を介してホストパーソナルコンピュータ 3 に制御されるようになされている。

図 2 は、編集装置 1 の内部の構成例を表している。この編集装置 1 は、コントロールバス 25 を介して相互に接続されたマトリックススイッチャ部 21、ビデオ処理部 22、オーディオ処理部 23、およびシステムコントロール部 24 により構成されている。

図 3 に示すように、システムコントロール部 24 は、コントロールバス 25 を介して、マトリックススイッチャ部 21、ビデオ処理部 22、オーディオ処理部 23 などを制御するためのメインCPU 121、ソースVTR 9、ローカルストレージとしてのディスクレコーダ 2、およびデイリーサーバ 7 などの各デバイスを制御する、デバイス制御CPU 122-1 乃至 122-3 を有している。また、システムコントロール部 24 は、さらに、ホストパーソナルコンピュータ 3 との間で、GUI のためのインタフェース処理を行ったり、リファレンズタイムレコードを授受したりする、コミュニケーションCPU 124 を有している。

図 4 に示すように、マトリックススイッチャ部 21 は、入力ライ

ンと出力ラインを切り替えるためのブロックである。このマトリックススイッチャ部 2 1 は、SDIフォーマットに基づいて供給されたビデオ信号またはオーディオ信号を受け取る 1 2 本の入力ライン 3 1 - 1 乃至 3 1 - 1 2 を有している。この 1 2 本の入力ラインに対して、マトリックス状に 1 2 本の出力ラインが配置されており、各出力ラインには、アウトプットプロセッサ 3 2 - 1 乃至 3 2 - 1 2 が配置されている。入力ライン 3 1 - 1 乃至 3 1 - 1 2 と、アウトプットプロセッサ 3 2 - 1 乃至 3 2 - 1 2 が対応する 1 2 本の出力ラインは、図中、×印で示されるクロスポイントで、適宜、接続されるようになされている。この接続は、マトリックススイッチャ部 2 1 の制御ブロック 3 4 が、システムコントロール部 2 4 のメイン CPU 1 2 1 からの指令を、コントロールバス 2 5 を介して受け取り、この指令に対応して、制御するようになされている。

この入力ラインには、図 1 に示す、デイリーサーバ 7、ソース VTR 9、またはディスクレコーダ 2 からのビデオ信号やオーディオ信号が供給されるだけでなく、ビデオ処理部 2 2 で処理されたビデオ信号も供給される。制御ブロック 3 4 は、クロスポイントを適宜切り替えることにより、これらの入力の所定のものを、1 2 本の出力ラインのアウトプットプロセッサ 3 2 - 1 乃至 3 2 - 1 2 のいずれかに供給させる。アウトプットプロセッサ 3 2 - 1 乃至 3 2 - 1 2 は、入力されたビデオ信号を SDI フォーマットに変換する処理を行う。アウトプットプロセッサ 3 2 - 1 の出力は、キャプチャラインの出力とされ、ホストパーソナルコンピュータ 3 に供給される。アウトプットプロセッサ 3 2 - 2 の出力は、プレビューラインの出力とされ、メインモニタ 4 に供給される。

一方、アウトプットプロセッサ 32-3 乃至 32-12 の後段には、さらに、コンバイナ 33-1 乃至 33-10 が設けられており、これらのコンバイナ 33-1 乃至 33-10 は、対応するアウトプットプロセッサ 32-3 乃至 32-12 より入力されたビデオ信号に、オーディオ処理部 23 から供給されたエンベデッドオーディオ信号を SDI のビデオ信号に重畳する処理を行う。コンバイナ 33-1 乃至 33-10 の出力は、プログラムアウトラインの出力として、ローカルストレージとしてのディスクレコーダ 2 に供給される。なお、エンベデッドオーディオ信号とは、SDI 規格のデジタルビデオデータのブランキング期間に、補助データとして挿入されたオーディオデータを意味する。

図 5 に示すように、ビデオ処理部 22 は、マトリックススイッチャ部 21 から供給されたビデオ信号に対して、画像変換処理を施すためのブロックである。この画像変換処理とは、例えば、ソースビデオ信号に特殊効果をかけたり、バックグラウンドビデオ信号に特殊効果のかかったビデオ信号を挿入するアニメーションエフェクトや、バックグラウンドビデオ信号から、フォアグラウンドビデオ信号に映像を切り替えるトランジションエフェクトの処理や、特殊効果の施された第 1 のビデオ信号と第 2 のビデオ信号とをミックスする合成処理などのことである。

このビデオ処理部 22 は、マトリックススイッチャ部 21 から入力される SDI フォーマットの信号から、キー信号またはビデオ信号（輝度信号とクロマ信号）を抽出するデマルチプレクサブロック 41、キー信号またはビデオ信号に対してワイプなどのトランジションエフェクトを付与するためのスイッチャブロック 42、キー信号

またはビデオ信号に対して3次元画像変換などのアニメーションエフェクトを付与する特殊効果ブロック43、スイッチャブロック42、特殊効果ブロック43、およびマトリックススイッチャ部21からのビデオ信号をミックスするミキサブロック44、並びに、これらのデマルチプレクサブロック41、スイッチャブロック42、特殊効果ブロック43、およびミキサブロック44を制御する制御ブロック45により構成されている。

制御ブロック45は、システムコントロール部24から、コントロールバス25を介して制御信号を受け取り、図示せぬ制御線を介して、デマルチプレクサブロック41、スイッチャブロック42、特殊効果ブロック43、またはミキサブロック44を制御する。

デマルチプレクサブロック41は、デマルチプレクサ回路41-1乃至41-5を有しており、これらのデマルチプレクサ回路41-1乃至41-5は、マトリックススイッチャ部21から供給されたSDIフォーマットに準ずるようにパケット化されているビデオ信号を抽出する回路であって、各パケットデータのペイロード部の領域内に記録されているビデオ信号を、シリアル状に記録されている各ビデオ信号の先頭に記録された同期信号およびヘッダ情報に基づいて抽出する。

スイッチャブロック42は、制御ブロック45からの制御コマンドに対応して、オペレータによって指定されたトランジションエフェクトに対応するワイプ信号を生成するワイプ信号発生回路52-1, 52-2を有している。ワイプ信号発生回路52-1は、生成したワイプ信号をキー信号処理回路51-1とビデオ信号処理回路51-2に供給し、ワイプ信号発生回路52-2は、生成したワイ

プ信号をキー信号処理回路5 1 - 3とビデオ信号処理回路5 1 - 4に供給している。

キー信号処理回路5 1 - 1は、デマルチプレクサ回路4 1 - 1より供給されたキー信号を、ワイプ信号発生回路5 2 - 1より供給されたワイプ信号に対応して処理したり、新たなキー信号を生成するようになされている。ビデオ信号処理回路5 1 - 2は、デマルチプレクサ回路4 1 - 2より供給されたビデオ信号を、ワイプ信号発生回路5 2 - 1より供給されたワイプ信号に対応して処理するようになされている。

同様に、キー信号処理回路5 1 - 3は、デマルチプレクサ回路4 1 - 3より供給されたキー信号を、ワイプ信号発生回路5 2 - 2より供給されたワイプ信号に対応して処理したり、新たなキー信号を生成する。ビデオ信号処理回路5 1 - 4は、デマルチプレクサ回路4 1 - 4より供給されたビデオ信号を、ワイプ信号発生回路5 2 - 2より供給されたワイプ信号に対応して処理するようになされている。

特殊効果ブロック4 3においては、フレームメモリ6 1 - 1またはフレームメモリ6 1 - 2に、キー信号処理回路5 1 - 3またはビデオ信号処理回路5 1 - 4より供給されたキー信号またはビデオ信号が、それぞれ記憶されるようになされている。3次元アドレス発生回路6 3は、制御ブロック4 5からの特殊画像変換の制御コマンドを受け取って、キー信号またはビデオ信号を、それぞれ3次元的な画像に変換するための変換アドレスを発生し、フレームメモリ6 1 - 1, 6 1 - 2と、インターポレータ6 2 - 1, 6 2 - 2に出力するようになされている。フレームメモリ6 1 - 1, 6 1 - 2は、

キー信号またはビデオ信号の読み出しが、3次元アドレス発生回路63からの変換アドレスに対応して制御される。インターポレータ62-1, 62-2は、それぞれフレームメモリ61-1または61-2より供給されたキー信号またはビデオ信号の画素を空間的に補間するための処理を、3次元アドレス発生回路63からの変換アドレスに基づいて行うようになされている。

ミキサブロック44においては、ミックス回路71-1が、インターポレータ62-1より供給される画像変形されたキー信号に基づいて、インターポレータ62-2より供給される、変形されたビデオ信号と、デマルチプレクサ回路41-5より供給されるバックグラウンドビデオ信号とを合成するようになされている。また、ミックス回路71-2は、ミックス回路71-1より出力されるビデオ信号と、ビデオ信号処理回路51-2において、ワイプ信号に基づいて処理されたビデオ信号を、キー信号処理回路51-1が出力する、ワイプ信号に基づいて処理されたキー信号に対応して合成するようになされている。ミックス回路71-1, 71-2より出力されたビデオ信号は、マトリックススイッチャ部21の12本の入力ラインのうちの2つの入力ラインに供給されている。

図6に示すように、オーディオ処理部23においては、セパレータブロック81が、セパレータ81-1乃至81-3を有しており、これらのセパレータ81-1乃至81-3は、マトリックススイッチャ部21から供給されたSDIフォーマットの信号から、エンベデッドオーディオ(Embedded Audio)信号を分離するようになされている。これらの信号は、AES / EBU(Audio Engineering Society / European Broadcasting Union)フォーマットの信号とされている。

ミキサブロック 8 3 は、セパレータ 8 1 - 1 乃至 8 1 - 3 の出力を、可変抵抗 9 1 - 1 乃至 9 1 - 3 で所定のレベルに調整した後加算する加算器 9 2 - 1 と、セパレータ 8 1 - 1 乃至 8 1 - 3 の出力を、可変抵抗 9 1 - 4 乃至 9 1 - 6 により、所定のレベルに調整した後加算する加算器 9 2 - 2 を有している。

エンベデッド回路 8 5 は、加算器 9 2 - 1 と 9 2 - 2 より出力されたオーディオ信号を SDI フォーマット信号に重畳できるようにエンベデッドオーディオ信号に変換する処理を行う。エンベデッド回路 8 5 の出力は、マトリックススイッチャ部 2 1 のコンバイナ 3 3 - 1 乃至 3 3 - 1 0 に供給され、アウトプットプロセッサ 3 2 - 3 乃至 3 2 - 1 2 により SDI フォーマットに変換されたビデオ信号に重畳され、ディスクレコーダ 2 に供給されるようになされている。

制御ブロック 8 6 は、これらのセパレータブロック 8 1、ミキサブロック 8 3、およびエンベデッド回路 8 5 の動作を、システムコントロール部 2 4 からの制御信号をコントロールバス 2 5 を介して受け取って、制御するようになされている。

加算器 9 2 - 1、9 2 - 2 の出力は、図 1 の増幅器 5 を介してスピーカ 6 から出力されるようになされている。

図 7 は、ディスクレコーダ 2 の内部の構成例を表している。なお、このディスクレコーダ 2 は、高速リアルタイムランダムアクセスのためのハードディスクマネージメントアルゴリズム FARAD (Fast Random Access Disk) (商標) を応用したものであり、比較的少ないディスクで、マルチチャンネルのデータを高速ランダムアクセスすることができるようになされている。

この構成例においては、ディスクアレイとして、3 2 台のハード

ディスク 201-1乃至201-32が設けられている。SPC(SCSI Peripheral Controller)としてのSCSIコントローラ202-1乃至202-16は、それぞれ2台のハードディスクを制御するようになさっている。例えば、SCSIコントローラ202-1は、ハードディスク201-1とハードディスク201-2を制御し、SCSIコントローラ202-2は、ハードディスク201-3とハードディスク201-4を制御するようになされている。

さらに、バッファブロック203-1乃至203-8が設けられている。1つのバッファブロックは、2つのSCSIコントローラを制御するようになされており、例えば、バッファブロック203-1は、SCSIコントローラ202-1と202-2を制御し、バッファブロック203-2は、SCSIコントローラ202-3と202-4を制御するようになされている。各バッファブロック203-i (なお、iは任意の値であり、ここでは、 $i = 1, 2, \dots, 8$ ) には、データバッファ212-iと、これを制御するバッファコントローラ211-iが設けられている。

また、データバッファ212-1乃至212-8は、CPUブロック261のコントローラ262により一義的に規定されるシリアルなアドレスが割り振られ、そのアドレスによって、データの記憶位置を指定することができる。従って、この複数のデータバッファ212-1乃至212-8は、コントローラ262からみた場合、1つのデータバッファとなる。

なお、このディスクレコーダ2においては、合計36台のハードディスクを装備することができるようになされているが、この構成例においては、32台のハードディスクが設けられている。

これらのハードディスク 201-1乃至201-32に対して、オーディオデータを記録再生するためのブロックとして、オーディオブロック 231-1, 231-2が設けられており、ビデオデータを記録再生するために、ビデオブロック 271-1乃至271-6が設けられている。

オーディオブロック 231-1と231-2は、それぞれ同様の構成とされており、それぞれが8チャンネル分のオーディオデータを処理するようになされているので、合計16チャンネル分のオーディオデータを処理することができるようになされている。

各オーディオブロック 231-iは、入出力(I/O)コントローラ 242-i (i=1, 2)と、DMAコントローラ 241-iを有している。入出力コントローラ 242-iは、図4のマトリックススイッチャ部 21のコンバイナ 33-1乃至33-10のいずれかから、8チャンネル分のオーディオ信号の供給を受け、これを処理して、DMAコントローラ 241-iに供給するとともに、DMAコントローラ 241-iより供給された、最大8チャンネル分のオーディオ信号を処理して、図4の編集装置1のマトリックススイッチャ部 21の入力ラインに出力する。

DMAコントローラ 241-iは、入出力コントローラ 242-iより供給されたオーディオ信号を、DMAバス 251を介して、バッファコントローラ 211-1乃至211-8のいずれかに供給し、対応するデータバッファ 212-1乃至212-8にDMA転送させる。また、これらのデータバッファ 212-1乃至212-8より読み出されたデータをDMAバス 251を介して読み取り、入出力コントローラ 242-iにDMA転送する。

ビデオブロック 271-i (i = 1, 2, ..., 6) においては、DMAコントローラ 281-i が、DMAバス 251 を介してデータバッファ 212-1 乃至 212-8 と、RAIDコントローラ 282-i との間で、ビデオデータをDMA転送するようになされている。

RAIDコントローラ 282-i は、ビデオプロセッサ 283-i より供給される、ハードディスク 201-1 乃至 201-32 に記録すべきビデオデータに対して、誤り訂正のための処理を施して、DMAコントローラ 281-i に供給するとともに、DMAコントローラ 281-i より供給された、ハードディスク 201-1 乃至 201-32 より再生されたデータに対して誤り訂正処理を施し、ビデオプロセッサ 283-i に出力するようになされている。このRAIDコントローラ 282-i の処理については、その詳細を後述する。

ビデオプロセッサ 283-i は、入出力コントローラ 284-i より供給されたビデオデータをRAIDコントローラ 282-i 側で処理するのに必要なクロックレートに変換する処理と、逆に、RAIDコントローラ 282-i より供給された再生データを、入出力コントローラ 284-i の処理すべきクロックレートに変換する処理を行う。

入出力コントローラ 284-i は、編集装置 1 のマトリックススイッチャ部 21 のコンバイナ 33-1 乃至 33-10 のいずれかより供給されるビデオデータを受け取り、これをスイッチングしてビデオプロセッサ 283-1 乃至 283-6 のいずれかに供給するとともに、逆に、ビデオプロセッサ 283-i より供給されたビデオデータを編集装置 1 の入力ラインに供給するようになされている。

この構成例においては、6 個のビデオブロック 271-1 乃至 2

7 1 - 6 が設けられているので、合計 6 チャンネル分のビデオ信号を処理することが可能となっている。

CPUブロック 2 6 1 は、コントローラ 2 6 2 と RAM 2 6 3 を有しており、制御バス 2 5 2 を介して SCSI コントローラ 2 0 2 - i、バッファブロック 2 0 3 - i、DMA コントローラ 2 4 1 - i、入出力コントローラ 2 4 2 - i、DMA コントローラ 2 8 1 - i、RAID コントローラ 2 8 2 - i、ビデオプロセッサ 2 8 3 - i、および入出力コントローラ 2 8 4 - i と接続されており、適宜、それらを制御するようになされている。コントローラ 2 6 2 は、各ブロックを制御し、RAM 2 6 3 には、コントローラ 2 6 2 が各種の処理を実行する上において必要なソフトウェアプログラムや、テーブルデータなどが記憶されている。コントローラ 2 6 2 は、指定されたフォーマットパラメータと、図 8 に示すように、RAM 2 6 3 に形成されているゾーンビットレコーディング (ZBR) テーブル 3 0 1 からのデータに基づいて、ブロックマップ 3 0 4 を作成し、また、そのブロックマップ 3 0 4 を適宜更新する。ここで、フォーマットパラメータは、記録再生単位となる 1 ブロックの大きさ  $S$ 、この 1 ブロックのデータを分割する数  $n$ 、および最適なスキュー値  $\theta_{skew}$  などから構成されている。

本発明の実施の形態の編集システムにおいて使用されているディスクレコーダでは、記録再生単位となる 1 ブロックを、1 ビデオフレームとし、この 1 ブロックのデータを分割する数を、NTSC 規格のビデオ信号の場合には、「4」とし、PAL 規格のビデオ信号の場合には、「5」としている。

コントローラ 2 6 2 は、ブロックマップ 3 0 4 を参照して、DMA コントローラ 2 8 1 - i や RAID コントローラ 2 8 2 - i の動作を制御

するためのコマンドを生成する。また、コントローラ 262 は、データバッファ 212-i にバッファリングされたビデオデータまたはオーディオデータを、ハードディスク 201-i に記録する際、または、再生する際に、ヘッド移動量が最小となるように、ヘッドのアクセス順序をスケジューリングする処理を実行する。このスケジューリング処理を SCAN 処理と呼んでいる。この SCAN 処理については後述する。

コントローラ 262 は、この他、図 8 に示すように、物理アドレステーブル 302 やアロケーションマップ 303 を生成し、それらを RAM 263 に記録する。

ゾーンビットレコーディング (ZBR) テーブル 301 は、ハードディスクのシリンダアドレスと、そのシリンダ位置での 1トラック内で使用されるセクタ数を対応づけた表である。図 9 と図 10 は、この ZBR テーブルの例を表しており、図 9 は、ビデオ信号が NTSC 規格のビデオ信号である場合における ZBR テーブルの例を表しており、図 10 は、ビデオ信号が PAL 規格のビデオ信号である場合における ZBR テーブルを表している。

図 11(A), (B) に示すように、ハードディスク 201-i は、複数のメディア (ディスク) により構成されており、各メディアには、複数のトラックが形成されている。各トラックは、複数のセクタに区分され、各セクタは、この実施の形態の場合、512 バイトの大きさとなる。そして、各メディアの中心から同一径に位置するトラックにより構成される領域がシリンダと称される。このシリンダには、外周側から内周側に向かって順番に連続の番号が振られ、これがシリンダアドレスとなる。

各ハードディスク 201-i は、ディスクの半径方向の記録エリアを複数のゾーンに分割するゾーンビットレコーディングによるフォーマットが行われている。すなわち、記録面がディスクの中心からの距離に応じて複数のゾーンに区分され、外側のゾーンでは、内側のゾーンより、トラック当たりのセクタ数が多くなるようにフォーマットされる。この実施の形態の場合、図9、図10、および図12に示すように、最外周から最内周に向かって、0001乃至6000のシリンダアドレスで規定される6000個のトラックが形成されており、これらの各トラックが、500本を単位として、12のゾーンに区分されている。そして、例えば、図9に示すように、0001乃至0500のシリンダアドレスで規定される最も外周側の第1のゾーンにおいては、1トラック当たり567個のセクタが形成されており、5501乃至6000のシリンダアドレスで規定される最も内周側の第12のゾーンにおいては、1トラック当たりのセクタ数は393個とされている。

なお、具体的には後述するが、この12個のゾーンのうち、最外周の第1のゾーンと、最内周の第12のゾーンがペア（対）として使用され、以下同様に、第2のゾーンと第11のゾーン、第3のゾーンと第10のゾーン、第4のゾーンと第9のゾーン、第5のゾーンと第8のゾーン、並びに、第6のゾーンと第7のゾーンが、それぞれペアとして使用される。このように、より外周のゾーンとより内周のゾーンを、それぞれペアとして使用することにより、ディスク容量を、最も効率よく使用することが可能となる。この点については、後に詳述する。

このように、ZBRテーブル301には、各ゾーンごとのトラック当

たりのセクタ数が記憶されているため、シリンダアドレスが特定されると、そのトラックにおいて使用することが可能なセクタ数を決定することができる。なお、この実施の形態においては、1セクタ当たり128ワード（1ワードは32ビット）のデータを記録することができるようになされている。

一方、図8に示す物理アドレステーブル302は、ハードディスク201-iの論理セクタ番号（この論理セクタ番号は論理ブロックアドレスとも称される）を物理アドレスと対応づけるためのテーブルである。物理アドレスとは、シリンダ番号、メディア番号、およびセクタ番号からなるアドレスをいう。

図13(A)、(B)は、物理アドレステーブル302の例を表している。論理セクタ(Logical Sector)番号 $Lki$ は、各ハードディスク201-iにおいて、全てのメディアの各セクタに連続して付された番号であり、図13(A)に示すように、この論理セクタ番号 $Lki$ は、シリンダ番号 $CYKki$ 、メディア番号 $ME Dki$ 、およびセクタ番号 $SE Cki$ により特定することができる。図13(B)は、その具体的な例を表している。例えば、論理セクタ番号2のセクタは、シリンダ番号0のメディア番号0のセクタ番号2のセクタである。従って、この物理アドレステーブル302を参照することにより、論理セクタ番号を物理セクタ番号に変換し、あるいは逆に、物理セクタ番号を論理セクタ番号に変換することができる。

図8のアロケーションマップ303は、ハードディスク201-iの全てのメディア（ディスク）の記録済みエリアと、未記録エリアのアドレスを管理するためのマップである。このアロケーションマップ303を参照することにより、各ディスクの未記録のエリア

を検索することができる。

ブロックマップ304は、ディスク上のどの位置に、どのような大きさのデータが記憶されているのかを示すテーブル上のマップであり、図14に示すように、 $k$ （データの総数を越えない任意の自然数）で示されるブロック番号を有するブロックデータ（記録されるデータまたは再生されるデータ）ごとに、ディスク上での配置位置を管理するためのマップである。なお、このブロック番号 $k$ で示される1つのブロックデータは、例えば、1フレーム（所定の大きさの画像）のビデオデータとされ、このブロック番号 $k$ は、全てのチャンネルのビデオデータの各フレームデータに対して、それぞれ一義的に指定された番号（ID番号）である。従って、ビデオデータの再生の要求があった場合には、このブロック番号 $k$ によって、ディスク上における配置位置を特定することができる。

図14に示すように、1フレーム分のブロックデータは、 $n$ 個のサブブロックデータ $D_{k1} \sim D_{kn}$ と、1個の誤り訂正用のパリティデータ $D_{kp}$ とにより構成され、それぞれは、異なるハードディスク201-iに記録される。パリティデータの配置場所は、ハードディスク201-iのディスク識別番号（ID） $D_{kp}$ 、パリティデータが記録されたエリアの記録開始位置を示す論理セクタ番号 $L_{kp}$ 、およびパリティデータが記録されたエリアの大きさ（サイズ）を示すセクタの数 $S_{kp}$ により規定される。

同様に、番号 $k$ のサブブロックの配置場所は、ハードディスク201-iのディスクID $D_{ki}$ 、サブブロックが記録されたエリアの記録開始位置を示す論理セクタ番号 $L_{ki}$ 、並びに、サブブロックが記録されたエリアの大きさを示すセクタの数 $S_{ki}$ により規定される。

なお、ここで、 $n$ （1フレームのビデオデータを分割する数）は、その規格（NTSCまたはPAL）（データ量）に応じて、適宜定めることができる。その詳細は後述する。

図15は、 $1440 \times 512$ 画素のNTSC方式の1フレームのビデオデータを、4つのサブブロックに分割して記録する場合に使用されたブロックマップ304の具体例を示している。この例では、ブロック番号（フレーム番号）1で示されるフレームのパリティデータP1は、ディスクIDが1で示されるハードディスク上の番号0の開始論理セクタから、567セクタ分のエリア（最外周のエリア）に記録されている。また、このブロック番号1で示されるフレームの第1番目のサブブロックのデータS1-1は、ディスクIDが2で示されるハードディスク上の番号599600の開始論理セクタから、393セクタ分のエリア（最内周のエリア）に記録され、以下同様に、このフレームの第2番目のサブブロックのデータS1-2は、ディスクIDが3で示されるハードディスク上の番号0の開始論理セクタから、567セクタ分のエリア（最外周のエリア）に記録され、第3番目のサブブロックのデータS1-3は、ディスクIDが4で示されるハードディスク上の番号599600の開始論理セクタから、393セクタ分のエリア（最内周のエリア）に記録され、第4番目のサブブロックのデータS1-4は、ディスクIDが5で示されるハードディスク上の番号0の開始論理セクタから、567セクタ分のエリア（最内周のエリア）に記録されている。

1サブブロックのデータの大きさは、基本的に、1フレームのデータの $1/4$ の大きさであるが、この1サブブロックのデータは、必ずしも、1フレームのビデオデータの連続する $1/4$ の画素デー

タから構成されるデータではない。勿論、このサブブロックの画素データを1フレームのビデオデータの連続する1/4の領域の画素データとすることも可能であるが、そのようにすると、画素データが欠落した場合における影響が、それだけ大きくなる。そこで、1フレームのビデオデータのうち、連続する領域ではなく、分散的に存在する所定の領域の画素データで構成されるパケット転送ブロックを複数個集めて、1つのサブブロックが構成される。また、各サブブロックの大きさは必ずしも同一ではない。この点については、図43、図44などを用いて後に詳述する。

次に、CPUブロック261のコントローラ262が行うブロックマップ304の作成処理について、図16のフローチャートを参照して説明する。このブロックマップ304の作成処理は、ソースビデオデータを各ハードディスクに記録する前に行われる処理である。つまり、ディスクを物理的にフォーマットするというよりは、この作成したブロックマップ304によって理論的にフォーマットするという表現が適切であろう。

なお、以下の説明において、例えばハードディスク201-1乃至201-32を、個々に区別する必要がない場合、単に、ハードディスク201と記述する。対応するデバイスが複数個存在するその他のデバイスについても同様に記述する。

コントローラ262は、ブロックマップ304を生成するためのフォーマットパラメータとして、記録すべきビデオデータの1サブブロックの大きさ、SCANスケジュールを行なう時のヘッドの平均移動距離 $L_a$ 、使用するハードディスク201のドライブのシーク時間 $T_s(L)$ 、ハードディスク201の物理的フォーマット（シリ

ンダ数、1トラック内のセクタ数、シリンダを構成するメディアの枚数)を、予め決定しておき(サブブロックのサイズの決定については、図27を参照して後述する)、これを参照して、各サブブロックのハードディスク201上での位置を、図16に示すステップS1乃至S5の手順で決定する。

ヘッドの平均移動距離 $L_a$ は、ハードディスク201の総シリンダ数 $L_t$ と、1回のスキャンで処理するアクセスの個数 $N$ から下記式(1)で与えられる(後述する図24(C)参照)。

$$L_a = L_t / (N - 1) \quad \dots (1)$$

ドライブのシーク時間 $T_s(L)$ はシーク距離 $L$ (シリンダ数)の関数であり、その値は使用するディスクドライブの機械的特性によって決まる。図17にその例を示す。スキャン(SCAN)アルゴリズムを使用して何個のアクセスリクエストをまとめて処理するかは、このディスクレコーダ2を使用するアプリケーションの性格、そこで求められる性能、使用できるデータバッファ212の量などから決定する。まとめてスキャンするアクセスリクエストの数 $N$ は大きいほどハードディスクのランダムアクセス性能が向上するが、必要なデータバッファの量が増加するとともに、応答時間が増加するという逆効果がある。

図16のステップS1で1シリンダ内に存在するサブブロックの数( $B_c$ )を計算する。1シリンダ内のセクタの総数はトラック内のセクタ数にメディアの枚数を乗じたものである。従って、1シリンダ内のセクタの総数を、1サブブロックのデータを格納するために必要なセクタ数で割れば、 $B_c$ が求まる。

ステップS2でギャップ $\theta_{gap}$ を求める。ギャップ $\theta_{gap}$ は、サブ

ブロックの先頭セクタと最終セクタとのディスクの中心から見た角度差である。例えば、図18に示すように、影を付して示したサブブロックは、その先頭がトラック「1」のセクタ「0」、その末尾がトラック「2」のセクタ「6」であるから、そのギャップ $\theta_{gap}$ は、円周の $5/12$ 、すなわち $5\pi/6$ ラジアンである。

以上のデータをもとにステップS3でスキュー $\theta_{skew}$ を求める。ここで、スキュー $\theta_{skew}$ とは、図19に示すように、ハードディスク201上の隣接するサブブロックの先頭同士の間周方向におけるディスクの中心から見た角度差をいう。まず、1つのサブブロックの書き込みまたは読み出しが終わった時点でのヘッドの位置を起点として、そこからLシリンダ分だけ、半径方向に例えば内周側に移動した位置（トラック）において、データの先頭が円周方向の同じ角度に達するまでの時間 $T_d(L)$ を式で表すと、下記式(2)に示すようになる。

$$T_d(L) = (L \cdot B_c \cdot \theta_{skew} + \theta_{gap} + 2 \cdot m \cdot \pi) / \omega \quad \dots (2)$$

ここで、Lはシーク距離で単位はシリンダ数、 $B_c$ は1シリンダ内に存在するサブブロック数、 $\theta_{skew}$ はスキューで単位はラジアン、 $\theta_{gap}$ はギャップで単位はラジアン、 $\omega$ はハードディスク201の回転速度（ラジアン/秒）、mは $T_d(L)$ が正となるような任意の整数である。

図20は、上記式(2)の意味をハードディスク201上で説明するものである。図20において、いま丁度、サブブロック「0」のアクセスが終了したとする。このとき、ヘッドは中心から見て角度Aの方向にある。いま、同じサブブロック「0」を再度アクセス

することを考えると、ギャップ  $\theta_{gap}$  の分だけディスクが回転するのを待たないといけないから、 $\theta_{gap}/\omega$  の待ち時間が発生する。

また、サブブロック「0」より  $n$  トラック（サブブロック）分だけ内周のサブブロック「 $n$ 」の先頭にアクセスするには、サブブロック「0」のスタート位置から、 $n$  サブブロック分のスキュー（ $n \theta_{skew}$ ）との和の角度だけ、ハードディスク 201 の回転を待たなくてはならない。これには、 $n \theta_{skew}/\omega$  の時間を要する。ハードディスク 201 は回転しているから、こうして得られた時間に、回転周期（Trot）の整数倍を加えた時刻にもデータの先頭はヘッドの存在する位置に到達する。 $n$  サブブロックの移動は、シリンダ数では、 $n/B_c$  シリンダの移動に相当するので、横軸をシリンダ数、縦軸を先頭が到着するまでの待ち時間としてグラフを描くと、図 21 に示すようになる。スキュー  $\theta_{skew}$  を大きくするほど図 21 の直線群の傾きは大きくなる。

なお、以上の議論では中心から見たヘッドの円周方向の位置（角度）が、中心からの距離によらず一定であるとした。実際にはヘッドの機構によっては正確に位置が一定でない場合もあるが、その影響は十分に小さいので通常は無視出来る。

図 21 に示すように、上記式（2）によって、各シリンダにおいてサブブロックの先頭がヘッドの下に到達するまでの時間が得られる。ただし、この時間内にヘッドが所望のシリンダまで移動していないといけないから、待ち時間はシーク後に、最初にブロックの先頭が現れるまでの時間となる。これがシークと回転待ちの両方を考慮したオーバヘッド  $T_d(L)$  である。図 22 にその例を示し、下記式（3）にその定義を示す。実際のオーバヘッド（待ち時間） $T$

$d(L)$  は図 2 2 おいて太線で示した。なおシーク時間  $T_s(L)$  の関数は点線で示してある。図中、 $T_{rot}$  は 1 回転周期である。

ステップ S 3 - 1 では、式 (2) や図 2 1 における  $m = 0$  の直線の方程式、すなわち、下記式 (3) で示される方程式を求める。

$$T_d(L) = (L \cdot B_c \cdot \theta_{skew} + \theta_{gap}) / \omega \quad \dots (3)$$

続くステップ S 3 - 2, S 3 - 3 および S 3 - 4 は、この直線が常にシーク時間  $T_s(L)$  よりも上で (大きく)、かつ、シーク時間  $T_s(L)$  にほぼ接するように、スキュー  $\theta_{skew}$  を選択するステップである。

すなわち、ステップ S 3 - 2 において、コントローラ 2 6 2 は、スキュー  $\theta_{skew}$  に 0 を初期設定し、ステップ S 3 - 3 において、シーク時間  $T_s(L)$  と、オーバーヘッド  $T_d(L)$  の大きさを比較する。シーク時間  $T_s(L)$  の方が、オーバーヘッド  $T_d(L)$  より小さいと判定された場合、ステップ S 3 - 4 に進み、コントローラ 2 6 2 は、スキュー  $\theta_{skew}$  を  $\delta$  だけインクリメントする。そして、ステップ S 3 - 3 に戻り、再びシーク時間  $T_s(L)$  とオーバーヘッド  $T_d(L)$  の大きさを比較する。

以上のようにして、シーク時間  $T_s(L)$  が、オーバーヘッド  $T_d(L)$  と等しいか、それより大きいと判定されるまで、ステップ S 3 - 3 とステップ S 3 - 4 の処理が繰り返し実行される。ステップ S 3 - 3 において、シーク時間  $T_s(L)$  が、オーバーヘッド  $T_d(L)$  と等しいか、それより大きいと判定された場合、図 2 2 において、シーク時間  $T_s(L)$  に最も近く、かつ、それより上方に位置する  $m = 0$  の直線の傾き (スキュー  $\theta_{skew}$ ) が求められたことになる。

ステップ S 4, S 5 は以上のようにして得られたスキュー  $\theta$  skew とギャップ  $\theta$  gap を用いて、ハードディスク 201 の全域にわたって、各サブブロックのディスク上の位置を決定するものである。ステップ S 4 でまず物理アドレス（シリンダ／メディア／セクタ）のポインタを（0／0／0）に初期化する。次のステップ S 5 は全てのサブブロックについて繰り返すループであり、ループの内部では、まずステップ S 5 - 1 において、物理アドレステーブル 302 を参照して、物理アドレスから論理セクタ番号を得、ステップ S 5 - 2 において、これと物理アドレスなどの情報をブロックマップ 304 に書き込む。

ここまでの処理が終わったら、次のサブブロックの処理の準備として、物理アドレスのポインタ P p a をステップ S 5 - 3 において更新する。ステップ S 5 - 4 では、全てのサブブロックについて、ステップ S 5 - 1 乃至 S 5 - 3 の処理を行ったか否かを判断し、行っていない場合は、処理を行っていないサブブロックについて、ステップ S 5 - 1 乃至 S 5 - 3 の処理を行う。ここで、第 N 番目のサブブロックのハードディスク 201 上の配置は、

- (1) 割り当てたサブブロックより後方（外周側から順次割り当てている場合は内周側、内周側から順次割り当てている場合は外周側）で、
- (2) かつ第 0 ブロックの先頭との角度差が  $N \theta$  skew に最も近いセクタを先頭とする領域である。

このように、以上のフローを実行することによって、図 14 及び図 15 に示されるようなブロックマップ 304 を作成することができる。尚、このブロックマップ 304 が作成された時には、まだ実

際のビデオデータ及びパリティデータはディスク上には記録されていない。つまり、実際にビデオデータをディスク上に記録する前に、図14及び図15に示されるようなブロックマップ304を作成されているということである。

すなわち、このブロックマップ304とは、この予め作成されたブロックマップ304に従ってビデオデータ及びパリティデータが記録されるように、ディスク上の記録エリアを理論的にフォーマットするためのデータであると言える。言い換えると、このブロックマップ304とは、ブロックマップ304に従ってビデオデータ及びパリティデータが記録されるように、ディスク上の記録エリアを予約するためのデータであることができる。

よって、図15に示されたブロックマップの例では、ブロック番号(フレーム番号)1で示されるフレームのパリティデータP1が、ディスクIDが1で示されるハードディスク上の番号0の開始論理セクタから、567セクタ分のエリア(最外周のエリア)に記録されるように、ディスク上の記録エリアが予約され、また、このブロック番号1で示されるフレームの第1番目のサブブロックのデータS1-1が、ディスクIDが2で示されるハードディスク上の番号599600の開始論理セクタから、393セクタ分のエリア(最内周のエリア)に記録されるように、ディスク上の記録エリアが予約され、以下同様に、このフレームの第2番目のサブブロックのデータS1-2が、ディスクIDが3で示されるハードディスク上の番号0の開始論理セクタから、567セクタ分のエリア(最外周のエリア)に記録されるようにディスク上の記録エリアが予約され、第3番目のサブブロックのデータS1-3は、ディスクIDが4で

示されるハードディスク上の番号599600の開始論理セクタから、393セクタ分のエリア（最内周のエリア）に記録されるようにディスク上の記録エリアが予約され、第4番目のサブブロックのデータS1-4は、ディスクIDが5で示されるハードディスク上の番号0の開始論理セクタから、567セクタ分のエリア（最内周のエリア）に記録されるようにディスク上の記録エリアが予約されているということを示している。

次に、この実施の形態におけるリアルタイム性を保証するときに考慮すべき最悪のオーバヘッドについて説明する。

図23は、図19に示したように各サブブロックが配置されたディスクのオーバヘッドタイムを表している。横軸はシーク距離、即ち、ハードディスク201のヘッドが移動するときに横切るシリンダ数Lを表しており、縦軸はそのときにかかる時間 $T_d(L)$ を表している。一点鎖線がシーク時間 $T_s(L)$ であり、実線が全体のオーバヘッドタイム $T_d(L)$ である。オーバヘッドタイムは、シーク時間 $T_s(L)$ と回転待ち時間 $T_{rd}$ との和であるから、実線と一点鎖線の差が回転待ち時間 $T_{rd}$ ということになる。

一般にアクセスリクエストはハードディスク201上のあらゆる場所に対して発生する。1回のスキャンで処理する場所は、図24の(A)や(B)に示すように、分布に偏りがあつたり、逆に図24の(C)に示すように、均等に分布したりする。図24の例では、6個のアクセスリクエストの間を移動するために、5回のランダムアクセスとそれに伴うオーバヘッドが発生する。その1つずつについて、図22で太線で示すオーバヘッドが発生する。この5回のランダムアクセスに対するオーバヘッドの総和が最悪になるのは、図

23に示すように、オーバヘッドの関数 $T_d(L)$ が上に凸である場合、図24の(C)に示すように、すべてのアクセスが均等に分布しているときである。分布に偏りがある時には、オーバヘッドの総和はこれよりも少なくなる。言い換えれば、ヘッドの平均移動距離 $L_a (= L/5)$ におけるオーバヘッドが繰り返し発生する時、オーバヘッドの総和は最悪(最大)になる。

図16に示すステップS3では、上記式(2)で与えられる回転待ちの直線群の1つがシーク時間 $T_s(L)$ よりも上で、かつ、なるべくそれに近いようにスキュー $\theta_{skew}$ を選択した。これによって、距離 $L_a$ 付近において $T_d(L)$ を小さくすることができ、ひいては最悪のオーバヘッド $T_{max}$ を小さくすることができる。

図25は、上記した方法による(FARAD(商標)方式による)アルゴリズムを用いた場合におけるオーバヘッドの長さを模式的に表している。同図に示すように、アクセスを発生した順番に行う従来の方式に較べて、アクセスを複数個まとめ、まとめた範囲の中で、外周から内周に向かって、順番にアクセスを行い、また、逆に、内周から外周に向かって、順番にアクセスを行うようにしたSCAN方式においては、シーク時間を減少させることができ、それだけ、オーバヘッドを短くすることができる。しかしながら、このSCAN方式も、従来の場合に較べてシーク時間は短くすることができるが、回転待ち時間は短くすることができない。それに対して、上記した方法(FARAD(商標)方式)においては、シーク時間をSCAN方式と同様に短くすることができるだけでなく、回転待ち時間も、従来の場合(SCAN方式の場合)より短くすることができ、従って、トータルのオーバヘッドを、SCAN方式の場合より短くすることができる。

以上に説明したように、本実施の形態では、スキュー  $\theta$  skew とギャップ  $\theta$  gap を適切に（スキュー  $\theta$  skew がギャップ  $\theta$  gap に対応するように）選ぶことで、ヘッドの平均移動距離  $L_a$  におけるオーバヘッド  $T_d(L)$  を最低限に抑えることが可能であり、これによって回転待ち時間を小さくすることができる。

図 16 に示したフローチャートの処理では、サブブロックの大きさは与えられた固定の値であったが、サブブロックの大きさがある程度の範囲で選択可能である。この場合はギャップ  $\theta$  gap とスキュー  $\theta$  skew の両方を変化させることができるので、平均移動距離  $L_a$  付近でシーク時間に近付くように、より細かく直線の位置を制御することができる。この点については、後に、詳述する。

以上の方法によって、サブブロック間の移動に伴うオーバヘッドは大きく改善される。しかしサブブロックが大きく、複数のトラック、あるいは複数のシリンダにまたがる場合には、トラック変更にもなう時間や隣接シリンダへの移動時間も考慮しなくてはならない。トラックの変更も隣接シリンダへの移動も、必要な時間はそれぞれ一定なので、この時間を経た後に、丁度ヘッドの下にデータが到着するように、トラック間あるいはシリンダ間でスキューを与えておくことにより、トラックの変更やシリンダの移動に伴って、サブブロック内で長い回転待ちが発生することを抑制することができる。

次に、コントローラ 262 が、ヘッドの移動量が最小となるように、ヘッドのアクセス順序を決定するスケジューリングする SCAN アルゴリズムについて説明する。図 26 は、この SCAN アルゴリズムに基づくスケジューリングの処理のフローチャートを示すもの

である。ステップS 1 1でコントローラ2 6 2は、SCSIコントローラ2 0 2を制御し、ハードディスク2 0 1のヘッドを、シリンダ「# 0」に移動させる。次いで実際のスケジュールを行なうステップS 1 2に移る。

ステップS 1 2では、ステップS 1 2-1において、コントローラ2 6 2は、時間的に前の（古い）ものから順にN個のアクセスリクエストを内蔵するアクセスリクエストバッファ（図示せず）から読み込む。このアクセスリクエストバッファには、ホストパーソナルコンピュータ3から供給されたアクセスリクエストが入力された順番に保持されている。アクセスリクエスト1個には、アクセスすべきサブブロックの番号と、データ転送に使用するデータバッファ2 1 2の先頭アドレスとが記述されている。また、個数Nは、あらかじめホストパーソナルコンピュータ3から与えられている定数である。

ステップS 1 2-2において、コントローラ2 6 2は、N個のアクセスリクエストのそれぞれについてブロックマップ3 0 4を参照し、アクセスすべきサブブロックの物理アドレス（シリンダ番号、メディア番号、セクタ番号）を知る。次いでステップS 1 2-3において、これらN個のアクセスリクエストをシリンダ番号の小さい順に（外周側から内周側の順に）並べ替える。この操作によってSCANアルゴリズムのスケジュールが実現される。

ステップS 1 2-4では、並べ替えられたこれらのアクセスリクエストを、シリンダ番号の小さいものから順に、SCSIコントローラ2 0 2を介してハードディスク2 0 1に送り、実際のアクセスとデータ転送を行なう。1サブブロック分のアクセス指示を出したら、

ステップ S 1 2 - 5 でデータ転送の終了を待ち、次いで次のアクセス指示を出す。ステップ S 1 2 - 6 で、全てのリクエストの転送を完了したか否かを判定し、まだ、転送していないリクエストがあるときは、ステップ S 1 2 - 4 に戻り、同様の処理を実行する。これを N 回繰り返すことで、ステップ S 1 2 - 6 で、N 個のアクセスリクエストの処理が終了したと判定される。

次に、ステップ S 1 2 - 7 において N 個のアクセスの処理が終了したことをホストパーソナルコンピュータ 3 に通知して、当該 N 個のアクセスリクエストに関する一連の処理が終了する。

尚、最後のステップ S 1 2 - 8 において、アクセス要求が全て処理され、アクセス要求バッファが空になったかどうか判断される。アクセス要求が残っている場合、コントローラ 2 6 2 はステップ S 1 2 - 1 に戻り、次の N 個のアクセスリクエストを取り出して処理を続行する。もしアクセスリクエストバッファに N 個のリクエストがなければ、N 個のリクエストが蓄積されるまで、このステップで待ち、N 個のリクエストが蓄積されたら、ステップ S 1 2 - 1 に戻り、同様の処理が実行される。

また、コントローラ 2 6 2 は、ハードディスク 2 0 1 の外側から内側の全領域にわたってギャップ  $\theta$  gap とスキュー  $\theta$  skew が略一定となるように、サブブロックの大きさ及びサブブロックの記録開始位置を決定することで、アクセスのリアルタイム性をさらに高めることができる。実際には、コントローラ 2 6 2 は、ハードディスク 2 0 1 の外側から内側の全領域にわたってギャップ  $\theta$  gap とスキュー  $\theta$  skew が略一定となるように、ブロックマップ 3 0 4 が生成される。

次に、図 2 7 乃至図 3 2 のフローチャートを参照して、コントロ

一ラ 2 6 2 が、k 番目のサブブロックを所定のハードディスク 2 0 1 の所定のトラックに配置する場合の処理手順について説明する。

最初に、ステップ S 3 1 において、全部で m 個（図 7 の実施の形態の場合、 $m = 3 2$ ）あるハードディスク 2 0 1 から、誤り訂正用データとしてのパリティデータおよび n 個のサブブロックのデータを格納する合計  $n + 1$  個のハードディスク 2 0 1 を選択する。この例では、まず、パリティデータを格納するハードディスク 2 0 1 を選択し、次に、サブブロックのデータを内周側から順次配置するハードディスク 2 0 1 と、サブブロックのデータを外周側から順次配置するハードディスク 2 0 1 を選択している。

各サブブロックに 1 乃至 n の番号を付けたとき、例えば、奇数番目のサブブロックはハードディスク 2 0 1 に内周側から順次配置し、偶数番目のサブブロックはハードディスク 2 0 1 に外周側から順次配置する。さらに、少数のハードディスク 2 0 1 に集中してサブブロックが配置されないように、データによって配置するハードディスク 2 0 1 をずらして選択するようにする。

図 2 8 は、図 2 7 のステップ S 3 1 の処理の詳細を示すフローチャートである。この図 2 8 において、k はデータ番号で  $k = 1, 2, \dots$ 、m はハードディスク数、n はデータを分割する数、 $i = 1, 2, \dots, n$ 、である。即ち、ステップ S 4 1 において、パリティデータを配置するハードディスク 2 0 1 として、次式 (4) で表される j 番目のハードディスク 2 0 1 を選択する。

$$j = \text{MOD} (k - 1, m) + 1 \quad \dots (4)$$

ここで、MOD は、 $k - 1$  を m（ハードディスク 2 0 1 の総数）で割った余りを演算する演算子である。

この処理により、例えば、いま、ハードディスク 201 の数  $m$  を 32 とするとき、 $j = 1, 2, 3, \dots, 31, 32, 1, 2, \dots$  といった順番で、各ハードディスク 201 が選択される。

次に、ステップ S42 において、第  $i$  番目 ( $i = 1, 3, 5, \dots$ ) のサブブロックのデータを、内周側から順次配置するハードディスク 201 として、次式 (5) で表される  $j$  番目のハードディスク 201 を選択する。

$$j = \text{MOD}(k + i - 1, m) + 1 \quad \dots (5)$$

これにより、例えば、 $i = 1$  の場合 (第 1 番目のサブブロックを記録する場合)、 $j$  として、2, 3, 4,  $\dots$ , 32, 1, 2,  $\dots$  の順番に、ハードディスク 201 が選択され、 $i = 3$  の場合 (第 3 番目のサブブロックを記録する場合)、4, 5, 6,  $\dots$ , 32, 1, 2,  $\dots$  の順番に、ハードディスク 201 が選択される。

次に、ステップ S43 に進み、第  $i$  番目 ( $i = 2, 4, 6, \dots$ ) のサブブロックのデータを、外周側から順次配置するハードディスク 201 として、上式 (5) で表される  $j$  番目のハードディスク 201 を選択する。

これにより、例えば、 $i = 2$  の場合 (第 2 番目のサブブロックを記録する場合)、 $j = 3, 4, 5, \dots, 32, 1, 2, \dots$  のハードディスク 201 が選択され、 $i = 4$  の場合 (第 4 番目のサブブロックを記録する場合)、 $j = 5, 6, 7, \dots, 32, 1, 2, \dots$  のハードディスク 201 が、順次、選択される。

このように、外周側のトラックと内周側のトラックを交互にペア (対) として用いることにより、より内周側のサブブロックの大きさを、より外周側のサブブロックの大きさより小さくすることが可

能となり、各サブブロックのギャップ  $\theta_{gap}$  を一定にすることができる。

図 28 に示したフローチャートでは、サブブロックのデータを、内周側から順次配置するサブブロックと、外周側から順次配置するサブブロックを交互に決めていったが、バランスが取れていれば、交互でなくとも構わない。即ち、サブブロックを順番に、内周側から順次ハードディスク 201 に配置し、次に、残りのサブブロックを順番に、外周側から順次ハードディスク 201 に配置するようにしてもよい。

また、サブブロックが少数のハードディスク 201 に集中しないのであれば、上記式 (4) と式 (5) で表される  $j$  番目のハードディスク 201 を選択しなくとも構わない。例えば、内周側から順次サブブロックを配置するハードディスク 201 は、内周をあまり使用していないハードディスク 201 の中から選択し、また、外周側から順次サブブロックを配置するハードディスク 201 は、外周をあまり使用していないハードディスク 201 の中から選択する方法も有効である。いずれにしても、パリティデータは、ステップ S 41 で選択されたハードディスク 201 上の外周側から順次配置する。

以上のようにして、ハードディスク 201 を決定するとリターンし、次に、図 27 のステップ S 32 に進む。

ステップ S 32 においては、選択された各ハードディスク 201 上において、パリティデータおよびサブブロックのデータの配置を開始する開始論理セクタを決定する。

図 29 は、この開始論理セクタを決定する処理手順を示すフローチャートである。まず、ステップ S 51 において、外周側から順次

パリティデータを配置するハードディスク201に関して、開始論理セクタアドレス $L_{kp}$ を求める。

図30は、図29のステップS51における処理の詳細を示すフローチャートである。最初に、ステップS61において、サブブロック（いまの場合、パリティデータ）を配置するトラックとして、サブブロック（パリティデータ）が配置されていない未配置領域の中における最外周トラックを選択する。未配置領域は、アロケーションマップ303から知ることができる。これにより、物理セクタアドレスのシリンダ番号（ $CYL_{ki}$ ）、メディア番号（ $MED_{ki}$ ）が決まり、ZBRテーブル301を参照して、この配置場所における1トラックあたりのセクタ数（ $T_{ki}$ ）が分かる。

次に、ステップS62において、シリンダ番号（ $CYL_{ki}$ ）と最適なスキュー（ $\theta_{skew}$ ）の値から、次式（6）によって、ステップS61で選択された、未配置領域の中の最外周トラック（シリンダ番号 $CYL_{ki}$ ）の先頭と、物理的な最外周トラック（最初のサブブロックのデータが記録されたトラック）（シリンダ番号0のトラック）の先頭との間（両トラックの間のシリンダ数は、 $CYL_{ki}$ となる）のなす角度 $\theta_{ki}$ が求められる。

$$\theta_{ki} = \theta_{skew} \times CYL_{ki} \quad \dots (6)$$

ただし、 $\theta_{ki} > 2\pi$ のとき、 $\theta_{ki} < 2\pi$ となるまで、 $\theta_{ki} = \theta_{ki} - 2\pi$ の処理を繰り返す。

次に、ステップS63に進み、式（6）において求めた角度 $\theta_{ki}$ と、トラックあたりのセクタ数（ $T_{ki}$ ）より、次式（7）によって、セクタ番号（ $SECK_{ki}$ ）が求められる。

$$SECK_{ki} = ROUNDUP (T_{ki} \times \theta_{ki} / 2\pi) \quad \dots (7)$$

ここで、ROUNDUPは、端数を切り上げた整数を求める演算子を意味する。

次に、ステップS64において、物理アドレステーブル302（図13）を参照して、ステップS61乃至S63において求めた物理セクタアドレス（CYLki、MEDki、SECKi）から論理セクタアドレス（Lki）（いまの場合、Lkp）を決定し、リターンする。

次に、図29のステップS52に進み、内周側から順次配置する全てのハードディスク201に関して、それぞれの開始論理セクタアドレスLki（ $i = 1, 3, 5, \dots$ ）を求める。

図31は、図29のステップS52における処理の詳細を示すフローチャートである。最初に、ステップS71において、物理アドレステーブル302（図13）を参照して、サブブロックを配置するトラックとして、未配置領域の中における最内周トラックを選択する。これにより、物理セクタアドレスのシリンダ番号（CYLki）、メディア番号（MEDki）が決まり、ZBRテーブル301を参照して、この配置場所における1トラックあたりのセクタ数（Tki）が分かる。

次に、ステップS72において、ステップS71で選択された、未配置領域の中の最内周トラックの先頭と、物理的な最内周トラック（最初のサブブロックのデータが記録されたトラック）の先頭との間のなす角度 $\theta_{ki}$ を求め、ステップS73においてセクタ番号（SECKi）を求める。そして、ステップS74において、求めた物理セクタアドレス（CYLki、MEDki、SECKi）から論理セクタアドレス（Lki）を決定し、リターンする。上述したステップ

S 7 2 乃至 S 7 4 における処理は、トラックを外周側からではなく、内周側から順次選択する点を除き、基本的には、図 3 0 のステップ S 6 2 乃至 S 6 4 における処理と同様の処理であるので、ここではその詳細な説明は省略する。

次に、図 2 9 のステップ S 5 3 に進み、サブブロックのデータを、外周側から順次配置する全てのハードディスク 2 0 1 に関して、それぞれの開始論理セクタアドレス  $L_{ki}$  ( $i = 2, 4, 6, \dots$ ) を求める。ここでの処理手順は、図 3 0 のフローチャートを参照して上述した場合と同様であるので、ここではその説明は省略する。そして、処理が終了すると、リターンする。

図 2 9 乃至図 3 1 に示した処理例においては、サブブロックを外周側から順次各トラックに配置する場合、サブブロックを配置するトラックを未配置領域の中の最外周トラックから選択し、サブブロックを内周側から順次各トラックに配置する場合、サブブロックを配置するトラックを未配置領域の中の最内周トラックから選択するものとしたが、必ずしも最外周トラックや最内周トラックを選択する必要はない。例えば、ZBR方式のフォーマットでは、同一のゾーンであれば、トラックあたりのセクタ数も同一であり、各サブブロックのサイズおよびギャップの値は変わらないからである。

以上のようにして、開始論理セクタアドレスが求められると、次に、図 2 7 のステップ S 3 3 に進み、パリティデータと各サブブロックのサイズが決定される。サブブロックのサイズを決定する場合の処理手順については、図 3 2 のフローチャートを参照して後述する。

次に、各サブブロック（パリティデータの場合を含む）のサイズ

(セクタ数)はどうあるべきかを考えてみる。まず、各サブブロックのサイズの和は、元の1ブロックのデータのサイズに等しい。即ち、各サブブロックのサイズ(セクタ数)を $S_{ki}$  ( $i=1, 2, 3, \dots, n$ )とし、元の1ブロックのデータのサイズ(セクタ数)を $S$ とすると、 $S$ は次式(8)で表される。

$$S_{k1} + S_{k2} + \dots + S_{kn} = S \quad \dots (8)$$

一方、各サブブロックの読み出し時間または書き込み時間が等しくなるためには、各サブブロックのギャップ $\theta_{gap}$ の値が等しくなければならない。即ち、次の式(9)が成り立っていないといけない。

$$S_{k1}/T_{k1} = S_{k2}/T_{k2} = \dots = S_{kn}/T_{kn} \quad \dots (9)$$

上記式(9)において、 $T_{ki}$  ( $i=1, 2, 3, \dots, n$ )は、 $i$ 番目のサブブロックが配置されるトラックのセクタ数である。

式(8)および式(9)より、各サブブロックのギャップ $\theta_{gap}$ の値を一定にするための各サブブロックのセクタ数 $S_{ki}$ は次式(10)で与えられる。

$$S_{ki} = S \times T_{ki} / T \quad \dots (10)$$

ただし、 $T = T_{k1} + T_{k2} + \dots + T_{kn}$ とする。

実際には、セクタ数 $S_{ki}$ は整数で与えられるので、各サイズは若干の微調整が必要である。

一方、パリティデータのサイズ $S_{kp}$ は、各サブブロックのサイズが決まっているとき、次式(11)で与えられる。

$$S_{kp} = \text{MAX} (S_{k1}, S_{k2}, \dots, S_{kn}) \quad \dots (11)$$

式(11)において、MAXは、サブブロックのサイズ $S_{k1}$ 乃至

$S_{kn}$ のうち、最も大きいものを求める演算子である。

パリティデータは、図27のステップS31およびステップS32より、ハードディスク201の外周よりのトラックに配置されることが保証されているので、次式(12)が成立することがわかる。

$$S_{k1}/T_{k1} = S_{k2}/T_{k2} = \dots = S_{kn}/T_{kn} = S_{kp}/T_{kp} \dots (12)$$

ここで、 $T_{kp}$ は、サブブロック $S_{kp}$ が配置されるトラックのセクタ数である。

以上のサブブロックのサイズを決定する手順を実現するフローチャートが図32に示したものである。最初に、ステップS81において、 $n$ 個のサブブロックが配置される配置場所に対応するトラックの1トラックあたりのセクタ数 $T_{ki}$  ( $i = 1, 2, \dots, n$ )の和 $T$ を求める。次に、上記式(10)で表される演算を、変数 $i$ が1から $n$ までについて行い、各サブブロックのサイズ $S_{ki}$  ( $i = 1, 2, \dots, n$ )を求める。

次に、ステップS82に進み、上記式(8)で表される演算を行い、ステップS81で求めた各サブブロックのサイズ $S_{ki}$ の和が、元の1ブロックのデータのサイズ $S$ と等しいか否かが判定される。各サブブロックのサイズ $S_{ki}$ の和が、元の1ブロックのデータのサイズ $S$ と等しくないとは判定された場合、ステップS83に進み、各サブブロックのサイズ $S_{ki}$ の和が、元の1ブロックのデータのサイズ $S$ と等しくなるように、各サブブロックのサイズ $S_{ki}$ を微増減させる。その後、ステップS82に戻り、各サブブロックのサイズ $S_{ki}$ の和が、元の1ブロックのデータのサイズ $S$ と等しいとは判定されるまで、ステップS82およびS83の処理が繰り返される。

一方、ステップ S 8 2 において、各サブブロックのサイズ  $S_{ki}$  の和が、元の 1 ブロックのデータのサイズ  $S$  と等しいと判定された場合、ステップ S 8 4 に進み、パリティデータのサイズ  $S_{kp}$  が求められる。即ち、サブブロック  $S_{ki}$  の中の最も大きいサイズがパリティデータのサイズ  $S_{kp}$  とされる。

ステップ S 8 4 の処理が終了すると、リターンする。これにより、図 2 3 に示したフローチャートのステップ S 3 3 の処理が終了し、全ての処理を終了する。

以上のようにして、各ハードディスク 2 0 1 において、各サブブロックのギャップ  $\theta_{gap}$  が一定となるように、内周側に配置されるサブブロックのサイズを小さくし、外周側に配置されるサブブロックのサイズを大きくする。

図 3 3 は、以上のようにしてハードディスク 2 0 1 に分配されたサブブロックの例を表している。ここでは、ハードディスク 2 0 1 の数  $m$  を 6 とし、サブブロックの数  $n$  を 4 としている。

1 番目のフレームのパリティデータは、ハードディスク 2 0 1 - 1 に、それに対応する 4 個のサブブロックは、ハードディスク 2 0 1 - 2 乃至 2 0 1 - 5 に分配して配置される。ハードディスク 2 0 1 - 1 に配置されるパリティデータと、ハードディスク 2 0 1 - 3, 2 0 1 - 5 に配置されるサブブロックは、最外周トラックに入れられ、ハードディスク 2 0 1 - 2, 2 0 1 - 4 に配置されるサブブロックは、最内周トラックに入れられる。

また、2 番目のフレームのパリティデータは、ハードディスク 2 0 1 - 2 に、サブブロックは、ハードディスク 2 0 1 - 3 乃至 2 0 1 - 6 に、それぞれ、外周より、内周より、外周より、内周より、

外周よりの順番で入れられ、3番目のフレームのパリティデータは、ハードディスク201-3に、サブブロックは、ハードディスク201-4乃至201-6、およびハードディスク201-1に、それぞれ、外周より、内周より、外周より、内周より、外周よりの順番で入れられる。以下同様にして、各フレームのデータが配置され、最後のフレームのデータは、例えば、ハードディスク201-3乃至201-6およびハードディスク201-1のシリンダのほぼ中間あたりに配置される。

このように配置されたパリティデータとサブブロックを、1つのハードディスク201に注目して観察してみると、各サブブロックのギャップ $\theta$  gap及びスキュー $\theta$  skewの値がほとんど同一であるから、各サブブロックの読み出し、および書き込みに要する時間がほぼ一定となる。

以上のように、上記実施の形態においては、ハードディスク201上でのデータの格納場所に拘らず、パリティデータおよびサブブロックを実際に読み出しあるいは書き込みを行う時間を一定とすることができる。

また、上記実施の形態においては、データにアクセスする場合、外周から内周方向にスキャンするようにしたが、内周から外周方向にスキャンするようにすることも可能である。その場合、内周から外周にヘッドを移動させながら、データにアクセスするときに最適なスキューを設定するようにすることができる。

次に、RAIDコントローラ282における、パリティデータを生成し、これを利用して誤りを補正する場合の動作について説明する。例えば、図15に示したように、外周に記録されるサブブロックの

サイズは、内周に記録されるサブブロックのサイズより大きくされて、1つのブロックが4個のサブブロック#1乃至サブブロック#4に分割される。

パリティデータのサイズは、分割されたサブブロックの中の最もサイズが大きいサブブロックのサイズと等しくなるように設定される。

基本的には、 $j$ 番目のパリティデータ  $P_j$  は、各サブブロックの  $j$ 番目のデータから生成される。図34(A)に示すように、 $j$ の値が小さい場合、全てのサブブロックに対応する  $j$ 番目のデータが存在するので、全てのサブブロック#1乃至#4のデータから、パリティデータ  $P_j$  が生成される。一方、 $j$ がある程度より大きくなると、図30(B)に示すように、サブブロック#1, #3では  $j$ 番目のデータが存在しないことになる。

このような場合、サイズが  $j$ 以上であるサブブロック#2, #4から  $j$ 番目のデータに基づいて、パリティデータ  $P_j$  が生成される。あるいは、サブブロック#1, #3に予め決められた所定のデータを付加し、すべてのサブブロックのデータからパリティデータ  $P_j$  を生成するようにすることもできる。なお、パリティデータを発生するアルゴリズムには様々な種類があるが、ここではその詳細までを述べる必要がないので省略する。

次に、データの誤りを訂正する場合における動作は次のようになる。すなわち、例えば、所定のサブブロックの  $j$ 番目のデータが誤っている場合、基本的には他のサブブロックの  $j$ 番目のデータとパリティデータを用いて誤りを訂正する。例えば、図35(A)に示すように、 $j$ の値が小さい場合、全てのサブブロックの  $j$ 番目のデ

ータからパリティデータが生成されているので、パリティデータの  $j$  番目のデータと誤りのないサブブロック # 1 乃至 # 3 の全ての  $j$  番目のデータを用いて、誤りのあるサブブロック # 4 の  $j$  番目のデータの訂正を行う。

一方、図 3 5 (B) に示すように、 $j$  の値がある程度大きくなると、サイズが  $j$  以上であるサブブロックの  $j$  番目のデータからパリティデータが生成されるので、サイズが  $j$  以上であるサブブロックの中の誤りがないサブブロック # 2 と、パリティデータを使用して、誤りのあるサブブロック # 4 の  $j$  番目のデータの訂正を行う。

本実施の形態においては、このようなパリティデータの生成と、パリティデータを用いた誤り訂正処理は、リアルタイムで行われるようになされている。図 3 6 は、そのような処理を行う部分の構成を表している。

この図 3 6 に示すように、ビデオブロック 2 7 1 - 1 の RAID コントローラ 2 8 2 - 1 は、データを 1 パケット転送ブロック分だけ遅延させる遅延素子 4 0 1 - 1 乃至 4 0 3 - 1 を有している。RAID コントローラ 2 8 2 - 1 は、ビデオプロセッサ 2 8 3 - 1 より 1 0 ビットのバスを介して供給される画素データからパリティデータを生成し、3 2 ビットのバスを介して FIFO 4 0 4 - 1 に供給するとともに、画素データを 3 2 ビットのバスを介して FIFO 4 0 5 - 1 に供給するようになされている。また、RAID コントローラ 2 8 2 - 1 は、DMA コントローラ 2 8 1 - 1 から 6 4 ビットのバスと FIFO 4 0 6 - 1 を介して供給された画素データ（再生データ）に対して、パリティデータに基づく誤り訂正処理を行い、1 0 ビットの画素データ単位でビデオプロセッサ 2 8 3 - 1 に供給するようになされている。

図37(A)、(B)は、RAIDコントローラ282-1における10ビットのデータと32ビットのデータの変換処理の例を表している。第1のモードが設定されている場合、RAIDコントローラ282-1は、図37(A)に示すように、ビデオプロセッサ283-1より10ビット単位でデータが供給されると、その10ビット単位のデータを3個集め、第1番目と第2番目の10ビットのデータの間、1ビットの0のダミーデータを挿入し、また、第2番目と第3番目の10ビットのデータの間、0のダミーデータを挿入して、合計32ビットのデータとする。また、逆に32ビットのデータが、バスから供給された場合、第11番目のビットと第22番目のビットを無視して、その前後の10ビットずつのデータに3分割して処理する。また、第2のモードが設定されている場合、図37(B)に示すように、RAIDコントローラ282-1は、10ビットで入力されるデータのうち、下位2ビットを無視し、4組の8ビットのデータを組み合わせて、32ビットのデータとする。また、逆に32ビットのデータが入力された場合には、これを8ビットずつに区分し、各8ビットのデータに、2ビットのダミーデータを付加して、10ビットのデータとする。

図36のRAIDコントローラ282-1とDMAコントローラ281-1は、FIFO404-1乃至406-1を介して相互に接続されている。FIFO404-1乃至406-1のRAIDコントローラ282-1側は、32ビットのバスで構成されており、DMAコントローラ281-1側は、64ビットのバスで構成されている。各FIFOは、32ビットで構成されているため、例えば、FIFO404-1は、最初に入力された32ビットのパリティデータを64ビットのバスの、例え

ば上位側の32ビットのバスを介してDMAコントローラ281-1に出力し、次に入力される32ビットのパリティデータを、64ビットのバスの下位側の32ビットのバスを介してDMAコントローラ281-1に供給する。

FIFO405-1も、FIFO404-1と同様に、RAIDコントローラ282-1より供給される、最初の32ビットの画素データを、64ビットのバスのMSB側の32ビットのバスを介してDMAコントローラ281-1に出力し、次に、入力される32ビットの画素データを、64ビットのバスのLSB側の32ビットのバスを介してDMAコントローラ281-1に出力する。

一方、DMAコントローラ281-1から64ビットのバスを介して供給される画素データ（再生画素データ）を、RAIDコントローラ282-1に供給するFIFO406-1は、図38に示すように、それぞれ32ビットの容量を有するFIFO406A-1と406B-1により構成されている。DMAコントローラ281-1より64ビットのバスのMSB側の32ビットのバスを介して供給された画素データは、FIFO406A-1に供給され、LSB側の32ビットのバスを介して供給された画素データは、FIFO406B-1に供給される。そして、FIFO406A-1に記憶された画素データが、32ビットのバスを介してRAIDコントローラ282-1に供給された後、次にFIFO406B-1に記憶された32ビットの画素データが読み出され、32ビットのバスを介してRAIDコントローラ282-1に供給される。

DMAコントローラ281-1は、64ビットのDMAバス251に接続されている。また、FIFO407-1は、32ビットの制御バス252に接続されており、制御バス252を介して入力されたコマン

ドを、RAIDコントローラ 2 8 2 - 1 に出力するようになされている。

なお、図示は省略するが、ビデオブロック 2 7 1 - 2 乃至 2 7 1 - 6 も、ビデオブロック 2 7 1 - 1 と同様に構成されている。

ボード 4 2 1 - 1 には、3 枚の SCSI ボード 4 3 1 - 1 乃至 4 3 1 - 3 が設けられている。そして、SCSI ボード 4 3 1 - 1 には、S-DRAM で構成されるデータバッファ 2 1 2 - 1 が設けられており、その入出力が、バッファコントローラ 2 1 1 - 1 により制御されるようになされている。バッファコントローラ 2 1 1 - 1 には、3 2 ビットのバスを介して、2 つの SCSI コントローラ 2 0 2 - 1, 2 0 2 - 2 が接続されており、SCSI コントローラ 2 0 2 - 1 は、2 台のハードディスク 2 0 1 - 1, 2 0 1 - 2 を制御するようになされている。また、SCSI コントローラ 2 0 2 - 2 は、2 台のハードディスク 2 0 1 - 3, 2 0 1 - 4 を制御するようになされている。

図示は省略するが、SCSI ボード 4 3 1 - 2, 4 3 1 - 3 も、SCSI ボード 4 3 1 - 1 と同様に構成されている。また、ボード 4 2 1 - 2, 4 2 1 - 3 も、ボード 4 2 1 - 1 と同様に構成されている。従って、この構成例においては、1 枚のボード 4 2 1 - i により、1 2 台のハードディスク 2 0 1 を制御することができるようになされており、3 枚のボードが設けられているので、合計 3 6 台のハードディスク 2 0 1 を制御する機能を有するものとされている。但し、実際には、3 2 台のハードディスク 2 0 1 が接続されている。

上述したように、1 フレーム分の画像データは、例えば、4 つのサブブロックに区分されるが、このサブブロックは、さらに 1 2 8 ワード分の画素データを単位とするパケット転送ブロックに区分されて、パリティデータの生成と、これを利用した誤り訂正処理が実

行される。

すなわち、例えば、NTSC方式の1フレーム分の画像データは、図39に示すように、 $1440 \times 512$ 画素により構成される。1画素は、10ビットの輝度(Y)データと、10ビットの色差(UまたはV)データで構成される。

1ワードは32ビットで構成されるため、1ワードの中に、10ビットの輝度データを3個配置することができる。そして、3個の輝度データの間、図37(A)に示したように、2ビットのダミーデータを付加することで、1ワードにより、結局、3画素分のデータを配置することができる。このような観点からすると、図40に示すように、1パケット転送ブロックに、384画素のデータを配置することになる。

但し、10ビットの輝度データと10ビットの色差データにより、1画素分のデータが構成されるものと考え、1パケット転送ブロック(128ワード)に配置される画素数は、1ワードに1.5画素分を配置することができることになるので、129画素分のデータを配置することになる。

なお、ここでは簡単のために、図40に示すように、1つの画素が10ビットの輝度データで構成されるものと考えて、1パケット転送ブロックに384画素が配置されるものとする。

上述したように、図36のDMAコントローラ281は、RAIDコントローラ282とデータバッファ212との間において、パケット転送ブロックを単位とするDMA転送を行う。図41は、制御バス252を介して、コントローラ262からDMAコントローラ281に、供給されるDMAコマンドの例を表している。この例は、RAIDコントローラ

282からデータバッファ212に対して、記録すべき画素データをDMA転送する場合のコマンドの例を表している。

図41に示すように、このDMAコマンドは、コマンドとオペランドとにより構成されており、オペランドには、画素データを記録すべきデータバッファ212のアドレスが保持されている。また、コマンドには、パケット転送ブロックを転送する回数（ループ回数）が規定されている。

なお、このコマンドとしては、ループ回数の他、各種の制御を指令するコマンドを配置することができるのはもとよりである。例えば、RAIDコントローラ282に対するコマンドには、RAID比が設定されている。

例えば、いま、図40に示すように、1フレーム分の画素データが、1パケット転送ブロックごとにA0、B0、C0、D0、A1、B1、C1、D1、・・・のように、左上から右下方向に、順次区分されたものとする。このパケット転送ブロックを、図41に示すようなDMAコマンドで、図36のDMAコントローラ281に転送を指令すると、DMAコントローラ281は、そのFIFO501-1でこのコマンドを受け取り、図42に示すように、データバッファ212に対して、データの書き込みを行う。

すなわち、図41に示すように、コマンドには、4つのサブブロックに対応して、データバッファ212のアドレスa0乃至d0がそのオペランドに規定されており、また、その4個のサブブロックに対応するパリティデータの記録すべきデータバッファ212のアドレスとして、p0がオペランドに記述されている。そして、コマンドとして、ループ回数nが記述されている。この場合、図42に

示すように、データバッファ212のアドレスa0にパケット転送ブロックA0が書き込まれる。アドレスb0にパケット転送ブロックB0が書き込まれ、アドレスc0にパケット転送ブロックC0が書き込まれ、アドレスd0にパケット転送ブロックD0が書き込まれる。そして、4個のサブブロックに対応して生成されたパリティデータのうち、最初の1パケット転送ブロック分のパリティデータP0が、データバッファ212のアドレスp0に書き込まれる。

次に、データバッファ212のアドレスa0+128(ワード)にパケット転送ブロックA1が書き込まれ、アドレスb0+128にパケット転送ブロックB1が書き込まれ、アドレスc0+128にパケット転送ブロックC1が書き込まれ、さらにアドレスd0+128にパケット転送ブロックD1が書き込まれる。そして、アドレスp0+128に、パリティデータP1が書き込まれる。

以下、同様に、アドレスa0から連続する領域に、データA0, A1, A2, … A(n-1)が書き込まれ、アドレスb0から連続する領域に、データB0, B1, B2, … B(n-1)が書き込まれる。また、アドレスc0から連続する領域に、データC0, C1, C2, … C(n-1)が書き込まれ、アドレスd0から連続する領域に、データD0, D1, D2, … D(n-1)が書き込まれ、アドレスp0から連続する領域に、パリティデータP0乃至P(n-1)が書き込まれる。

図43は、1フレームの画像の画素データを4:1のRAIDで転送する領域R1と、2:1のRAIDを行う領域R2の範囲を示している。

以下の説明において使用する、「n:mのRAID」とは、ソースビデオデータをn個のサブブロックの数に分割し、その分割され

た  $n$  個のサブブロックから  $m$  個のパリティデータを生成する RAID アルゴリズムであることを表わしている。従って、「4 : 1 の RAID」とは、4 つのサブブロックから 1 つのパリティデータを生成する RAID アルゴリズムである。

同図に示すように、 $A_0, B_0, C_0, D_0, A_1, B_1, C_1, D_1, \dots, A_n, B_n, C_n, D_n$  の連続するパケット転送ブロックが、4 : 1 の RAID で転送される。そして、それに続く領域  $R_2$  のパケット転送ブロック  $A(n+1), C(n+1), A(n+2), C(n+2), \dots, A_r, C_r$  が、2 : 1 の RAID で転送される。

上記したパケット転送ブロック  $A_i, B_i, C_i, D_i$  は、それぞれ第 1 乃至第 4 のサブブロックを構成している。

すなわち、図 4 4 に示すように、第 1 のサブブロックは、 $A_0$  乃至  $A_r$  のパケット転送ブロックで構成され、第 2 のサブブロックは、 $B_0$  乃至  $B_n$  のパケット転送ブロックで構成され、第 3 のサブブロックは、 $C_0$  乃至  $C_r$  のパケット転送ブロックで構成され、第 4 のサブブロックは、 $D_0$  乃至  $D_n$  のパケット転送ブロックで構成されている。そして、パリティデータは、 $P_0$  乃至  $P_r$  のパケット転送ブロックで構成されている。

この図 4 3 と図 4 4 を比較して明らかなように、例えば、第 1 のサブブロックを構成するパケット転送ブロック  $A_i$  は、図 4 3 に示す 1 フレームの画像上の連続する画素ではなく、所定の位置に分散して配置されている画素で構成されている（勿論、1 つのパケット転送ブロック内においては、画素が連続している）。

そして、図 4 4 に示すように、各サブブロックの  $n+1$  個のパケット転送ブロックは、 $n+1$  個のパリティデータとともに、4 : 1

のRAIDを構成している。

これに対して、第1のサブブロックの packets 転送ブロック  $A_{n+1}$  から packets 転送ブロック  $A_r$  までの packets 転送ブロック、第3のサブブロックの packets 転送ブロック  $C_{n+1}$  から packets 転送ブロック  $C_r$  までの packets 転送ブロック、さらに packets 転送ブロック  $P_{n+1}$  から packets 転送ブロック  $P_r$  までのパリティデータにより、2 : 1 のRAIDが構成されている。

4 : 1 のRAIDの領域の packets 転送ブロックは、図44の左側に示すようなDMAコマンドにより、図36のデータバッファ212にDMA転送される。すなわち、第1のサブブロックのデータ  $A_1$  は、データバッファ212のアドレス  $a_0$  に記憶され、第2のサブブロックの packets 転送ブロック  $B_1$  は、データバッファ212のアドレス  $b_0$  に記憶され、第3のサブブロックの packets 転送ブロック  $C_1$  は、データバッファ212のアドレス  $c_0$  に記憶され、さらに第4のサブブロックの packets 転送ブロック  $D_1$  は、データバッファ212のアドレス  $d_0$  に記憶される。そして、パリティデータは、データバッファ212のアドレス  $p_0$  に記憶される。次に、第2番目の packets 転送ブロック  $A_2$  ,  $B_2$  ,  $C_2$  ,  $D_2$  と、パリティデータ  $P_2$  が、順次転送される。以下、同様にして、この4 : 1 のRAIDの領域の packets 転送ブロックに対しては、 $n+1$  回の転送が行われる。

これに対して、2 : 1 のRAIDの領域の packets 転送ブロックは、図44において右側に示すDMAコマンドで、図36のデータバッファ212にDMA転送される。すなわち、第1のサブブロックの packets 転送ブロック  $A_{n+1}$  は、データバッファ212のアドレス  $a_0$  に

記憶される。同様に、第3のサブブロックのデータ転送ブロック  $C_{n+1}$  は、データバッファ212のアドレス  $c_0$  に記憶され、パリティデータ  $P_{n+1}$  は、データバッファ212のアドレス  $p_0$  に記憶される。以下、同様に、第2番目以降のデータ転送ブロック  $A_{n+2}$ ,  $C_{n+2}$ ,  $P_{n+2}$ ,  $A_{n+3}$ ,  $C_{n+3}$ ,  $P_{n+3}$ , ... が順次転送される。そして、この場合のデータ転送ブロックの転送回数は、 $r - n + 2$  回とされる。

図45と図46は、データバッファ212からデータ転送ブロックを読み出す場合のDMAコマンドを表している。図45は、各データ転送ブロックに誤りがない場合を表しており、図46は、誤りがある場合を表している。

図45に示すように、各データ転送ブロックに誤りがない場合には、各データ転送ブロックが記憶されているデータバッファ212のアドレス  $a_0$  乃至  $d_0$  と、転送回数が記述されている。すなわち、この場合、データバッファ212のアドレス  $a_0$  から第1のサブブロックの1つのデータ転送ブロックが読み出され、アドレス  $b_0$  から第2のサブブロックの1つのデータ転送ブロックが読み出され、アドレス  $c_0$  から第3のサブブロックの1つのデータ転送ブロックが読み出され、さらに、アドレス  $d_0$  から第4のサブブロックの1つのデータ転送ブロックが読み出される。このような読み出しが、ループ回数分だけ行われる。

これに対して、図46に示すように、例えば第3のブロックのデータ転送ブロックに誤りがある場合には、その誤りがあるデータ転送ブロックが記憶されているアドレス  $c_0$  に代えて、パリティデータが記憶されているアドレス  $p_0$  が記述される。そして、コマ

ンドとして、ループ回数が指定されるとともに、アドレス c 0 に記憶されている第 3 のサブブロックのデータに誤りがあることを表すフラグが記述される。従って、この場合には、データバッファ 2 1 2 から第 3 のサブブロックのデータは読み出されず、それに代えて、パリティデータが読み出されることになる。

次に、図 3 6 の RAID コントローラ 2 8 2 において、リアルタイムでパリティデータを生成し、また、リアルタイムでパリティデータを利用して、誤り訂正を行うためのより具体的な構成と動作について説明する。図 4 7 は、このような、RAID コントローラ 2 8 2 のリアルタイムでパリティデータを生成し、また、これを利用して、誤り訂正を行う部分の構成例を表している。

セレクタ 4 5 1 は、ビデオプロセッサ 2 8 3 より供給される記録データ（画素データ）と、データバッファ 2 1 2 から供給される画素データ（再生データ）の、いずれか一方を選択し、入力データとして、図示せぬ他の回路に供給させるとともに、遅延素子 4 0 1 - 4 並びにセレクタ 4 5 4, 4 5 5 の入力 A に供給させる。遅延素子 4 0 1 - 4 は、入力されたデータを、1 パケット転送ブロック分だけ遅延した後、後段の遅延素子 4 0 1 - 3 に出力する。遅延素子 4 0 1 - 3 も、入力されたデータを 1 パケット転送ブロック分だけ遅延させた後、後段の遅延素子 4 0 1 - 2 に出力する。遅延素子 4 0 1 - 2 も、入力されたデータを 1 パケット転送ブロック分だけ遅延した後、後段の遅延素子 4 0 1 - 1 に出力する。遅延素子 4 0 1 - 1 は、入力されたデータを 1 パケット転送ブロック分だけ遅延した後、セレクタ 4 5 3 の入力 A に供給する。

なお、この遅延素子 4 0 1 - 1 乃至 4 0 1 - 4 は、この図 4 7 の

ブロック図においては4個示されているが、実際には、図36における1個の遅延素子401により構成されており、この遅延素子401をループ回数分（いまの場合、4個）だけ繰り返し使用することで、ループ回数分のパケット転送ブロックの遅延を得ることが可能である。

セレクタ454は、遅延素子402の出力が供給されている入力Bと、セレクタ451の出力が供給されている入力Aの一方を選択するか、2つの入力の排他的論理和を演算して、遅延素子402に出力する。遅延素子402の出力は、セレクタ452の入力Aに供給されている。

セレクタ455も、セレクタ451の出力が供給される入力Aと、遅延素子403の出力が供給されている入力Bの一方を選択するか、または、両者の排他的論理和を演算し、遅延素子403に出力するとともに、図示せぬ回路にパリティデータとして出力するようになされている。遅延素子403の出力は、セレクタ452の入力Bに供給されている。

セレクタ452は、入力AとBのうち的一方を選択し、セレクタ453の入力Bに供給している。セレクタ453は、遅延素子401-1からの入力Aと、セレクタ452からの入力Bの一方を選択し、選択結果をビデオプロセッサ283に出力するようになされている。

次に、パリティデータを生成する場合の動作について図48を参照して説明する。ビデオプロセッサ283からRAIDコントローラ282に、データバッファ212に記録すべき画素データが入力されると、RAIDコントローラ282は、これを10ビットを単位とする

データから、32ビット（1ワード）を単位とするデータに変換する。そして、さらに、このデータを128ワード分（1パケット転送ブロック分）まとめ、この記録データをセレクタ451の入力Aに供給する。いま、最初に入力されたパケット転送ブロックの番号を0とする。この番号0のパケット転送ブロックは、セレクタ451により選択され、セレクタ455の入力Aに供給されるとともに、入力データとして、そのまま図示せぬ回路に出力される。このとき、遅延素子403にはまだ、パケット転送ブロックが保持されていないので、セレクタ455は、入力Aを、そのまま選択する。セレクタ455の出力（番号0のパケット転送ブロック）は、遅延素子403に供給され、保持される。以上の動作をまとめると、図48に示すようになる。

次に、番号1のパケット転送ブロックが、セレクタ451に供給されると、セレクタ451は、このパケット転送ブロックを選択し、セレクタ455に供給する。セレクタ455の入力Bには、遅延素子403に保持されている番号0のパケット転送ブロックが供給されているので、セレクタ455は、セレクタ451より供給される番号1のパケット転送ブロックと、遅延素子403より供給される番号0のパケット転送ブロックの排他的論理和を演算し、これを遅延素子403に供給し、保持させる。

以下同様に、図48に示すように、番号2のパケット転送ブロックが、セレクタ451に供給されると、セレクタ455により、番号0、番号1、および番号2のパケット転送ブロックの排他的論理和が演算出力され、さらに番号3のパケット転送ブロックが入力されたとき、番号0乃至番号3のパケット転送ブロックの排他的論理

和が、演算出力される。4 : 1のRAIDの場合には、これが求めるパリティとなる。

以下、同様に、新たな番号の packets 転送ブロックが順次入力されると、図48に示すように、パリティデータが、リアルタイムで順次生成出力される。

セレクタ451より選択出力された入力データは、RAIDコントローラ282から32ビットのバスを介してFIFO405-1に入力され、そこから64ビットのバスを介してDMAコントローラ281に供給される。また、セレクタ455より出力されたパリティデータは、RAIDコントローラ282から32ビットのバスを介してFIFO404-1に供給され、そこから、さらに64ビットのバスを介してDMAコントローラ281に供給される。

DMAコントローラ281には、コントローラ262から、図41に示すようなDMAコマンドが入力されている。DMAコントローラ281は、このDMAコマンドに対応して、FIFO405-1またはFIFO404-1に記憶されている画素データまたはパリティデータを読み出し、DMAバス251を介してバッファコントローラ211に供給する。バッファコントローラ211は、DMAバス251を介して供給されてきたデータを、データバッファ212に書き込む処理を実行する。これにより、例えば、図42に示すような状態で、画素データとパリティデータが、データバッファ212に記憶される。

SCSIコントローラ202は、コントローラ262から制御バス252を介してコマンドの供給を受け、このコマンドに対応して、バッファコントローラ211に制御信号を出力し、データバッファ212に記憶されている画素データとパリティデータを再生させ、こ

れを取り込む。そして、SCSIコントローラ202は、バッファコントローラ211を介して取り込んだデータバッファ212からのデータを、対応する所定のハードディスク201の所定のトラックに書き込む。このようにして、ハードディスク201には、例えば、図33に示すような状態で、1フレーム分の画素データが、4個のサブブロックに分割され、各サブブロックごとに、異なるハードディスク201に記録される。また、そのフレームの画素データに対応するパリティデータも、異なるハードディスク201上に記録される。

次に、ハードディスク201から再生されたデータの誤りを訂正して出力する場合の動作について図49を参照して説明する。コントローラ262は、制御バス252を介してSCSIコントローラ202にコマンドを出力し、ハードディスク201に記録されている所定のフレームの画素データと対応するパリティデータを再生させる。この再生データは、SCSIコントローラ202からバッファコントローラ211を介して、データバッファ212に書き込まれる。コントローラ262は、制御バス252を介してDMAコントローラ281に対して、このようにしてデータバッファ212に書き込まれたデータのRAIDコントローラ282へのDMA転送を指令する。DMAコントローラ281は、このコマンドに対応して、バッファコントローラ211を介してデータバッファ212に書き込まれているデータを読み出し、DMAバス251を介して転送を受ける。そして、このデータを64ビットのバスを介してFIFO406A-1, 406B-1に供給し、記憶させる。FIFO406A-1, 406B-1に書き込まれたデータは、32ビットのバスを介してRAIDコントローラ282

に供給される。

RAIDコントローラ282においては、このようにしてFIFO406A-1, 406B-1より供給されたデータを、セレクタ451の入力Bで受け取る。

セレクタ451に、このようにして、例えば番号0の packets 転送ブロックが入力されたとすると、これがセレクタ451で選択され、図49に示すように、遅延素子401-4に供給されるとともに、セレクタ454と455の入力Aにそれぞれ供給される。図49に示すように、セレクタ455は、このとき入力Bを選択するように制御されているので、その入力Aに供給されたデータは、遅延素子403には供給されない。これに対して、セレクタ454においては、入力Aが選択されるように制御されているため、セレクタ454は、番号0の packets 転送ブロックを選択し、後段の遅延素子402に供給し、保持させる。

次に、番号1の packets 転送ブロックが、セレクタ451に入力され、選択されると、これが、遅延素子401-4に供給され、それまで遅延素子401-4に保持されていた番号0の packets 転送ブロックは、後段の遅延素子401-3に転送され、保持される。

また、セレクタ454は、このとき、入力Aから供給されるセレクタ451からの番号1の packets 転送ブロックと、遅延素子402に保持されている番号0の packets 転送ブロックの排他的論理和を演算し、これを遅延素子402に供給し、記憶させる。

次に、本来ならば、番号3の packets 転送ブロックが入力されるのであるが、いま、この番号3の packets 転送ブロックに誤りが発生したとすると、DMAコントローラ281は、この番号3の packets

ト転送ブロックに代えて、パリティデータを選択し、これをデータバッファ212から読み出させ、RAIDコントローラ282に供給させる。このパリティデータは、セクタ451から遅延素子401-4に供給されるとともに、セクタ454の入力Aに供給される。このとき、セクタ454は、入力Aからのデータと入力Bからのデータの排他的論理和を演算するが、入力Aには、パリティデータが入力され、遅延素子402には、番号0の packets 転送ブロックと番号1の packets 転送ブロックの排他的論理和が保持されているので、結局、セクタ454は、番号0の packets 転送ブロック、番号1の packets 転送ブロック、およびパリティデータの排他的論理和を演算し、これを遅延素子402に出力する。

さらに、番号3の packets 転送ブロックが、セクタ451から入力されると、これが遅延素子401-4に供給され、それまで遅延素子401-4に保持されていたパリティデータは、後段の遅延素子401-3に供給される。それまで、遅延素子401-3に保持されていた番号1の packets 転送ブロックは、後段の遅延素子401-2に供給され、保持される。そして、それまで遅延素子401-2に保持されていた番号0の packets 転送ブロックは、さらに後段の遅延素子401-1に供給され、保持される。

セクタ454は、セクタ451から供給される番号3の packets 転送ブロックと、遅延素子402に保持されている番号0の packets 転送ブロック、番号1の packets 転送ブロック、およびパリティデータの排他的論理和を演算したデータとの排他的論理和を演算する。この演算結果は、結局、番号2の packets 転送ブロックの誤りを訂正したデータとなっており、これが遅延素子402に保持

される。

次に、番号4の packets 転送ブロックが、セレクタ451に入力されると、これが選択され、遅延素子401-4に保持される。それまで、遅延素子401-4の保持されていた、番号3の packets 転送ブロックは、後段の遅延素子401-3に供給される。それまで、遅延素子401-3に保持されていたパリティデータは、後段の遅延素子401-2に供給され、保持される。それまで、遅延素子401-2に保持されていた番号1の packets 転送ブロックは、後段の遅延素子401-1に供給され、保持される。そして、それまで遅延素子401-1に保持されていた番号0の packets 転送ブロックは、セレクタ453の入力Aに供給され、セレクタ453で選択されて、ビデオプロセッサ283に出力される。

次に、番号5の packets 転送ブロックが、セレクタ451に入力されると、上述した場合と同様の処理が行われ、それまで遅延素子401-1に保持されていた番号1の packets 転送ブロックが、セレクタ453により選択され、出力される。

そして、次に、番号6の packets 転送ブロックが、セレクタ451に入力されるタイミングであるが、この番号6の packets 転送ブロックに誤りが検出された場合、セレクタ451に、番号6の packets 転送ブロックに代えて、パリティデータが供給される。その結果、このパリティデータが、遅延素子401-4に供給され、保持されるとともに、セレクタ455を介して遅延素子403に供給され、保持される。

セレクタ454と遅延素子402の組み合わせと、セレクタ455と遅延素子403の組み合わせは、1フレームごとに（4パケッ

ト転送ブロックごとに)交互に用いられる。従って、番号0乃至番号3の packets 転送ブロックが、セレクタ454を介して遅延素子402に供給されるようになされている場合、次の1フレーム分の番号4乃至番号8の packets 転送ブロックのデータは、セレクタ455を介して遅延素子403に供給される。そして、セレクタ454における場合と同様に、セレクタ455は、セレクタ451から、新たな番号の packets 転送ブロックが入力されると、それまで、遅延素子403に保持されていた packets 転送ブロック、または、それまでの排他的論理和の演算結果との新たな排他的論理和を演算し、その演算結果を遅延素子403に供給し、保持させる。

従って、番号4、番号5、さらに番号6(パリティデータ)の packets 転送ブロックが、セレクタ451から入力されたタイミングにおいて、セレクタ455は、セレクタ451から入力されたパリティデータと、それまで遅延素子403に保持されていた番号4と番号5の packets 転送ブロックの排他的論理和の演算結果との排他的論理和を演算し、これを遅延素子403に供給し、保持させる。一方、遅延素子402は、その前のフィールドの誤りを訂正したデータ(番号2の packets 転送ブロック)を保持している。

そして、番号6の packets 転送ブロックが、セレクタ451に入力されたタイミングにおいて、遅延素子401-1は、誤りを含む番号2の packets 転送ブロックに代えて入力されたパリティデータを出力することになる。これが、セレクタ453により、そのまま選択出力されると、パリティデータが、出力されてしまうことになる。そこで、このタイミングにおいて、セレクタ453は、入力Aからのデータに代えて、入力Bからのデータを選択するように切り

替えられる。セレクタ 4 5 3 の入力 B には、セレクタ 4 5 2 の出力が供給されており、セレクタ 4 5 2 は、入力 A に供給されている遅延素子 4 0 2 が保持している番号 2 の訂正済みのパケット転送ブロックを選択し、出力している。その結果、スイッチ 4 5 3 からパリティデータが出力されず、訂正済みの番号 2 のパケット転送ブロックが出力される。

以下、同様にして、図 4 9 に示すように、セレクタ 4 5 1 に番号 1 0 のパケット転送ブロックが入力されたタイミングにおいては、遅延素子 4 0 1 - 1 から、番号 6 の誤りを含むパケット転送ブロックに代えて入力されたパリティデータが、セレクタ 4 5 3 の入力 A に供給されるのであるが、このとき、セレクタ 4 5 3 は、入力 B 側に切り替えられ、そのとき、セレクタ 4 5 2 が、入力 B に供給されている遅延素子 4 0 3 が保持している番号 6 の誤りを訂正したパケット転送ブロックを選択しているので、セレクタ 4 5 3 からこれが出力される。

このようにして、DMA コントローラ 2 8 1 から再生データが順次入力されると、リアルタイムで、順次、誤りが訂正され、訂正されたデータが、ビデオプロセッサ 2 8 3 に供給される。

次に、図 7 に示すディスクレコーダ 2 における記録時の動作についてまとめると、次のようになる。なお、いま編集装置 1 からディスクレコーダ 2 に供給されるビデオデータは、NTSC 方式のビデオデータであるとする。

ホストパーソナルコンピュータ 3 から、SCSI を介して記録コマンドを受け取ると、ディスクレコーダ 2 のコントローラ 2 6 2 は、RAM 2 6 3 上のアロケーションマップ 3 0 3 を参照して、編集装置 1 よ

り供給されたビデオデータが、記録可能な空きエリアを検索する。この空きエリア検索は、1フレーム分のビデオデータを4つに分割したサブブロックのそれぞれと、これらの画素データから生成したパリティデータのそれぞれに対して行われる。この時点において、パリティデータのセクタ数と、4つのサブブロックのセクタ数は、まだ、正確には判っていないので、この空きエリア検索は、セクタ単位で行われるのではなく、トラック単位で行われる。

コントローラ262は、検索した空きエリアの状況に基づいて、パリティデータと、4つのサブブロックのデータをハードディスク201に記録するための記録位置を決定する。この記録位置は、ハードディスク201のディスクIDと、記録を開始するセクタの開始論理セクタ番号によって指定される。具体的には、図15に示すように、パリティデータは、ディスクIDが1のハードディスク201-1の論理セクタ番号0（最も外側のトラックのセクタ）が、記録開始位置とされる。第1のサブブロックデータは、ディスクIDが2のハードディスク201-2の論理セクタ番号599600（最も内側のトラックのセクタ）が、記録開始位置とされる。第2のサブブロックデータは、ディスクIDが3のハードディスク201-3の論理セクタ番号0（最も外側のトラックのセクタ）が、記録開始位置とされる。さらに、第3のサブブロックデータは、ディスクIDが4のハードディスク201-4の論理セクタ番号599600（最も内側のトラックのセクタ）が、記録開始位置とされる。また、第4のサブブロックデータは、ディスクIDが5のハードディスク201-5の論理セクタ番号0（最も外側のトラックのセクタ）が記録開始位置とされる。

コントローラ 262 は、次に、物理アドレステーブル 302 を参照して、データの記録位置として決定された開始論理セクタ番号から、シリンダアドレス、メディア番号、およびセクタ番号からなる物理アドレスを求める。

さらに、コントローラ 262 は、ZBR テーブル 301 を参照して、物理アドレステーブル 302 を参照して求めたシリンダアドレスが、12 個のゾーンのうちのどのゾーンに含まれるのかを決定し、それに応じて、1トラックにおいて使用されるセクタ数を決定する。

さらに、コントローラ 262 は、以上の制御で求められたパリティデータのディスク ID、論理セクタ番号、およびセクタ数、並びに第 1 乃至第 4 のサブブロックのディスク ID、論理セクタ番号、およびセクタ数に基づいて、ブロックマップ 304 を生成する。

以上のようにして、第 1 のフレーム（番号 1 のフレーム）に指定されるビデオデータに対応するブロックマップが作成されたことになる。

次に、コントローラ 262 は、ブックマップ 304 を参照して、DMA コントローラ 281 と、RAID コントローラ 282 に供給するシーケンスプログラムを生成する。このシーケンスプログラムは、図 41 を参照して説明したように、パリティデータとビデオデータのデータバッファ 212 上における格納位置を示すためのアドレスを含むオペランドと、パリティデータおよびビデオデータの packets 転送のループ回数と、RAID 比を指定するコマンドから構成されている。

コントローラ 262 は、制御バス 252 を介して FIFO 407 に対して、このシーケンスプログラムのうちのコマンドの部分を転送す

る。RAIDコントローラ 282 は、FIFO407 を介して供給された、このコマンドを参照し、ビデオデータ対パリティデータの比 (RAID 比) と転送ループ回数 (転送ループ期間) を検出する。すなわち、RAIDコントローラ 282 は、このコマンドを受け取ることにより、ビデオプロセッサ 283 から供給されているビデオデータから、何対何の RAID 比でパリティを生成し、その処理を、何回繰り返すのかを検出する。

RAIDコントローラ 282 は、この RAID 比が、4 : 1 の時、4 つの packets 転送ブロック (サブブロック) からパリティデータを演算し、RAID 比が 2 : 1 の時、2 つの packets 転送ブロック (サブブロック) からパリティデータを演算する。

演算されたパリティデータは、1 ワードごとに FIFO404 に供給され、画素データは、1 ワードごとに FIFO405 に供給される。

一方、コントローラ 262 は、供給されたビデオデータのサブブロックをデータバッファ 212 のどの位置に記憶させるかを示す DMA コマンド (図 41) を DMA コントローラ 281 内の FIFO501 に供給する。そして、DMA コントローラ 281 は、FIFO404 に記憶されているパリティデータと、FIFO405 に記憶されている画素データを、FIFO501 に記憶された DMA コマンドのオペランドに記述されているアドレスによって指定されたデータバッファ 212 上の位置に、1 packets 転送ブロック (= 128 ワード) ごとに、DMA 転送を行う。この転送は、DMA コマンドに記述されているループ回数だけ、繰り返し行われる。

図 50 は、図 15 において、番号 1 で示すフレームの 4 つのサブブロックと、1 つのパリティデータのサイズを模式的に表している。

図50に示すように、第1のサブブロックS1-1の大きさは393セクタとされ、第2のサブブロックS1-2の大きさは567セクタ、第3のサブブロックS1-3の大きさは393セクタ、第4のサブブロックS1-4の大きさは567セクタとされている。そして、パリティデータの大きさは、第1乃至第4のサブブロックの大きさのうち、最大の大きさである567セクタに対応して、567セクタとして設定されている。

1セクタには、128ワードのデータを記録するものとする、第1のサブブロックのデータ量は、50304ワード(=393セクタ×128ワード)となり、第2のサブブロックのデータ量は、72576ワード(=567セクタ×128ワード)となる。第4のサブブロックとパリティデータの大きさは、第2のサブブロックの大きさと同一とされ、第3のサブブロックの大きさは、第1のサブブロックと同一の大きさとされる。

なお、図43と図44を参照して説明したように、この4つのサブブロックの画素データは、1フレームの画像を構成する連続する画素を1/4に分割したのではなく、1枚の画像上の所定の位置に分散されている128ワード(パケット転送ブロック)単位のデータを所定数集めたものである。

図50の例の場合、図中、左側から393セクタ分の範囲T1においては、4:1のRAIDが行われ、範囲T1より右側の範囲T2においては、2:1のRAIDが行われる。範囲T1における転送回数(ループ回数)を393回とし、範囲T2におけるループ回数を174(=567-393)回とすることにより、1フレーム分の画像データをデータバッファ212に転送することができる。

この例の場合、4 : 1のRAIDと、2 : 1のRAIDが必要となるので、範囲T1の4 : 1のRAIDの転送を行うDMAコマンドと、範囲T2の2 : 1のRAIDの転送を行うDMAコマンドが必要となる。

そして、上述したように、RAIDコントローラ282においては、入力された画素データに対して、シーケンシャルにパリティデータが生成されるので、4つの各サブブロックの packets 転送ブロックが、順次入力されると、それが順次データバッファ212に出力されるとともに、RAID比に1回の割合で、それに対応するパリティデータが、順次生成され、データバッファ212に出力される。

範囲T1においては、4 : 1のRAIDを指定するDMAコマンドに対応して転送が行われる。この場合、ディスクIDが2乃至5のハードディスク201-2乃至201-5に対応するデータバッファ201の第2乃至第5のアドレスに、第1乃至第4のサブブロックの393個の packets 転送ブロックのビデオデータ（50304ワードの画素データ）がDMA転送され、書き込まれる。また、ディスクIDが1のハードディスク201-1に対応するデータバッファ212の第1のアドレスに、393回のループ転送によって、393個の packets 転送ブロックのパリティデータ（50304ワードのパリティデータ）が記憶される。

次に、2 : 1のRAIDのDMAコマンドに対応して、DMAコントローラ281は、第2のサブブロックの範囲T2に対応する174セクタ分の画素データを、ディスクIDが3のハードディスク201-3の第7のアドレス（範囲T1の第2のサブブロックの393セクタ分の画素データを記録したエリアの次のアドレス）に174回のループ転送により書き込ませる。さらに同様に、ディスクIDが5のハー

ドディスク 201-5 に対応するデータバッファ 212 の第 8 のアドレス（範囲 T1 の第 4 のサブブロックの 393 セクタ分のビデオデータを記録した領域の次のアドレス）に 174 回のループ転送により、転送し、書き込ませる。また、174 個の packets 転送ブロックのパリティデータ（22272 ワードのパリティデータ）をディスク ID が 1 のハードディスク 201-1 に対応する第 6 のアドレス（範囲 T1 の 393 セクタ分のパリティデータを記録した領域の次のアドレス）に、書き込ませる。

以上のようにして、図 15 の番号が 1 のフレームのビデオデータが、データバッファ 212 に転送され、記憶されることになる。以下同様に、番号 2, 3, . . . のビデオデータが、順次、データバッファ 212 に転送され、バッファリングされる。

=@図 50 は、パリティデータを、図 9 に示す ZBR テーブルの最外周の 1トラック当たり、567 個のセクタを有するゾーン 1 のトラックと、最内周の 1トラック当たり、393 個のセクタを有するゾーン 12 のトラックに記録する場合の例である。すなわち、例えば、567 セクタ分のパリティデータは、ハードディスク 201-1 の最外周のゾーン 1 のトラックに記録され、サブブロックのうちの 393 セクタ分の第 1 のサブブロックのデータは、ハードディスク 201-2 の最内周のゾーン 12 のトラックに記録され、567 セクタ分の第 2 のサブブロックのデータは、ハードディスク 201-3 の最外周のゾーン 1 のトラックに記録され、393 セクタ分の第 3 のサブブロックのデータは、ハードディスク 201-4 の最内周のゾーン 12 のトラックに記録され、567 セクタ分の第 4 のサブブロックのデータは、ハードディスク 201-5 の最外周のゾーン 1

のトラックに記録される。

このように、最外周側のトラックと最内周側のトラックが、対で利用される。従って、例えば、ゾーン1とゾーン12の対がいったいになり使用できなくなった場合には、ゾーン1について、外周側に位置する1トラック当たり544個のセクタを有するゾーン2と、ゾーン12について、より内周側に位置する1トラック当たり416個のセクタを有するゾーン11が、対として用いられる。

図51は、この場合におけるパリティデータと、サブブロックのデータの構成例を表している。この例においては544セクタ分のパリティデータは、例えば、ハードディスク201-2の最外周から2番目のゾーン2のトラックに記録され、サブブロックのうち、416セクタ分の第1のサブブロックのデータは、ハードディスク201-3の内周側から2番目の、1トラック当たり416個のセクタを有するトラックに記録され、第2番目の544セクタ分のサブブロックのデータは、ハードディスク201-4のゾーン2のトラックに記録され、416セクタ分の第3のサブブロックのデータは、ハードディスク201-5のゾーン11のトラックに記録され、544セクタ分の第4のサブブロックのデータは、ハードディスク201-6のゾーン2のトラックに記録される。そして、この場合においては、図中、左側から、416個セクタ分の範囲T1においては、4:1のRAIDが行われ、それより後の128セクタ分の範囲T2においては、2:1のRAIDが行われる。

以下同様に、図52乃至図55は、それぞれゾーン3とゾーン10を対として用い、ゾーン4とゾーン9を対として用い、ゾーン5とゾーン8を対として用い、または、ゾーン6とゾーン7を対とし

て用いる場合の例を表している。

このように、より外周側のゾーンと、より内周側のゾーンを対として用いることにより、1個のハードディスク201に着目すると、各サブブロックのギャップ $\theta$  gapの値がほとんど同一となるように各サブブロックのサイズを設定することができ、各サブブロックの読み出しと書き込みに要する時間が、ほぼ一定となる。

以上の、図50乃至図55の構成は、NTSC方式の場合の構成を示したものであるが、ビデオデータがPAL方式の場合、図56乃至図61に示すように、パリティデータとサブブロックのサイズを設定することができる。PAL方式の場合、1フレームの画素数が、1440×612と、NTSC方式の場合より多くなり、図10示したように、各ゾーンの1トラック当たりのセクタ数が規定されている。図56乃至図61は、図10におけるゾーン1とゾーン12を対として用いる場合、ゾーン2とゾーン11を対として用いる場合、ゾーン3とゾーン10を対として用いる場合、ゾーン4とゾーン9を対として用いる場合、ゾーン5とゾーン8を対として用いる場合、または、ゾーン6とゾーン7を対として用いる場合を、それぞれ表している。

図56の設定例においては、561セクタ分のパリティが、第1のハードディスク201の最外周のゾーン1のトラックに記録され、サブブロックのうち、391セクタ分の第1のサブブロックのデータは、第2のハードディスクの最内周のゾーン12のトラックに配置され、561セクタ分の第2のサブブロックのデータは、第3のハードディスクのゾーン1のトラックに記録され、391セクタ分の第3のサブブロックのデータは、第4のハードディスクのゾーン12のトラックに記録され、561セクタ分の第4のサブブロック

のデータは、第5のハードディスクのゾーン1のトラックに記録され、391セクタ分の第5のサブブロックのデータは、第6のハードディスクの最内周のゾーン12のトラックに記録される。そして、図中、左側から391セクタ分の範囲T1のデータは、5:1のRAIDで転送され、その右側の170セクタ分のデータは、2:1のRAIDで転送される。なお、この場合も、1パケット転送ブロックの大きさは、128ワードとされる。従って、範囲T1においては、391回の転送ループとされ、範囲T2においては、170回の転送ループとされる。

図57乃至図61に示す例においても、転送ループの回数が、図56における場合と異なるだけで、その他の動作は、図56における場合と同様となる。

図26のフローチャートのステップS12-8において説明したように、データバッファ212に、例えば、1フレーム分のパリティデータとサブブロックデータが記憶されたとき、その1フレーム分のパリティデータとサブブロックデータが、ハードディスク201に直ちに転送されるわけではなく、例えば、10フレーム分のパリティデータとサブブロックデータが、データバッファ212に記憶されたとき、SCANアルゴリズムに従って、データ転送の順番が、コントローラ262によりスケジューリングされる。

例えば、いま、ハードディスク201の台数が6台であり、図62に示すように、データが記録されるものとする、ディスクIDが3のハードディスク201に転送されるデータを保持している場所を示す第3のアドレスにバッファリングされているデータは、フレーム番号1の第2のサブブロックデータS1-2、フレーム番号

2の第1のサブブロックデータS2-1、フレーム番号3のパリティデータP3、フレーム番号5の第4のサブブロックデータS5-4、フレーム番号6の第3のサブブロックデータS6-3、フレーム番号7の第2のサブブロックデータS7-2、フレーム番号8の第1のサブブロックデータS8-1、フレーム番号9のパリティデータP9などである。

サブブロックデータS1-2は外周側に配置され、サブブロックデータS2-1は内周側に配置され、パリティデータP3は外周側に配置され、サブブロックデータS5-4は外周側に配置され、サブブロックデータS6-3は内周側に配置され、サブブロックデータS7-2は外周側に配置され、サブブロックデータS8-1は内周側に配置され、パリティデータP9は外周側に配置される。従って、これらのデータをS1-2から順番に、S2-1, P3, S5-4, S6-3, S7-2, S8-1, P9の順番にデータを記録するようにすると、ディスクID3のハードディスクのヘッドが、ハードディスクの外周側と内周側の間をいったりきたりして、アクセスが遅くなってしまう。

そこで、コントローラ262は、フレーム番号1からフレーム番号10のビデオデータに対して、それぞれ作成したブロックマップ304(図15)を参照して、これらの複数のデータを最も外周側に配置するデータから順番に、ハードディスク201に転送するように、スケジューリングが行われる。すなわち、図15のブロックマップ304を参照して、最も外周側に記録されるデータから順番に並べかえると、データは、S1-2, P3, S5-4, S7-2, P9, S8-1, S6-3, S2-1の順番になる。コントローラ

262は、このように、データの配置の順番をスケジューリングすることにより、これらの複数のデータを記録するためのヘッド移動量を最小限に抑え、アクセス速度を向上させるようにする。

このようにして、ハードディスク201に記録したデータを再生する場合は、記録する場合と逆の動作となる。これを簡単にまとめると、つぎのようになる。すなわち、コントローラ262は、ホストパーソナルコンピュータ3から、1以上のフレームの再生が指令されると、ブロックマップ304を参照して再生を指令された番号のフレームの開始論理セクタを読み取り、さらに、物理アドレステーブル302を参照して、その論理セクタに対応する物理アドレスを求める。そして、コントローラ62は、この求められた物理アドレスに対するアクセスを、制御バス252を介してバッファコントローラ211に要求する。バッファコントローラ211は、この要求に対応して、SCSIコントローラ202を制御し、ハードディスク201の物理アドレスで規定されるアドレスからデータを再生させる。この再生データは、SCSIコントローラ202からバッファコントローラ211に供給され、さらに、データバッファ212に書き込まれる。

この場合においても、上述したように、コントローラ262は、10フレーム分の再生要求が集まるまで待機し、10フレーム分の再生要求が受け付けられたとき、外周側から順番に、ヘッドの移動量を最小限に抑制することが可能な順番にスケジューリングする。そして、このスケジュールに従って、10フレーム分の画像データの再生をバッファコントローラ212に要求する。

コントローラ262はまた、ブロックマップ304を参照して、

データバッファ 2 1 2 に記憶されたデータを RAID コントローラ 2 8 2 に DMA 転送させるためのシーケンスプログラムを生成する。このシーケンスプログラムは、制御バス 2 5 2 を介して DMA コントローラ 2 8 1 の FIFO 5 0 1 に供給される。このシーケンスプログラム (DMA コマンド) には、上述したように、そのオペランドにデータバッファ 2 1 2 のアドレスが規定されており、そのコマンドにループ回数が規定されている。DMA コントローラ 2 8 1 は、このコマンドに対応して、データバッファ 2 1 2 に書き込まれているデータを読み出し、DMA バス 2 5 1 を介して、これを受け取り、さらに、これを RAID コントローラ 2 8 2 に転送する。

RAID コントローラ 2 8 2 は、入力されたデータを上述したようにして、リアルタイムで、シーケンシャルに順次訂正する。

RAID コントローラ 2 8 2 より出力された誤り訂正処理後のビデオデータは、ビデオプロセッサ 2 8 3 に供給され、そのクロックが低い周波数のクロックに変更される。そして、このビデオプロセッサ 2 8 3 より出力されたデータが、入出力コントローラ 2 8 4 から SDI を介して編集装置 1 のマトリックススイッチャ部 2 1 に供給される。

マトリックススイッチャ部 2 1 は、SDI の所定のチャンネルから入力されたビデオデータをアウトプットプロセッサ 3 2 - 2 に SDI フォーマットのビデオ信号に変換させ、メインモニタ 4 に出力させ、表示させる。このようにして、使用者は、ハードディスク 2 0 1 に記録した画像を見ることができる。

また、ホストパーソナルコンピュータ 3 から所定の指令を入力すると、編集装置 1 のマトリックススイッチャ部 2 1 において、ディスクレコーダ 2 から取り込まれたビデオデータが、ビデオ処理部 2

2に入力される。ビデオ処理部22においては、デマルチプレクサ回路41-1が、入力されたSDIフォーマットのビデオパッケージに含まれるキー信号を取り込み、これをキー信号処理回路51-1に出力する。デマルチプレクサ回路41-2は、入力されたSDIフォーマットのビデオパッケージから、取り出したビデオ信号成分をビデオ信号処理回路51-2に出力する。

使用者が、ホストパーソナルコンピュータ3を制御して、所定の指令を入力すると、ビデオ処理部22の制御ブロック45は、コントロールバス25を介して、ホストパーソナルコンピュータ3からの指令を受け取り、この指令に対応して、ワイプ信号発生回路52-1を制御する。ワイプ信号発生回路52-1は、制御ブロック45からの指令に対応するワイプ信号を発生し、このワイプ信号をキー信号処理回路51-1とビデオ信号処理回路51-2に供給する。キー信号処理回路51-1とビデオ信号処理回路51-2は、それぞれワイプ信号発生回路52-1より入力されたワイプ信号に対応して、キー信号とビデオ信号を処理し、ミックス回路71-2に出力する。

デマルチプレクサ41-3とデマルチプレクサ回路41-4も、デマルチプレクサ回路41-1とデマルチプレクサ回路41-2と同様に、他のチャンネルのキー信号とビデオ信号を抽出し、それぞれキー信号処理回路51-3とビデオ信号処理回路51-4に出力する。ワイプ信号発生回路52-2は、制御ブロック45からの指令に対応してワイプ信号を発生し、キー信号処理回路51-3とビデオ信号処理回路51-4に出力する。キー信号処理回路51-3とビデオ信号処理回路51-4は、ワイプ信号発生回路52-2より

入力されたワイプ信号に対応して、キー信号とビデオ信号を処理し、それぞれフレームメモリ61-1とフレームメモリ61-2に出力する。

3次元アドレス発生回路63は、制御ブロック45を介してホストパーソナルコンピュータ3からの指令を受け取り、この指令に対応する3次元アドレス座標をフレームメモリ61-1とフレームメモリ61-2に出力する。その結果、フレームメモリ61-1とフレームメモリ61-2から、それぞれ3次元座標に変換されたキー信号とビデオ信号が読み出され、インターポレータ62-1とインターポレータ62-2にそれぞれ供給される。インターポレータ62-1とインターポレータ62-2は、それぞれ入力されたキー信号またはビデオ信号に対して、3次元アドレス発生回路63からの3次元座標アドレスに対応して補間処理を施して、ミックス回路71-2に出力する。

ミックス回路71-1にはまた、デマルチプレクサ回路41-5が、マトリックススイッチャ部21の所定の入力から抽出したバックグラウンドビデオ信号が供給されている。ミックス回路71-1は、インターポレータ62-1、62-2より出力された特殊効果のかかったビデオ信号と、デマルチプレクサ回路41-5より出力されたバックグラウンドビデオ信号を適宜混合し、その混合したビデオ信号をミックス回路71-2に出力する。ミックス回路71-2は、ミックス回路71-1の出力を、トランジションエフェクトの付加されたキー信号処理回路51-1の出力とビデオ信号処理回路51-2の出力に適宜混合し、混合したビデオ信号を出力する。

ミックス回路71-2とミックス回路71-1の出力は、マトリ

ックススイッチャ部 2 1 に供給される。

マトリックススイッチャ部 2 1 においてはまた、ホストパーソナルコンピュータ 3 から所定の指令が入力されたとき、ビデオ処理部 2 2 で処理したビデオ信号が、適宜選択され、アウトプットプロセッサ 3 2 - 3 乃至 3 2 - 1 2 のいずれかに供給され、そこからさらに、コンバイナ 3 3 - 1 乃至 3 3 - 1 0 のいずれかから、再びディスクレコーダ 2 に供給され、ハードディスク 2 0 1 に書き込まれる。

一方、オーディオ信号がマトリックススイッチャ部 2 1 に入力されている場合には、制御ブロック 3 4 は、適宜、これを選択し、オーディオ処理部 2 3 に供給する。オーディオ処理部 2 3 においては、セパレータ 8 1 - 1 乃至 8 1 - 3 が入力された SDI 信号からエンベデッドオーディオ信号を分離し、ミキサブロック 8 3 に供給する。ミキサブロック 8 3 においては、ホストパーソナルコンピュータ 3 からの指令に対応して、制御ブロック 8 6 が、可変抵抗器 9 1 - 1 乃至 9 1 - 6 を適宜所定の値に調整する。その結果、セパレータ 8 1 - 1 乃至 8 1 - 3 で分離されたオーディオ信号が、所定のレベルに調整された後、加算器 9 2 - 1 または加算器 9 2 - 2 に供給され、加算される。

加算器 9 2 - 1 または加算器 9 2 - 2 より出力されたオーディオ信号は、エンベデッド回路 8 5 に入力され、時間軸圧縮され、エンベデッドオーディオ信号に変換された後、マトリックススイッチャ部 2 1 のコンバイナ 3 3 - 1 乃至 3 3 - 1 0 の所定のものに供給される。コンバイナ 3 3 - 1 乃至 3 3 - 1 0 は、入力されたオーディオ信号をアウトプットプロセッサ 3 2 - 3 乃至 3 3 - 1 2 より入力されているビデオ信号の垂直帰線区間に重畳して、ディスクレコー

ダ 2 に供給し、ハードディスク 201 に記録させる。

また、ミキサブロック 83 の加算器 92-1 または 92-2 より出力されたオーディオ信号は、増幅器 5 を介してスピーカ 6 から放音される。

なお、ディスクレコーダ 2 におけるオーディオデータの処理については、説明を省略したが、ビデオデータと同様に処理される。

また、編集装置 1 で処理したビデオデータは、アウトプットプロセッサ 32-1 から、ホストパーソナルコンピュータ 3 に対して適宜供給される。

このディスクレコーダ 2 においては、前述した F A R A D アルゴリズムを使用しているため、高速のランダムアクセスが可能となる。従って、マルチチャンネルのビデオデータを同時にハードディスク 201 から再生し、ビデオブロック 271 において、リアルタイム性を保証しながら同時に処理することが可能である。従って、ハードディスク 201 から同時に再生した複数チャンネルのビデオデータを合成して 1 チャンネルの合成画像とすることも可能である。

次に、図 63 を参照して、マルチチャンネルのビデオデータをフレーム単位で編集する際の概念について説明する。図 63 に示すように、ハードディスク 201 には、マルチチャンネルのソースビデオデータとして、ストリーム A、ストリーム B、ストリーム C が記録されているものとする。ストリーム A は、時間的に連続したフレーム A1 乃至フレーム A5 などから構成され、ストリーム B は、時間的に連続したフレーム B1 乃至フレーム B5 などから構成され、ストリーム C は、時間的に連続したフレーム C1 乃至フレーム C5 などから構成されている。これらのフレーム A1 乃至フレーム A5、フレー

ム B 1乃至フレーム B 5、またはフレーム C 1乃至フレーム C 5は、添字で示す数字の順番でシーケンシャルに記録されたストリームである。

このように、ストリーム A 乃至ストリーム C が、ハードディスク 2 0 1 に記憶されている状態において、編集オペレータがホストコンピュータ 3 を操作し、例えば、ストリーム A のフレーム A 4、ストリーム B のフレーム B 1、ストリーム A のフレーム A 1、ストリーム C のフレーム C 3、C 1の順に、各フレームを再生するように編集リストを生成したとする。ホストコンピュータ 3 は、この順番に指定された各フレームをリアルタイムで再生するようにディスクレコーダ 2 を制御する。尚、フレーム A 4、B 1、A 1、C 3、C 1のストリームが、ハードディスク 2 0 1 上に実際に記録されているわけではなく、編集リストのようなデータによって単に再生するフレームの順番がホストパーソナルコンピュータ 3 側から指示されている。

ホストパーソナルコンピュータ 3 からディスクレコーダ 2 のCPUブロック 2 6 1のコントローラ 2 6 2に、ストリーム 1に対応する編集リストデータが供給されると、コントローラ 2 6 2は、RAM 2 6 3に記憶されているブロックマップ 3 0 4に従って各フレームの記憶されているアドレスを認識する。

さらに、コントローラ 2 6 2は、ブロックマップ 3 0 4から得られた各フレームのアドレスに従って、SCANアルゴリズムに基づいて最もシーク距離が短くなる順番に指定された各フレームのアクセス順を制御する。この際、複数チャンネルのビデオデータの各フレームを構成する複数のサブブロックは各ディスクのランダムな位置に記憶されているが、各サブブロックは、ヘッドの待ち時間が最小

となるよう F A R A D アルゴリズムに従って記憶されているので、リアルタイム性を保証しながら、これらの複数チャンネルのビデオデータの各フレームを構成する複数のサブブロックを読み出すことができる。

また、複数のサブブロックの読み出しの際、R A I D アルゴリズムによって関連付けられたパリティデータも同時に読み出されているので、C P U 2 6 2 は、このパリティデータを使用して読み出された複数のサブブロックを誤り訂正するように R A I D コントローラを制御する。

次に、コントローラ 2 6 2 は、各サブブロックが R A I D アルゴリズムによって分割されていたので、読み出された複数のサブブロックデータから元のフレームデータを復元する。

最後に、復元された各フレームデータは、S C A N アルゴリズムによって指定された読み出し順であるので、ホストコンピュータ 2 から指定されたフレーム順 (A4, B1, A1, C3, C1) になるように、各フレームデータを並び換えてストリーム 1 として出力する。

同様に、第 2 のビデオチャンネルとして、フレーム B3, B2, C1, A1, A2 のからなる編集リストデータをホストコンピュータ 3 によって生成し、その編集リストをコンピュータ 3 からディスクレコーダに供給することによって、その編集リストに従ったストリーム 2 をディスクレコーダ 2 から再生することができる。

従って本発明の編集システムによれば、第 1 のビデオチャンネルの編集リストに基づくストリーム 1 と、第 2 のビデオチャンネルの編集リストに基づくストリーム 2 とを、同時にリアルタイム性を保証しながらディスクレコーダ 2 から再生することができる。そして、本

発明の編集システムによれば、再生された複数チャンネルのビデオデータに対してリアルタイムで信号処理を施すことができる。

なお、上記実施の形態における各ブロックや、バス、SDIなどのチャンネル数は、例に過ぎず、必要に応じて変更することが可能である。また、1フレームのデータを分割するサブブロックの数や、各サブブロックをさらに分割するパケット転送ブロックのワード数なども、適宜変更することが可能である。さらに、RAID比も任意の値に設定することができる。

以上説明したような編集システムおよび編集方法によれば、編集情報に基づいてディスクから複数チャンネルのビデオデータを同時に再生し、再生された複数チャンネルのビデオデータを編集情報に基づいて編集し、少なくとも1チャンネル分のビデオデータを生成するようにしたので、迅速な編集が可能となる。

## 請 求 の 範 囲

1. 複数チャンネルのソースビデオデータを記録／再生するためのデータ記録／再生装置と、該記録装置に記録されたソースビデオデータを編集するための編集装置と、上記編集装置及びデータ記録再生装置を制御するコンピュータとを備えた編集システムにおいて、  
上記データ記録／再生装置は、

上記複数チャンネルのソースビデオデータの1フレームの画素データを、ランダムアクセス可能な複数の記録媒体に記録すると共に、上記複数の記録媒体に記憶された複数チャンネルのビデオデータの所望のフレームから構成される複数チャンネルのビデオストリームを再生する記録／再生手段と、

上記1フレームの画素データを複数のサブブロックに分割し、該分割されたサブブロックのデータが夫々異なる複数の記録媒体に記録されるように各記録媒体に転送すると共に、上記各転送先の記録媒体上において所望のサブブロックに対してアクセスする際に、ヘッドの回転待ち時間が最小となるような位置に、上記各サブブロックデータを記録するような所定のアルゴリズムに基づいて、上記記録／再生手段を制御する制御手段を備え、

上記編集装置は、

上記コンピュータからの編集指示に従って、上記データ記録／再生装置から再生された複数チャンネルのビデオストリームをリアルタイムで処理し、編集されたビデオデータを生成するビデオデータ処理手段を備え

たことを特徴とする編集システム。

2. 上記編集装置は、

上記複数チャンネルのビデオストリームは、少なくとも、第1チャンネルのビデオデータと、第1チャンネルのビデオデータに対応した第1のキーデータと、第2のビデオデータとを含み、

上記第1のビデオデータ及び上記第1のキーデータに対して空間的な画像変換を施す画像変換手段と、

上記画像変換された第1のキーデータに基づいて、上記画像変換された第1のビデオデータと上記第2のビデオデータとをリアルタイム性を保証しながら合成する合成手段と

を備えたことを特徴とする請求項1記載の編集システム。

3. 上記制御手段は、

上記複数チャンネルのソースビデオデータの記録を開始する前に、上記記録媒体の記録エリアを管理するブロックマップを生成することを特徴とする請求項1記載の編集システム。

4. 上記ブロックマップは、上記複数の記録媒体の記録エリアを理論的にフォーマットするためのデータであることを特徴とする請求項2記載の編集システム。

5. 上記ブロックマップは、上記複数チャンネルのビデオデータを記録する前に、上記複数の記録媒体の記録エリアをリザーブするためのデータであることを特徴とする請求項2記載の編集システム。

6. 上記制御手段は、

上記ブロックマップを参照することによって、上記サブブロックを記録するための記録媒体、上記サブブロックの記録位置、及び上記サブブロックのサイズを決定することを特徴とする請求項2記載

の編集システム。

7. 上記制御手段は、

上記記録媒体の半径位置と上記サブブロックのサイズとを対応付けたゾーンビットレコーディングテーブルを有し、  
上記ゾーンビットレコーディングテーブルを参照して、上記記録すべきサブブロックに対して指定された記録媒体の半径位置に応じて、上記サブブロックのサイズを決定することを特徴とする請求項6記載の編集システム。

8. 上記ブロックマップは、

上記サブブロックを記録するための記録媒体を示す記録媒体識別データ、上記記録媒体識別データによって示される記録媒体上において上記サブブロックが記録される位置を示す理論セクタデータ、及び上記記録媒体識別データによって示される記録媒体上において上記サブブロックを記録する際に使用されるセクタサイズデータから構成されることを特徴とする請求項6記載の編集システム。

9. 上記制御手段は、

上記複数チャンネルのソースビデオデータの記録を始める前に、上記ソースビデオデータの1フレームから生成された複数のサブブロックが、夫々関連付けられた記録媒体及び記録位置に記録されるように上記ブロックマップを生成することを特徴とする請求項6記載の編集システム。

10. 上記制御手段は、

上記複数のサブブロックのデータから、上記ソースビデオデータの1フレームから生成された複数のサブブロックのデータを誤り訂正するためのパリティデータを生成するように上記記録／再生手段

を制御することを特徴とする請求項 6 記載の編集システム。

1 1. 上記制御手段は、

上記複数チャンネルのソースビデオデータの記録を始める前に、上記ソースビデオデータの 1 フレームから生成された複数のサブブロックデータとその複数のサブブロックデータから生成されたパリティデータとが、夫々関連付けられた記録媒体及び記録位置に記録されるように上記ブロックマップを生成することを特徴とする請求項 1 0 記載の編集システム。

1 2. 上記制御手段は、

上記ブロックマップを参照することによって、上記ソースビデオデータの 1 フレームから生成された複数サブブロックを記憶するための記録媒体、その記録媒体上でのサブブロックの記録位置及びサブブロックのサイズを決定し、

上記ブロックマップを参照することによって、上記複数のサブブロックデータから生成されたパリティデータを記録するための記録媒体、その記録媒体上でのパリティデータの記録位置を決定することを特徴とする請求項 1 1 記載の編集システム。

1 3. 上記記録媒体は、ランダムアクセス可能なディスクであって、

上記制御手段は、

上記ディスクの外周側エリア及び内周側エリアが均一に使用されるように、1 フレーム毎に上記外周側エリア及び上記内周側エリアとが交互に使用されるように上記ブロックマップを生成することを特徴とする請求項 1 2 記載の編集システム。

1 4. 上記制御手段は、

上記パリティデータが、常に上記ディスクの外周側に記録されるように上記ブロックマップを生成することを特徴とする請求項 1 2 記載の編集システム。

15. 上記制御手段は、

上記ソースビデオデータの 1 フレームから生成された複数サブブロック及び上記複数のサブブロックデータから生成されたパリティデータを記憶するための記録媒体を、1 フレーム毎に可変するように上記ブロックマップを生成することを特徴とする請求項 1 2 記載の編集システム。

16. 上記制御手段は、

上記ブロックマップを参照して、上記複数チャンネルのソースビデオデータを記録する際のサブブロックのサイズ及びサブブロックを記録する記録媒体及び記録位置を判断し、それによって上記記録／再生手段を制御することを特徴とする請求項 1 5 記載の編集システム。

17. 上記制御手段は、

第  $n$  番目のフレームのソースビデオデータを記録する場合には、上記パリティデータが奇数番号めの記録媒体の外周側に記録され、上記複数のサブブロックのうち奇数番目のサブブロックは偶数番号めの記録媒体の内側エリアに記録され、上記複数のサブブロックのうち偶数番目のサブブロックは奇数番号めの記録媒体の外側エリアに記録されるようにブロックマップを生成し、

第  $n + 1$  番目のフレームのソースビデオデータを記録する場合には、上記パリティデータが偶数番号めの記録媒体の外周側に記録され、上記複数のサブブロックのうち奇数番目のサブブロックは奇数

番めの記録媒体の内側エリアに記録され、上記複数のサブブロックのうち偶数番目のサブブロックは偶数番めの記録媒体の外側エリアに記録されるようにブロックマップを生成することを特徴とする請求項 15 記載の編集システム。

18. 上記データ記録/再生装置は、

上記ソースビデオデータの 1 フレームの画素データから複数のサブブロックデータを生成すると共に、上記複数のサブブロックに対応するパリティデータを生成する複数のデータ処理部と、

上記複数の記録媒体に記録されるデータを夫々バッファリングするための複数のバッファ手段と、

上記制御手段は、

上記パリティデータ及び上記複数のサブブロックを、所定の転送単位毎に分割して上記データ処理部から上記複数のバッファに転送することを特徴とする請求項 15 記載の編集システム。

19. 上記制御手段は、

上記パリティデータ及び上記複数のサブブロックの転送は、上記各バッファ手段に、上記パリティデータのサイズ及び上記各サブブロックのサイズになるまでデータがバッファリングされるまで、上記転送単位毎に、順に繰り返されることを特徴とする請求項 18 記載の編集システム。

20. 上記 1 ビデオフレームから構成される画素データを  $s$  個のサブブロックに分割するとすると、

上記制御手段は、

上記 1 ビデオフレームのデータを処理する第 1 の処理期間では、上記第 1 のアルゴリズムに基づいて、 $s$  個のサブブロックの画素デー

タから1つのパリティデータを生成し、上記s個のサブブロックデータと上記パリティデータとを上記転送単位毎に順に転送を繰返し、

上記1ビデオフレームのデータを処理する第2の処理期間では、上記第1のアルゴリズムに基づいて、 $s/2$ 個 ( $s/2$ は小数点以下を切り捨てた整数値)のサブブロックの画素データから1つのパリティデータを生成し、上記 $s/2$ 個のサブブロックデータと上記パリティデータとを上記転送単位毎に順に転送を繰返すことを特徴とする請求項19記載の編集システム。

21. 上記制御手段は、

上記あるサブブロックから上記サブブロックに隣り合う隣接サブブロックにアクセスする際に、隣接サブブロックが記録されたトラックにおいてヘッドの回転待ち時間が最小となるように、上記サブブロックの記録開始位置と記録終了位置とが成す角度を表わす最適なギャップ値と、上記隣接サブブロックの記録開始位置との成す角度を表わす最適なスキュー値とを演算することを特徴とする請求項3記載の編集システム。

22. 上記制御手段は、

上記最適なギャップ値と上記最適なスキュー値に基づいて上記ブロックマップを作成し、上記ブロックマップを参照して上記複数のサブブロックの記録/再生制御を行なうことを特徴とする請求項21記載の編集システム。

23. 上記制御手段は、

上記ギャップ値と上記スキュー値とが略一定になるように、上記ブロックマップを生成すること特徴とする請求項22記載の編集システム。

24. 上記制御手段は、

上記サブブロックデータを上記記録媒体に記録する前に、ヘッドの回転待ち時間が最小となるような位置に上記各サブブロックデータが記録されるように、理論的に上記記録媒体の記録エリアをフォーマットするためのブロックマップを生成し、

上記ブロックマップに基づいて、上記複数チャンネルのビデオデータを上記サブブロック単位で上記記録媒体に記録するように上記記録／手段を制御する

ことを特徴とする請求項1記載の編集システム。

25. 複数チャンネルのソースビデオデータを記録／再生するためのデータ記録／再生装置と、上記データ記録再生装置を制御するためのコンピュータとを備えた編集システムにおいて、

上記データ記録／再生装置は、

上記複数チャンネルのソースビデオデータの1フレームの画素データを、ランダムアクセス可能な複数の記録媒体に記録すると共に、上記複数の記録媒体から所望のソースビデオデータを再生する記録／再生手段と、

上記1フレームの画素データを、複数のサブブロックに分割し、上記サブブロックのデータを、夫々異なる複数の記録媒体に分散するように記録する第1のアルゴリズムと、上記各記録媒体に対する数フレーム分のサブブロックのアクセスにおいて、ヘッドのシーク距離が最小となるように上記数フレーム分のサブブロックに対するアクセス順序をスケジューリングする第2のアルゴリズムと、上記記録媒体上において所望のサブブロックに対してアクセスする際に、ヘッドの回転待ち時間が最小となるように上記記録媒体に記録され

る各サブブロックの記録位置を決定する第3のアルゴリズムとを使用して、上記記録／再生手段を制御する制御手段を備え、

上記コンピュータは、

編集オペレータの操作に従って、上記複数の記録媒体のランダムな位置に記録された複数チャンネルのソースビデオデータの所望のフレームから構成される複数チャンネルのビデオストリームを、上記各記録媒体からリアルタイムで読み出すように上記データ記録再生装置を制御する制御手段を有したことを特徴とする編集システム。

26. 上記コンピュータからの編集指示に従って、上記データ記録／再生装置から再生された複数チャンネルのビデオストリームをリアルタイムで信号処理し、編集されたビデオデータを生成する編集装置をさらに備えたことを特徴とする請求項25記載の編集システム。

27. 編集システムにおいて、

上記編集装置は、

上記複数チャンネルのビデオストリームは、少なくとも、第1チャンネルのビデオデータと、第1チャンネルのビデオデータに対応した第1のキーデータと、第2のビデオデータとを含み、

上記第1のビデオデータ及び上記第1のキーデータに対して空間的な画像変換を施す画像変換手段と、

上記画像変換された第1のキーデータに基づいて、上記画像変換された第1のビデオデータと上記第2のビデオデータとをリアルタイム性を保証しながら合成する合成手段と

を備えたことを特徴とする請求項26記載の編集システム。

28. 上記制御手段は、

上記複数チャンネルのソースビデオデータの記録を開始する前に、上記記録媒体の記録エリアを管理するためのブロックマップを生成することを特徴とする請求項25記載の編集システム。

29. 上記ブロックマップは、上記複数の記録媒体の記録エリアを理論的にフォーマットするためのデータであることを特徴とする請求項28記載の編集システム。

30. 上記ブロックマップは、上記複数チャンネルのビデオデータを記録する前に、上記複数の記録媒体の記録エリアをリザーブするためのデータであることを特徴とする請求項28記載の編集システム。

31. 上記制御手段は、

上記ブロックマップを参照することによって、上記サブブロックを記録するための記録媒体、上記サブブロックの記録位置、及び上記サブブロックのサイズを決定することを特徴とする請求項28記載の編集システム。

32. 上記制御手段は、

上記記録媒体の半径位置と上記サブブロックのサイズとを対応付けたゾーンビットレコーディングテーブルを有し、

上記ゾーンビットレコーディングテーブルを参照して、上記記録すべきサブブロックに対して指定された記録媒体の半径位置に応じて、上記サブブロックのサイズを決定することを特徴とする請求項28記載の編集システム。

33. 上記ブロックマップは、

上記サブブロックを記録するための記録媒体を示す記録媒体識別

データ、上記記録媒体識別データによって示される記録媒体上において上記サブブロックが記録される位置を示す理論セクタデータ、及び上記記録媒体識別データによって示される記録媒体上において上記サブブロックを記録する際に使用されるセクタサイズデータから構成されることを特徴とする請求項 28 記載の編集システム。

34. 上記制御手段は、

上記複数チャンネルのソースビデオデータの記録を始める前に、上記ソースビデオデータの 1 フレームから生成された複数のサブブロックが、夫々関連付けられた記録媒体及び記録位置に記録されるように上記ブロックマップを生成することを特徴とする請求項 28 記載の編集システム。

35. 上記制御手段は、

上記第 1 のアルゴリズムに従って、上記複数のサブブロックのデータから、上記ソースビデオデータの 1 フレームから生成された複数のサブブロックのデータを誤り訂正するためのパリティデータを生成することを特徴とする請求項 28 記載の編集システム。

36. 上記制御手段は、

上記複数チャンネルのソースビデオデータの記録を始める前に、上記ソースビデオデータの 1 フレームから生成された複数のサブブロックデータとその複数のサブブロックデータから生成されたパリティデータとが、夫々関連付けられた記録媒体及び記録位置に記録されるように上記ブロックマップを生成することを特徴とする請求項 35 記載の編集システム。

37. 上記制御手段は、

上記ブロックマップを参照することによって、上記ソースビデオ

データの1フレームから生成された複数サブブロックを記憶するための記録媒体、その記録媒体上でのサブブロックの記録位置及びサブブロックのサイズを決定し、

上記ブロックマップを参照することによって、上記複数のサブブロックデータから生成されたパリティデータを記録するための記録媒体、その記録媒体上でのパリティデータの記録位置を決定することを特徴とする請求項36記載の編集システム。

38. 上記記録媒体は、ランダムアクセス可能なディスクであって、

上記制御手段は、

上記ディスクの外周側エリア及び内周側エリアが均一に使用されるように、1フレーム毎に上記外周側エリア及び上記内周側エリアとが交互に使用されるように上記ブロックマップを生成することを特徴とする請求項36記載の編集システム。

39. 上記制御手段は、

上記パリティデータが、常に上記ディスクの外周側に記録されるように上記ブロックマップを生成することを特徴とする請求項36記載の編集システム。

40. 上記制御手段は、

上記第1のアルゴリズムに従って、上記ソースビデオデータの1フレームから生成された複数サブブロック及び上記複数のサブブロックデータから生成されたパリティデータを記憶するための記録媒体を、1フレーム毎に可変するように上記ブロックマップを生成することを特徴とする請求項36記載の編集システム。

41. 上記制御手段は、

上記ブロックマップを参照して、上記複数チャンネルのソースビデオデータを記録する際のサブブロックのサイズ及びサブブロックを記録する記録媒体及び記録位置を判断し、それによって上記記録／再生手段を制御することを特徴とする請求項40記載の編集システム。

42. 上記制御手段は、

第n番目のフレームのソースビデオデータを記録する場合には、上記パリティデータが奇数番号めの記録媒体の外周側に記録され、上記複数のサブブロックのうち奇数番目のサブブロックは偶数番号めの記録媒体の内側エリアに記録され、上記複数のサブブロックのうち偶数番目のサブブロックは奇数番号めの記録媒体の外側エリアに記録されるようにブロックマップを生成し、

第n+1番目のフレームのソースビデオデータを記録する場合には、上記パリティデータが偶数番号めの記録媒体の外周側に記録され、上記複数のサブブロックのうち奇数番目のサブブロックは奇数番号めの記録媒体の内側エリアに記録され、上記複数のサブブロックのうち偶数番目のサブブロックは偶数番号めの記録媒体の外側エリアに記録されるようにブロックマップを生成することを特徴とする請求項41記載の編集システム。

43. 上記データ記録／再生装置は、

上記ソースビデオデータを、上記第1のアルゴリズムに関する処理を複数チャンネル毎に行なうための複数のデータ処理部と、  
上記複数の記録媒体に記録されるデータを夫々バッファリングするための複数のバッファ手段と、

上記制御手段は、

上記パリティデータ及び上記複数のサブブロックを、所定の転送単位毎に分割して上記データ処理部から上記複数のバッファに転送することを特徴とする請求項 4 2 記載の編集システム。

4 4 . 上記制御手段は、

上記パリティデータ及び上記複数のサブブロックの転送は、上記各バッファ手段に、上記パリティデータのサイズ及び上記各サブブロックのサイズになるまでデータがバッファリングされるまで、上記転送単位毎に、順に繰り返されることを特徴とする請求項 4 3 記載の編集システム。

4 5 . 上記 1 ビデオフレームから構成される画素データを  $s$  個のサブブロックに分割するとすると、

上記制御手段は、

上記 1 ビデオフレームのデータを処理する第 1 の処理期間では、上記第 1 のアルゴリズムに基づいて、 $s$  個のサブブロックの画素データから 1 つのパリティデータを生成し、上記  $s$  個のサブブロックデータと上記パリティデータとを上記転送単位毎に順に転送を繰り返す、

上記 1 ビデオフレームのデータを処理する第 2 の処理期間では、上記第 1 のアルゴリズムに基づいて、 $s / 2$  個 ( $s / 2$  は小数点以下を切り捨てた整数値) のサブブロックの画素データから 1 つのパリティデータを生成し、上記  $s / 2$  個のサブブロックデータと上記パリティデータとを上記転送単位毎に順に転送を繰り返すことを特徴とする請求項 4 4 記載の編集システム。

4 6 . 上記第 1 のアルゴリズムは、R A I D アルゴリズムであって、

上記第 2 のアルゴリズムは、S C A N アルゴリズムであって、

上記第 3 のアルゴリズムは、F A R A D アルゴリズムであることを特徴とする請求項 4 0 記載の編集システム。

4 7 . 上記第 3 のアルゴリズムは、

上記サブブロックのサイズは、上記サブブロックが記録される位置が上記ディスクの外周側であるほど、データサイズが大きくなるように設定されて、

上記ディスクに記録される上記パリティデータ及び上記複数のサブブロックデータは、上記各データの記録位置に応じたサイズとなるように、上記第 1 の期間における上記  $s$  個のサブブロックデータと上記パリティデータの転送回数、及び、上記第 2 の期間における上記  $s / 2$  個のサブブロックデータと上記パリティデータの転送回数を制御するためのアルゴリズムであることを特徴とする請求項 4 0 記載の編集システム。

4 8 . 上記制御手段は、

上記第 3 のアルゴリズムに基いて、

上記あるサブブロックから上記サブブロックに隣り合う隣接サブブロックにアクセスする際に、隣接サブブロックが記録されたトラックにおいてヘッドの回転待ち時間が最小となるように、

上記サブブロックの記録開始位置と記録終了位置とが成す角度を表わす最適なギャップ値と、上記隣接サブブロックの記録開始位置との成す角度を表わす最適なスキュー値とを演算することを特徴とする請求項 4 0 記載の編集システム。

4 9 . 上記制御手段は、

上記最適なギャップ値と上記最適なスキュー値に基いて上記ブロックマップを作成し、上記ブロックマップを参照して上記複数のサ

ブブロックの記録／再生制御を行なうことを特徴とする請求項 4 8 載の編集システム。

50. 上記制御手段は、

上記ギャップ値と上記スキュー値とが略一定になるように、上記ブロックマップを生成すること特徴とする請求項 4 8 載の編集システム。

51. オペレータの入力した編集情報に基づいて複数チャンネルのソースビデオデータを編集するための編集システムにおいて、

上記複数チャンネルのソースビデオデータの各フレームの画素データを複数のサブブロックに分割し、上記分割された各サブブロックが異なる複数のディスクに記録されるように振り分け、各ディスクにおいて、上記サブブロックのデータが配置されるトラックの上記データの始点と、隣接するトラックの上記データの始点との上記ディスクの中心からの角度差であるスキューが、1つの上記サブブロックの始点と終点の上記ディスクの中心からの角度差であるギャップに対応するように記録する記録手段と、

上記記録手段によって記録された複数のサブブロックにアクセスすることによって、上記複数チャンネルのビデオデータを同時に再生する再生手段と、

上記再生手段により再生された複数チャンネルのビデオデータを、上記編集情報に基づいて処理し、少なくとも1チャンネルの編集されたビデオデータを生成する編集手段とを備えることを特徴とする編集システム。

52. 上記複数チャンネルのビデオデータは、少なくとも第1のビデオデータと、上記第1のビデオデータをキーイングするキーデ

ータ、および、上記第 1 のビデオデータと合成される第 2 のビデオデータを含む

ことを特徴とする請求項 5 1 記載の編集システム。

5 3. 上記記録再生手段は、上記スキューと上記ギャップが、それぞれ、ほぼ一定となるように、上記サブブロックのデータを記録する

ことを特徴とする請求項 5 1 記載の編集システム。

5 4. オペレータの入力した編集情報に基づいて複数チャンネルのソースビデオデータを編集するための編集システムにおいて、

上記複数チャンネルのソースビデオデータの各フレームの画素データを複数のサブブロックに分割し、上記サブブロックの画素データを、異なる複数のディスクに分散するように、かつ、各ディスクにおいて、上記サブブロックのデータが配置されるトラックの上記データの始点と、隣接するトラックの上記データの始点との上記ディスクの中心からの角度差であるスキューが、略一定となるように上記各サブブロックを記録する記録手段と、

上記記録手段によって記録された複数のサブブロックにアクセスすることによって、上記複数チャンネルのビデオデータを同時に再生する再生手段と、

上記再生手段により再生された複数チャンネルのビデオデータを、上記編集情報に基づいて編集し、少なくとも 1 チャンネルのビデオデータを生成する編集手段と

を備えることを特徴とする編集システム。

5 5. オペレータの入力した編集情報に基づいて複数チャンネルのソースビデオデータを編集するための編集システムにおいて、

上記複数チャンネルのソースビデオデータの各フレームの画素データを複数のサブブロックに分割し、上記サブブロックを異なる複数のディスクに分散するように、かつ、各ディスクにおいて所望のサブブロックに対してアクセスする際にヘッドの回転待ち時間が最小となるように、上記各サブブロックを記録するための所定の記録アルゴリズムに基づいて上記複数チャンネルのソースビデオデータを記録する記録手段と、

上記ソースビデオデータを記録する際に使用した上記所定の記録アルゴリズムに基づいて、上記記録手段によって記録された複数のサブブロックにアクセスすることによって、上記複数チャンネルのビデオデータを同時に再生する再生手段と、

上記再生手段により再生された複数チャンネルのビデオデータを、上記入力手段より入力された編集情報に基づいて編集し、少なくとも1チャンネルのビデオデータを生成する編集手段とを備えることを特徴とする編集システム。

56. オペレータの入力した編集情報に基づいて複数チャンネルのソースビデオデータを編集するための編集システムにおいて、

上記複数チャンネルのソースビデオデータの各フレームの画素データを複数のサブブロックに分割し、上記サブブロックの画素データを、異なる複数のディスクに分散するように、かつ、各ディスクにおいて、上記サブブロックのデータが配置されるトラックの上記データの始点と、隣接するトラックの上記データの始点との上記ディスクの中心からの角度差が、略一定となるように上記各サブブロックを記録する記録手段と、

上記記録手段によって記録された複数チャンネルのソースビデオ

データの所望のフレームから構成されるフレーム単位の編集ストリームを生成する編集ストリーム作成手段と、

上記記録手段によって記録された複数のサブブロックにアクセスすることによって、上記編集ストリーム生成手段によって生成された編集ストリームに応じたビデオストリームを出力する再生手段と、を備えることを特徴とする編集システム。

57. オペレータの入力した編集情報に基づいて複数チャンネルのソースビデオデータを編集するための編集システムにおいて、

上記複数チャンネルのソースビデオデータの各フレームの画素データを複数のサブブロックに分割し、上記サブブロックを異なる複数のディスクに分散するように、かつ、各ディスクにおいて所望のサブブロックに対してアクセスする際にヘッドの回転待ち時間が最小となるように、上記各サブブロックを記録するための所定の記録アルゴリズムに基づいて上記複数チャンネルのソースビデオデータを記録する記録手段と、

上記記録手段によって記録された複数チャンネルのソースビデオデータの所望のフレームから構成されるフレーム単位の編集ストリームを生成する編集ストリーム作成手段と、

上記ソースビデオデータを記録する際に使用した上記所定の記録アルゴリズムに基づいて、上記記録手段によって記録された複数のサブブロックにアクセスすることによって、上記編集ストリーム生成手段によって生成された編集ストリームに応じたビデオストリームを出力する再生手段と、を備えることを特徴とする編集システム。

58. 複数チャンネルのソースビデオデータを記録／再生するた

めのデータ記録／再生装置と、該記録装置に記録されたソースビデオデータを編集するための編集装置とを備えた編集システムにおいて、

上記データ記録／再生装置は、

上記ソースビデオデータの1フレームのデータを複数のサブブロックに分割し、複数のサブブロック毎に複数の夫々異なるディスクに記録する記録手段と、

上記夫々異なる複数のディスクから複数のサブブロックデータを再生し、再生された複数のサブブロックデータから上記ソースビデオデータの1フレームを生成する再生手段と、

上記ソースビデオデータの記録を開始する前に、上記ソースビデオデータを記録していく時に、上記複数のディスクのうちどのディスクを使用していくか及び上記ディスク上の記録エリアをどのように使用していくかを管理するためのブロックマップを作成する手段と、

上記複数のサブブロックを上記複数のディスクに記録する際には、上記ブロックマップに基づいて、上記記録／再生手段を制御する制御手段と、を備え、

上記編集装置は、

上記複数の記録媒体のランダムな位置に記録されたソースビデオデータの所望のフレームを、複数の記録媒体からリアルタイムで読み出すように上記データ記録装置を制御する編集手段を有することを特徴とする編集システム。

59. 複数チャンネルのソースビデオデータを記録／再生するためのデータ記録／再生装置と、該記録装置に記録されたソースビデオ

オデータを編集するための編集装置と、上記編集装置及びデータ記録再生装置を制御するコンピュータとを備えた編集システムにおいて、

上記データ記録／再生装置は、

上記複数チャンネルのソースビデオデータの1フレームの画素データを、ランダムアクセス可能な複数の記録媒体に記録すると共に、上記複数の記録媒体に記憶された複数チャンネルのビデオデータの所望のフレームから構成される複数チャンネルのビデオストリームを再生する記録／再生手段と、

上記1フレームの画素データを分割することによって生成された複数のサブブロックを上記各記録媒体に記録する際に、ヘッドの回転待ち時間が最小となるような位置に上記各サブブロックが記録されるように理論的に上記記録媒体の記録エリアをサブブロック単位で管理するブロックマップに基いて、上記記録／再生手段を制御する制御手段を備え、

上記編集装置は、

上記コンピュータからの編集指示に従って、上記データ記録／再生装置から再生された複数チャンネルのビデオストリームをリアルタイムで処理し、編集されたビデオデータを生成するビデオデータ処理手段を備え

たことを特徴とする編集システム。

60. 複数の記録媒体に記録された複数チャンネルのソースビデオデータを編集するための編集システムにおいて、

上記ソースビデオデータの1フレームから分割された複数のサブブロックに対してアクセスする際に、ヘッドの回転待ち時間が最小

となるような位置に上記各サブブロックデータが記録されるように、理論的に上記記録媒体の記録エリアをフォーマットするためのブロックマップを生成するブロックマップ生成手段と、上記ブロックマップ生成手段によって生成されたブロックマップに基いて、上記複数チャンネルのビデオデータを上記サブブロック単位で上記記録媒体に記録する記録手段と、

上記複数チャンネルのソースビデオデータが記録された記録媒体上のランダムな位置に存在する所望のフレームから構成されるフレーム単位の編集リストを生成する編集リスト生成手段と、

上記編集リストに対応するビデオストリームを生成するように、上記ブロックマップに基いて、上記複数の記録媒体から上記編集リストによって指定されたフレームに対応する複数のサブブロックを再生する再生手段と

を備えたことを特徴とする編集システム。

61. 複数の記録媒体に記録された複数チャンネルのソースビデオデータを編集するための編集方法において、

上記ソースビデオデータの1フレームの画素データを複数のサブブロックに分割し、該分割されたサブブロックのデータが夫々異なる複数の記録媒体に記録されるように各記録媒体に転送すると共に、上記各転送先の記録媒体上において所望のサブブロックに対してアクセスする際に、ヘッドの回転待ち時間が最小となるような位置に、上記各サブブロックデータを記録し、

上記複数チャンネルのソースビデオデータが記録された記録媒体上のランダムな位置に存在する所望のフレームから構成されるフレーム単位の編集リストを生成し、

上記編集リストによって指定されたフレームに対応する複数のサブブロックを再生し、上記再生された複数のサブブロックから上記1フレームを復元する処理を、上記編集リストとして指定されたフレーム毎に繰り返すことによって、上記編集リストに対応する編集ビデオストリームを生成することを特徴とする編集方法。

62. 複数の記録媒体に記録された複数チャンネルのソースビデオデータを編集するための編集方法において、

上記ソースビデオデータの1フレームから分割された複数のサブブロックに対してアクセスする際に、ヘッドの回転待ち時間が最小となるような位置に上記各サブブロックデータが記録されるように、理論的に上記記録媒体の記録エリアをフォーマットするためのブロックマップを生成し、

上記ブロックマップに基づいて、上記複数チャンネルのビデオデータを上記サブブロック単位で上記記録媒体に記録し、

上記複数チャンネルのソースビデオデータが記録された記録媒体上のランダムな位置に存在する所望のフレームから構成されるフレーム単位の編集リストを生成し、

上記編集リストに対応するビデオストリームを生成するように、上記ブロックマップに基づいて、上記複数の記録媒体から上記編集リストによって指定されたフレームに対応する複数のサブブロックを再生することを特徴とする編集方法。



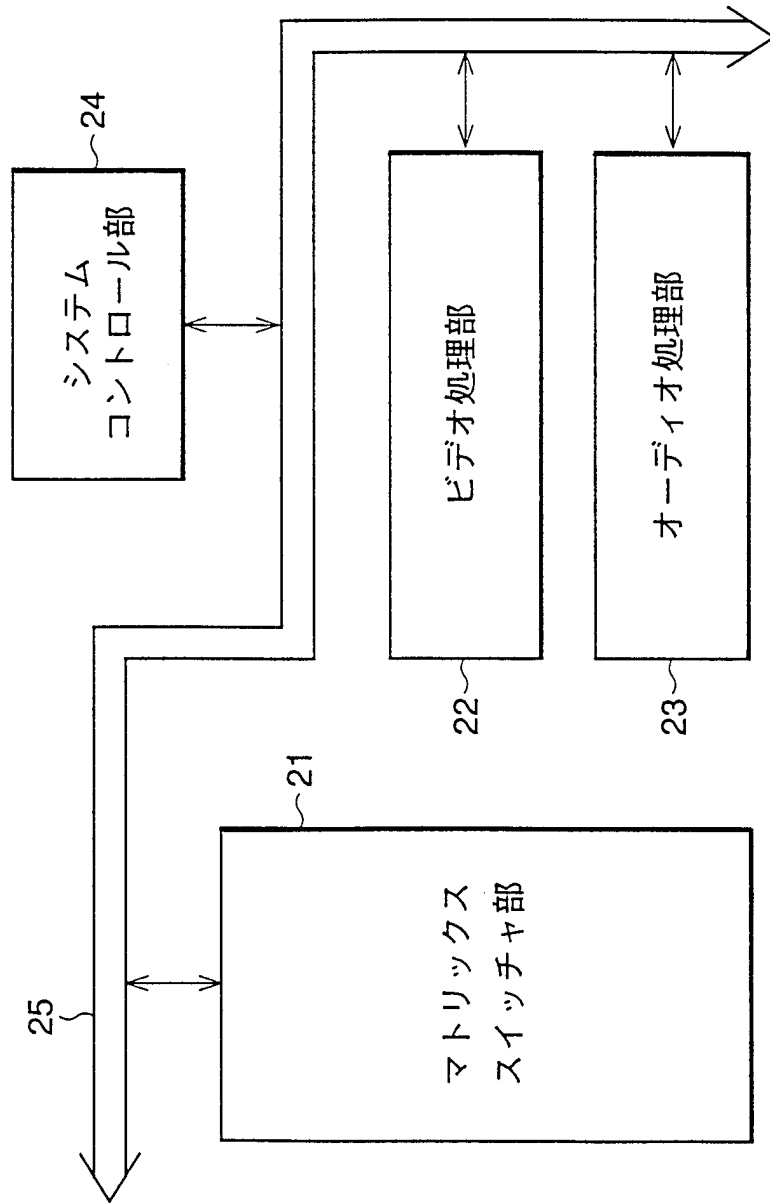


FIG.2

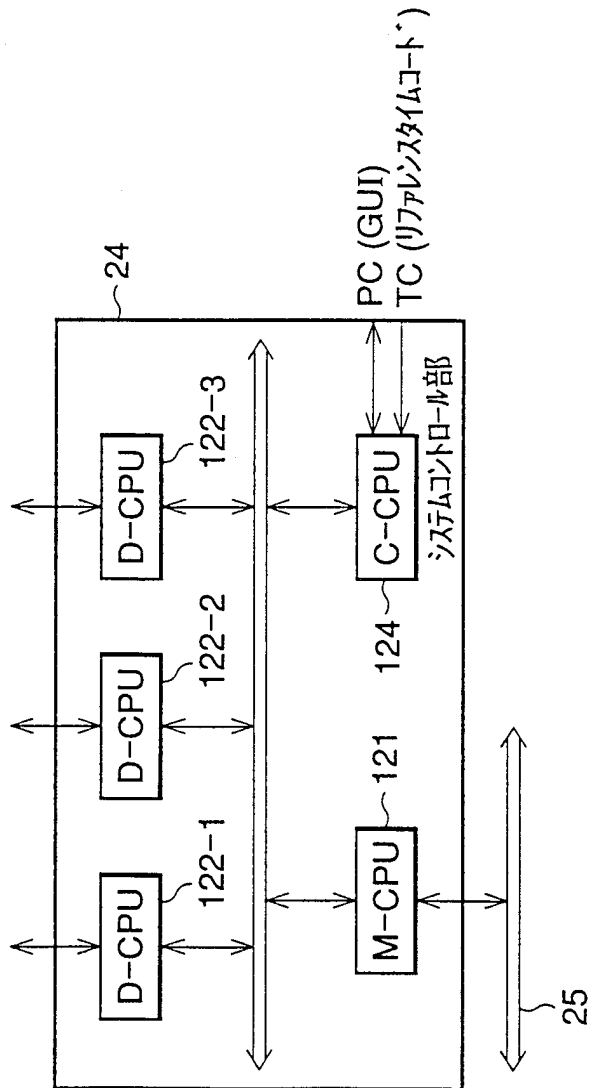


FIG.3

4/49

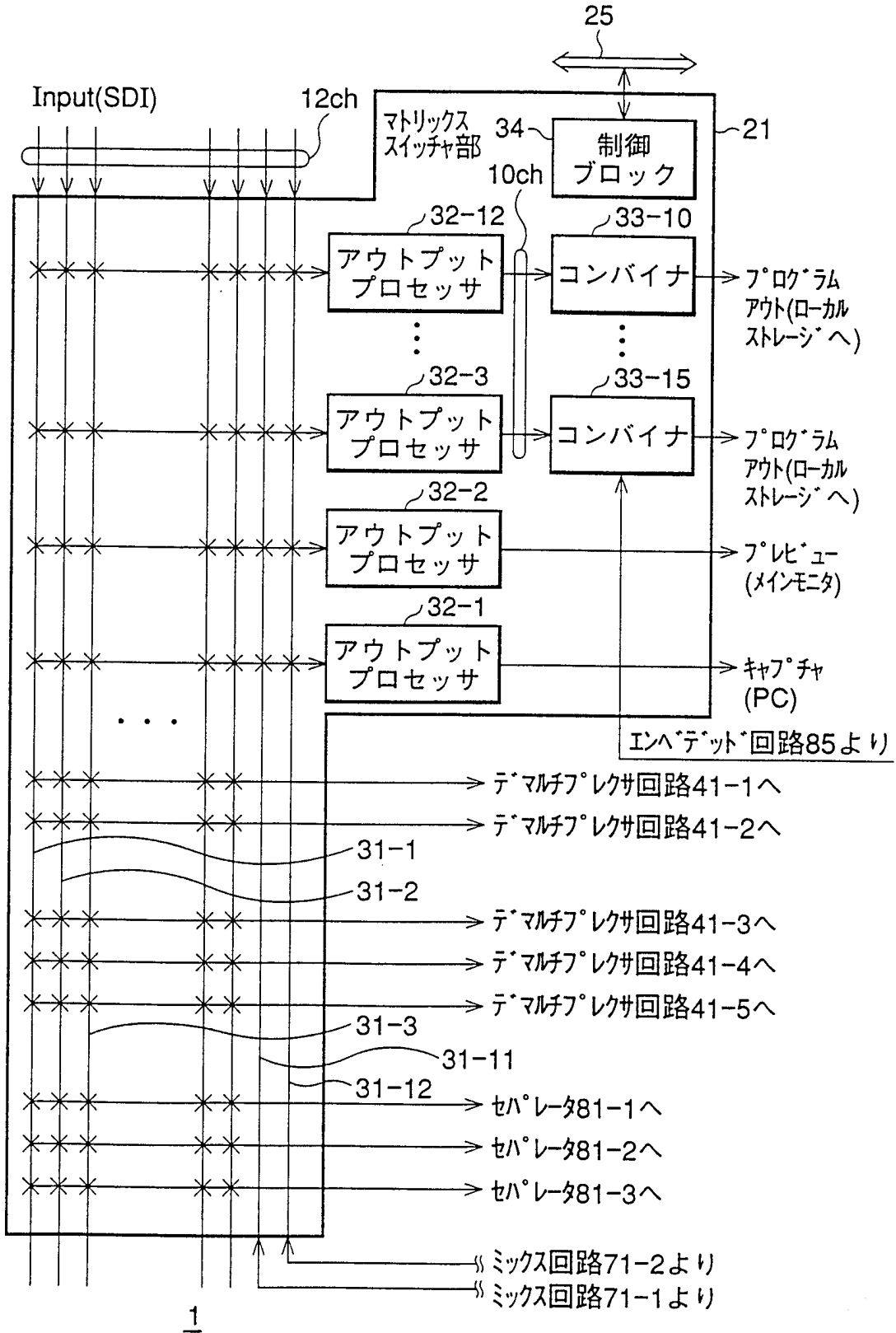


FIG.4

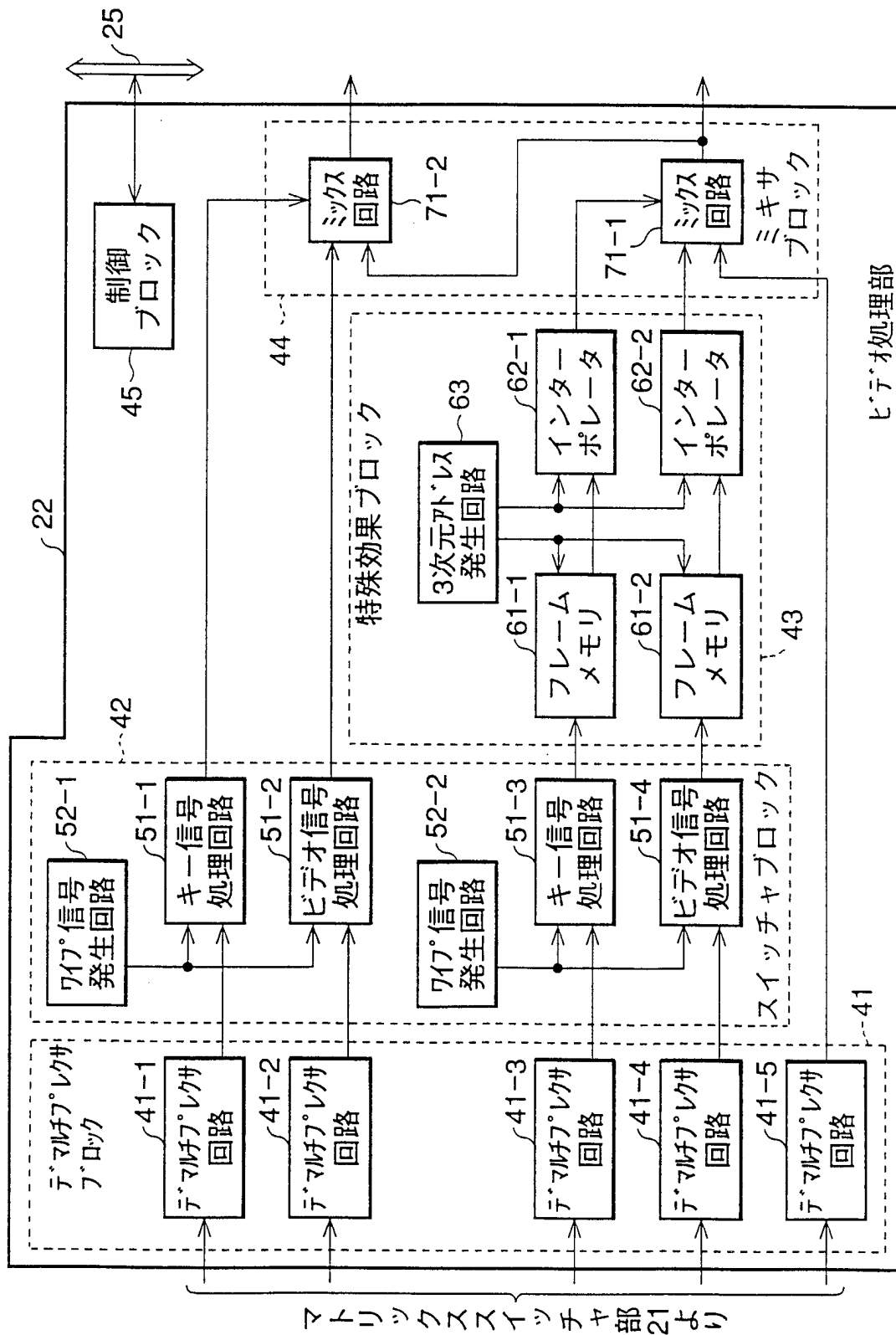


FIG.5

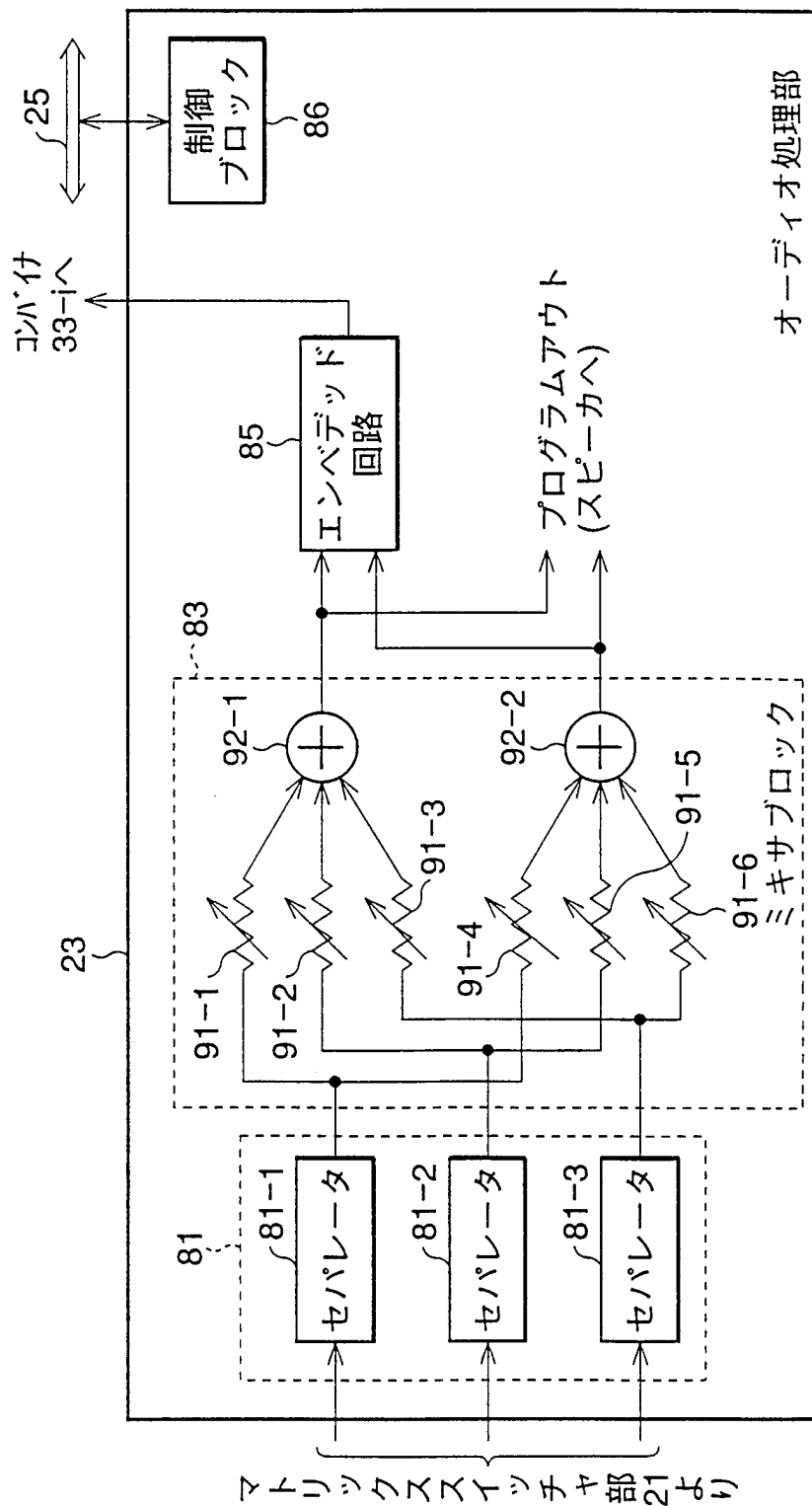


FIG.6

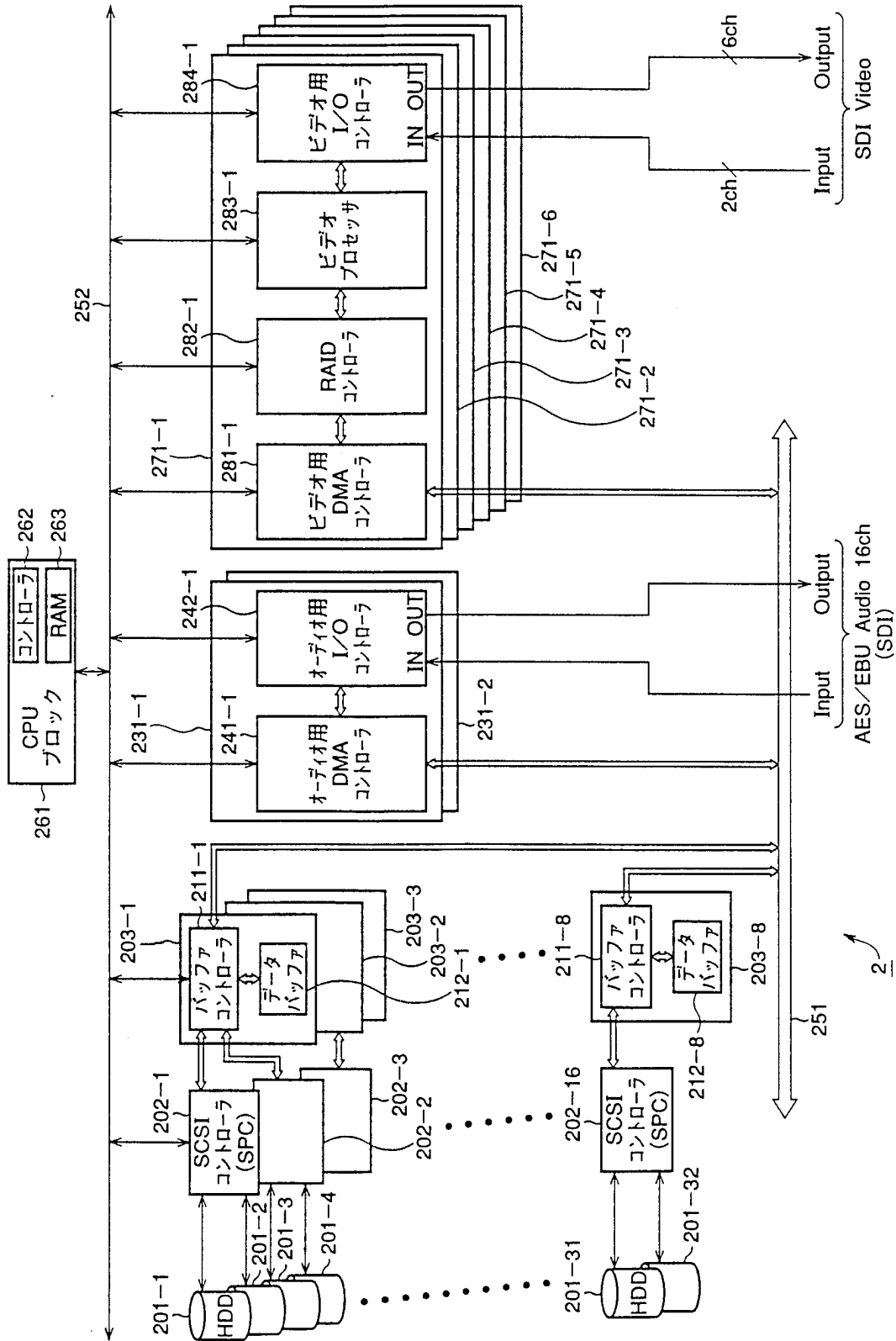


FIG.7

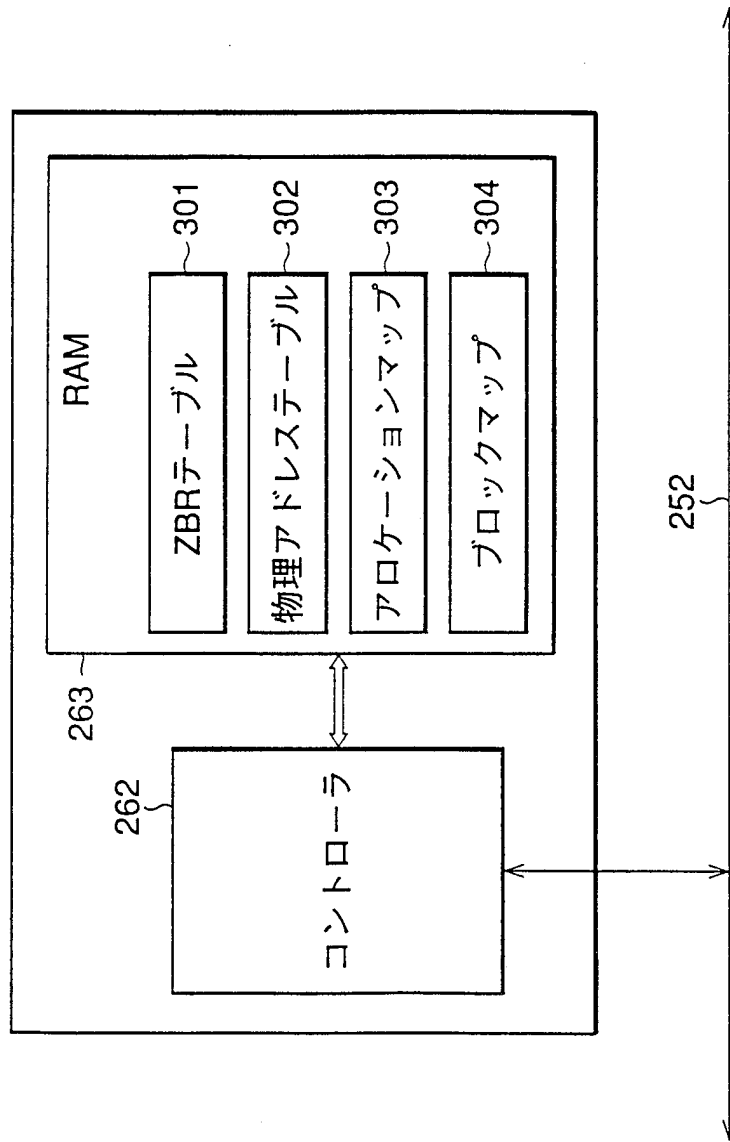


FIG.8

9/49

ZBRテーブル (NTSC)

| ゾーン | シリアスアドレス  | セクタ数 |      |
|-----|-----------|------|------|
| 1   | 0001-0500 | 567  | (外周) |
| 2   | 0501-1000 | 544  |      |
| 3   | 1001-1500 | 536  |      |
| 4   | 1501-2000 | 518  |      |
| 5   | 2001-2500 | 498  |      |
| 6   | 2501-3000 | 480  |      |
| 7   | 3001-3500 | 480  |      |
| 8   | 3501-4000 | 462  |      |
| 9   | 4001-4500 | 442  |      |
| 10  | 4501-5000 | 424  |      |
| 11  | 5001-5500 | 416  |      |
| 12  | 5501-6000 | 393  | (内周) |

FIG.9

ZBRテーブル (PAL)

| ゾーン | シリアスアドレス  | セクタ数 |      |
|-----|-----------|------|------|
| 1   | 0001-0500 | 561  | (外周) |
| 2   | 0501-1000 | 534  |      |
| 3   | 1001-1500 | 525  |      |
| 4   | 1501-2000 | 501  |      |
| 5   | 2001-2500 | 480  |      |
| 6   | 2501-3000 | 459  |      |
| 7   | 3001-3500 | 459  |      |
| 8   | 3501-4000 | 445  |      |
| 9   | 4001-4500 | 431  |      |
| 10  | 4501-5000 | 415  |      |
| 11  | 5001-5500 | 409  |      |
| 12  | 5501-6000 | 391  | (内周) |

FIG.10

10/49

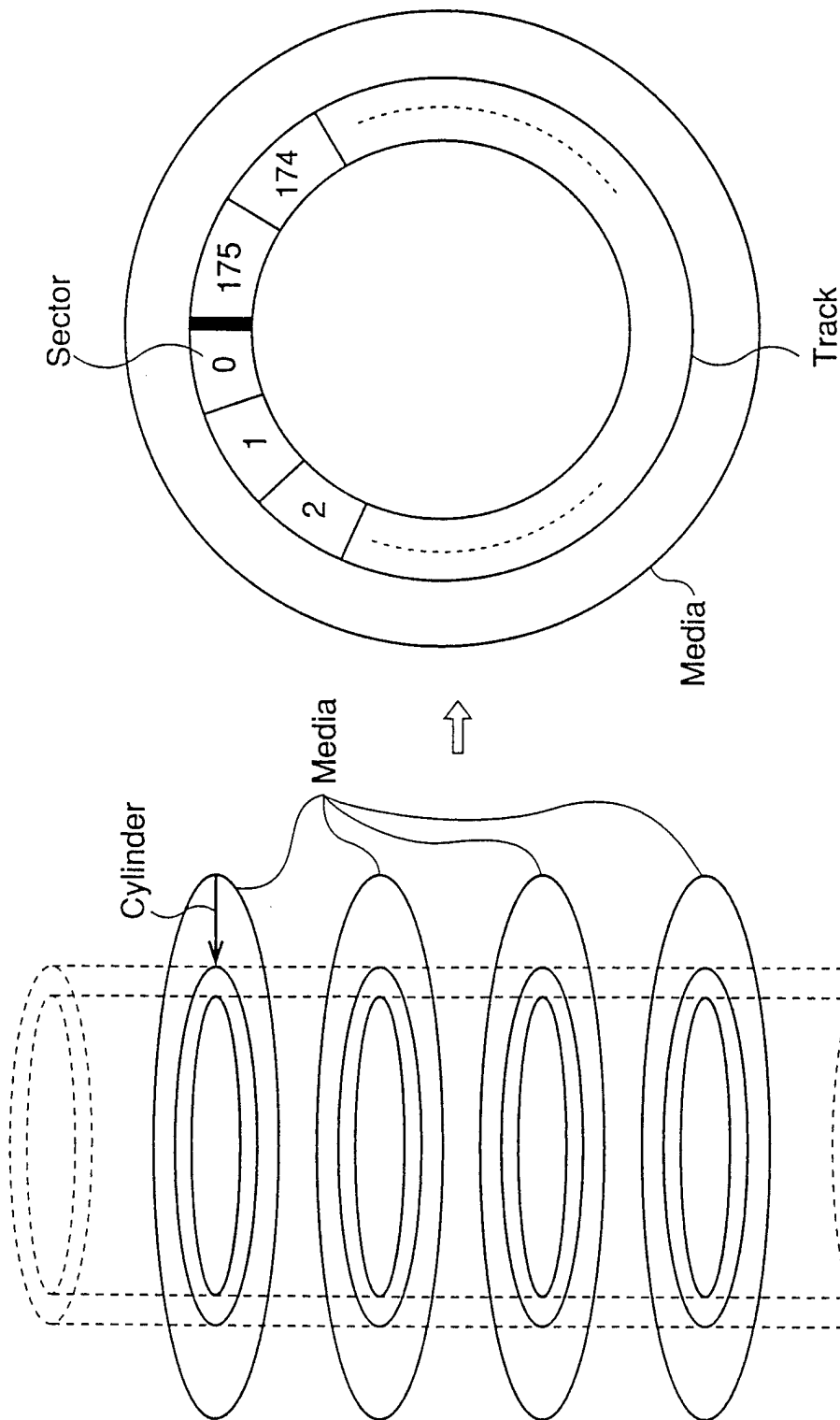


FIG.11 B

FIG.11 A

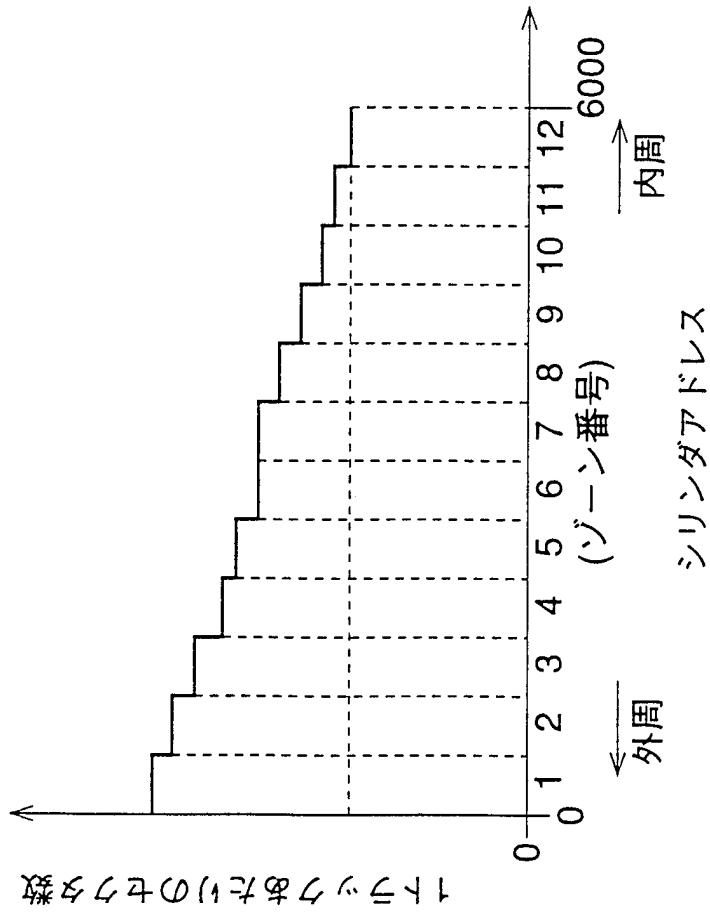


FIG.12

| Logical Sector | Cylinder | Media | Sector |
|----------------|----------|-------|--------|
| 0              | 0        | 0     | 0      |
| 1              | 0        | 0     | 1      |
| 2              | 0        | 0     | 2      |
| 3              | 0        | 0     | 3      |
| 4              | 0        | 0     | 4      |
| 5              | 0        | 0     | 5      |
| 6              | 0        | 0     | 6      |
| 7              | 0        | 0     | 7      |
| ⋮              | ⋮        | ⋮     | ⋮      |

↗  
302

| Logical Sector | Cylinder   | Media      | Sector     |
|----------------|------------|------------|------------|
| $L_{ki}$       | $CYL_{ki}$ | $MED_{ki}$ | $SEC_{ki}$ |

↗  
302

**FIG.13 B**

**FIG.13 A**

| Data No. | Disk ID | Logical Sector | Size     |          |
|----------|---------|----------------|----------|----------|
| k        | p       | $D_{kp}$       | $L_{kp}$ | $S_{kp}$ |
|          |         | $D_{k1}$       | $L_{k1}$ | $S_{k1}$ |
|          |         | $D_{k2}$       | $L_{k2}$ | $S_{k2}$ |
|          |         | :              | :        | :        |
|          |         | $D_{kn}$       | $L_{kn}$ | $S_{kn}$ |

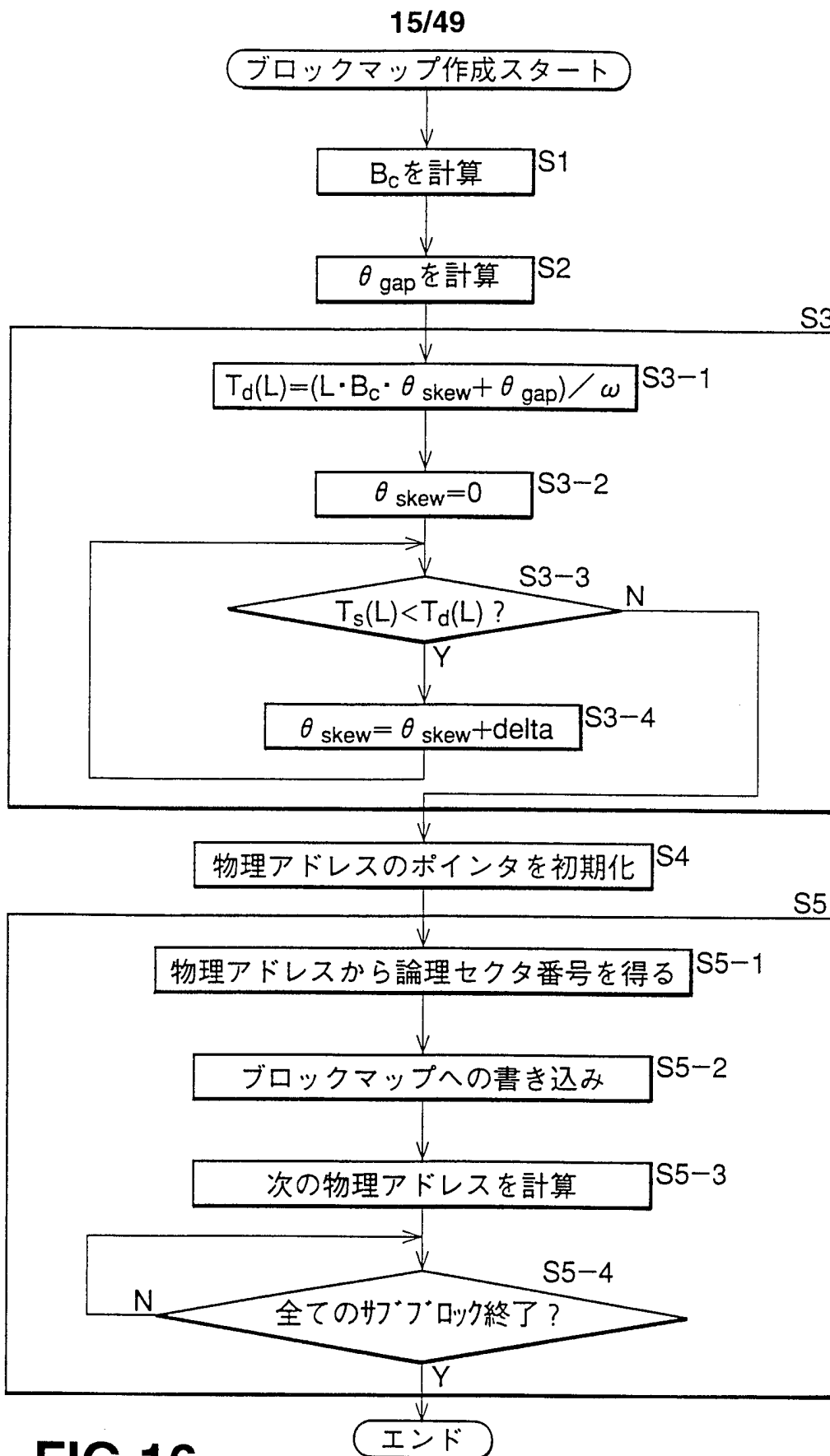
  
304

**FIG.14**

| フレーム No. | Disk ID | 開始論理セクタ | セクタサイズ |                      |
|----------|---------|---------|--------|----------------------|
| 1        | 1       | 0       | 567    | ←パリティデータ (P1)        |
|          | 2       | 599600  | 393    | ←第1のサブブロックデータ (S1-1) |
|          | 3       | 0       | 567    | ←第2のサブブロックデータ (S1-2) |
|          | 4       | 599600  | 393    | ←第3のサブブロックデータ (S1-3) |
|          | 5       | 0       | 567    | ←第4のサブブロックデータ (S1-4) |
| 2        | 2       | 0       | 567    | ←パリティデータ (P2)        |
|          | 3       | 599600  | 393    | ←第1のサブブロックデータ (S2-1) |
|          | 4       | 0       | 567    | ←第2のサブブロックデータ (S2-2) |
|          | 5       | 599600  | 393    | ←第3のサブブロックデータ (S2-3) |
|          | 6       | 0       | 567    | ←第4のサブブロックデータ (S2-4) |
| 3        | 3       | 600     | 567    | ←パリティデータ (P3)        |
|          | 4       | 599200  | 393    | ←第1のサブブロックデータ (S3-1) |
|          | 5       | 600     | 567    | ←第2のサブブロックデータ (S3-2) |
|          | 6       | 599600  | 393    | ←第3のサブブロックデータ (S3-3) |
|          | 1       | 600     | 567    | ←第4のサブブロックデータ (S3-4) |
| 4        | 4       | 600     | 567    | ←パリティデータ (P4)        |
|          | 5       | 599200  | 393    | ←第1のサブブロックデータ (S4-1) |
|          | 6       | 600     | 567    | ←第2のサブブロックデータ (S4-2) |
|          | 1       | 599600  | 393    | ←第3のサブブロックデータ (S4-3) |
|          | 2       | 600     | 567    | ←第4のサブブロックデータ (S4-4) |
| ⋮        | ⋮       | ⋮       | ⋮      |                      |
| ⋮        | ⋮       | ⋮       | ⋮      |                      |
| ⋮        | ⋮       | ⋮       | ⋮      |                      |
| ⋮        | ⋮       | ⋮       | ⋮      |                      |

304

FIG.15



**FIG.16**

16/49

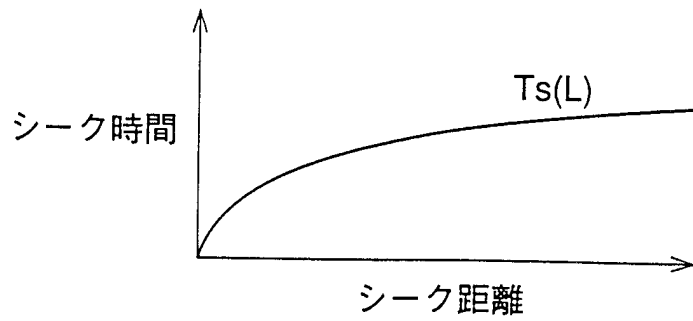


FIG.17

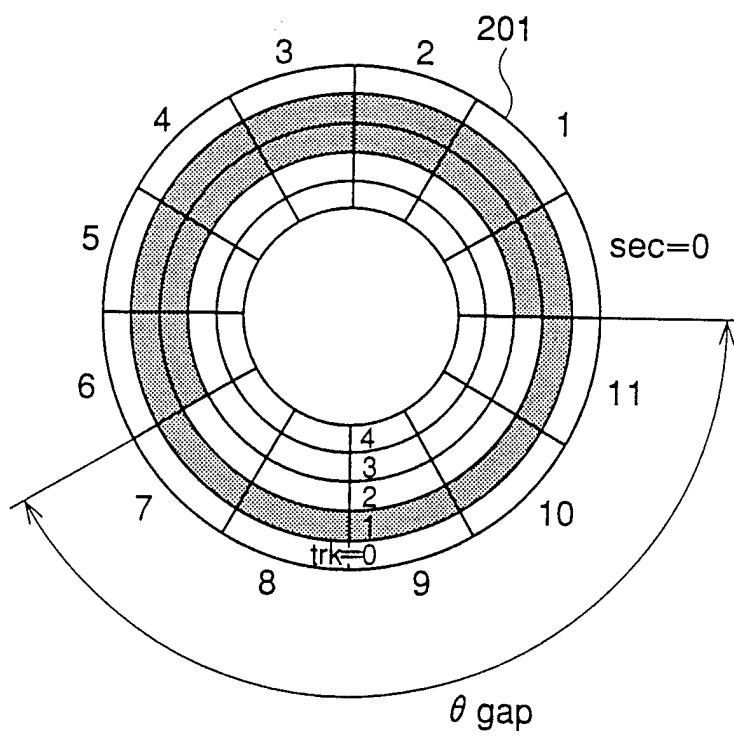


FIG.18

17/49

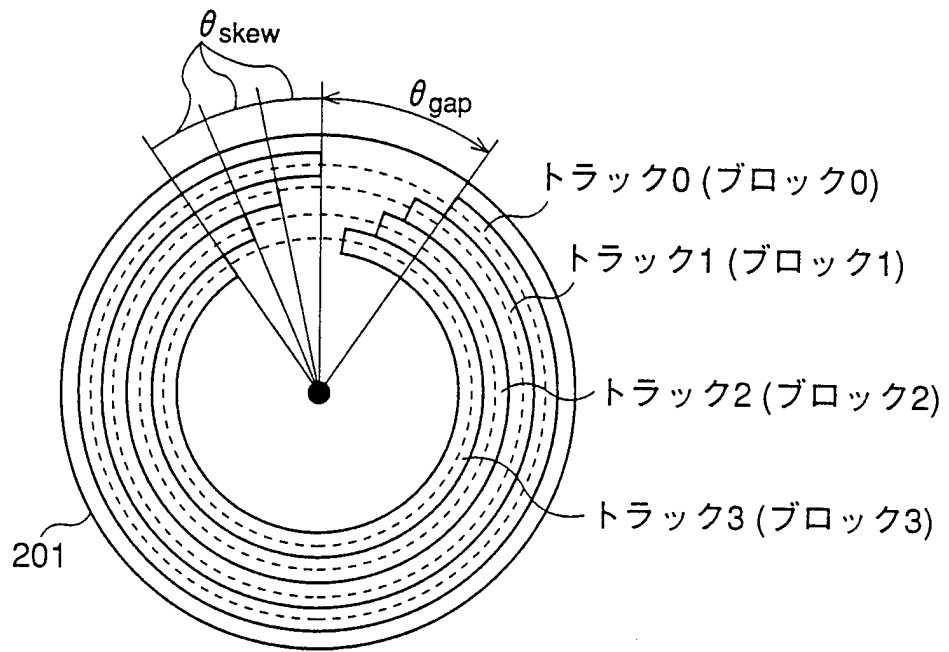


FIG.19

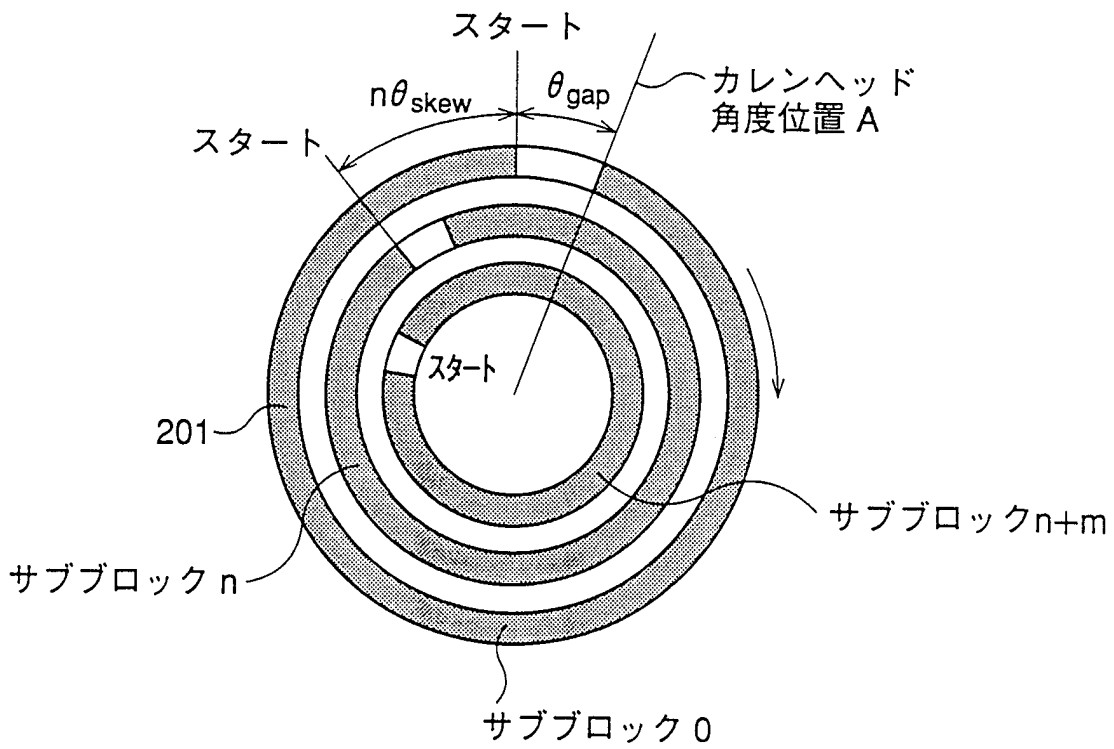


FIG.20

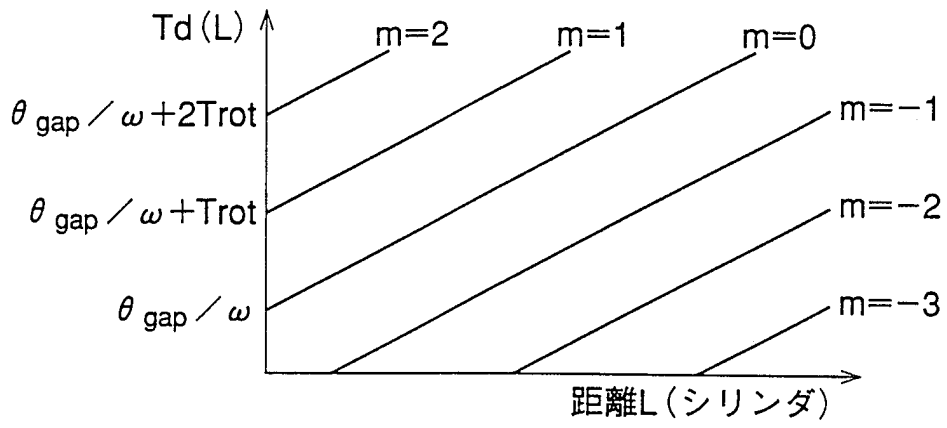


FIG.21

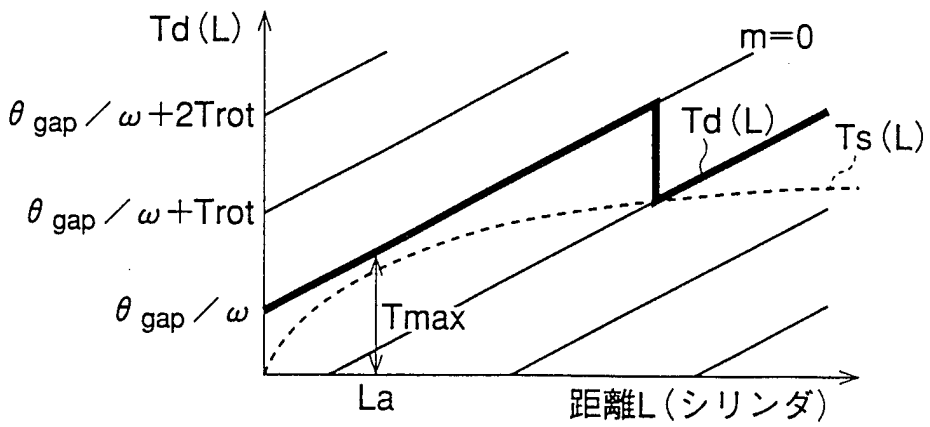


FIG.22

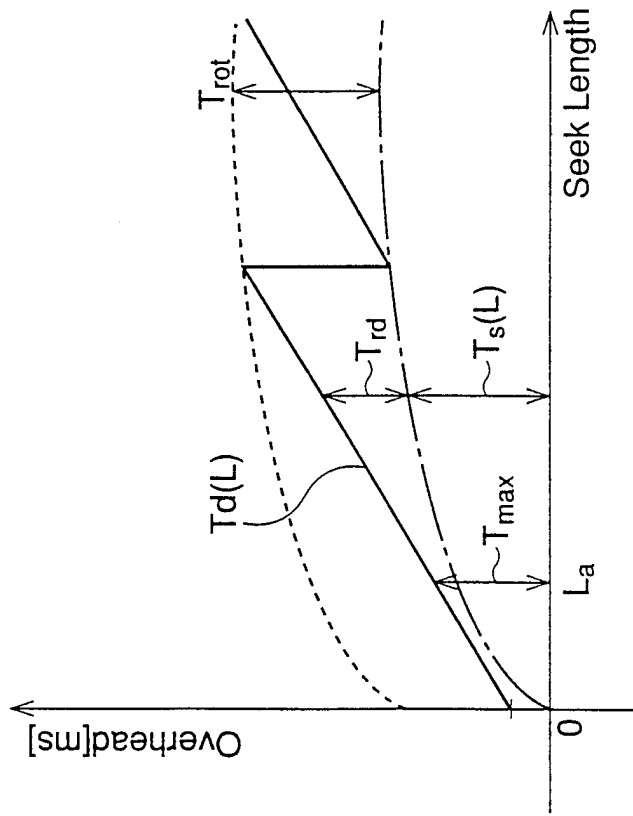


FIG.23

20/49

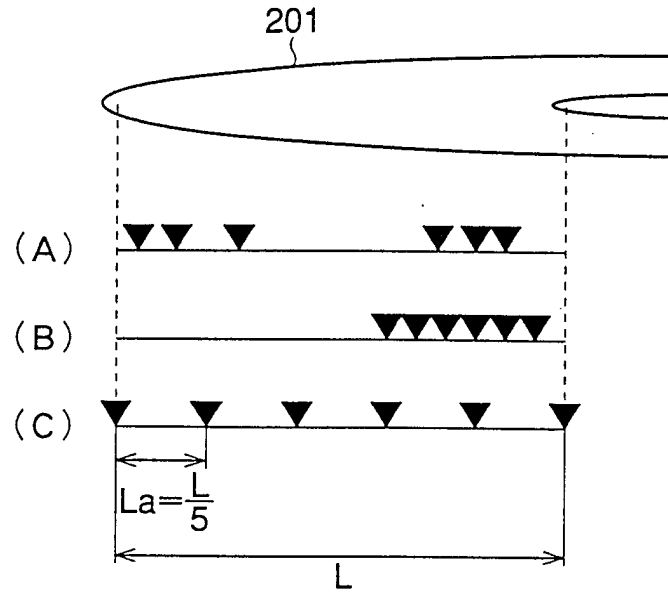


FIG.24

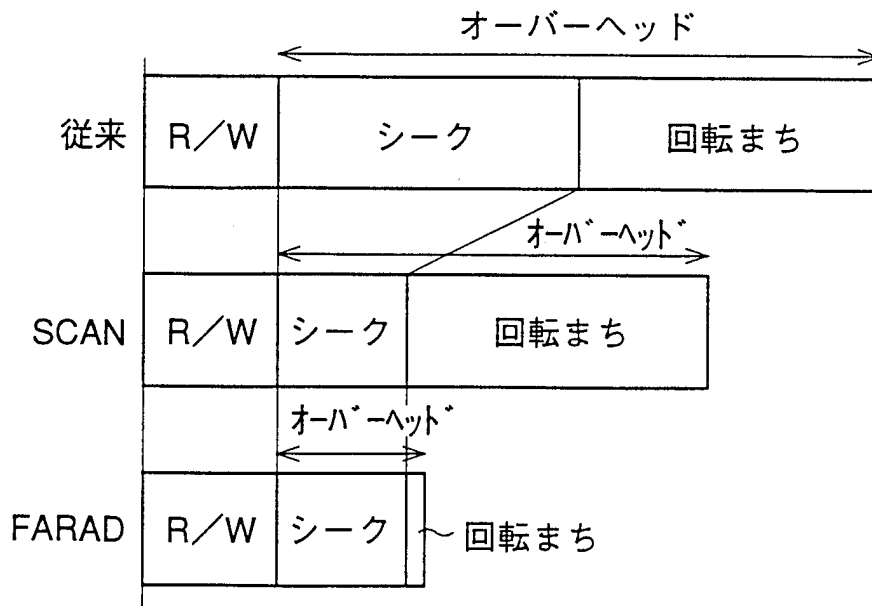


FIG.25

21/49

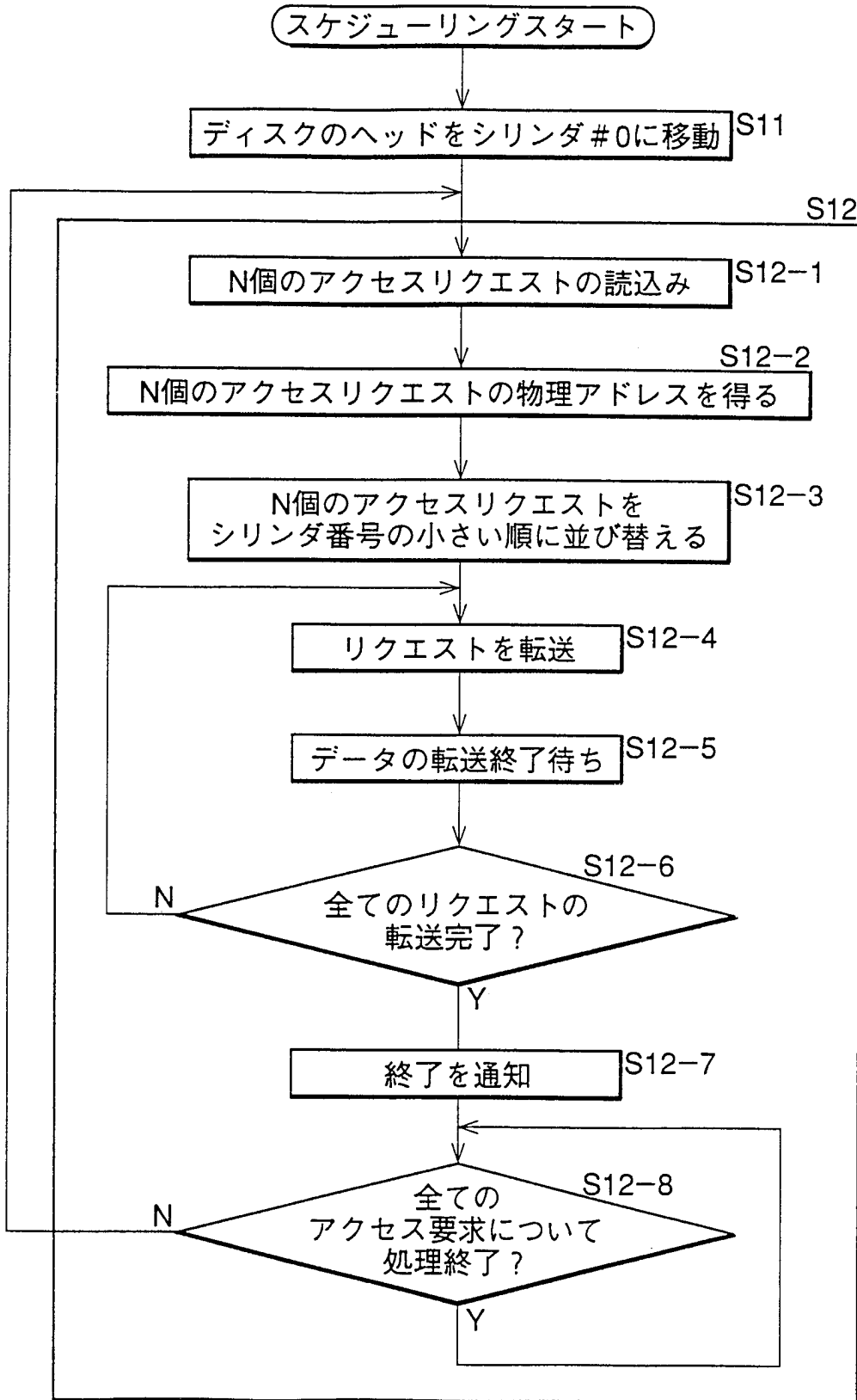


FIG.26

22/49

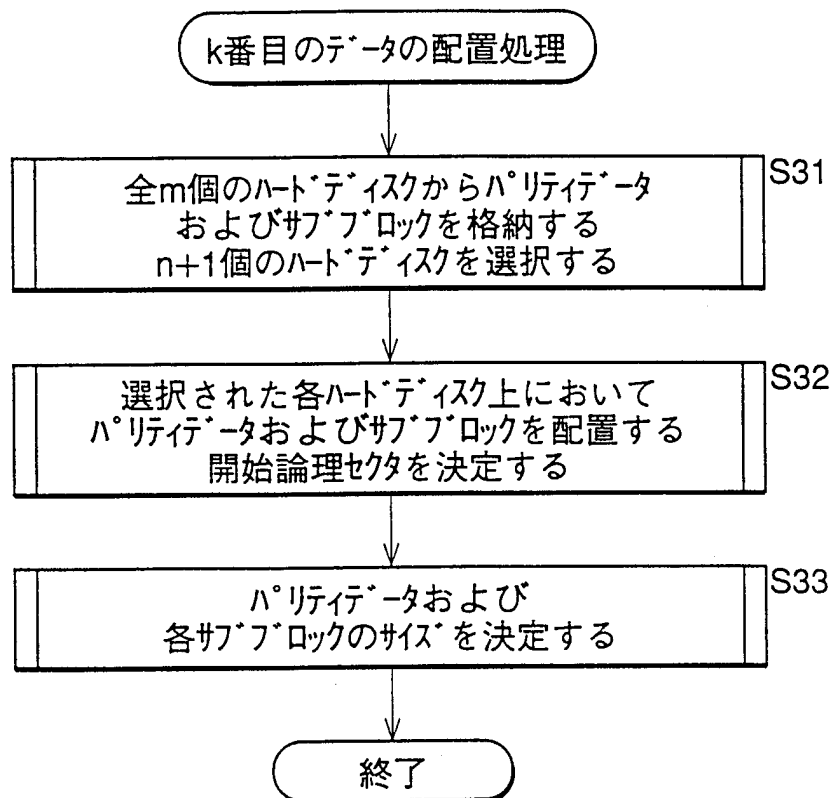


FIG.27

23/49

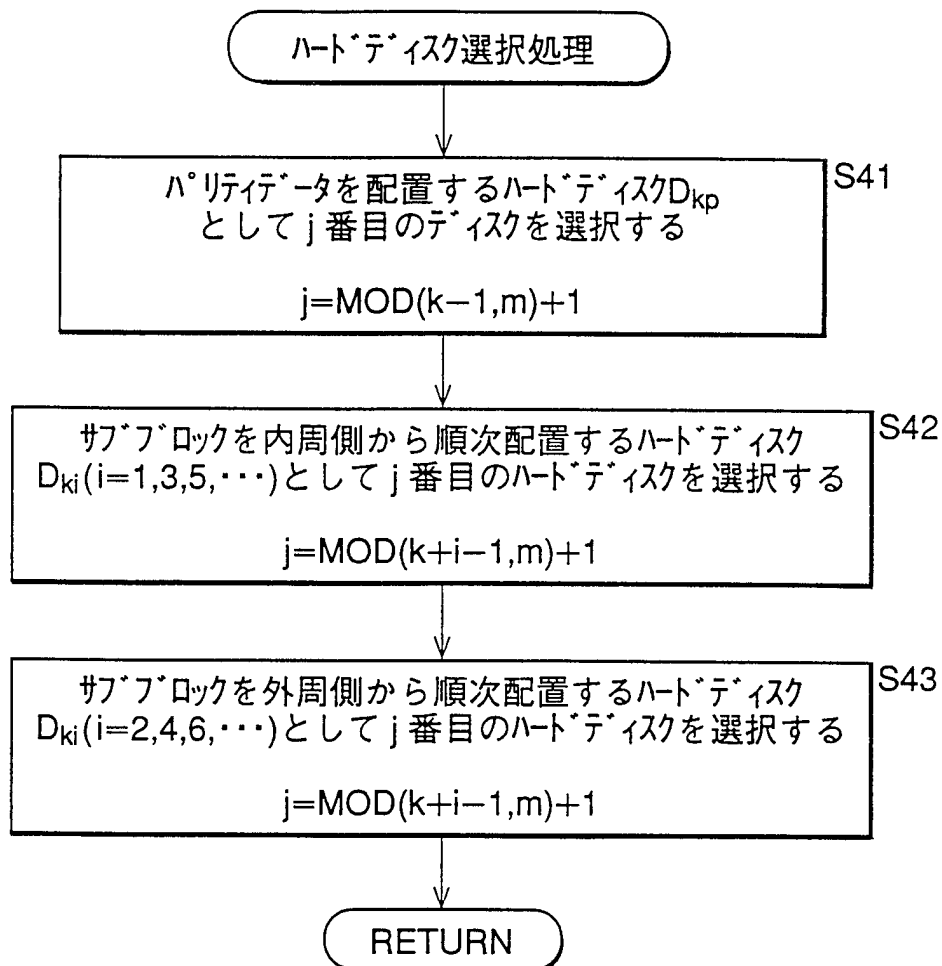


FIG.28

24/49

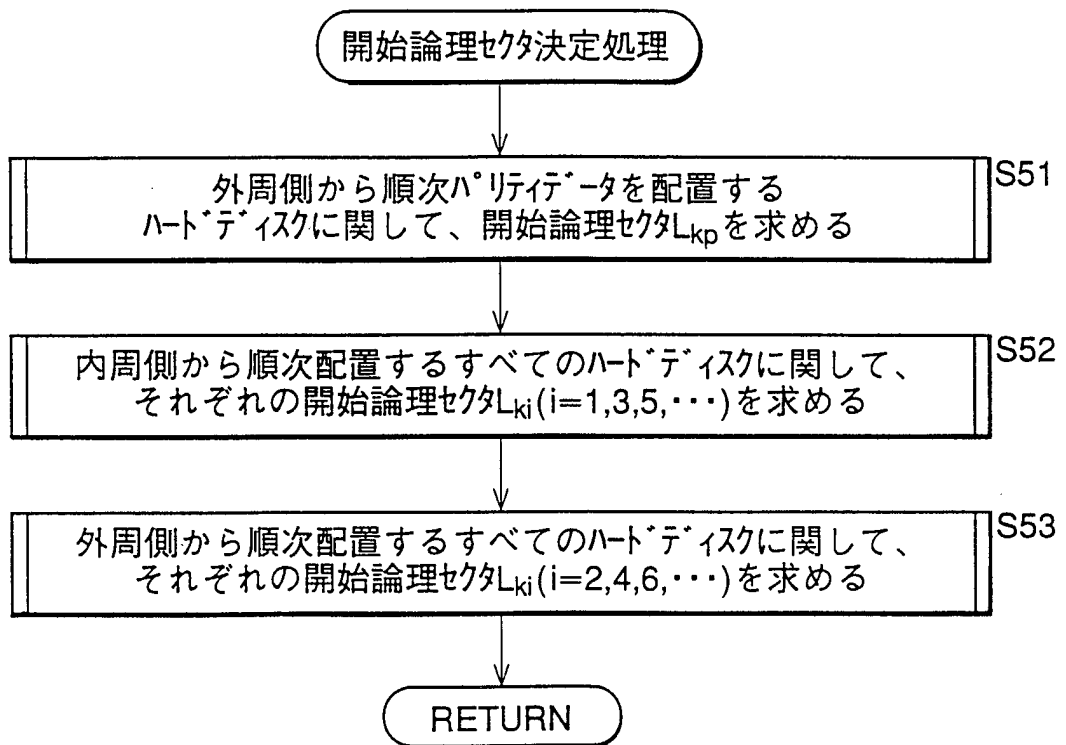


FIG.29

25/49

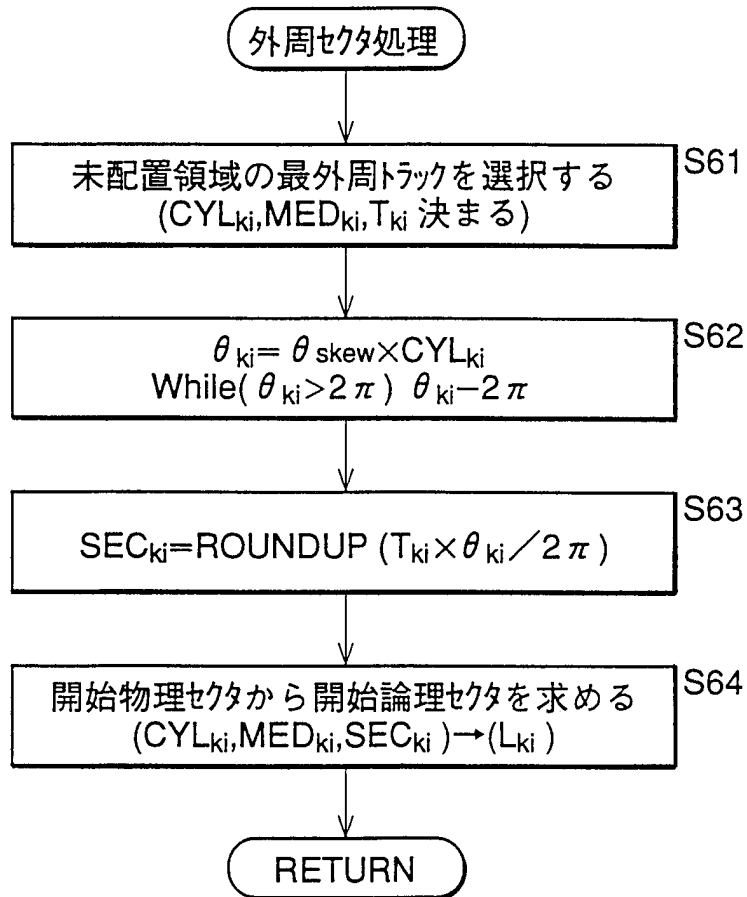


FIG.30

26/49

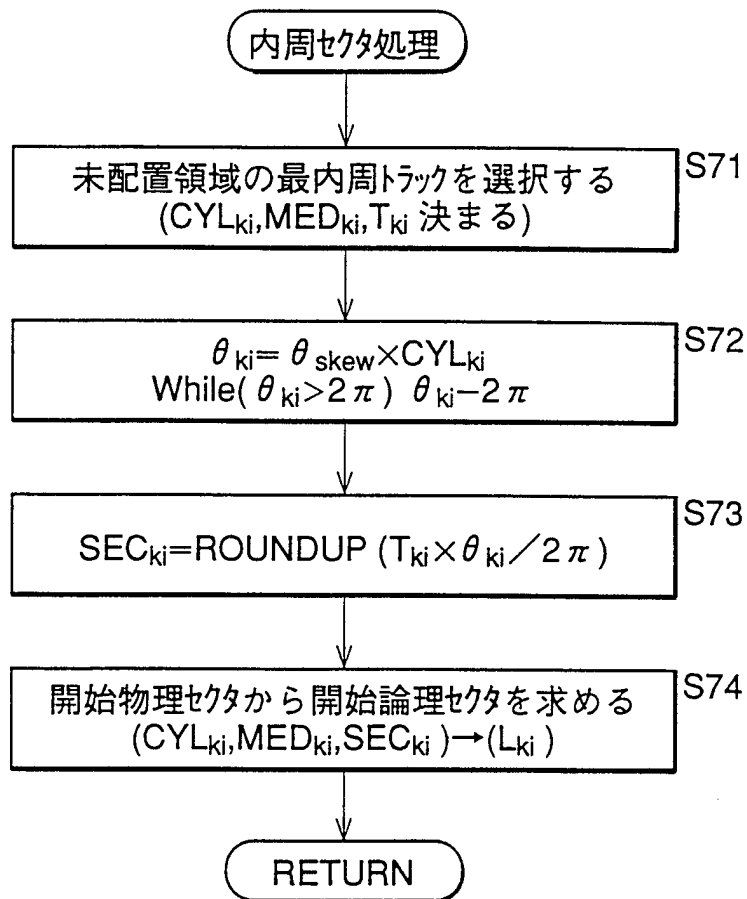


FIG.31

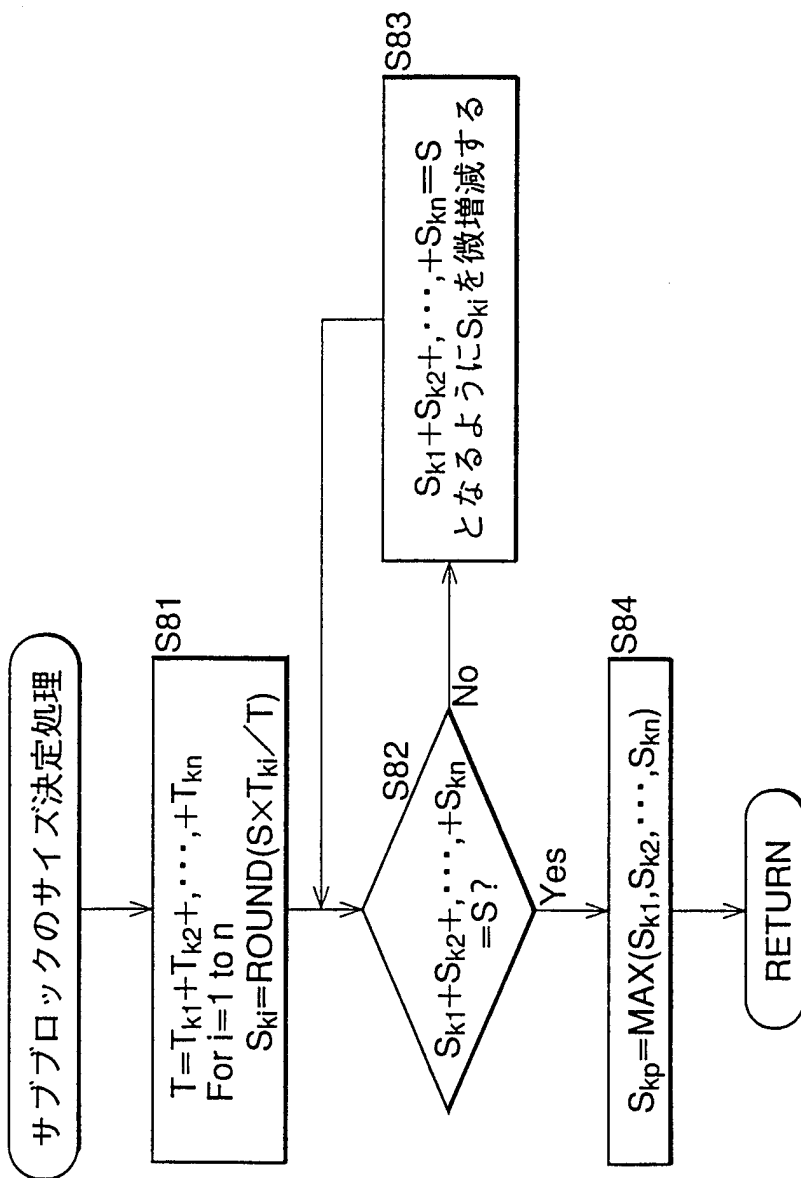


FIG.32

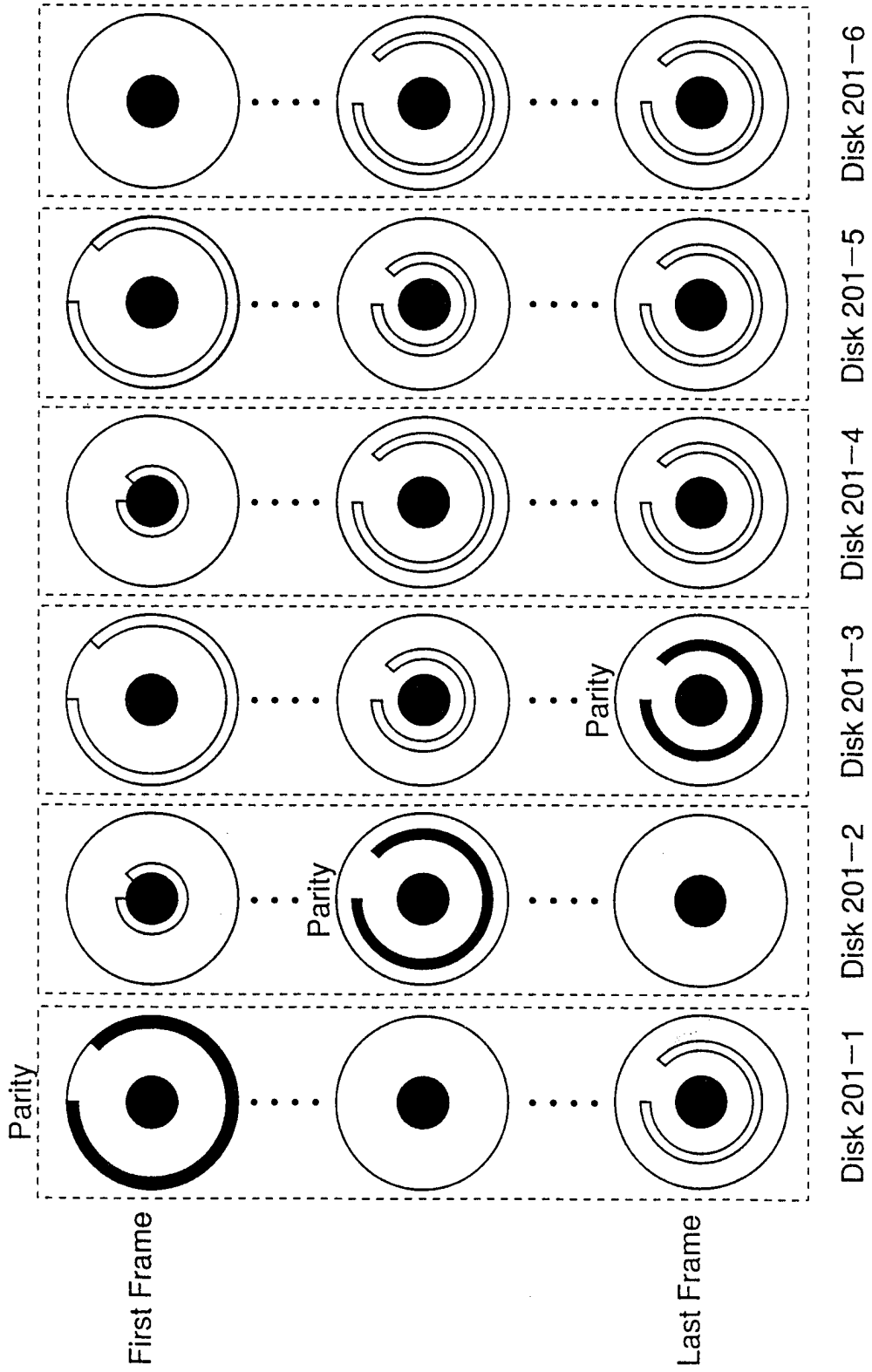


FIG.33

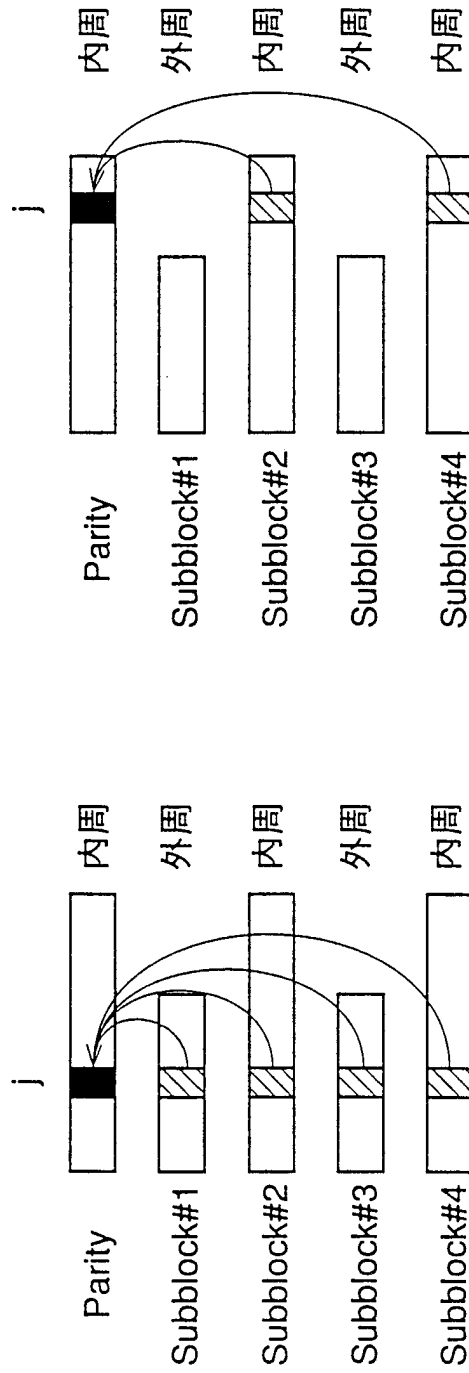
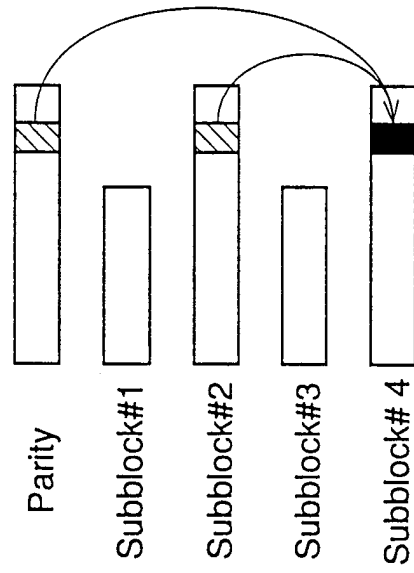
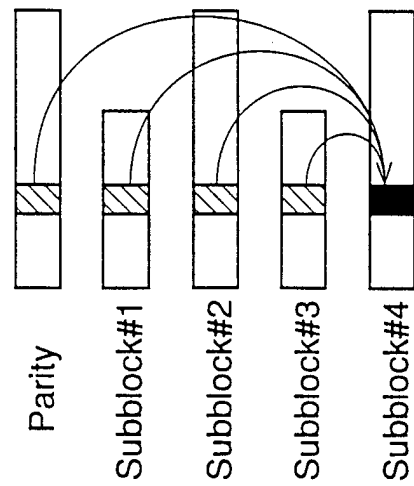


FIG.34A

FIG.34B



**FIG.35B**



**FIG.35A**



FIG.37A

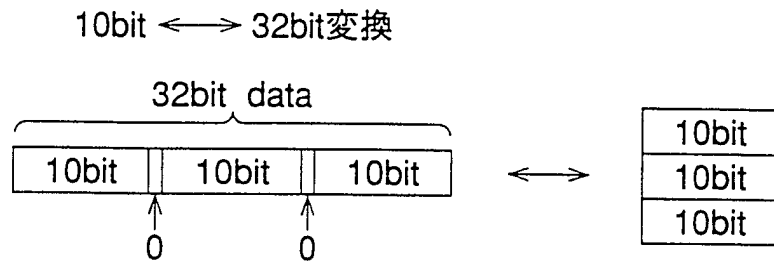


FIG.37B

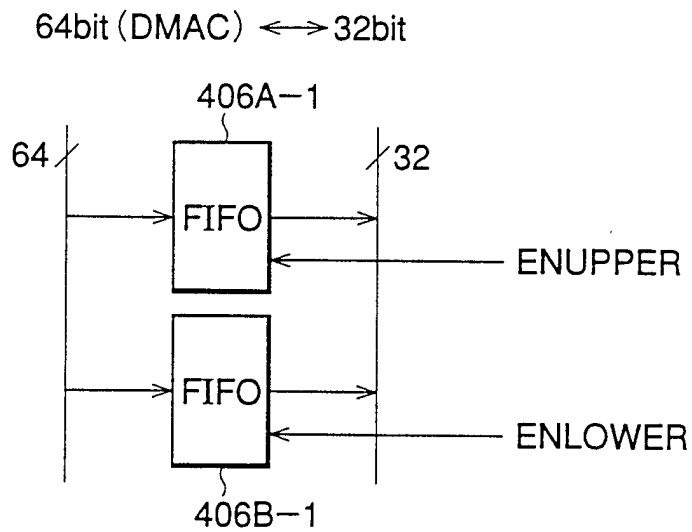
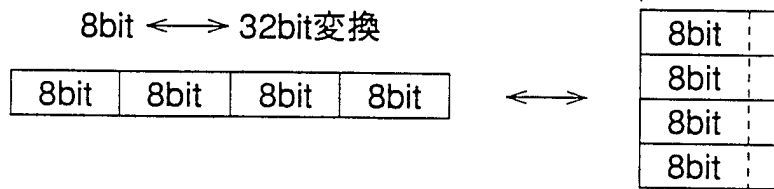


FIG.38

33/49

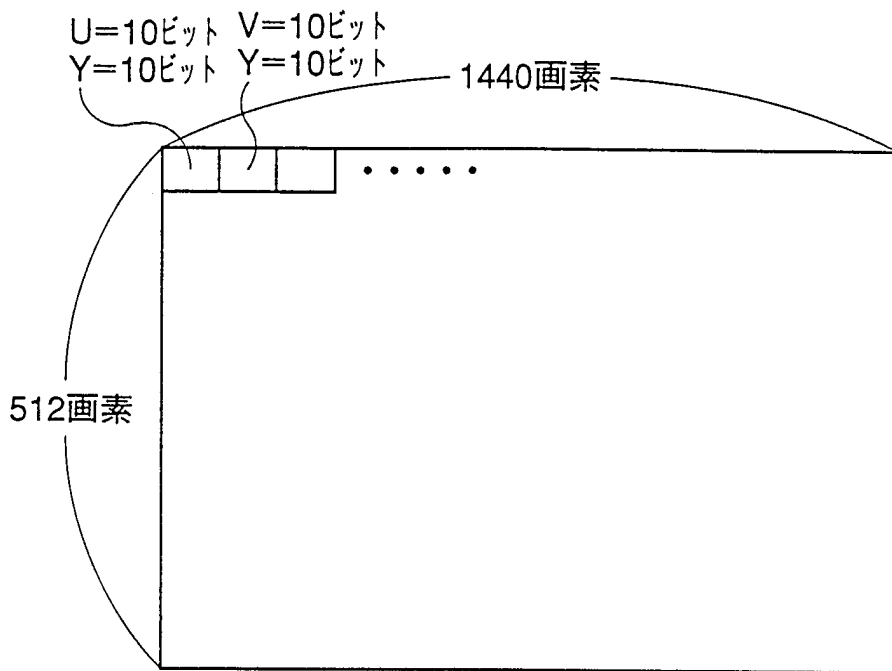


FIG.39

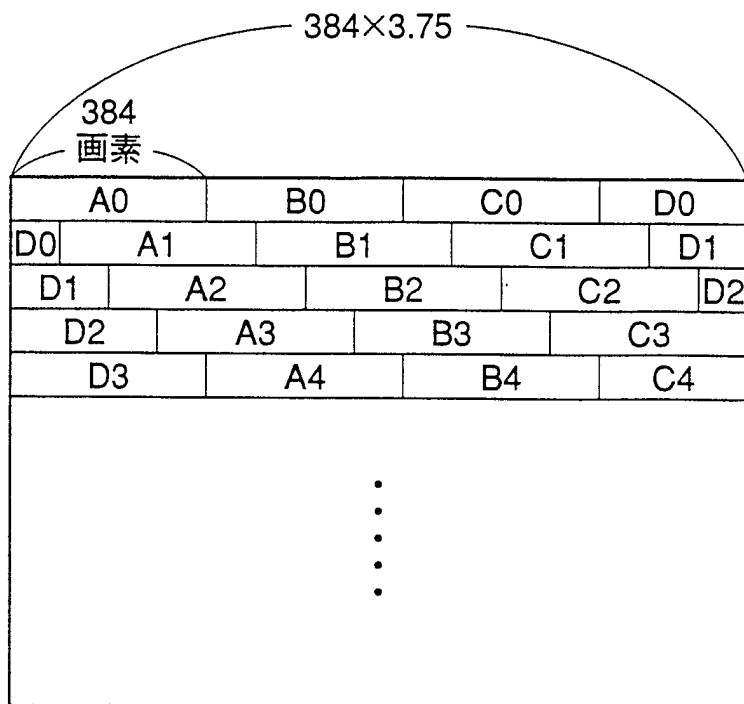
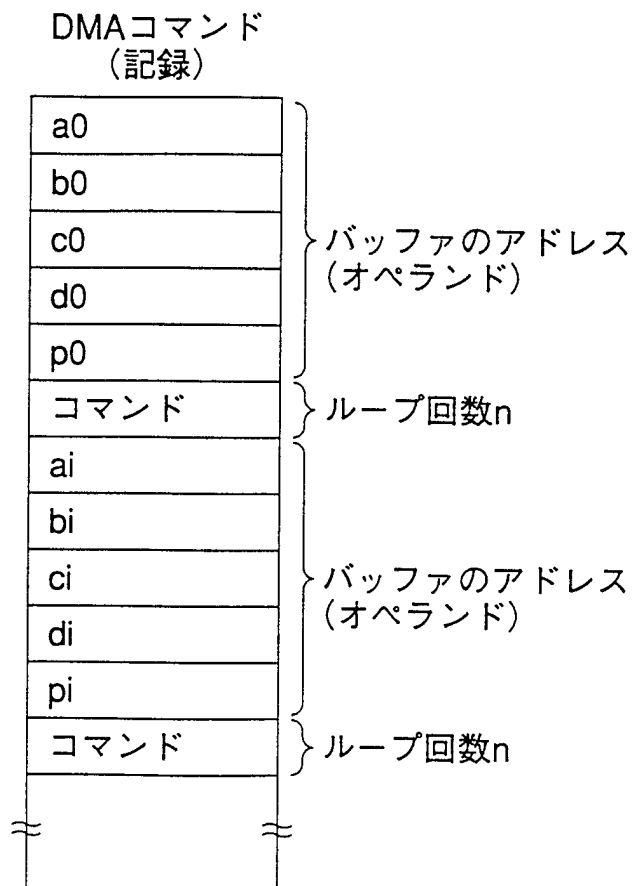


FIG.40



**FIG.41**

35/49

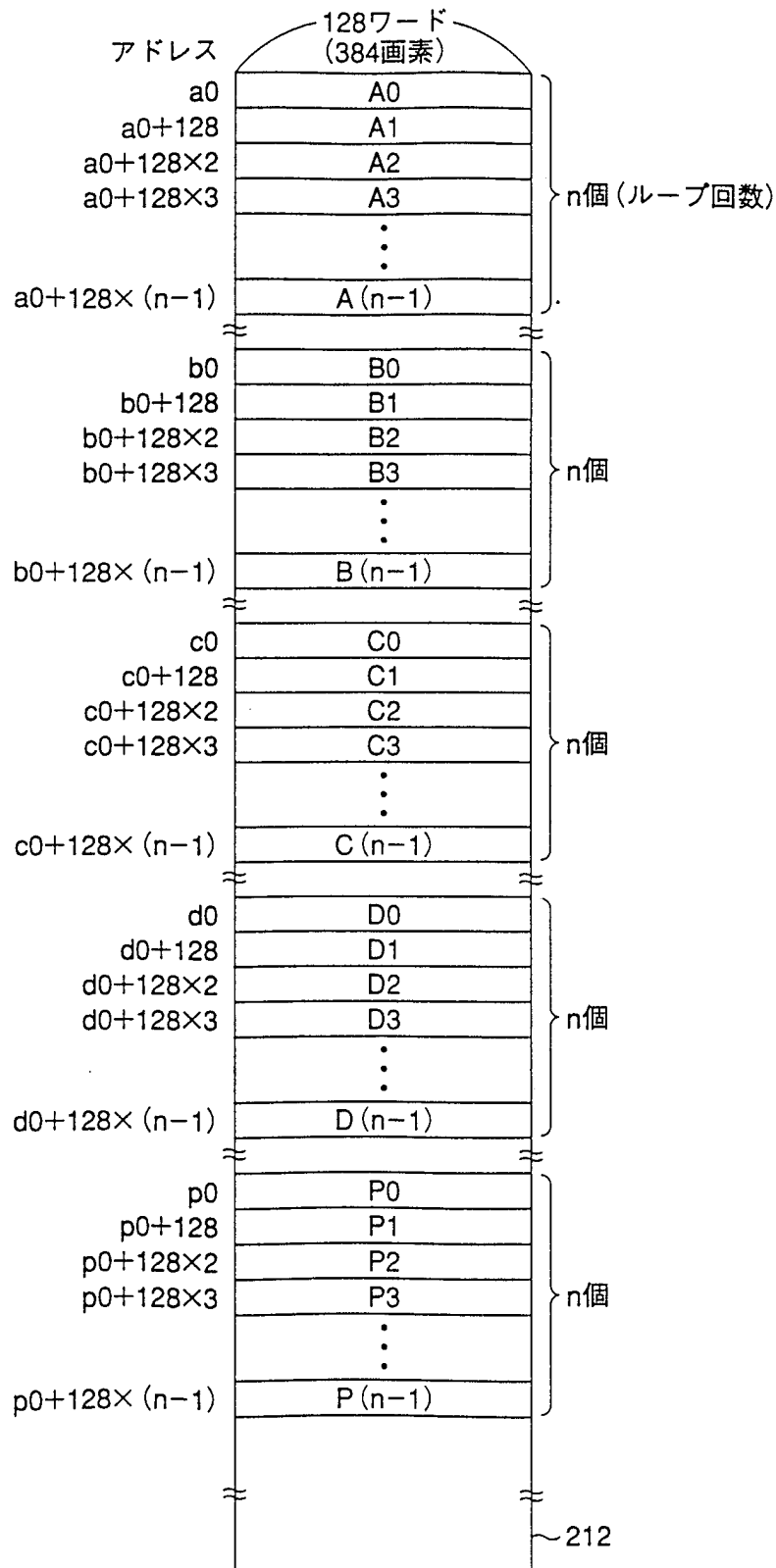


FIG.42

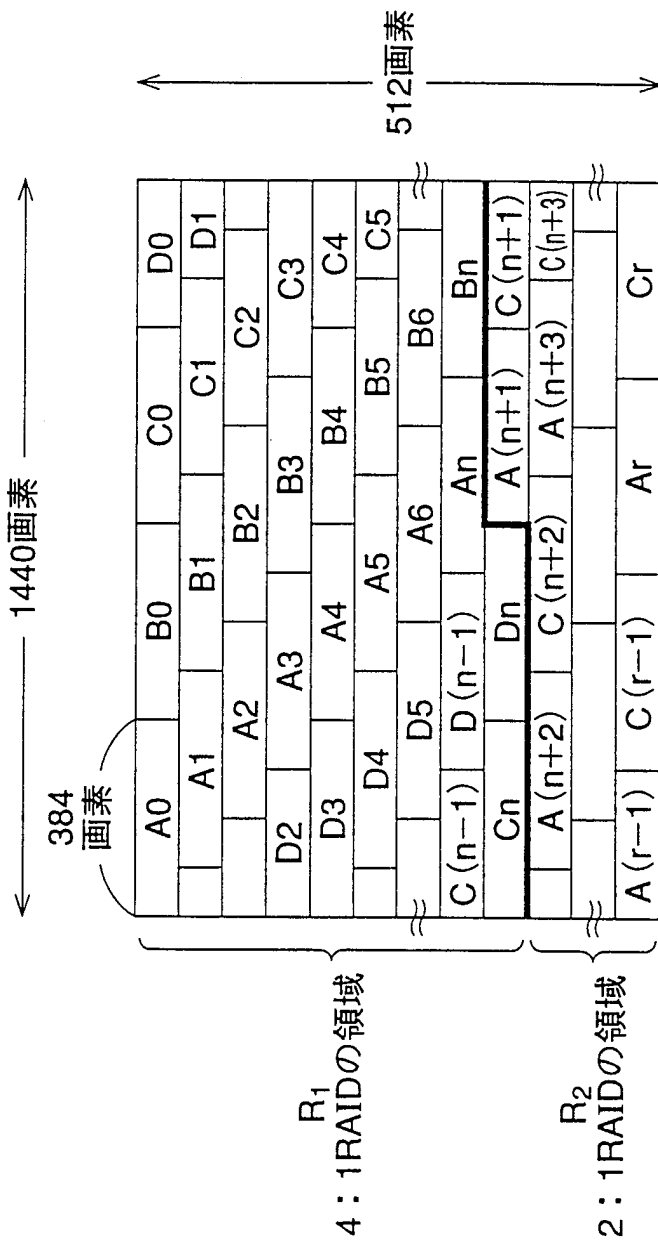


FIG.43

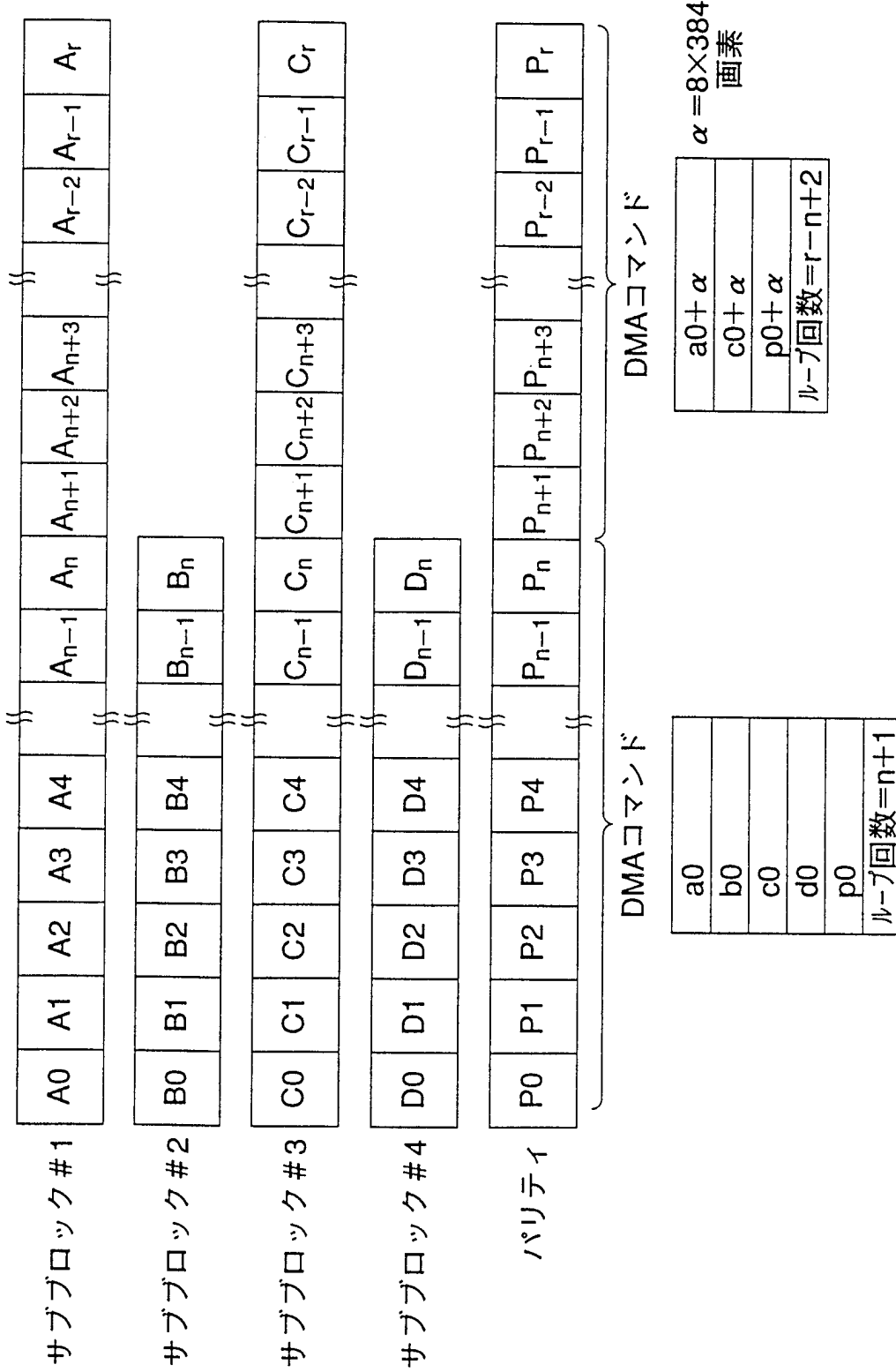


FIG.44

38/49

DMAコマンド  
(再生時、誤りなし)

|       |
|-------|
| a0    |
| b0    |
| c0    |
| d0    |
| ループ回数 |

**FIG.45**

DMAコマンド  
(再生時、誤り有)

|                 |
|-----------------|
| a0              |
| b0              |
| p0              |
| d0              |
| ループ回数<br>C0に誤り有 |

**FIG.46**

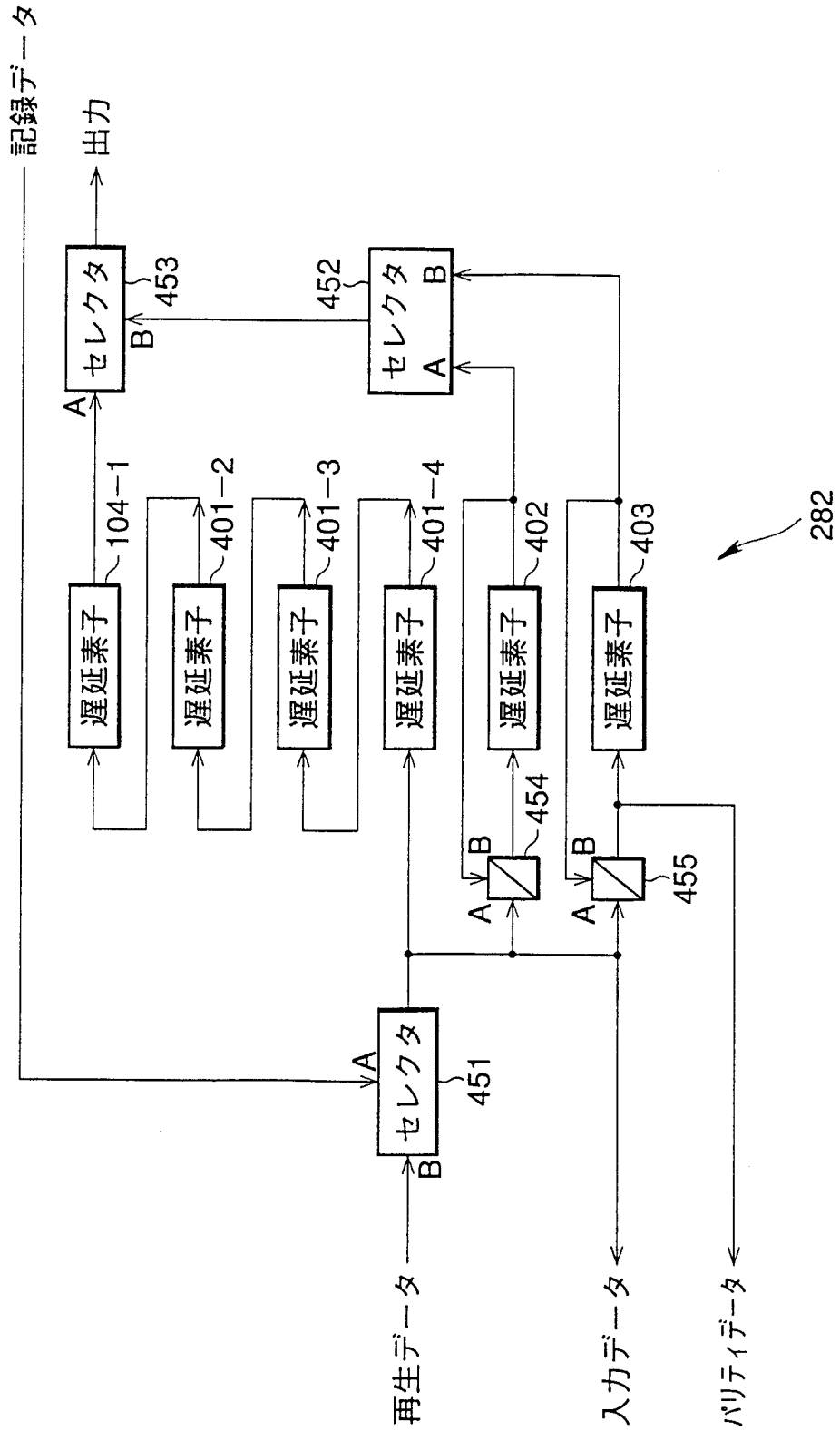


FIG.47

| データ番号<br>(ハケット転送ブロック) | 0 | 1                | 2                               | 3  | 4 | 5                | 6                               | ... |
|-----------------------|---|------------------|---------------------------------|--|---|------------------|---------------------------------|-----|
| セレクタ 451              | A | A                | A                               | A  | A | A                | A                               |     |
| セレクタ 455              | A | A <sup>^</sup> B | A <sup>^</sup> B                | A <sup>^</sup> B                               | A | A <sup>^</sup> B | A <sup>^</sup> B                |     |
| 入力データ                 | 0 | 1                | 2                               | 3  | 4 | 5                | 6                               |     |
| 遅延素子 403              | 0 | 0 <sup>^</sup> 1 | 0 <sup>^</sup> 1 <sup>^</sup> 2 | 0 <sup>^</sup> 1 <sup>^</sup> 2 <sup>^</sup> 3 | 4 | 4 <sup>^</sup> 5 | 4 <sup>^</sup> 5 <sup>^</sup> 6 |     |
| パリティデータ出力             | 0 | 0 <sup>^</sup> 1 | 0 <sup>^</sup> 1 <sup>^</sup> 2 | 0 <sup>^</sup> 1 <sup>^</sup> 2 <sup>^</sup> 3 | 4 | 4 <sup>^</sup> 5 | 4 <sup>^</sup> 5 <sup>^</sup> 6 |     |

求めるパリティ

パリティ生成

FIG.48

| データ番号<br>(ハケット転送ブロック) | 0 | 1   | 2(P)    | 3           | 4   | 5   | 6(P)  | 7         | 8   | 9   | 10         |
|-----------------------|---|-----|---------|-------------|-----|-----|-------|-----------|-----|-----|------------|
| 遅延素子 401-1            | - | -   | -       | 0           | 1   | 2NG | 3     | 4         | 5   | 6NG | 7          |
| 遅延素子 401-2            | - | -   | 0       | 1           | 2NG | 3   | 4     | 5         | 6NG | 7   | 8          |
| 遅延素子 401-3            | - | 0   | 1       | 2NG         | 3   | 4   | 5     | 6NG       | 7   | 8   | 9          |
| 遅延素子 401-4            | 0 | 1   | 2NG     | 3           | 4   | 5   | 6NG   | 7         | 8   | 9   | 10         |
| 遅延素子 402              | 0 | 0^1 | 0^1^1^P | 0^1^1^P^3=2 | 2   | 2   | 2     | 2         | 8   | 8^9 | 8^9^10     |
| 遅延素子 403              | - | -   | -       | -           | 4   | 4^5 | 4^5^P | 4^5^P^7=6 | 6   | 6   | 6          |
| セレクトタ 452             | A | A   | A       | A           | A   | A   | A     | A         | B   | B   | B          |
| セレクトタ 453             | A | A   | A       | A           | A   | A   | [B]   | A         | A   | A   | [B]        |
| セレクトタ 454             | A | A^B | A^B     | A^B         | B   | B   | B     | B         | A   | A^B | A^B        |
| セレクトタ 455             | B | B   | B       | B           | A   | A^B | A^B   | A^B       | B   | B   | B          |
| 出力                    | - | -   | -       | -           | 0   | 1   | 2     | 3         | 4   | 5   | 6<br>(訂正済) |

データ訂正

FIG.49

42/49

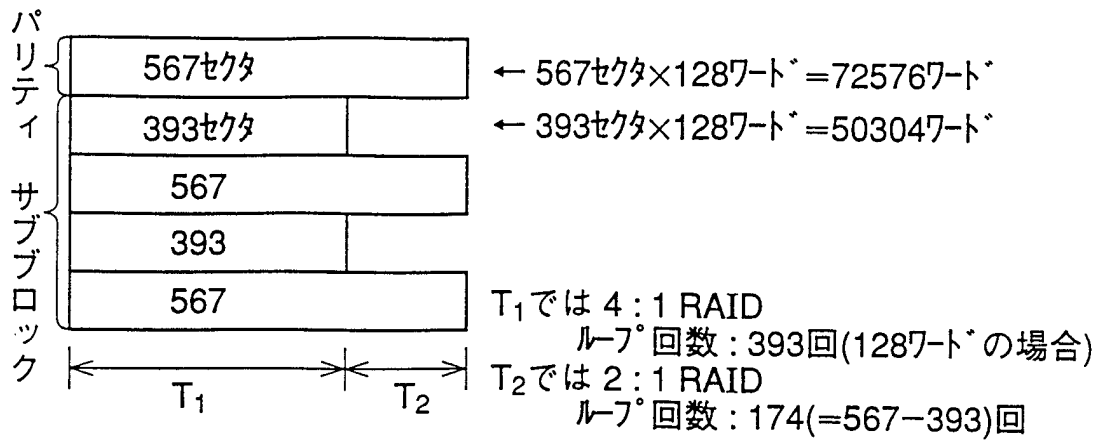


FIG.50

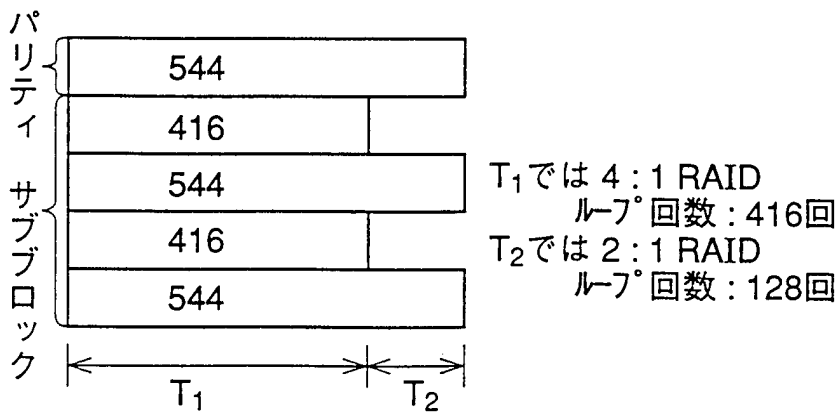


FIG.51

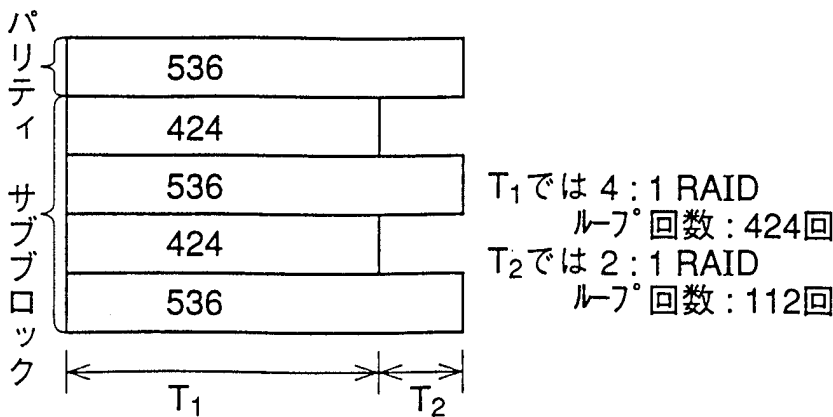


FIG.52

43/49

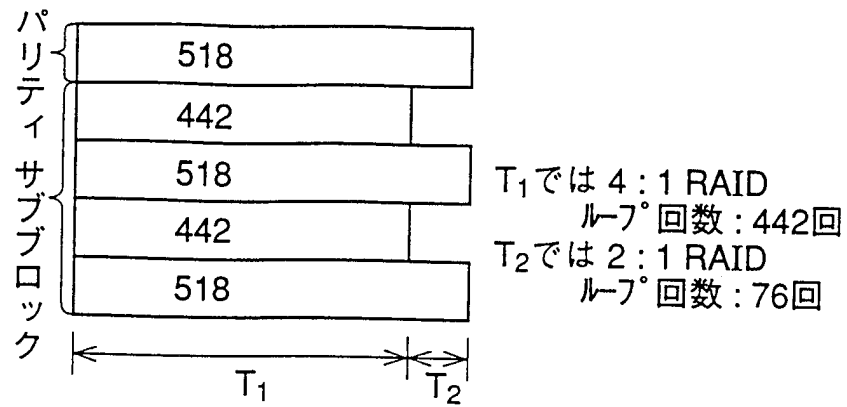


FIG.53

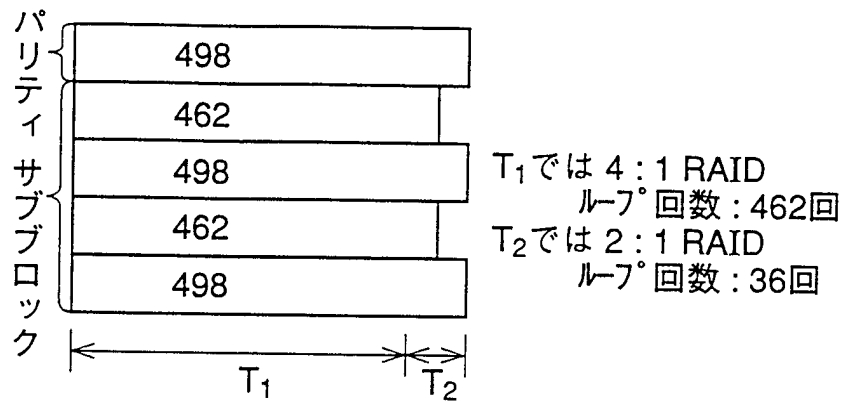


FIG.54

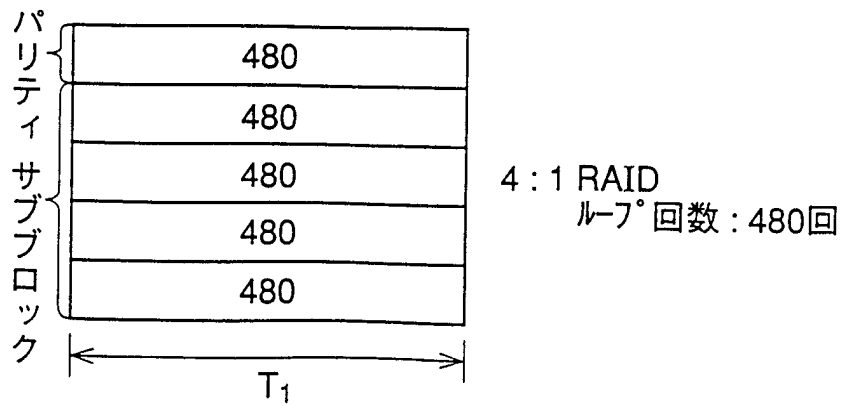
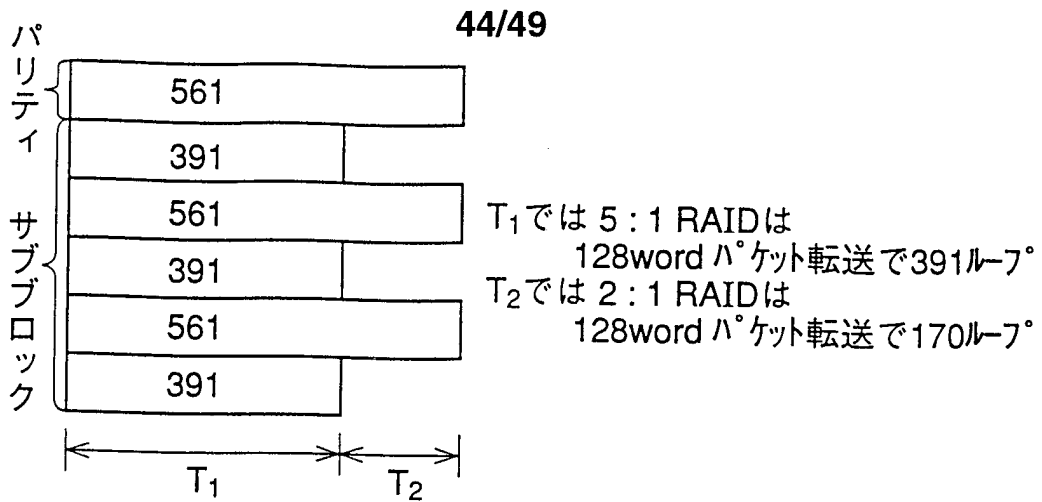
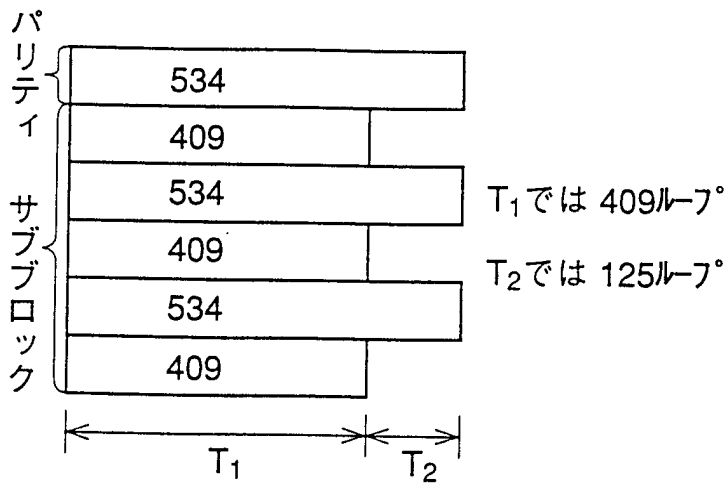


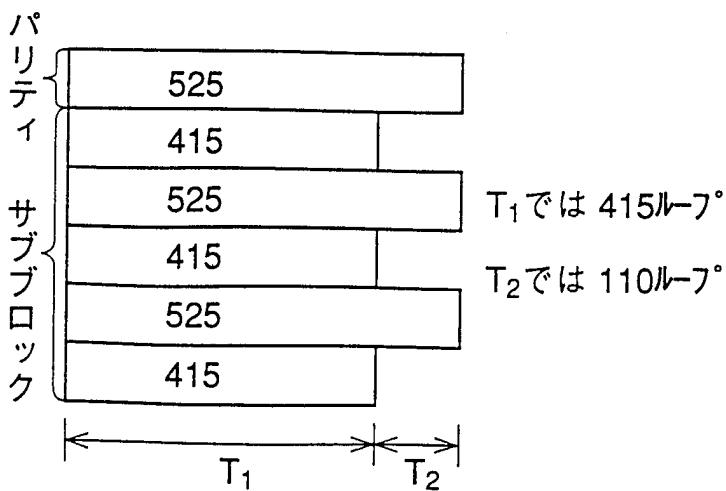
FIG.55



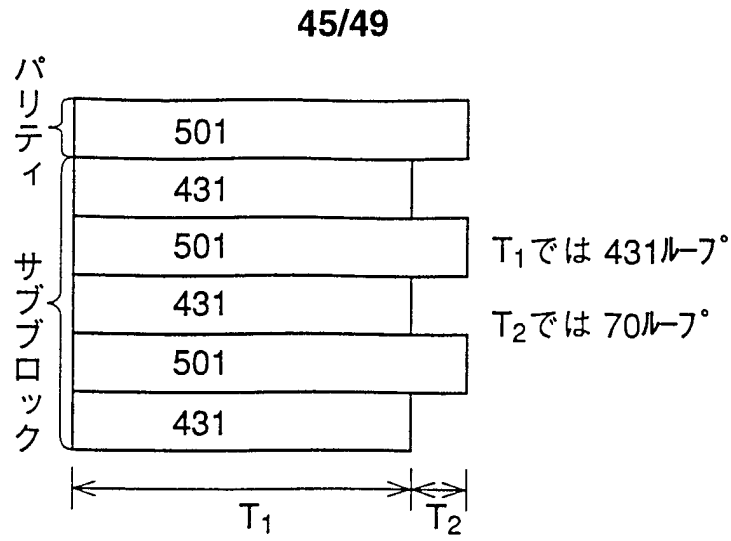
**FIG.56**



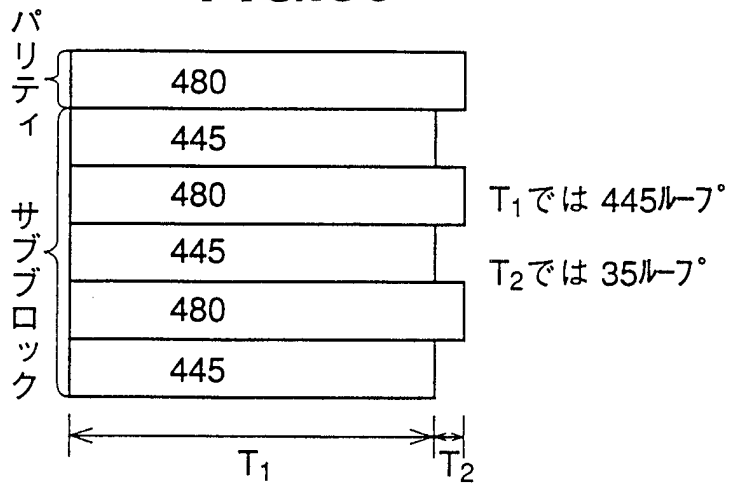
**FIG.57**



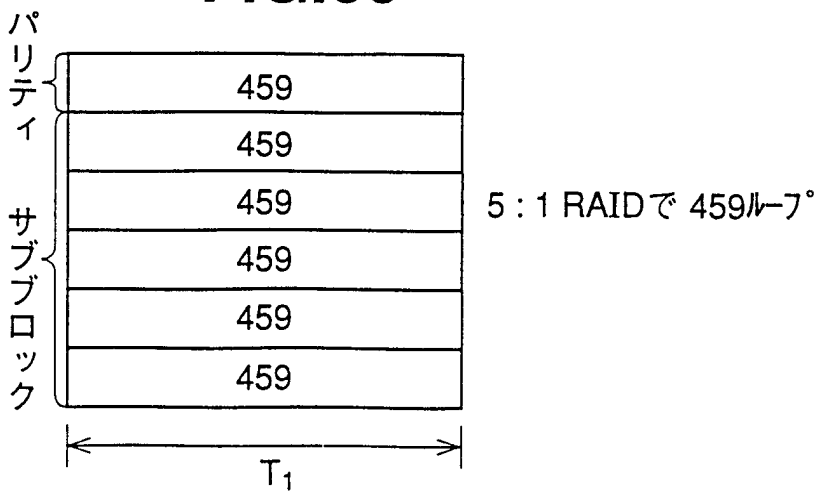
**FIG.58**



**FIG.59**



**FIG.60**



**FIG.61**

| デバイスID<br>グループ信号 | 1        | 2        | 3       | 4       | 5        | 6        |
|------------------|----------|----------|---------|---------|----------|----------|
| 1                | P1(外)    | S1-1(内)  | S1-2(外) | S1-3(内) | S1-4(外)  |          |
| 2                |          | P2(外)    | S2-1(内) | S2-2(外) | S2-3(内)  | S2-4(外)  |
| 3                | S3-4(外)  |          | P3(外)   | S3-1(内) | S3-2(外)  | S3-3(内)  |
| 4                | S4-3(内)  | S4-4(外)  |         | P4(外)   | S4-1(内)  | S4-2(外)  |
| 5                | S5-2(外)  | S5-3(内)  | S5-4(外) |         | P5(外)    | S5-1(内)  |
| 6                | S6-1(内)  | S6-2(外)  | S6-3(内) | S6-4(外) |          | P6(外)    |
| 7                | P7(外)    | S7-1(内)  | S7-2(外) | S7-3(内) | S7-4(外)  |          |
| 8                |          | P8(外)    | S8-1(内) | S8-2(外) | S8-3(内)  | S8-4(外)  |
| 9                | S9-4(外)  |          | P9(外)   | S9-1(内) | S9-2(外)  | S9-3(内)  |
| 10               | S10-3(外) | S10-4(外) |         | P10(外)  | S10-1(内) | S10-2(外) |
| .                | .        | .        | .       | .       | .        | .        |
| .                | .        | .        | .       | .       | .        | .        |
| .                | .        | .        | .       | .       | .        | .        |

FIG.62

47/49

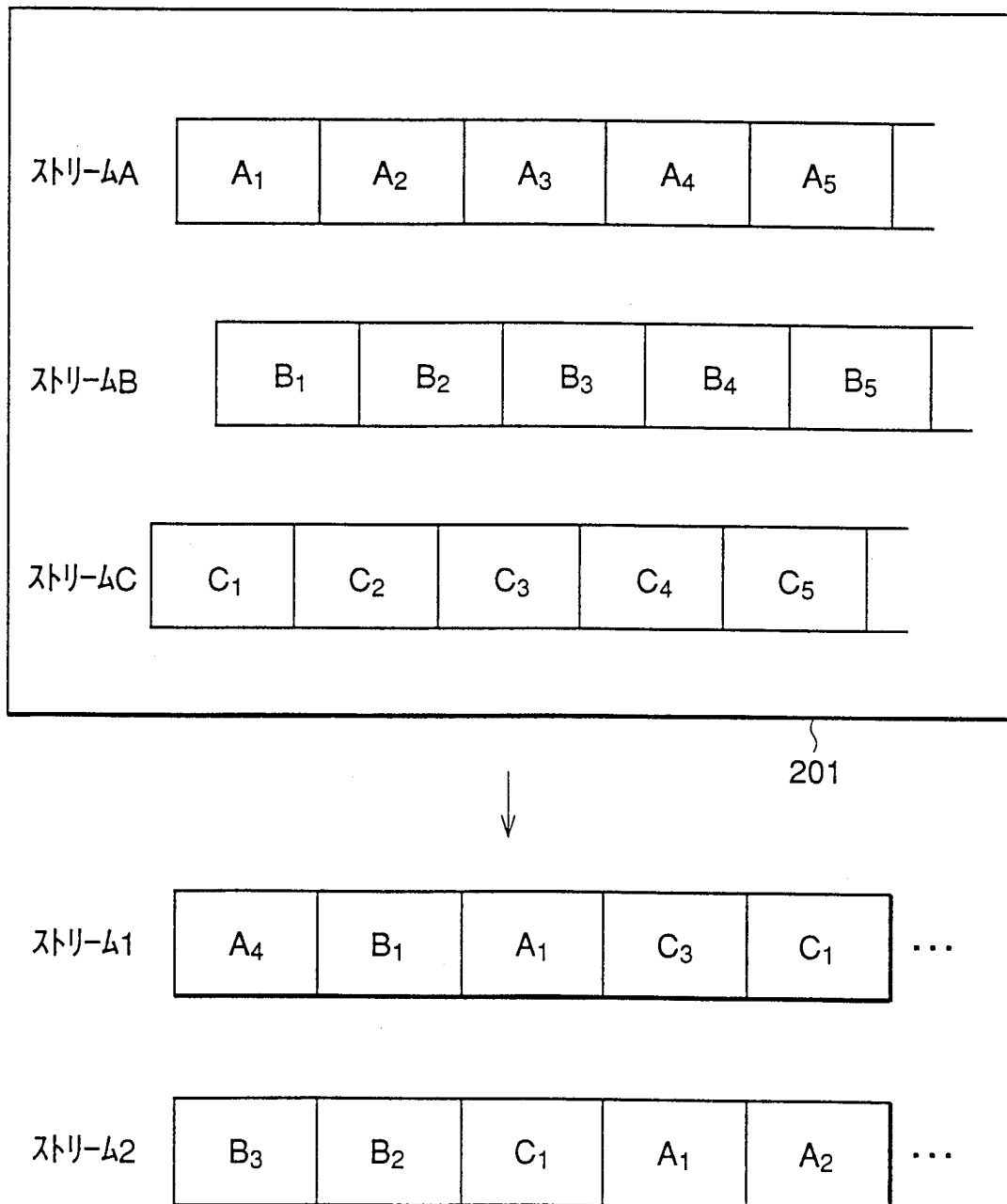
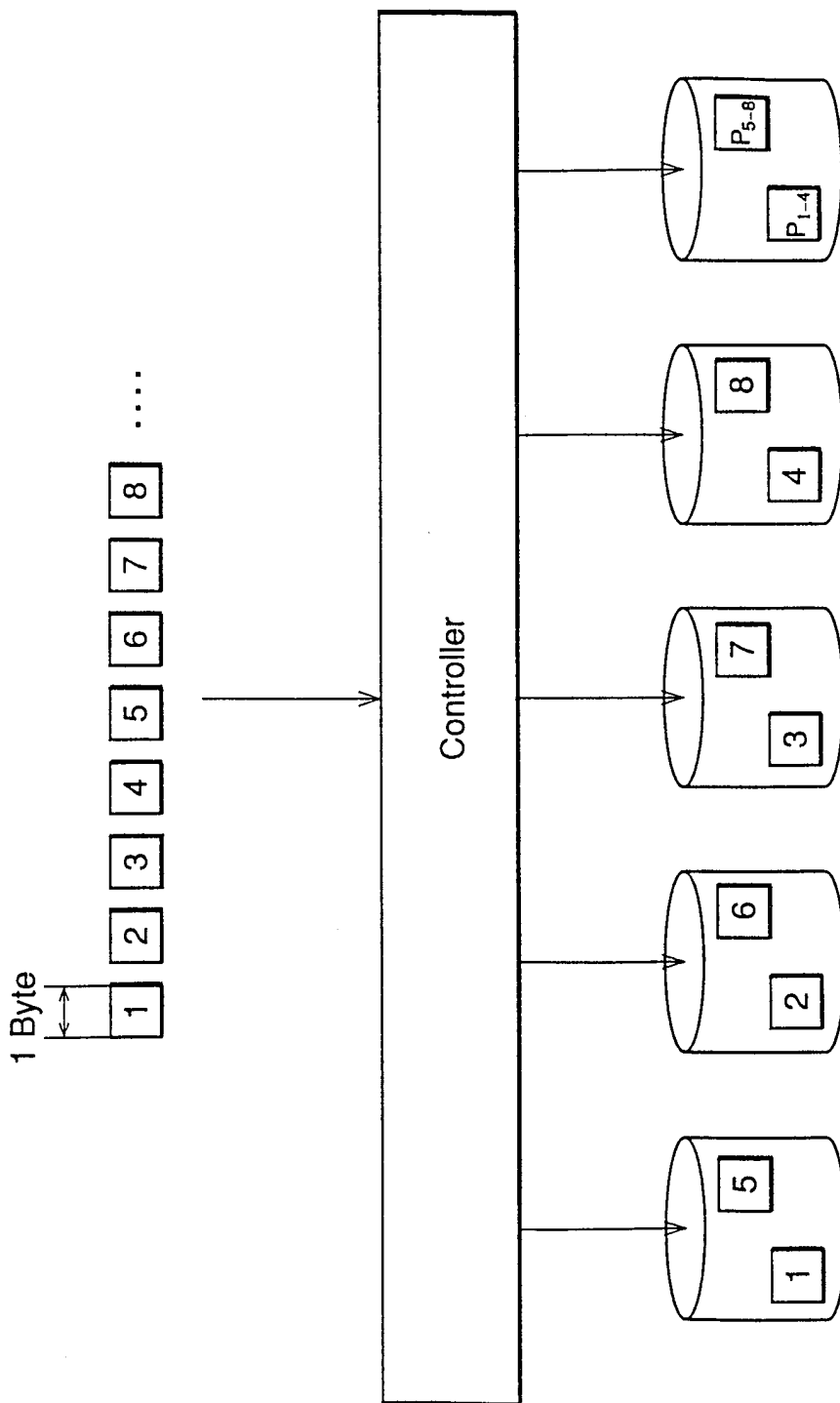
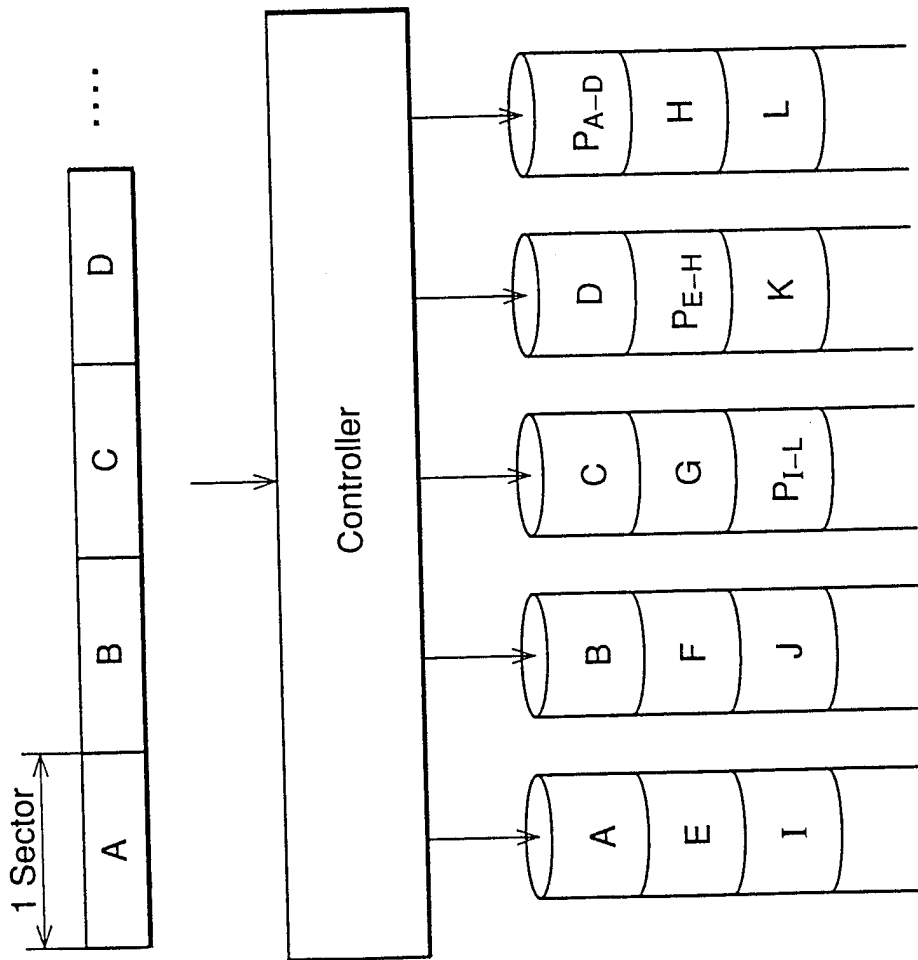


FIG.63



**FIG.64**



**FIG.65**

INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP98/01596

| <p>A. CLASSIFICATION OF SUBJECT MATTER<br/>Int.Cl<sup>6</sup> G11B27/031, H04N5/91, H04N5/92</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>   |   |   |  |   |                       |   |   |      |   |   |      |
|---|---|---|--|---|-----------------------|---|---|------|---|---|------|
| <p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols)<br/>Int.Cl<sup>6</sup> G11B27/031, H04N5/91, H04N5/92</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br/>Jitsuyo Shinan Koho 1926-1997 Toroku Jitsuyo Shinan Koho 1994-1997<br/>Kokai Jitsuyo Shinan Koho 1971-1997</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>  |   |   |  |   |                       |   |   |      |   |   |      |
| <p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP, 5-128810, A (Matsushita Electric Industrial Co., Ltd.),<br/>May 25, 1993 (25. 05. 93) (Family: none)</td> <td>1-62</td> </tr> <tr> <td>A</td> <td>JP, 8-340508, A (International Business Machines Corp.),<br/>December 24, 1996 (24. 12. 96)<br/>&amp; EP, 739136, A</td> <td>1-62</td> </tr> </tbody> </table>   |   |   | Category*  | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. | A | JP, 5-128810, A (Matsushita Electric Industrial Co., Ltd.),<br>May 25, 1993 (25. 05. 93) (Family: none) | 1-62 | A | JP, 8-340508, A (International Business Machines Corp.),<br>December 24, 1996 (24. 12. 96)<br>& EP, 739136, A | 1-62 |
| Category*   | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No.   |  |   |                       |   |   |      |   |   |      |
| A   | JP, 5-128810, A (Matsushita Electric Industrial Co., Ltd.),<br>May 25, 1993 (25. 05. 93) (Family: none)   | 1-62  |  |   |                       |   |   |      |   |   |      |
| A   | JP, 8-340508, A (International Business Machines Corp.),<br>December 24, 1996 (24. 12. 96)<br>& EP, 739136, A   | 1-62  |  |   |                       |   |   |      |   |   |      |
| <p><input type="checkbox"/> Further documents are listed in the continuation of Box C.    <input type="checkbox"/> See patent family annex.</p>   |   |   |  |   |                       |   |   |      |   |   |      |
| <p>* Special categories of cited documents:</p> <table border="0"> <tr> <td style="vertical-align: top;"> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="vertical-align: top;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p> </td> </tr> </table> |   |   | <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> | <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p> |                       |   |   |      |   |   |      |
| <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>  | <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p> |   |  |   |                       |   |   |      |   |   |      |
| <p>Date of the actual completion of the international search<br/>June 29, 1998 (29. 06. 98)</p>   |   | <p>Date of mailing of the international search report<br/>July 7, 1998 (07. 07. 98)</p> |  |   |                       |   |   |      |   |   |      |
| <p>Name and mailing address of the ISA/<br/>Japanese Patent Office</p>  |   | <p>Authorized officer</p>   |  |   |                       |   |   |      |   |   |      |
| <p>Facsimile No.</p>  |   | <p>Telephone No.</p>  |  |   |                       |   |   |      |   |   |      |

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int. Cl<sup>o</sup> G11B27/031, H04N5/91, H04N5/92

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int. Cl<sup>o</sup> G11B27/031, H04N5/91, H04N5/92

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1926-1997年  
 日本国公開実用新案公報 1971-1997年  
 日本国登録実用新案公報 1994-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
|-----------------|---|------------------|
| A               | J P, 5-128810, A (松下電器産業株式会社) 25. 5<br>月. 1993 (25. 5. 93) (ファミリーなし)                                | 1-62             |
| A               | J P, 8-340508, A (インターナショナル・ビジネス・<br>マシーンズ・コーポレーション) 24. 12月. 1996 (<br>24. 12. 96) & EP, 739136, A | 1-62             |

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー  
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 先行文献ではあるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

|                          |                               |
|--------------------------|-------------------------------|
| 国際調査を完了した日<br>29. 06. 98 | 国際調査報告の発送日<br><b>07.07.98</b> |
|--------------------------|-------------------------------|

|   |  |         |
|---|--|---------|
| 国際調査機関の名称及びあて先<br>日本国特許庁 (ISA/J P)<br>郵便番号100-8915<br>東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員)<br>後藤 和茂<br>電話番号 03-3581-1101 内線 3553 | 5D 9463 |
|---|--|---------|