



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0104518
(43) 공개일자 2015년09월15일

- (51) 국제특허분류(Int. Cl.)
H03K 19/0185 (2006.01)
- (52) CPC특허분류
H03K 19/0185 (2013.01)
H03K 19/018507 (2013.01)
- (21) 출원번호 10-2015-0027537
- (22) 출원일자 2015년02월26일
심사청구일자 없음
- (30) 우선권주장
JP-P-2014-042758 2014년03월05일 일본(JP)
JP-P-2014-048642 2014년03월12일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
코즈마 무네히로
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
황의만

전체 청구항 수 : 총 19 항

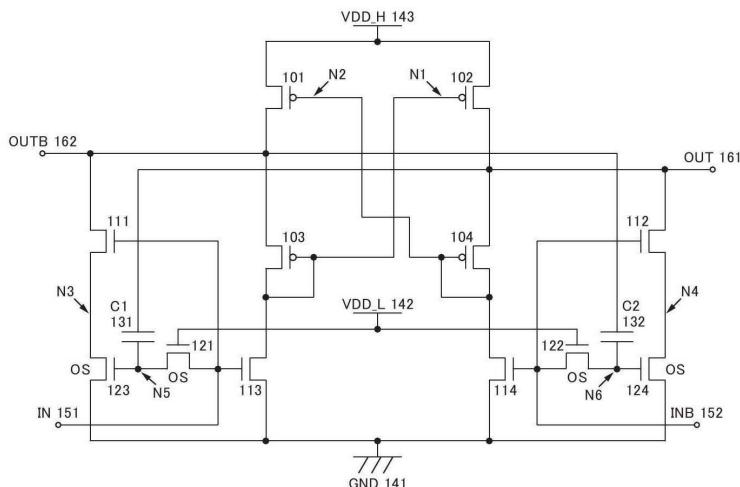
(54) 발명의 명칭 레벨 시프터 회로

(57) 요 약

본 발명은 저전압으로 동작 가능한 레벨 시프터의 대기 시의 리크 전류를 저감시키는 것을 과제로 한다.

출력 신호선과 저전위 전원선 사이에 직렬 접속된 n채널형 실리콘 트랜지스터와 산화물 반도체 트랜지스터를 갖고, 용량 결합에 의하여 산화물 반도체 트랜지스터의 게이트 전극의 전위를 입력 신호 전압보다 높은 전위로 상승시킴으로써 산화물 반도체 트랜지스터의 온 전류를 증가시키는 레벨 시프터 회로를 제공한다.

대 표 도



명세서

청구범위

청구항 1

레벨 시프터 회로에 있어서,

출력 신호선과 전위 전원선 사이에 직렬 접속된 n채널형 실리콘 트랜지스터와 산화물 반도체 트랜지스터를 포함하고,

용량 결합에 의하여 상기 산화물 반도체 트랜지스터의 게이트 전극의 전위를 입력 신호 전압보다 높은 전위로 상승시킴으로써 상기 산화물 반도체 트랜지스터의 온 전류를 증가시키는, 레벨 시프터 회로.

청구항 2

레벨 시프터 회로에 있어서,

제 1 트랜지스터;

제 2 트랜지스터;

제 3 트랜지스터;

제 4 트랜지스터;

제 5 트랜지스터;

제 6 트랜지스터;

제 7 트랜지스터;

제 8 트랜지스터;

제 9 트랜지스터;

제 10 트랜지스터;

제 1 용량 소자;

제 2 용량 소자;

제 1 전위 전원선;

제 2 전위 전원선;

제 3 전위 전원선;

출력 신호선;

반전 출력 신호선;

입력 신호선; 및

반전 입력 신호선을 포함하고,

상기 제 1 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 1 전위 전원선에 전기적으로 접속되어 있고,

상기 제 1 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 반전 출력 신호선에 전기적으로 접속되어 있고,

상기 제 1 트랜지스터의 게이트 단자는 상기 제 6 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으

로 접속되어 있고,

상기 제 2 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 1전위 전원선에 전기적으로 접속되어 있고,

상기 제 2 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 2 트랜지스터의 게이트 단자는 상기 제 5 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 3 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 반전 출력 신호선에 전기적으로 접속되어 있고,

상기 제 3 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 9 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 3 트랜지스터의 게이트 단자는 상기 입력 신호선에 전기적으로 접속되어 있고,

상기 제 4 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 4 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 10 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 4 트랜지스터의 게이트 단자는 상기 반전 입력 신호선에 전기적으로 접속되어 있고,

상기 제 5 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 5 트랜지스터의 게이트 단자는 상기 입력 신호선에 전기적으로 접속되어 있고,

상기 제 6 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 6 트랜지스터의 게이트 단자는 상기 반전 입력 신호선에 전기적으로 접속되어 있고,

상기 제 7 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 입력 신호선에 전기적으로 접속되어 있고,

상기 제 7 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 9 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 7 트랜지스터의 게이트 단자는 상기 제 3전위 전원선에 전기적으로 접속되어 있고,

상기 제 8 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 반전 입력 신호선에 전기적으로 접속되어 있고,

상기 제 8 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 10 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 8 트랜지스터의 게이트 단자는 상기 제 3 전위 전원선에 전기적으로 접속되어 있고,

상기 제 9 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 10 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 1 용량 소자의 제 1 전극은 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 1 용량 소자의 제 2 전극은 상기 제 9 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 2 용량 소자의 제 1 전극은 상기 반전 출력 신호선에 전기적으로 접속되어 있고,

상기 제 2 용량 소자의 제 2 전극은 상기 제 10 트랜지스터의 게이트 단자에 전기적으로 접속되어 있는, 레벨 시프터 회로.

청구항 3

제 2 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 p채널형 실리콘 트랜지스터이고,

상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 및 상기 제 6 트랜지스터는 n채널형 실리콘 트랜지스터이고,

상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터는 산화물 반도체 트랜지스터인, 레벨 시프터 회로.

청구항 4

제 2 항에 있어서,

제 11 트랜지스터; 및

제 12 트랜지스터를 더 포함하고,

상기 제 1 트랜지스터의 게이트 단자는 상기 제 12 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 2 트랜지스터의 게이트 단자는 상기 제 11 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 11 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 반전 출력 신호선에 전기적으로 접속되어 있고,

상기 제 11 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 11 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 12 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 12 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 12 트랜지스터의 게이트 단자에 전기적으로 접속되어 있는, 레벨 시프터 회로.

청구항 5

제 4 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 11 트랜지스터, 및 상기 제 12 트랜지스터는 p채널형 실리콘 트랜지스터이고,

상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 및 상기 제 6 트랜지스터는 n채널형 실리콘 트랜지스터이고,

상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터는 산화물 반도체 트랜지스터인, 레벨 시프터 회로.

청구항 6

제 2 항에 있어서,

제 13 트랜지스터; 및

제 14 트랜지스터를 더 포함하고,

상기 제 13 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 1 트랜지스터의 게이트 단자에 전기적으

로 접속되어 있고,

상기 제 13 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 13 트랜지스터의 게이트 단자는 상기 제 1 전위 전원선에 전기적으로 접속되어 있고,

상기 제 14 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 14 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 반전 출력 신호선에 전기적으로 접속되어 있고,

상기 제 14 트랜지스터의 게이트 단자는 상기 제 1 전위 전원선에 전기적으로 접속되어 있는, 레벨 시프터 회로.

청구항 7

제 6 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 p채널형 실리콘 트랜지스터이고,

상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 상기 제 13 트랜지스터, 및 상기 제 14 트랜지스터는 n채널형 실리콘 트랜지스터이고,

상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터는 산화물 반도체 트랜지스터인, 레벨 시프터 회로.

청구항 8

제 2 항에 있어서,

제 1 저항 소자; 및

제 2 저항 소자를 더 포함하고,

상기 제 1 저항 소자의 제 1 단자는 상기 제 1 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 1 저항 소자의 제 2 단자는 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 2 저항 소자의 제 1 단자는 상기 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 2 저항 소자의 제 2 단자는 상기 반전 출력 신호선에 전기적으로 접속되어 있는, 레벨 시프터 회로.

청구항 9

제 2 항에 있어서,

제 15 트랜지스터;

제 16 트랜지스터;

제 17 트랜지스터;

제 18 트랜지스터;

제 19 트랜지스터; 및

제 20 트랜지스터를 더 포함하고,

상기 제 15 트랜지스터의 게이트 단자는 상기 제 1 전위 전원선에 전기적으로 접속되어 있고,

상기 제 16 트랜지스터의 게이트 단자는 상기 제 1 전위 전원선에 전기적으로 접속되어 있고,

상기 제 1 트랜지스터의 게이트 단자는 상기 제 15 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 2 트랜지스터의 게이트 단자는 상기 제 16 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 17 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 반전 출력 신호선에 전기적으로 접속되어 있고,

상기 제 17 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 17 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 17 트랜지스터의 게이트 단자는 상기 제 16 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나에 전기적으로 접속되어 있고,

상기 제 18 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 18 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 18 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 18 트랜지스터의 게이트 단자는 상기 제 15 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나에 전기적으로 접속되어 있고,

상기 제 19 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 17 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나에 전기적으로 접속되어 있고,

상기 제 19 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 19 트랜지스터의 게이트 단자는 상기 입력 신호선에 전기적으로 접속되어 있고,

상기 제 20 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 18 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나에 전기적으로 접속되어 있고,

상기 제 20 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 20 트랜지스터의 게이트 단자는 상기 반전 입력 신호선에 전기적으로 접속되어 있는, 레벨 시프터 회로.

청구항 10

제 9 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 17 트랜지스터, 및 상기 제 18 트랜지스터는 p채널형 실리콘 트랜지스터이고,

상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 상기 제 15 트랜지스터, 상기 제 16 트랜지스터, 상기 제 19 트랜지스터, 및 상기 제 20 트랜지스터는 n채널형 실리콘 트랜지스터이고,

상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터는 산화물 반도체 트랜지스터인, 레벨 시프터 회로.

청구항 11

레벨 시프터 회로에 있어서,

제 1 트랜지스터;

제 2 트랜지스터;

제 3 트랜지스터;

제 4 트랜지스터;

제 5 트랜지스터;

제 6 트랜지스터;

제 7 트랜지스터;

제 8 트랜지스터;

제 9 트랜지스터;

제 10 트랜지스터;

제 1 전위 전원선;

제 2 전위 전원선;

제 3 전위 전원선;

출력 신호선;

반전 출력 신호선;

입력 신호선; 및

반전 입력 신호선을 포함하고,

상기 제 1 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 1 전위 전원선에 전기적으로 접속되어 있고,

상기 제 1 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 반전 출력 신호선에 전기적으로 접속되어 있고,

상기 제 1 트랜지스터의 게이트 단자는 상기 제 6 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 2 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 1전위 전원선에 전기적으로 접속되어 있고,

상기 제 2 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 2 트랜지스터의 게이트 단자는 상기 제 5 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 3 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 반전 출력 신호선에 전기적으로 접속되어 있고,

상기 제 3 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 9 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 3 트랜지스터의 게이트 단자는 상기 입력 신호선에 전기적으로 접속되어 있고,

상기 제 4 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 4 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 10 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 4 트랜지스터의 게이트 단자는 상기 반전 입력 신호선에 전기적으로 접속되어 있고,

상기 제 5 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 5 트랜지스터의 게이트 단자는 상기 반전 입력 신호선에 전기적으로 접속되어 있고,

상기 제 6 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 6 트랜지스터의 게이트 단자는 상기 반전 입력 신호선에 전기적으로 접속되어 있고,

상기 제 7 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 입력 신호선에 전기적으로 접속되어 있고,

상기 제 7 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 9 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 7 트랜지스터의 게이트 단자는 상기 제 3전위 전원선에 전기적으로 접속되어 있고,

상기 제 8 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 반전 입력 신호선에 전기적으로 접속되어 있고,

상기 제 8 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 10 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 8 트랜지스터의 게이트 단자는 상기 제 3 전위 전원선에 전기적으로 접속되어 있고,

상기 제 9 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 10 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있는, 레벨 시프터 회로.

청구항 12

제 11 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 p채널형 실리콘 트랜지스터이고,

상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 및 상기 제 6 트랜지스터는 n채널형 실리콘 트랜지스터이고,

상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터는 산화물 반도체 트랜지스터인, 레벨 시프터 회로.

청구항 13

제 11 항에 있어서,

제 11 트랜지스터; 및

제 12 트랜지스터를 더 포함하고,

상기 제 1 트랜지스터의 게이트 단자는 상기 제 12 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 2 트랜지스터의 게이트 단자는 상기 제 11 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 11 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 반전 출력 신호선에 전기적으로 접속되어 있고,

상기 제 11 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 11 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 12 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 출력 신호선에 전기적으로 접속되어 있고,
상기 제 12 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 12 트랜지스터의 게이트 단자에 전
기적으로 접속되어 있는, 레벨 시프터 회로.

청구항 14

제 13 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 11 트랜지스터, 및 상기 제 12 트랜지스터는 p채널형 실
리콘 트랜지스터이고,

상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 및 상기 제 6 트랜지스터는 n채널형 실리
콘 트랜지스터이고,

상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터는 산화물 반도
체 트랜지스터인, 레벨 시프터 회로.

청구항 15

제 11 항에 있어서,

제 13 트랜지스터; 및

제 14 트랜지스터를 더 포함하고,

상기 제 13 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 1 트랜지스터의 게이트 단자에 전기적으
로 접속되어 있고,

상기 제 13 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 출력 신호선에 전기적으로 접속되어
있고,

상기 제 13 트랜지스터의 게이트 단자는 상기 제 1 전위 전원선에 전기적으로 접속되어 있고,

상기 제 14 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 2 트랜지스터의 게이트 단자에 전기적으
로 접속되어 있고,

상기 제 14 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 반전 출력 신호선에 전기적으로 접속되어
있고,

상기 제 14 트랜지스터의 게이트 단자는 상기 제 1 전위 전원선에 전기적으로 접속되어 있는, 레벨 시프터
회로.

청구항 16

제 15 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 p채널형 실리콘 트랜지스터이고,

상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 상기 제 13 트랜
지스터, 및 상기 제 14 트랜지스터는 n채널형 실리콘 트랜지스터이고,

상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터는 산화물 반도
체 트랜지스터인, 레벨 시프터 회로.

청구항 17

제 11 항에 있어서,

제 1 저항 소자; 및

제 2 저항 소자를 더 포함하고,

상기 제 1 저항 소자의 제 1 단자는 상기 제 1 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 1 저항 소자의 제 2 단자는 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 2 저항 소자의 제 1 단자는 상기 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 2 저항 소자의 제 2 단자는 상기 반전 출력 신호선에 전기적으로 접속되어 있는, 레벨 시프터 회로.

청구항 18

제 11 항에 있어서,

제 15 트랜지스터;

제 16 트랜지스터;

제 17 트랜지스터;

제 18 트랜지스터;

제 19 트랜지스터; 및

제 20 트랜지스터를 더 포함하고,

상기 제 15 트랜지스터의 게이트 단자는 상기 제 1 전위 전원선에 전기적으로 접속되어 있고,

상기 제 16 트랜지스터의 게이트 단자는 상기 제 1 전위 전원선에 전기적으로 접속되어 있고,

상기 제 1 트랜지스터의 게이트 단자는 상기 제 15 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 2 트랜지스터의 게이트 단자는 상기 제 16 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고,

상기 제 17 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 반전 출력 신호선에 전기적으로 접속되어 있고,

상기 제 17 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 17 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 17 트랜지스터의 게이트 단자는 상기 제 16 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나에 전기적으로 접속되어 있고,

상기 제 18 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 출력 신호선에 전기적으로 접속되어 있고,

상기 제 18 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 18 트랜지스터의 게이트 단자에 전기적으로 접속되어 있고,

상기 제 18 트랜지스터의 게이트 단자는 상기 제 15 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나에 전기적으로 접속되어 있고,

상기 제 19 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 17 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나에 전기적으로 접속되어 있고,

상기 제 19 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 19 트랜지스터의 게이트 단자는 상기 입력 신호선에 전기적으로 접속되어 있고,

상기 제 20 트랜지스터의 소스 단자 및 드레인 단자 중 하나는 상기 제 18 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나에 전기적으로 접속되어 있고,

상기 제 20 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나는 상기 제 2 전위 전원선에 전기적으로 접속되어 있고,

상기 제 20 트랜지스터의 게이트 단자는 상기 반전 입력 신호선에 전기적으로 접속되어 있는, 레벨 시프터 회로.

청구항 19

제 18 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 17 트랜지스터, 및 상기 제 18 트랜지스터는 p채널형 실리콘 트랜지스터이고,

상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 상기 제 15 트랜지스터, 상기 제 16 트랜지스터, 상기 제 19 트랜지스터, 및 상기 제 20 트랜지스터는 n채널형 실리콘 트랜지스터이고,

상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터는 산화물 반도체 트랜지스터인, 레벨 시프터 회로.

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 본 발명의 일 형태는 특히 예를 들어 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다. 본 발명의 일 형태는 특히 예를 들어 산화물 반도체를 갖는 반도체 장치, 표시 장치, 또는 발광 장치에 관한 것이다.

배경 기술

[0002] 일반적인 회로와 마찬가지로 FPGA(LSI)는 논리 동작의 저전압화에 의하여 회로의 소비 전력을 저감시킬 수 있다. 한편, I/O단자를 통하여 출력되는 신호는 안정된 회로 동작을 보상하기 위하여 외부 회로와의 전압 정합을 위하여 외부 회로의 전압과 같은 정도로 할 필요가 있다. 일반적으로는 승압 회로나 레벨 시프터 등 DC-DC 변환 회로를 사용하여 내부의 저전압 신호로부터 외부 출력용 고전압 신호를 생성한다.

[0003] 소비 전력을 저감시키기 위해서는 고전압 회로의 전원 공급을 정지시키는 것이 매우 유효하다. 한편, 고전압 회로의 전원 공급을 정지시키는 경우, 고전압 회로의 전원계를 저전압 회로로 제어할 필요가 생긴다. 저전압 회로가 문턱 전압 이하의 저전압 영역에서 동작하는 경우, 트랜지스터는 온 전류가 매우 작기 때문에 큰 부하를 구동시키기 위하여 오랜 시간이 걸린다. 또한, 고전압 회로를 저전압 회로로 직접 구동시키는 경우에는 관통 전류의 발생 등의 문제가 생기기 때문에, 저전압 회로로 고전압 회로의 구동을 제어하기 어렵다. 이를 과제를 해결하는 구성으로서 아래의 비특허문현 1에 저전압 신호를 고속으로 고전압 신호로 변환하는 것을 목적으로 한 레벨 시프터의 구성이 기재되어 있다.

선행기술문헌

비특허문현

[0004] (비특허문현 0001) "A Robust Low Power, High Speed Voltage Level Shifter With Built-in Short Circuit Current Reduction"(ECCTD2011, PP142-145)

발명의 내용

해결하려는 과제

[0005] 그러나, 이 논문의 하나의 구성에서 n채널형 실리콘 트랜지스터(아래에서 n형 Si-FET라고 기재함)의 오프 리크 전류가 대기 시의 레벨 시프터의 소비 전력 증대의 주된 요인이 된다. 본 발명의 일 형태에서는 저전압으로 동작 가능한 레벨 시프터의 대기 시의 리크 전류를 저감하는 것을 과제로 한다. 또는, 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제로 한다.

[0006] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 반드시 이들 과제를 모두 해결할 필요는 없다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제를 얻을 수 있다.

과제의 해결 수단

[0007] 상술한 종래 기술의 과제를 해결하기 위하여 레벨 시프터의 출력 신호선과 GND 전원선 사이에 직렬 접속된 n형 Si-FET와 OS-FET를 제공한다. OS-FET은 n형 Si-FET보다 오프 리크 전류가 매우 작기 때문에 대기 시에 오프 리크 전류 패스가 형성되는 경우라도 오프 리크 전류를 저감시킬 수 있다. 이 OS-FET의 게이트 전극의 전위를 출력 신호선과의 용량 결합에 의하여 입력 신호 전압보다 높은 전위로 상승시킴으로써 OS-FET의 V_{gs}를 증가시켜 온 전류를 증가시킨다. OS-FET가 n형 Si-FET의 온 전류 특성과 동등 이상의 온 전류 특성을 가짐으로써 종래의 레벨 시프터와 같은 정도의 응답 속도를 유지할 수 있다. 또한, 용량 결합에 의하여 상승된 전위를 유지하기 위하여 전위 상승된 게이트 전극이 부유 상태가 되는 회로 구성을 갖는다.

[0008] 본 발명의 일 형태는 출력 신호선과 저전위 전원선 사이에 직렬 접속된 n형 Si-FET와 산화물 반도체 트랜지스터(아래에서 OS-FET라고 기재함)를 갖고, 용량 결합에 의하여 OS-FET의 게이트 전극의 전위를 입력 신호 전압보다 높은 전위로 상승시킴으로써 OS-FET의 온 전류를 증가시키는 것을 특징으로 하는 레벨 시프터 회로다.

[0009] 본 발명의 다른 일 형태는 제 1 및 제 2 p채널형 실리콘 트랜지스터(아래에서 p형 Si-FET라고 기재함), 제 1, 제 2, 및 제 5 내지 제 8 n형 Si-FET, 제 1 내지 제 4 OS-FET, 제 1 및 제 2 용량 소자, 고전위 전원선, 접지 전위 전원선, 저전위 전원선, 출력 신호선, 반전 출력 신호선, 입력 신호선, 및 반전 입력 신호선을 갖고, 제 1 p형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선에 전기적으로 접속되어 있고, 제 1 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 1 p형 Si-FET의 게이트 단자는 제 6 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 게이트 단자는 제 5 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 게이트 단자는 입력 신호선에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 출력 신호선에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 게이트 단자는 반전 입력 신호선에 전기적으로 접속되어 있고, 제 5 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 6 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 6 n형 Si-FET의 게이트 단자는 반전 입력 신호선에 전기적으로 접속되어 있고, 제 7 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 제 1 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 7 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 출력 신호선에 전기적으로 접속되어 있고, 제 7 n형 Si-FET의 게이트 단자는 고전위 전원선에 전기적으로 접속되어 있고, 제 8 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 제 2 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 8 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 8 n형 Si-FET의 게이트 단자는 고전위 전원선에 전기적으로 접속되어 있고, 제 1 OS-FET의 소스 단자 및 드레인 단자 중 하나는 입력 신호선에 전기적으로 접속되어 있고, 제 1 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는

접속되어 있는 것을 특징으로 하는 레벨 시프터 회로다.

[0014]

본 발명의 다른 일 형태는 제 1 및 제 2 p형 Si-FET, 제 1, 제 2, 제 5, 및 제 6 n형 Si-FET, 제 1 내지 제 4 OS-FET, 제 1 및 제 2 저항 소자, 고전위 전원선, 접지 전위 전원선, 저전위 전원선, 출력 신호선, 반전 출력 신호선, 입력 신호선, 및 반전 입력 신호선을 갖고, 제 1 p형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선에 전기적으로 접속되어 있고, 제 1 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 1 p형 Si-FET의 게이트 단자는 제 6 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 고전위 전원선에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 출력 신호선에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 게이트 단자는 제 5 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 게이트 단자는 입력 신호선에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 출력 신호선에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 게이트 단자는 반전 입력 신호선에 전기적으로 접속되어 있고, 제 5 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 6 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 6 n형 Si-FET의 게이트 단자는 반전 입력 신호선에 전기적으로 접속되어 있고, 제 1 OS-FET의 소스 단자 및 드레인 단자 중 하나는 입력 신호선에 전기적으로 접속되어 있고, 제 1 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 1 OS-FET의 게이트 단자는 저전위 전원선에 전기적으로 접속되어 있고, 제 2 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 2 OS-FET의 게이트 단자는 저전위 전원선에 전기적으로 접속되어 있고, 제 3 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 1 저항 소자의 제 1 단자는 제 1 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 1 저항 소자의 제 2 단자는 출력 신호선에 전기적으로 접속되어 있고, 제 2 저항 소자의 제 1 단자는 제 2 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 2 저항 소자의 제 2 단자는 반전 출력 신호선에 전기적으로 접속되어 있는 것을 특징으로 하는 레벨 시프터 회로다.

[0015]

본 발명의 다른 일 형태는 제 1 내지 제 4 p형 Si-FET, 제 1 내지 제 4 n형 Si-FET, 제 1 내지 제 4 OS-FET, 고전위 전원선, 접지 전위 전원선, 저전위 전원선, 출력 신호선, 반전 출력 신호선, 입력 신호선, 및 반전 입력 신호선을 갖고, 제 1 p형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선에 전기적으로 접속되어 있고, 제 1 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 1 p형 Si-FET의 게이트 단자는 제 4 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 출력 신호선에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 게이트 단자는 제 3 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 3 p형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 3 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 3 p형 Si-FET의 게이트 단자는 제 3 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 4 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 출력 신호선에 전기적으로 접속되어 있고, 제 4 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 4 p형 Si-FET의 게이트 단자는 제 4 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 게이트 단자는 입력 신호선에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 출력 신호선에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 게이트 단자는 반전 입력 신호선에 전기적으로 접속되어 있고, 제 3 n형 Si-FET의 소스 단자 및

드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 3 n형 Si-FET의 게이트 단자는 입력 신호선에 전기적으로 접속되어 있고, 제 4 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 4 n형 Si-FET의 게이트 단자는 반전 입력 신호선에 전기적으로 접속되어 있고, 제 1 OS-FET의 소스 단자 및 드레인 단자 중 하나는 입력 신호선에 전기적으로 접속되어 있고, 제 1 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 1 OS-FET의 게이트 단자는 저전위 전원선에 전기적으로 접속되어 있고, 제 2 OS-FET의 소스 단자 및 드레인 단자 중 하나는 반전 입력 신호선에 전기적으로 접속되어 있고, 제 2 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 2 OS-FET의 게이트 단자는 저전위 전원선에 전기적으로 접속되어 있고, 제 3 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 4 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있는 것을 특징으로 하는 레벨 시프터 회로다.

[0016]

본 발명의 다른 일 형태는 제 1 내지 제 4 p형 Si-FET, 제 1 내지 제 8 n형 Si-FET, 제 1 내지 제 4 OS-FET, 고전위 전원선, 접지 전위 전원선, 저전위 전원선, 출력 신호선, 반전 출력 신호선, 입력 신호선, 및 반전 입력 신호선을 갖고, 제 1 p형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선에 전기적으로 접속되어 있고, 제 1 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 1 p형 Si-FET의 게이트 단자는 제 6 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 출력 신호선에 전기적으로 접속되어 있고, 제 2 p형 Si-FET의 게이트 단자는 제 5 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 3 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 3 p형 Si-FET의 게이트 단자는 제 3 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 4 p형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 출력 신호선에 전기적으로 접속되어 있고, 제 4 p형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 4 p형 Si-FET의 게이트 단자는 제 4 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 반전 출력 신호선에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 1 n형 Si-FET의 게이트 단자는 입력 신호선에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 출력 신호선에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET의 소스 단자 및 드레인 단자 중 하나에 전기적으로 접속되어 있고, 제 2 n형 Si-FET의 게이트 단자는 반전 입력 신호선에 전기적으로 접속되어 있고, 제 3 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 4 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 5 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 5 n형 Si-FET의 게이트 단자는 입력 신호선에 전기적으로 접속되어 있고, 제 6 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 6 n형 Si-FET의 게이트 단자는 반전 입력 신호선에 전기적으로 접속되어 있고, 제 7 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 제 1 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 7 n형 Si-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 p형 Si-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 7 n형 Si-FET의 게이트 단자는 고전위 전원선에 전기적으로 접속되어 있고, 제 8 n형 Si-FET의 소스 단자 및 드레인 단자 중 하나는 입력 신호선에 전기적으로 접속되어 있고, 제 1 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 1 OS-FET의 게이트 단자는 저전위 전원선에 전기적으로 접속되어 있고, 제 2 OS-FET의 소스 단자 및 드레인 단자 중 하나는 반전 입력 신호선에 전기적으로 접속되어 있고, 제 2 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET의 게이트 단자에 전기적으로 접속되어 있고, 제 2 OS-FET의 게이트 단자는 저전위 전원선에 전기적으로 접속되어 있고, 제 3 OS-FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있고, 제 4 OS-

FET의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전위 전원선에 전기적으로 접속되어 있는 것을 특징으로 하는 레벨 시프터 회로다.

발명의 효과

[0017] 본 발명의 일 형태는 직렬 접속된 n형 Si-FET와 OS-FET를 오프 리크 전류 패스에 제공함으로써, 정적(靜的)인 리크 전류를 저감시켜 소비 전력을 저감시킨다. 또는, 본 발명의 일 형태는 신규 반도체 장치를 제공한다. 또한, 이를 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 반드시 이를 효과를 모두 가질 필요는 없다. 또한, 이를 외의 효과는 명세서, 도면, 및 청구항 등의 기재로부터 저절로 명백해지는 것이며, 명세서, 도면, 및 청구항 등의 기재로부터 이를 외의 효과를 얻을 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 일 형태인 레벨 시프터의 회로도.

도 2는 본 발명의 일 형태인 레벨 시프터 회로의 동작 타이밍 차트.

도 3은 본 발명의 일 형태인 레벨 시프터의 회로도.

도 4는 본 발명의 일 형태인 레벨 시프터의 회로도.

도 5는 본 발명의 일 형태인 레벨 시프터의 회로도.

도 6은 본 발명의 일 형태인 트랜지스터의 구성의 일례를 설명하기 위한 도면.

도 7은 본 발명의 일 형태인 트랜지스터의 구성의 일례를 설명하기 위한 도면.

도 8은 본 발명의 일 형태인 트랜지스터의 구성의 일례를 설명하기 위한 도면.

도 9는 본 발명의 일 형태인 트랜지스터의 구성의 일례를 설명하기 위한 도면.

도 10은 CAAC-OS의 단면에서의 Cs 보정 고분해능 TEM 이미지 및 CAAC-OS의 단면 모식도.

도 11은 CAAC-OS의 평면에서의 Cs 보정 고분해능 TEM 이미지.

도 12는 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조 해석을 설명하기 위한 도면.

도 13은 CAAC-OS의 전자 회절 패턴을 도시한 도면.

도 14는 전자 조사에 의한 In-Ga-Zn 산화물의 결정부의 변화를 도시한 도면.

도 15는 전자 기기를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0019] (실시형태 1)

[0020] 본 발명의 일 형태인 레벨 시프터에 대하여 도 1을 사용하여 설명한다.

[0021] 본 발명의 일 형태인 레벨 시프터의 회로도를 도 1에 도시하였다. 본 발명의 일 형태인 레벨 시프터는 제 1 p형 Si-FET(101), 제 2 p형 Si-FET(102), 제 3 p형 Si-FET(103), 제 4 p형 Si-FET(104), 제 1 n형 Si-FET(111), 제 2 n형 Si-FET(112), 제 3 n형 Si-FET(113), 제 4 n형 Si-FET(114), 제 1 OS-FET(121), 제 2 OS-FET(122), 제 3 OS-FET(123), 제 4 OS-FET(124), 제 1 용량 소자(C1)(131), 제 2 용량 소자(C2)(132), 접지 전원선(GND)(141), 저전위 전원선(VDD_L)(142), 고전위 전원선(VDD_H)(143), 입력 신호선(IN)(151), 반전 입력 신호선(INB)(152), 출력 신호선(OUT)(161), 및 반전 출력 신호선(OUTB)(162)으로 구성된다.

[0022] 제 1 p형 Si-FET(101)의 게이트 단자는 제 4 p형 Si-FET(104)의 게이트 단자, 제 4 p형 Si-FET(104)의 소스 단자 및 드레인 단자 중 하나, 및 제 4 n형 Si-FET(114)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 1 p형 Si-FET(101)의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선(VDD_H)(143)에 접속되어 있다. 또한, 제 1 p형 Si-FET(101)의 소스 단자 및 드레인 단자 중 하나, 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 하나, 제 2 용량 소자(C2)(132)의 단자 중 하나, 및 반전 출력 신호선(OUTB)(162)에 접속되어 있다. 또한, 제 1 p형 Si-FET(101)의 게이트 단자가 접속되어 있는 노드를 N2라고 부를 수 있다.

[0023] 제 2 p형 Si-FET(102)의 게이트 단자는 제 3 p형 Si-FET(103)의 게이트 단자, 제 3 p형 Si-FET(103)의 소스 단자 및 드레인 단자 중 다른 하나, 및 제 3 n형 Si-FET(113)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 2 p형 Si-FET(102)의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선(VDD_H)(143)에 접속되어 있다. 또한, 제 2 p형 Si-FET(102)의 소스 단자 및 드레인 단자 중 다른 하나, 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 하나, 제 1 용량 소자(C1)(131)의 단자 중 하나, 및 출력 신호선(OUT)(161)에 접속되어 있다. 또한, 제 2 p형 Si-FET(102)의 게이트 단자가 접속되어 있는 노드를 N1이라고 부를 수 있다.

[0024] 제 1 n형 Si-FET(111)의 게이트 단자는 입력 신호선(IN)(151), 제 3 n형 Si-FET(113)의 게이트 단자, 및 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET(123)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 다른 하나에 접속되어 있는 노드를 N3이라고 부를 수 있다.

[0025] 제 2 n형 Si-FET(112)의 게이트 단자는 반전 입력 신호선(INB)(152), 제 4 n형 Si-FET(114)의 게이트 단자, 및 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET(124)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N4라고 부를 수 있다.

[0026] 제 3 n형 Si-FET(113)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0027] 제 4 n형 Si-FET(114)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0028] 제 1 OS-FET(121)의 게이트 단자는 저전위 전원선(VDD_L)(142)에 접속되어 있다. 또한, 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET(123)의 게이트 단자와 제 1 용량 소자(C1)(131)의 단자 중 다른 하나에 접속되어 있다. 또한, 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N5라고 부를 수 있다.

[0029] 제 2 OS-FET(122)의 게이트 단자는 저전위 전원선(VDD_L)(142)에 접속되어 있다. 또한, 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET(124)의 게이트 단자와 제 2 용량 소자(C2)(132)의 단자 중 다른 하나에 접속되어 있다. 또한, 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N6이라고 부를 수 있다.

[0030] 제 3 OS-FET(123)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0031] 제 4 OS-FET(124)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0032] 제 1 p형 Si-FET(101)는 N2의 전위에 따라 고전위 전원선(VDD_H)(143)의 전원 공급을 제어하는 기능을 갖는다.

[0033] 제 2 p형 Si-FET(102)는 N1의 전위에 따라 고전위 전원선(VDD_H)(143)의 전원 공급을 제어하는 기능을 갖는다.

[0034] 제 3 p형 Si-FET(103)는 다이오드 접속되므로 제 1 p형 Si-FET(101)를 통한 고전위 전원선(VDD_H)(143)의 전위 공급을 제한하여 N1의 전위를 완전히 고전위 전원선(VDD_H)(143)의 전위로 상승시키지 않도록 함으로써 제 3 n형 Si-FET(113)를 통한 접지 전원선(GND)(141)의 전위 공급을 용이하게 하는 기능을 갖는다.

[0035] 제 4 p형 Si-FET(104)는 다이오드 접속되므로 제 2 p형 Si-FET(102)를 통한 고전위 전원선(VDD_H)(143)의 전위 공급을 제한하여 N2의 전위를 완전히 고전위 전원선(VDD_H)(143)의 전위로 상승시키지 않도록 함으로써 제 4 n형 Si-FET(114)를 통한 접지 전원선(GND)(141)의 전위 공급을 용이하게 하는 기능을 갖는다.

[0036] 제 1 n형 Si-FET(111)는 제 3 OS-FET(123)보다 빠르게 오프 상태가 됨으로써 관통 전류의 발생을 억제하는 기능을 갖는다.

[0037] 제 2 n형 Si-FET(112)는 제 4 OS-FET(124)보다 빠르게 오프 상태가 됨으로써 관통 전류의 발생을 억제하는 기능을 갖는다.

[0038] 제 3 n형 Si-FET(113)는 N1로의 접지 전원선(GND)(141)의 전원 공급을 제어하는 기능을 갖는다.

[0039] 제 4 n형 Si-FET(114)는 N2로의 접지 전원선(GND)(141)의 전원 공급을 제어하는 기능을 갖는다.

- [0040] IN(151)의 전위가 H 전위일 때, 용량 결합에 의하여 N5의 전위가 저전위 전원선(VDD_L)(142)의 전위보다 높은 전위로 상승된 경우, 제 1 OS-FET(121)는 오프 상태가 되어 N5의 상승 전위를 유지하는 기능을 갖는다.
- [0041] INB(152)의 전위가 H 전위일 때, 용량 결합에 의하여 N6의 전위가 저전위 전원선(VDD_L)(142)의 전위보다 높은 전위로 상승된 경우, 제 2 OS-FET(122)는 오프 상태가 되어 N6의 상승 전위를 유지하는 기능을 갖는다.
- [0042] 오프 상태일 때 제 3 OS-FET(123)는 리크 전류를 저감시키는 기능을 갖는다.
- [0043] 오프 상태일 때 제 4 OS-FET(124)는 리크 전류를 저감시키는 기능을 갖는다.
- [0044] 제 1 용량 소자(C1)(131)는 N5와 OUT(161) 사이에 있고, 용량 결합에 의한 높은 전위를 N5에 공급하여 제 3 OS-FET(123)의 온 전류를 향상시키는 기능을 갖는다. 또한, 용량 결합에 의하여 전위가 충분히 상승된다면, 제 1 용량 소자(C1)(131)를 배선들 사이의 기생 용량 등으로 대체할 수도 있다.
- [0045] 제 2 용량 소자(C2)(132)는 N6과 OUTB(162) 사이에 있고, 용량 결합에 의한 높은 전위를 N6에 공급하여 제 4 OS-FET(124)의 온 전류를 향상시키는 기능을 갖는다. 또한, 용량 결합에 의하여 전위가 충분히 상승된다면, 제 2 용량 소자(C2)(132)를 배선들 사이의 기생 용량 등으로 대체할 수도 있다.
- [0046] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0047] (실시형태 2)
- [0048] 도 2에 도시된 타이밍 차트를 사용하여 도 1의 레벨 시프터의 회로 동작을 설명한다.
- [0049] 초기 상태로서 IN(151)의 전위가 L 전위, INB(152)의 전위가 H 전위를 유지한다고 가정한다. IN(151) 및 INB(152)에 공급되는 신호는 저전위 전원 회로로부터 공급되는 신호이기 때문에, H 전위는 저전위 전원선(VDD_L)(142)의 전위다. 이 때, N1의 전위는 H 전위이지만, 고전위 전원선(VDD_H)(143)의 전위보다 제 3 p형 Si-FET(103)의 문턱 전압만큼 낮은 전위가 N1에 인가된다. 또한, N2의 전위, N5의 전위는 모두 L 전위이고, N6에는 OUTB(162)와의 용량 결합에 의하여, 입력 신호이며 H 전위인 저전위 전원선(VDD_L)(142)의 전위보다 높은 전위가 인가된다.
- [0050] 시각 T0에서 IN(151)의 전위가 H 전위가 되면, 제 1 n형 Si-FET(111), 제 3 n형 Si-FET(113), 및 제 3 OS-FET(123)가 온 상태가 되고, INB(152)의 전위가 L 전위가 되면 제 2 n형 Si-FET(112)와 제 4 n형 Si-FET(114)가 오프 상태가 된다. 제 4 OS-FET(124)는 제 2 OS-FET(122)를 통하여 INB(152)의 전위가 공급되고, 게이트 전위가 완전히 L 전위(GND)로 저하될 때까지 온 상태를 유지한다. 또한, 제 4 OS-FET(124)가 어느 정도의 시간 동안 온 상태를 유지하는지는 제 2 OS-FET(122)의 온 전류에 의존한다. IN(151)의 전위가 H 전위가 되어 제 3 n형 Si-FET(113)가 온 상태가 됨으로써 N1의 전위가 저하된다. 이 결과, 제 2 p형 Si-FET(102)를 통하여 고전위 전원선(VDD_H)(143)의 전위가 OUT(161)에 공급되고, OUT(161)의 전위가 상승되기 시작한다. OUT(161)의 전위가 상승되면, 제 4 p형 Si-FET(104)를 통하여 N2에 고전위 전원선(VDD_H)(143)의 전위가 공급된다.
- [0051] 또한, IN(151)의 전위가 H 전위가 됨으로써 N5의 전위가 저전위 전원선(VDD_L)(142)의 전위까지 상승된다. 그리고, OUT(161)의 전위가 상승함으로써 제 1 용량 소자(C1)(131)를 통하여 용량 결합이 발생하고, N5의 전위가 저전위 전원선(VDD_L)(142)의 전위보다 높은 전위로 상승된다. 따라서, 제 3 OS-FET(123)의 온 전류가 제 1 n형 Si-FET(111)의 온 전류보다 높게 됨으로써 종래의 레벨 시프터와 같은 정도의 응답 속도로 승압 동작이 가능하다.
- [0052] 시각 T0 내지 시각 T1 동안은 제 1 p형 Si-FET(101), 제 1 n형 Si-FET(111), 및 제 3 OS-FET(123)를 통하여 고전위 전원선(VDD_H)(143)과 접지 전원선(GND)(141)이 접속된 상태이며, 관통 전류가 발생한다. 이 관통 전류의 양은 제 1 n형 Si-FET(111) 및 제 3 OS-FET(123) 중 온 전류가 작은 쪽의 FET에 의존한다. 또한, 저전위 전원 구동의 n형 Si-FET와 고전위 전원 구동의 p형 Si-FET는 Vgs가 상이하기 때문에 접지 전원선(GND)(141)의 전위를 공급하는 n형 Si-FET의 온 전류와 비교하여 고전위 전원선(VDD_H)(143)의 전위를 공급하는 p형 Si-FET의 온 전류가 크므로 관통 전류 발생시에도 OUTB(162)의 전위는 H 전위를 유지한다. 마찬가지로, 고전위 전원선(VDD_H)(143)의 전위를 공급하는 제 1 p형 Si-FET(101)와 제 3 p형 Si-FET(103)는 접지 전원선(GND)(141)의 전위를 공급하는 제 3 n형 Si-FET(113)보다 온 전류가 크기 때문에 N1의 전위도 H 전위를 유지한다.
- [0053] 시각 T1에서 N2의 전위가 고전위 전원선(VDD_H)(143)의 전위보다 제 4 p형 Si-FET(104)의 문턱 전압만큼 낮은 전위까지 상승되면, 제 1 p형 Si-FET(101)가 오프 상태가 된다. OUTB(162)로의 고전위 전원선(VDD_H)(143)으

로부터의 전원 공급이 정지되고, 제 1 n형 Si-FET(111)와 제 3 OS-FET(123)를 통하여 접지 전원선(GND)(141)으로부터 전원 공급되어 OUTB(162)의 전위가 저하된다. 또한, OUTB(162)의 전위가 저하되면, 제 2 용량 소자(C2)(132)를 통한 용량 결합에 의하여 N6의 전위가 저하된다. N6의 전위가 접지 전원선(GND)(141)의 전위 즉 L 전위라면 이 상태를 유지한다. N6의 전위가 L 전위가 되면, 제 4 OS-FET(124)가 오프 상태가 된다. OS-FET는 Si-FET와 비교하여 오프 전류가 매우 작기 때문에, 접지 전원선(GND)(141)으로 리크되는 전류량을 저감시킬 수 있고, OUT(161)의 H 전위의 저하를 억제할 수 있다. 또한, N4의 전위는 제 2 n형 Si-FET(112)의 오프 리크 전류에 따라 서서히 상승된다. N4의 전위 상승에 따라 제 2 n형 Si-FET(112)와 제 4 OS-FET(124)의 Vds가 변화되기 때문에 제 2 n형 Si-FET(112)의 오프 전류 값은 트랜지스터의 Vds 특성에 따라 변화된다.

[0054] 또한, 제 1 p형 Si-FET(101)가 오프 상태가 됨으로써, 제 3 n형 Si-FET(113)를 통하여 접지 전원선(GND)(141)의 전위가 공급되어 OUTB(162)의 전위 변화와 동시에 N1의 전위도 저하된다.

[0055] 시각 T2에서 OUTB(162), N1, 및 N6의 전위가 L 전위가 됨으로써, 저전위 신호의 승압화가 완료된다.

[0056] 도 1의 회로가 좌우 대칭성을 갖기 때문에, 시각 T3 내지 시각 T5 동안의 동작은 각 소자 또는 노드를 바꾸기만 하면 시각 T0 내지 시각 T2 동안의 동작과 마찬가지이므로 설명을 생략하기로 한다.

[0057] 상술한 회로 동작에 의하여 제 4 OS-FET(124) 또는 제 3 OS-FET(123)가 온 상태가 될 때 용량 결합에 의하여 게이트 전위를 상승시켜 제 4 OS-FET(124) 또는 제 3 OS-FET(123)의 온 전류를 n형 Si-FET의 온 전류보다 크게 함으로써 OS-FET를 추가하여도 레벨 시프터의 동작을 정상적으로 유지하고 종래의 레벨 시프터와 같은 정도의 응답 속도를 갖는 구조으로 할 수 있다. 또한, OS-FET는 n형 Si-FET보다 오프 전류가 매우 작기 때문에 제 4 OS-FET(124) 또는 제 3 OS-FET(123)가 오프 상태가 됨으로써 OUT(161) 또는 OUTB(162)의 전위가 H 전위를 출력할 때 접지 전원선(GND)(141)으로 리크되는 전류량을 저감시킬 수 있다. 이 결과, 고정 전위 출력 상태인 대기 시의 소비 전력을 저감시킬 수 있다.

[0058] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0059] (실시형태 3)

[0060] 본 발명의 일 형태인 레벨 시프터의 다른 구성에 대하여 도 3을 사용하여 설명한다.

[0061] 레벨 시프터의 회로도를 도 3에 도시하였다. 본 발명의 일 형태인 레벨 시프터는 제 1 p형 Si-FET(101), 제 2 p형 Si-FET(102), 제 1 n형 Si-FET(111), 제 2 n형 Si-FET(112), 제 5 n형 Si-FET(115), 제 6 n형 Si-FET(116), 제 7 n형 Si-FET(117), 제 8 n형 Si-FET(118), 제 1 OS-FET(121), 제 2 OS-FET(122), 제 3 OS-FET(123), 제 4 OS-FET(124), 제 1 용량 소자(C1)(131), 제 2 용량 소자(C2)(132), 접지 전원선(GND)(141), 저전위 전원선(VDD_L)(142), 고전위 전원선(VDD_H)(143), 입력 신호선(IN)(151), 반전 입력 신호선(INB)(152), 출력 신호선(OUT)(161), 및 반전 출력 신호선(OUTB)(162)으로 구성된다.

[0062] 제 1 p형 Si-FET(101)의 게이트 단자는 제 6 n형 Si-FET(116)의 소스 단자 및 드레인 단자 중 하나와 제 7 n형 Si-FET(117)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 1 p형 Si-FET(101)의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선(VDD_H)(143)에 접속되어 있다. 또한, 제 1 p형 Si-FET(101)의 소스 단자 및 드레인 단자 중 다른 하나는 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 하나, 제 8 n형 Si-FET(118)의 소스 단자 및 드레인 단자 중 하나, 제 2 용량 소자(C2)(132)의 단자 중 하나, 및 반전 출력 신호선(OUTB)(162)에 접속되어 있다.

[0063] 제 2 p형 Si-FET(102)의 게이트 단자는 제 5 n형 Si-FET(115)의 소스 단자 및 드레인 단자 중 하나와 제 8 n형 Si-FET(118)의 소스 단자 및 드레인 단자 중 다른 하나에 접속되어 있다. 제 2 p형 Si-FET(102)의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선(VDD_H)(143)에 접속되어 있다. 제 2 p형 Si-FET(102)의 소스 단자 및 드레인 단자 중 다른 하나는 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 하나, 제 7 n형 Si-FET(117)의 소스 단자 및 드레인 단자 중 다른 하나, 제 1 용량 소자(C1)(131)의 단자 중 하나, 및 출력 신호선(OUT)(161)에 접속되어 있다.

[0064] 제 1 n형 Si-FET(111)의 게이트 단자는 입력 신호선(IN)(151), 제 5 n형 Si-FET(115)의 게이트 단자, 및 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET(123)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N3이라고 부를 수 있다.

[0065] 제 2 n형 Si-FET(112)의 게이트 단자는 반전 입력 신호선(INB)(152), 제 6 n형 Si-FET(116)의 게이트 단자, 및

제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET(124)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N4라고 부를 수 있다.

[0066] 제 5 n형 Si-FET(115)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0067] 제 6 n형 Si-FET(116)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0068] 제 7 n형 Si-FET(117)의 게이트 단자는 고전위 전원선(VDD_H)(143)에 접속되어 있다.

[0069] 제 8 n형 Si-FET(118)의 게이트 단자는 고전위 전원선(VDD_H)(143)에 접속되어 있다.

[0070] 제 1 OS-FET(121)의 게이트 단자는 저전위 전원선(VDD_L)(142)에 접속되어 있다. 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET(123)의 게이트 단자와 제 1 용량 소자(C1)(131)의 단자 중 다른 하나에 접속되어 있다. 또한, 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N5라고 부를 수 있다.

[0071] 제 2 OS-FET(122)의 게이트 단자는 저전위 전원선(VDD_L)(142)에 접속되어 있다. 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET(124)의 게이트 단자와 제 2 용량 소자(C2)(132)의 단자 중 다른 하나에 접속되어 있다. 또한, 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N6이라고 부를 수 있다.

[0072] 제 3 OS-FET(123)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0073] 제 4 OS-FET(124)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0074] 제 1 p형 Si-FET(101)는 제 1 p형 Si-FET(101)의 게이트 단자의 전위에 따라 고전위 전원선(VDD_H)(143)의 전원 공급을 제어하는 기능을 갖는다.

[0075] 제 2 p형 Si-FET(102)는 제 2 p형 Si-FET(102)의 게이트 단자의 전위에 따라 고전위 전원선(VDD_H)(143)의 전원 공급을 제어하는 기능을 갖는다.

[0076] 제 1 n형 Si-FET(111)는 제 3 OS-FET(123)보다 빠르게 오프 상태가 됨으로써 관통 전류의 발생을 억제하는 기능을 갖는다.

[0077] 제 2 n형 Si-FET(112)는 제 4 OS-FET(124)보다 빠르게 오프 상태가 됨으로써 관통 전류의 발생을 억제하는 기능을 갖는다.

[0078] 제 5 n형 Si-FET(115)는 제 2 p형 Si-FET(102)의 게이트 단자에 접지 전원선(GND)(141)의 전위를 직접 인가함으로써 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.

[0079] 제 6 n형 Si-FET(116)는 제 1 p형 Si-FET(101)의 게이트 단자에 접지 전원선(GND)(141)의 전위를 직접 인가함으로써 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.

[0080] 제 7 n형 Si-FET(117)는 소스 단자 또는 드레인 단자의 전위에 따라 저항이 변화되는 가변 저항으로서 기능하고, 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.

[0081] 제 8 n형 Si-FET(118)는 소스 단자 또는 드레인 단자의 전위에 따라 저항이 변화되는 가변 저항으로서 기능하고, 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.

[0082] 입력 신호선(IN)(151)의 전위가 H 전위일 때, 용량 결합에 의하여 N5의 전위가 저전위 전원선(VDD_L)(142)의 전위보다 높은 전위로 상승된 경우, 제 1 OS-FET(121)는 오프 상태가 되어 N5의 상승 전위를 유지하는 기능을 갖는다.

[0083] 반전 입력 신호선(INB)(152)의 전위가 H 전위일 때, 용량 결합에 의하여 N6의 전위가 저전위 전원선(VDD_L)(142)의 전위보다 높은 전위로 상승된 경우, 제 2 OS-FET(122)는 오프 상태가 되어 N6의 상승 전위를 유지하는 기능을 갖는다.

[0084] 오프 상태일 때 제 3 OS-FET(123)는 리크 전류를 저감시키는 기능을 갖는다.

[0085] 오프 상태일 때 제 4 OS-FET(124)는 리크 전류를 저감시키는 기능을 갖는다.

[0086] 제 1 용량 소자(C1)(131)는 N5와 출력 신호선(OUT)(161) 사이에 있고, 용량 결합에 의한 높은 전위를 N5에 공급하여 제 3 OS-FET(123)의 온 전류를 향상시키는 기능을 갖는다. 또한, 용량 결합에 의하여 전위가 충분히 상승된다면, 제 1 용량 소자(C1)(131)를 배선들 사이의 기생 용량 등으로 대체할 수도 있다.

[0087] 제 2 용량 소자(C2)(132)는 N6과 반전 출력 신호선(OUTB)(162) 사이에 있고, 용량 결합에 의한 높은 전위를 N6에 공급하여 제 4 OS-FET(124)의 온 전류를 향상시키는 기능을 갖는다. 또한, 용량 결합에 의하여 전위가 충분히 상승된다면, 제 2 용량 소자(C2)(132)를 배선들 사이의 기생 용량 등으로 대체할 수도 있다.

[0088] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0089] (실시형태 4)

[0090] 본 발명의 일 형태인 레벨 시프터의 다른 구성에 대하여 도 4를 사용하여 설명한다.

[0091] 레벨 시프터의 회로도를 도 4에 도시하였다. 본 발명의 일 형태인 레벨 시프터는 제 1 p형 Si-FET(101), 제 2 p형 Si-FET(102), 제 1 n형 Si-FET(111), 제 2 n형 Si-FET(112), 제 5 n형 Si-FET(115), 제 6 n형 Si-FET(116), 제 1 OS-FET(121), 제 2 OS-FET(122), 제 3 OS-FET(123), 제 4 OS-FET(124), 제 1 용량 소자(C1)(131), 제 2 용량 소자(C2)(132), 제 1 저항 소자(171), 제 2 저항 소자(172), 접지 전원선(GND)(141), 저전위 전원선(VDD_L)(142), 고전위 전원선(VDD_H)(143), 입력 신호선(IN)(151), 반전 입력 신호선(INB)(152), 출력 신호선(OUT)(161), 및 반전 출력 신호선(OUTB)(162)으로 구성된다.

[0092] 제 1 p형 Si-FET(101)의 게이트 단자는 제 6 n형 Si-FET(116)의 소스 단자 및 드레인 단자 중 하나와 제 1 저항 소자(171)의 단자 중 하나에 접속되어 있다. 또한, 제 1 p형 Si-FET(101)의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선(VDD_H)(143)에 접속되어 있다. 또한, 제 1 p형 Si-FET(101)의 소스 단자 및 드레인 단자 중 다른 하나는 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 하나, 제 2 저항 소자(172)의 단자 중 하나, 제 2 용량 소자(C2)(132)의 단자 중 하나, 및 반전 출력 신호선(OUTB)(162)에 접속되어 있다.

[0093] 제 2 p형 Si-FET(102)의 게이트 단자는 제 5 n형 Si-FET(115)의 소스 단자 및 드레인 단자 중 하나와 제 2 저항 소자(172)의 단자 중 다른 하나에 접속되어 있다. 또한, 제 2 p형 Si-FET(102)의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선(VDD_H)(143)에 접속되어 있다. 또한, 제 2 p형 Si-FET(102)의 소스 단자 및 드레인 단자 중 다른 하나는 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 하나, 제 1 저항 소자(171)의 단자 중 다른 하나, 제 1 용량 소자(C1)(131)의 단자 중 하나, 및 출력 신호선(OUT)(161)에 접속되어 있다.

[0094] 제 1 n형 Si-FET(111)의 게이트 단자는 입력 신호선(IN)(151), 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 하나, 및 제 5 n형 Si-FET(115)의 게이트 단자에 접속되어 있다. 또한, 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET(123)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 다른 하나에 접속되어 있는 노드를 N3이라고 부를 수 있다.

[0095] 제 2 n형 Si-FET(112)의 게이트 단자는 반전 입력 신호선(INB)(152), 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 하나, 및 제 6 n형 Si-FET(116)의 게이트 단자에 접속되어 있다. 또한, 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET(124)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 다른 하나에 접속되어 있는 노드를 N4라고 부를 수 있다.

[0096] 제 5 n형 Si-FET(115)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0097] 제 6 n형 Si-FET(116)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0098] 제 1 OS-FET(121)의 게이트 단자는 저전위 전원선(VDD_L)(142)에 접속되어 있다. 또한, 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET(123)의 게이트 단자와 제 1 용량 소자(C1)(131)의 단자 중 다른 하나에 접속되어 있다. 또한, 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N5라고 부를 수 있다.

[0099] 제 2 OS-FET(122)의 게이트 단자는 저전위 전원선(VDD_L)(142)에 접속되어 있다. 또한, 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET(124)의 게이트 단자와 제 2 용량 소자(C2)(132)의 단자 중 다른 하나에 접속되어 있다. 또한, 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N6이라고 부를 수 있다.

- [0100] 제 3 OS-FET(123)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.
- [0101] 제 4 OS-FET(124)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.
- [0102] 제 1 저항 소자(171)의 단자 중 다른 하나는 출력 신호선(OUT)(161)에 접속되어 있다.
- [0103] 제 2 저항 소자(172)의 단자 중 하나는 반전 출력 신호선(OUTB)(162)에 접속되어 있다.
- [0104] 제 1 p형 Si-FET(101)는 제 1 p형 Si-FET(101)의 게이트 단자의 전위에 따라 고전위 전원선(VDD_H)(143)의 전원 공급을 제어하는 기능을 갖는다.
- [0105] 제 2 p형 Si-FET(102)는 제 2 p형 Si-FET(102)의 게이트 단자의 전위에 따라 고전위 전원선(VDD_H)(143)의 전원 공급을 제어하는 기능을 갖는다.
- [0106] 제 1 n형 Si-FET(111)는 제 3 OS-FET(123)보다 빠르게 오프 상태가 됨으로써 관통 전류의 발생을 억제하는 기능을 갖는다.
- [0107] 제 2 n형 Si-FET(112)는 제 4 OS-FET(124)보다 빠르게 오프 상태가 됨으로써 관통 전류의 발생을 억제하는 기능을 갖는다.
- [0108] 제 5 n형 Si-FET(115)는 제 2 p형 Si-FET(102)의 게이트 단자에 접지 전원선(GND)(141)의 전위를 직접 인가함으로써 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.
- [0109] 제 6 n형 Si-FET(116)는 제 1 p형 Si-FET(101)의 게이트 단자에 접지 전원선(GND)(141)의 전위를 직접 인가함으로써 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.
- [0110] 입력 신호선(IN)(151)의 전위가 H 전위일 때, 용량 결합에 의하여 N5의 전위가 저전위 전원선(VDD_L)(142)의 전위보다 높은 전위로 상승된 경우, 제 1 OS-FET(121)는 오프 상태가 되어 N5의 상승 전위를 유지하는 기능을 갖는다.
- [0111] 반전 입력 신호선(INB)(152)의 전위가 H 전위일 때, 용량 결합에 의하여 N6의 전위가 저전위 전원선(VDD_L)(142)의 전위보다 높은 전위로 상승된 경우, 제 2 OS-FET(122)는 오프 상태가 되어 N6의 상승 전위를 유지하는 기능을 갖는다.
- [0112] 오프 상태일 때 제 3 OS-FET(123)는 리크 전류를 저감시키는 기능을 갖는다.
- [0113] 오프 상태일 때 제 4 OS-FET(124)는 리크 전류를 저감시키는 기능을 갖는다.
- [0114] 제 1 용량 소자(C1)(131)는 N5와 출력 신호선(OUT)(161) 사이에 있고, 용량 결합에 의한 높은 전위를 N5에 공급하여 제 3 OS-FET(123)의 온 전류를 향상시키는 기능을 갖는다. 또한, 용량 결합에 의하여 전위가 충분히 상승된다면, 제 1 용량 소자(C1)(131)를 배선들 사이의 기생 용량 등으로 대체할 수도 있다.
- [0115] 제 2 용량 소자(C2)(132)는 N6과 반전 출력 신호선(OUTB)(162) 사이에 있고, 용량 결합에 의한 높은 전위를 N6에 공급하여 제 4 OS-FET(124)의 온 전류를 향상시키는 기능을 갖는다. 또한, 용량 결합에 의하여 전위가 충분히 상승된다면, 제 2 용량 소자(C2)(132)를 배선들 사이의 기생 용량 등으로 대체할 수도 있다.
- [0116] 제 1 저항 소자(171)는 제 1 p형 Si-FET(101)를 통한 고전위 전원선(VDD_H)(143)의 전위 공급을 제한하는 저항으로서의 기능을 갖는다. 이로써, 제 6 n형 Si-FET(116)를 통한 접지 전원선(GND)(141)의 전위 공급을 용이하게 하여 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.
- [0117] 제 2 저항 소자(172)는 제 2 p형 Si-FET(102)를 통한 고전위 전원선(VDD_H)(143)의 전위 공급을 제한하는 저항으로서의 기능을 갖는다. 이로써, 제 5 n형 Si-FET(115)를 통한 접지 전원선(GND)(141)의 전위 공급을 용이하게 하여 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.
- [0118] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0119] (실시형태 5)
- [0120] 본 발명의 일 형태인 레벨 시프터의 다른 구성예에 대하여 도 5를 사용하여 설명한다.
- [0121] 레벨 시프터의 회로도를 도 5에 도시하였다. 본 발명의 일 형태인 레벨 시프터는 제 1 p형 Si-FET(101), 제 2 p형 Si-FET(102), 제 3 p형 Si-FET(103), 제 4 p형 Si-FET(104), 제 1 n형 Si-FET(111), 제 2 n형 Si-FET(112), 제 3 n형 Si-FET(113), 제 4 n형 Si-FET(114), 제 5 n형 Si-FET(115), 제 6 n형 Si-FET(116), 제 7

n형 Si-FET(117), 제 8 n형 Si-FET(118), 제 1 OS-FET(121), 제 2 OS-FET(122), 제 3 OS-FET(123), 제 4 OS-FET(124), 제 1 용량 소자(C1)(131), 제 2 용량 소자(C2)(132), 접지 전원선(GND)(141), 저전위 전원선(VDD_L)(142), 고전위 전원선(VDD_H)(143), 입력 신호선(IN)(151), 반전 입력 신호선(INB)(152), 출력 신호선(OUT)(161), 및 반전 출력 신호선(OUTB)(162)으로 구성된다.

[0122] 제 1 p형 Si-FET(101)의 게이트 단자는 제 6 n형 Si-FET(116)의 소스 단자 및 드레인 단자 중 하나와 제 7 n형 Si-FET(117)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 1 p형 Si-FET(101)의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선(VDD_H)(143)에 접속되어 있다. 또한, 제 1 p형 Si-FET(101)의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 p형 Si-FET(103)의 소스 단자 및 드레인 단자 중 하나, 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 하나, 제 2 용량 소자(C2)(132)의 단자 중 하나, 및 반전 출력 신호선(OUTB)(162)에 접속되어 있다.

[0123] 제 2 p형 Si-FET(102)의 게이트 단자는 제 5 n형 Si-FET(115)의 소스 단자 및 드레인 단자 중 하나와 제 8 n형 Si-FET(118)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 2 p형 Si-FET(102)의 소스 단자 및 드레인 단자 중 하나는 고전위 전원선(VDD_H)(143)에 접속되어 있다. 또한, 제 2 p형 Si-FET(102)의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 p형 Si-FET(104)의 소스 단자 및 드레인 단자 중 하나, 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 하나, 제 1 용량 소자(C1)(131)의 단자 중 하나, 및 출력 신호선(OUT)(161)에 접속되어 있다.

[0124] 제 3 p형 Si-FET(103)의 게이트 단자는 제 3 p형 Si-FET(103)의 소스 단자 및 드레인 단자 중 다른 하나, 제 3 n형 Si-FET(113)의 소스 단자 및 드레인 단자 중 하나, 및 제 8 n형 Si-FET(118)의 소스 단자 및 드레인 단자 중 다른 하나에 접속되어 있다.

[0125] 제 4 p형 Si-FET(104)의 게이트 단자는 제 4 p형 Si-FET(104)의 소스 단자 및 드레인 단자 중 다른 하나, 제 4 n형 Si-FET(114)의 소스 단자 및 드레인 단자 중 하나, 및 제 7 n형 Si-FET(117)의 소스 단자 및 드레인 단자 중 다른 하나에 접속되어 있다.

[0126] 제 1 n형 Si-FET(111)의 게이트 단자는 입력 신호선(IN)(151), 제 3 n형 Si-FET(113)의 게이트 단자, 제 5 n형 Si-FET(115)의 게이트 단자, 및 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET(123)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 1 n형 Si-FET(111)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N3이라고 부를 수 있다.

[0127] 제 2 n형 Si-FET(112)의 게이트 단자는 반전 입력 신호선(INB)(152), 제 4 n형 Si-FET(114)의 게이트 단자, 제 6 n형 Si-FET(116)의 게이트 단자, 및 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET(124)의 소스 단자 및 드레인 단자 중 하나에 접속되어 있다. 또한, 제 2 n형 Si-FET(112)의 소스 단자 및 드레인 단자 중 다른 하나에 접속되어 있는 노드를 N4라고 부를 수 있다.

[0128] 제 3 n형 Si-FET(113)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0129] 제 4 n형 Si-FET(114)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0130] 제 5 n형 Si-FET(115)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0131] 제 6 n형 Si-FET(116)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0132] 제 7 n형 Si-FET(117)의 게이트 단자는 고전위 전원선(VDD_H)(143)에 접속되어 있다.

[0133] 제 8 n형 Si-FET(118)의 게이트 단자는 고전위 전원선(VDD_H)(143)에 접속되어 있다.

[0134] 제 1 OS-FET(121)의 게이트 단자는 저전위 전원선(VDD_L)(142)에 접속되어 있다. 또한, 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 다른 하나는 제 3 OS-FET(123)의 게이트 단자와 제 1 용량 소자(C1)(131)의 단자 중 다른 하나에 접속되어 있다. 또한, 제 1 OS-FET(121)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어 있는 노드를 N5라고 부를 수 있다.

[0135] 제 2 OS-FET(122)의 게이트 단자는 저전위 전원선(VDD_L)(142)에 접속되어 있다. 또한, 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 다른 하나는 제 4 OS-FET(124)의 게이트 단자와 제 2 용량 소자(C2)(132)의 단자 중 다른 하나에 접속되어 있다. 또한, 제 2 OS-FET(122)의 소스 단자 및 드레인 단자 중 다른 하나가 접속되어

있는 노드를 N6이라고 부를 수 있다.

[0136] 제 3 OS-FET(123)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0137] 제 4 OS-FET(124)의 소스 단자 및 드레인 단자 중 다른 하나는 접지 전원선(GND)(141)에 접속되어 있다.

[0138] 제 1 p형 Si-FET(101)는 제 1 p형 Si-FET(101)의 게이트 단자의 전위에 따라 고전위 전원선(VDD_H)(143)의 전원 공급을 제어하는 기능을 갖는다.

[0139] 제 2 p형 Si-FET(102)는 제 2 p형 Si-FET(102)의 게이트 단자의 전위에 따라 고전위 전원선(VDD_H)(143)의 전원 공급을 제어하는 기능을 갖는다.

[0140] 제 3 p형 Si-FET(103)는 다이오드 접속되므로 제 1 p형 Si-FET(101)를 통한 고전위 전원선(VDD_H)(143)의 전위 공급을 제한하여 게이트 단자의 전위를 완전히 고전위 전원선(VDD_H)(143)의 전위로 상승시키지 않도록 함으로써 제 3 n형 Si-FET(113)를 통한 접지 전원선(GND)(141)의 전위 공급을 용이하게 하는 기능을 갖는다.

[0141] 제 4 p형 Si-FET(104)는 다이오드 접속되므로 제 2 p형 Si-FET(102)를 통한 고전위 전원선(VDD_H)(143)의 전위 공급을 제한하여 게이트 단자의 전위를 완전히 고전위 전원선(VDD_H)(143)의 전위로 상승시키지 않도록 함으로써 제 4 n형 Si-FET(114)를 통한 접지 전원선(GND)(141)의 전위 공급을 용이하게 하는 기능을 갖는다.

[0142] 제 1 n형 Si-FET(111)는 제 3 OS-FET(123)보다 빠르게 오프 상태가 됨으로써 관통 전류의 발생을 저감시키는 기능을 갖는다.

[0143] 제 2 n형 Si-FET(112)는 제 4 OS-FET(124)보다 빠르게 오프 상태가 됨으로써 관통 전류의 발생을 저감시키는 기능을 갖는다.

[0144] 제 3 n형 Si-FET(113)는 제 3 p형 Si-FET(103)의 게이트 단자로의 접지 전원선(GND)(141)의 전원 공급을 제어하는 기능을 갖는다.

[0145] 제 4 n형 Si-FET(114)는 제 4 p형 Si-FET(104)의 게이트 단자로의 접지 전원선(GND)(141)의 전원 공급을 제어하는 기능을 갖는다.

[0146] 제 5 n형 Si-FET(115)는 제 2 p형 Si-FET(102)의 게이트 단자에 접지 전원선(GND)(141)의 전위를 직접 인가함으로써 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.

[0147] 제 6 n형 Si-FET(116)는 제 1 p형 Si-FET(101)의 게이트 단자에 접지 전원선(GND)(141)의 전위를 직접 인가함으로써 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.

[0148] 제 7 n형 Si-FET(117)는 소스 단자 또는 드레인 단자의 전위에 따라 저항이 변화되는 가변 저항으로서 기능하고, 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.

[0149] 제 8 n형 Si-FET(118)는 소스 단자 또는 드레인 단자의 전위에 따라 저항이 변화되는 가변 저항으로서 기능하고, 레벨 시프터의 전이 동작을 용이하게 하는 기능을 갖는다.

[0150] 입력 신호선(IN)(151)의 전위가 H 전위일 때, 용량 결합에 의하여 N5의 전위가 저전위 전원선(VDD_L)(142)의 전위보다 높은 전위로 상승된 경우, 제 1 OS-FET(121)는 오프 상태가 되어 N5의 상승 전위를 유지하는 기능을 갖는다.

[0151] 반전 입력 신호선(INB)(152)의 전위가 H 전위일 때, 용량 결합에 의하여 N6의 전위가 저전위 전원선(VDD_L)(142)의 전위보다 높은 전위로 상승된 경우, 제 2 OS-FET(122)는 오프 상태가 되어 N6의 상승 전위를 유지하는 기능을 갖는다.

[0152] 오프 상태일 때 제 3 OS-FET(123)는 리크 전류를 저감시키는 기능을 갖는다.

[0153] 오프 상태일 때 제 4 OS-FET(124)는 리크 전류를 저감시키는 기능을 갖는다.

[0154] 제 1 용량 소자(C1)(131)는 N5와 출력 신호선(OUT)(161) 사이에 있고, 용량 결합에 의한 높은 전위를 N5에 공급하여 제 3 OS-FET(123)의 온 전류를 향상시키는 기능을 갖는다. 또한, 용량 결합에 의하여 전위가 충분히 상승된다면, 제 1 용량 소자(C1)(131)를 배선들 사이의 기생 용량 등으로 대체할 수도 있다.

[0155] 제 2 용량 소자(C2)(132)는 N6과 반전 출력 신호선(OUTB)(162) 사이에 있고, 용량 결합에 의한 높은 전위를 N6에 공급하여 제 4 OS-FET(124)의 온 전류를 향상시키는 기능을 갖는다. 또한, 용량 결합에 의하여 전위가 충분

히 상승된다면, 제 2 용량 소자(C2)(132)를 배선들 사이의 기생 용량 등으로 대체할 수도 있다.

[0156] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0157] (실시형태 6)

[0158] 본 실시형태에서는 본 발명의 일 형태인 레벨 시프터 회로에 사용할 수 있는 트랜지스터의 구성예에 대하여 설명한다.

[0159] <트랜지스터의 구조에 대하여>

[0160] 트랜지스터의 단면 구조를 도 6에 도시하였다. 도 6은 단결정 실리콘 기판에 채널 형성 영역을 갖는 트랜지스터(아래에서 Si 트랜지스터라고도 기재함)(1102) 위에 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터(아래에서 OS 트랜지스터라고도 기재함)(1101)가 형성된 경우를 도시한 것이다. 예를 들어 트랜지스터(1101)로서 OS-FET(121)를 사용할 수 있고, 트랜지스터(1102)로서 n형 Si-FET(113)를 사용할 수 있다.

[0161] 트랜지스터(1102)는 비정질, 미결정, 다결정, 또는 단결정인, 실리콘 또는 저마늄 등으로 이루어진 반도체막 또는 반도체 기판에 채널 형성 영역을 가져도 좋다. 또는, 트랜지스터(1102)는 산화물 반도체막 또는 산화물 반도체 기판에 채널 형성 영역을 갖는 경우에는, 트랜지스터(1102) 위에 트랜지스터(1101)를 적층시키지 않아도 되고, 트랜지스터(1101) 및 트랜지스터(1102)를 동일 충에 형성하여도 좋다.

[0162] 실리콘 박막을 사용하여 트랜지스터(1102)를 형성하는 경우, 이 박막에는 플라즈마 CVD법 등의 기상 성장법 또는 스퍼터링법으로 제작된 비정질 실리콘, 레이저 조사 등의 처리에 의하여 비정질 실리콘을 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표충부를 박리한 단결정 실리콘 등을 사용할 수 있다.

[0163] 트랜지스터(1102)가 형성되는 반도체 기판(801)으로서는 예를 들어 실리콘 기판, 저마늄 기판, 실리콘 저마늄 기판 등을 사용할 수 있다. 도 6은 반도체 기판(801)으로서 단결정 실리콘 기판을 사용한 경우를 도시한 것이다.

[0164] 또한, 트랜지스터(1102)는 소자 분리법에 의하여 전기적으로 분리되어 있다. 소자 분리법으로서는 선택 산화법 (LOCOS법: Local Oxidation of Silicon법), 트렌치 분리법(STI법: Shallow Trench Isolation법) 등을 사용할 수 있다. 도 6은 트렌치 분리법에 의하여 트랜지스터(1102)를 전기적으로 분리한 경우를 예시한 것이다. 구체적으로 말하면, 도 6은 에칭 처리 등에 의하여 반도체 기판(801)에 트렌치를 형성한 후 이 트렌치에 산화실리콘 등이 포함된 절연물을 매립함으로써 형성되는 소자 분리 영역(810)에 의하여 트랜지스터(1102)를 소자 분리시킨 경우를 도시한 것이다.

[0165] 트랜지스터(1102) 위에는 절연막(811)이 제공되어 있다. 절연막(811)에는 개구부가 형성되어 있다. 그리고, 이 개구부에는 트랜지스터(1102)의 소스 및 드레인 각각에 전기적으로 접속되어 있는 도전막(825) 및 도전막(826)과, 트랜지스터(1102)의 게이트에 전기적으로 접속되어 있는 도전막(827)이 형성되어 있다.

[0166] 그리고, 도전막(825)은 절연막(811) 위에 형성된 도전막(834)에 전기적으로 접속되어 있고, 도전막(826)은 절연막(811) 위에 형성된 도전막(835)에 전기적으로 접속되어 있고, 도전막(827)은 절연막(811) 위에 형성된 도전막(836)에 전기적으로 접속되어 있다.

[0167] 도전막(834) 내지 도전막(836) 위에는 절연막(812)이 제공되어 있다. 절연막(812)에는 개구부가 형성되어 있고, 이 개구부에 도전막(836)에 전기적으로 접속되어 있는 도전막(837)이 형성되어 있다. 그리고, 도전막(837)은 절연막(812) 위에 형성된 도전막(851)에 전기적으로 접속되어 있다.

[0168] 또한, 도전막(851) 위에는 절연막(813)이 형성되어 있다. 절연막(813)에는 개구부가 형성되어 있고, 이 개구부에 도전막(851)에 전기적으로 접속되어 있는 도전막(852)이 형성되어 있다. 그리고, 도전막(852)은 절연막(813) 위에 형성된 도전막(853)에 전기적으로 접속되어 있다. 또한, 절연막(813) 위에는 도전막(844)이 형성되어 있다.

[0169] 도전막(853) 및 도전막(844) 위에는 절연막(861)이 형성되어 있다. 그리고, 도 6에서는 절연막(861) 위에 트랜지스터(1101)가 형성되어 있다.

[0170] 트랜지스터(1101)는 절연막(861) 위에 산화물 반도체를 포함한 반도체막(901)과, 반도체막(901) 위에 있고 소스

또는 드레인으로서 기능하는 도전막(921) 및 도전막(922)과, 반도체막(901), 도전막(921), 및 도전막(922) 위의 게이트 절연막(862)과, 게이트 절연막(862) 위에 있고 도전막(921) 및 도전막(922) 사이에서 반도체막(901)과 중첩된 게이트 전극(931)을 갖는다. 또한, 도전막(922)은 절연막(861)에 형성된 개구부에서 도전막(853)에 전기적으로 접속되어 있다.

[0171] 그리고, 트랜지스터(1101)는 반도체막(901)에서 도전막(921)과 중첩된 영역과 게이트 전극(931)과 중첩된 영역 사이에 영역(910)을 갖는다. 또한, 트랜지스터(1101)는 반도체막(901)에서 도전막(922)과 중첩된 영역과 게이트 전극(931)에 중첩된 영역 사이에 영역(911)을 갖는다. 아르곤, 반도체막(901)에 p형 도전형을 부여하는 불순물, 또는 반도체막(901)에 n형 도전형을 부여하는 불순물을 도전막(921), 도전막(922), 및 게이트 전극(931)을 마스크로서 사용하여 영역(910) 및 영역(911)에 첨가함으로써, 반도체막(901)에서 게이트 전극(931)과 중첩된 영역의 저항률보다 영역(910) 및 영역(911)의 저항률을 낮출 수 있다.

[0172] 그리고, 트랜지스터(1101) 위에 절연막(863)이 제공되어 있다.

[0173] 또한, 도 6에서 트랜지스터(1101)는 적어도 반도체막(901) 한 측에 게이트 전극(931)을 가지면 좋지만, 반도체막(901)을 개재(介在)하여 한 쌍의 게이트 전극을 가져도 좋다.

[0174] 트랜지스터(1101)가 반도체막(901)을 개재하여 한 쌍의 게이트 전극을 갖는 경우, 한쪽의 게이트 전극에는 도통/비도통 상태를 제어하기 위한 신호가 공급되고, 다른 쪽의 게이트 전극에는 다른 소자로부터 전위가 공급되어도 좋다. 이 경우, 한 쌍의 게이트 전극에 같은 높이의 전위가 공급되어도 좋고, 다른 쪽의 게이트 전극에만 접지 전위 등의 고정 전위가 공급되어도 좋다. 다른 쪽의 게이트 전극에 공급되는 전위의 높이를 제어함으로써 트랜지스터의 문턱 전압을 제어할 수 있다.

[0175] 또한, 도 6은 트랜지스터(1101)가 하나의 게이트 전극(931)에 대응하는 하나의 채널 형성 영역을 갖는 싱글 게이트 구조인 경우를 예시한 것이다. 그러나, 트랜지스터(1101)는 서로 전기적으로 접속된 복수의 게이트 전극을 가짐으로써 하나의 활성층에 복수의 채널 형성 영역을 갖는 멀티 게이트 구조이라도 좋다.

[0176] <트랜지스터의 다른 구성예>

[0177] 다음에, 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터(90)의 구성예에 대하여 도 7을 사용하여 설명한다.

[0178] 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터(90)의 구성예를 도 7에 도시하였다. 도 7의 (A)는 트랜지스터(90)의 상면도를 도시한 것이다. 또한, 도 7의 (A)에서는 트랜지스터(90)의 레이아웃을 명확하게 하기 위하여 각종 절연막을 생략하였다. 또한, 도 7의 (A)에 도시된 상면도의 일점 쇄선 A1-A2를 따른 단면도를 도 7의 (B)에 도시하였고, 일점 쇄선 A3-A4를 따른 단면도를 도 7의 (C)에 도시하였다.

[0179] 도 7에 도시된 바와 같이, 트랜지스터(90)는 기판(97)에 형성된 절연막(91) 위에 순차적으로 적층된 산화물 반도체막(92a) 및 산화물 반도체막(92b)과, 산화물 반도체막(92b)에 전기적으로 접속되어 있고 소스 전극 또는 드레인 전극으로서 기능을 갖는 도전막(93) 및 도전막(94)과, 산화물 반도체막(92b), 도전막(93), 및 도전막(94) 위의 산화물 반도체막(92c)과, 게이트 절연막으로서 기능하며 산화물 반도체막(92c) 위에 위치하는 절연막(95)과, 게이트 전극으로서 기능하며 절연막(95) 위에서 산화물 반도체막(92a) 내지 산화물 반도체막(92c)과 중첩되는 도전막(96)을 갖는다. 또한, 기판(97)은 유리 기판이나 반도체 기판 등이라도 좋고, 유리 기판이나 반도체 기판 위에 반도체 소자가 형성된 소자 기판이라도 좋다.

[0180] 또한, 도 8은 트랜지스터(90)의 구체적인 다른 구성예를 도시한 것이다. 도 8의 (A)는 트랜지스터(90)의 상면도를 도시한 것이다. 또한, 도 8의 (A)에서는 트랜지스터(90)의 레이아웃을 명확하게 하기 위하여 각종 절연막을 생략하였다. 또한, 도 8의 (A)에 도시된 상면도의 일점 쇄선 A1-A2를 따른 단면도를 도 8의 (B)에 도시하였고, 일점 쇄선 A3-A4를 따른 단면도를 도 8의 (C)에 도시하였다.

[0181] 도 8에 도시된 바와 같이, 트랜지스터(90)는 절연막(91) 위에 순차적으로 적층된 산화물 반도체막(92a) 내지 산화물 반도체막(92c)과, 산화물 반도체막(92c)에 전기적으로 접속되어 있고 소스 전극 또는 드레인 전극으로서의 기능을 갖는 도전막(93) 및 도전막(94)과, 게이트 절연막으로서의 기능을 갖고 산화물 반도체막(92c), 도전막(93), 및 도전막(94) 위에 위치하는 절연막(95)과, 게이트 전극으로서의 기능을 갖고 절연막(95) 위에서 산화물 반도체막(92a) 내지 산화물 반도체막(92c)과 중첩되는 도전막(96)을 갖는다.

[0182] 또한, 도 7 및 도 8에서는 적층된 산화물 반도체막(산화물 반도체막(92a) 내지 산화물 반도체막(92c))을 사용한 트랜지스터(90)의 구성예를 도시하였다. 트랜지스터(90)가 갖는 산화물 반도체막은 적층된 복수의 산화물 반도체막(92a) 내지 산화물 반도체막(92c)과 중첩되는 도전막(96)을 갖는다.

체막으로 구성되는 것에 한정되지 않고 단일 막의 산화물 반도체막으로 구성되어도 좋다.

[0183] 트랜지스터(90)가 산화물 반도체막(92a) 내지 산화물 반도체막(92c)이 순차적으로 적층된 반도체막을 갖는 경우, 산화물 반도체막(92a) 및 산화물 반도체막(92c)은 산화물 반도체막(92b)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소로서 포함하고, 산화물 반도체막(92b)보다 전도대 하단의 에너지가 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상이며 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하만큼 진공 준위에 가까운 산화물막이다. 또한, 산화물 반도체막(92b)은 적어도 인듐을 포함하면 캐리어 이동도가 높아지므로 바람직하다.

[0184] 트랜지스터(90)가 상술한 구성을 갖는 반도체막을 포함하는 경우, 게이트 전극에 전압을 인가함으로써 반도체막에 전계가 가해지면, 반도체막 중에서 전도대 하단의 에너지가 작은 산화물 반도체막(92b)에 채널 영역이 형성된다. 즉, 산화물 반도체막(92b)과 절연막(95) 사이에 산화물 반도체막(92c)이 제공됨으로써 절연막(95)과 이격된 산화물 반도체막(92b)에 채널 영역을 형성할 수 있다.

[0185] 또한, 산화물 반도체막(92c)은 산화물 반도체막(92b)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하기 때문에 산화물 반도체막(92b)과 산화물 반도체막(92c) 사이의 계면에서는 계면 산란이 일어나기 어렵다. 따라서, 이 계면에서 캐리어의 움직임이 저해되기 어렵기 때문에 트랜지스터(90)의 전계 효과 이동도가 높게 된다.

[0186] 또한, 산화물 반도체막(92b)과 산화물 반도체막(92a) 사이의 계면에 계면 준위가 형성되면 계면 근방의 영역에도 채널 영역이 형성되어 트랜지스터(90)의 문턱 전압이 변동하게 된다. 그러나, 산화물 반도체막(92a)은 산화물 반도체막(92b)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하기 때문에 산화물 반도체막(92b)과 산화물 반도체막(92a) 사이의 계면에는 계면 준위가 형성되기 어렵다. 따라서, 상술한 구성을 가짐으로써 트랜지스터(90)의 문턱 전압 등의 전기적 특성의 편차를 저감할 수 있다.

[0187] 또한, 산화물 반도체막들 사이에 불순물이 존재하는 것으로 인하여 각 막들 사이의 계면에서 캐리어의 흐름을 저해하는 계면 준위가 형성되지 않도록 복수의 산화물 반도체막을 적층시키는 것이 바람직하다. 적층된 산화물 반도체막들 사이에 불순물이 존재하면, 산화물 반도체막들 사이에서 전도대 하단의 에너지의 연속성이 없어져 계면 근방에서 캐리어가 포획되거나 또는 재결합함으로써 소멸되기 때문이다. 막들 사이의 불순물을 저감시킴으로써, 주성분인 하나의 금속을 적어도 공통적으로 갖는 복수의 산화물 반도체막을 단순히 적층시키는 경우와 비교하여 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 막들 사이에서 연속적으로 변화되는 U자형 우물 구조를 갖는 상태)이 형성되기 쉽게 된다.

[0188] 연속 접합을 형성하기 위해서는 로드록실을 구비한 멀티 체임버 방식의 성막 장치(스퍼터링 장치)를 사용하여 각 막을 대기에 노출시키지 않고 연속적으로 적층시킬 필요가 있다. 산화물 반도체에 있어서 불순물이 되는 물 등을 가능한 한 제거하기 위하여, 스퍼터링 장치의 각 체임버는 크라이오 펌프와 같은 흡착식 진공 배기 펌프를 사용하여 고진공 배기(5×10^{-7} Pa 내지 1×10^{-4} Pa 정도까지)하는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩을 조합하여 사용하여 배기계로부터 체임버 내로 가스가 역류되지 않도록 하는 것이 바람직하다.

[0189] 고순도화된 진성 산화물 반도체를 얻기 위해서는 각 체임버 내를 고진공 배기할 뿐만 아니라 스퍼터링에 사용하는 가스의 고순도화도 중요하다. 이 가스로서 노점을 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하로 하여 고순도화한 산소 가스나 아르곤 가스를 사용함으로써 산화물 반도체막에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다. 구체적으로 말하면, 산화물 반도체막(92b)이 In-M-Zn 산화물(M은 Ga, Y, Zr, La, Ce 또는 Nd)인 경우, 산화물 반도체막(92b)의 형성에 사용하는 타깃에서 금속 원소의 원자수비를 $\text{In:M:Zn}=x_1:y_1:z_1$ 로 하면, x_1/y_1 은 1/3 이상 6 이하인 것이 바람직하며, 1 이상 6 이하인 것이 더 바람직하고, z_1/y_1 은 1/3 이상 6 이하인 것이 바람직하며, 1 이상 6 이하인 것이 더 바람직하다. 또한, z_1/y_1 을 1 이상 6 이하로 함으로써 산화물 반도체막(92b)으로서 CAAC-OS막이 형성되기 쉽게 된다. 타깃의 금속 원소의 원자수비의 대표적인 예로서는 $\text{In:M:Zn}=1:1:1$, $\text{In:M:Zn}=3:1:2$ 등이 있다.

[0190] 구체적으로 말하면, 산화물 반도체막(92a) 및 산화물 반도체막(92c)이 In-M-Zn 산화물(M은 Ga, Y, Zr, La, Ce 또는 Nd)인 경우, 산화물 반도체막(92a) 및 산화물 반도체막(92c)의 형성에 사용하는 타깃에서 금속 원소의 원자수비를 $\text{In:M:Zn}=x_2:y_2:z_2$ 로 하면, $x_2/y_2 < x_1/y_1$ 이고, z_2/y_2 는 1/3 이상 6 이하인 것이 바람직하며, 1 이상 6 이하인 것이 더 바람직하다. 또한, z_2/y_2 를 1 이상 6 이하로 함으로써 산화물 반도체막(92a) 및 산화물 반도체막(92c)으로서 CAAC-OS막이 형성되기 쉽게 된다. 타깃의 금속 원소의 원자수비의 대표적인 예로서는

In:M:Zn=1:3:2, In:M:Zn=1:3:4, In:M:Zn=1:3:6, In:M:Zn=1:3:8 등이 있다.

[0191] 또한, 산화물 반도체막(92a) 및 산화물 반도체막(92c)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 산화물 반도체막(92b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

[0192] 3층 구조의 반도체막에서 산화물 반도체막(92a) 내지 산화물 반도체막(92c)은 비정질 또는 결정질의 양쪽 형태를 가질 수 있다. 다만, 채널 영역이 형성되는 산화물 반도체막(92b)이 결정질을 가지면 트랜지스터(90)에 안정된 전기적 특성을 부여할 수 있기 때문에 산화물 반도체막(92b)은 결정질을 갖는 것이 바람직하다.

[0193] 또한, 채널 형성 영역이란 트랜지스터(90)의 반도체막에서 게이트 전극과 중첩되고 소스 전극과 드레인 전극에 끼워진 영역을 뜻한다. 또한, 채널 영역이란 채널 형성 영역에서 전류가 주로 흐르는 영역을 뜻한다.

[0194] 예를 들어, 산화물 반도체막(92a) 및 산화물 반도체막(92c)으로서 스퍼터링법을 사용하여 형성한 In-Ga-Zn 산화물막을 사용하는 경우, 산화물 반도체막(92a) 및 산화물 반도체막(92c)의 형성에는 In-Ga-Zn 산화물 (In:Ga:Zn=1:3:2[원자수비]) 타깃을 사용할 수 있다. 성막 조건은 예를 들어 성막 가스로서 아르곤 가스 30sccm 및 산소 가스 15sccm를 사용하고, 압력을 0.4Pa로 하고, 기판 온도를 200°C로 하고, DC 전력을 0.5kW로 하면 좋다.

[0195] 또한, 산화물 반도체막(92b)을 CAAC-OS막으로 하는 경우, 산화물 반도체막(92b)의 형성에는 In-Ga-Zn 산화물 (In:Ga:Zn=1:1:1[원자수비])을 포함한 다결정 타깃을 사용하는 것이 바람직하다. 성막 조건은 예를 들어 성막 가스로서 아르곤 가스 30sccm 및 산소 가스 15sccm를 사용하고, 압력을 0.4Pa로 하고, 기판 온도를 300°C로 하고, DC 전력을 0.5kW로 할 수 있다. 또한, 산화물 반도체막(92b)을 CAAC-OS막으로 하는 경우, 산화물 반도체막 (92b)의 형성에는 In-Ga-Zn 산화물(In:Ga:Zn=2:1:3[원자수비]) 타깃을 사용하여도 좋다. 이러한 타깃을 사용하여 형성된 CAAC-OS막은 일정 범위에서 CAAC-OS의 회절 패턴이 관측되는 영역의 비율(CAAC화율이라고도 함)을 높게 할 수 있어 이 CAAC-OS막에 채널 형성 영역을 갖는 트랜지스터의 주파수 특성(f특성)을 높일 수 있다.

[0196] 또한, 산화물 반도체막(92a) 내지 산화물 반도체막(92c)은 스퍼터링법에 의하여 형성할 수 있다.

[0197] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified Oxide Semiconductor)는 캐리어 발생률이 적기 때문에 i형(진성 반도체) 또는 i형에 한 없이 가깝게 할 수 있다. 따라서, 고순도화된 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터는 오프 전류가 현저히 작아 신뢰성이 높다. 그리고, 산화물 반도체막에 채널 형성 영역이 형성되는 이 트랜지스터는 문턱 전압이 플러스로 되는 전기적 특성(노멀리 오프 특성이라고도 함)을 가지기 쉽다.

[0198] 구체적으로 말하면, 고순도화된 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터의 오프 전류가 작은 것은 다양한 실험에 의하여 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 소자에서도 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V 내지 10V인 범위에서 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하인 특성을 얻을 수 있다. 이 경우, 트랜지스터의 채널 폭으로 규격화된 오프 전류는 $100 \text{ zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속시키고 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 상기 트랜지스터로 제어하는 회로를 사용하여 오프 전류를 측정하였다. 이 측정에서는 고순도화된 산화물 반도체막을 상기 트랜지스터의 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당의 전하량의 추이로부터 상기 트랜지스터의 오프 전류를 측정하였다. 이 결과, 트랜지스터의 소스 전극과 드레인 전극 사이의 전압이 3V인 경우에 수십 $\text{yA}/\mu\text{m}$ 라는 더 작은 오프 전류가 얻어지는 것을 알 수 있었다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터는 결정성을 갖는 실리콘을 사용한 트랜지스터와 비교하여 오프 전류가 현저히 작다.

[0199] 또한, 반도체막으로서 산화물 반도체막을 사용하는 경우, 산화물 반도체로서는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한, 이들에 더하여 상기 산화물 반도체를 사용한 트랜지스터의 전기적 특성의 변동을 저감시키기 위한 스테빌라이저로서 갈륨(Ga)을 포함하는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 포함하는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 포함하는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 포함하는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 포함하는 것이 바람직하다.

[0200] 산화물 반도체 중에서도 In-Ga-Zn 산화물이나 In-Sn-Zn 산화물 등을 탄화실리콘, 질화갈륨, 또는 산화갈륨과 달리 스퍼터링법이나 습식법에 의하여 전기적 특성이 뛰어난 트랜지스터를 제작할 수 있어, 양산성이 뛰어나다는

이점을 갖는다. 또한, 탄화실리콘, 질화갈륨, 또는 산화갈륨과 달리 상기 In-Ga-Zn 산화물은 유리 기판 위에 전기적 특성이 뛰어난 트랜지스터를 제작할 수 있다. 또한, 기판의 대형화에도 대응할 수 있다.

[0201] 또한, 다른 스테빌라이저로서 란타노이드인, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 터븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 어븀(Er), 툴븀(Tm), 이터븀(Yb), 및 루테튬(Lu) 중 임의의 1종류 또는 복수 종류를 포함하여도 좋다.

[0202] 산화물 반도체로서 예를 들어 산화인듐, 산화갈륨, 산화주석, 산화아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물(IGZO라고도 표기함), In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Ce-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, 또는 In-Hf-Al-Zn 산화물을 사용할 수 있다.

[0203] 또한, 예를 들어 In-Ga-Zn 산화물이란 In, Ga, 및 Zn을 포함한 산화물을 뜻하고, In, Ga, 및 Zn의 비율은 불문 한다. 또한, In, Ga, 및 Zn 이외의 금속 원소를 포함하여도 좋다. In-Ga-Zn 산화물은 전계가 가해지지 않을 때 저항이 충분히 높으므로 오프 전류를 충분히 작게 할 수 있고, 이동도도 높다.

[0204] 예를 들어 In-Sn-Zn 산화물에서는 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn 산화물에서도 벌크 내 결함 밀도를 저감시킴으로써 이동도를 높일 수 있다.

[0205] 또한, 트랜지스터(90)에서 소스 전극 및 드레인 전극에 사용되는 도전성 재료에 따라서는 소스 전극 및 드레인 전극 내의 금속이 산화물 반도체막으로부터 산소를 뽑아내는 경우가 있다. 이 경우, 산화물 반도체막에서 소스 전극 및 드레인 전극에 접촉되는 영역이 산소 결손의 형성에 의하여 n형화된다. n형화된 영역은 소스 영역 또는 드레인 영역으로서 기능하기 때문에 산화물 반도체막과 소스 전극 및 드레인 전극 사이에서의 접촉 저항을 낮출 수 있다. 따라서, n형화된 영역이 형성됨으로써 트랜지스터(90)의 이동도 및 온 전류를 높일 수 있고, 이에 의하여 트랜지스터(90)를 사용한 반도체 장치의 고속 동작을 실현할 수 있다.

[0206] 또한, 소스 전극 및 드레인 전극 내의 금속이 산화물 반도체막으로부터 산소를 뽑아내는 것은 소스 전극 및 드레인 전극을 스퍼터링법 등에 의하여 형성할 때 일어날 수 있고, 소스 전극 및 드레인 전극을 형성한 후에 가열 처리를 행할 때 일어날 수도 있다. 또한, 산소와 결합하기 쉬운 도전성 재료를 소스 전극 및 드레인 전극에 사용함으로써 n형화되는 영역은 형성되기 더 쉬워진다. 이 도전성 재료로서는 예를 들어 Al, Cr, Cu, Ta, Ti, Mo, 및 W 등을 들 수 있다.

[0207] 적층된 복수의 산화물 반도체막을 갖는 반도체막을 트랜지스터(90)에 사용하는 경우, 트랜지스터(90)의 이동도 및 온 전류를 높이고 반도체 장치의 고속 동작을 실현하는 데에 있어서, 채널 영역이 되는 산화물 반도체막(92b)까지 n형화되는 영역이 도달되는 것이 바람직하다.

[0208] 절연막(91)은 가열됨으로써 상기 산소의 일부를 산화물 반도체막(92a) 내지 산화물 반도체막(92c)에 공급하는 기능을 갖는 절연막인 것이 바람직하다. 또한, 절연막(91)은 결함이 적은 것이 바람직하고, 대표적으로는 ESR 측정을 하였을 때 실리콘의 댕글링 본드에서 유래되는 $g=2.001$ 에서의 스픈 밀도가 $1 \times 10^{18} \text{ spins/cm}^3$ 이하인 것이 바람직하다.

[0209] 절연막(91)은 가열됨으로써 상기 산소의 일부를 산화물 반도체막(92a) 내지 산화물 반도체막(92c)에 공급하는 기능을 갖기 때문에 산화물인 것이 바람직하고, 예를 들어 산화알루미늄, 산화마그네슘, 산화실리콘, 산화질화실리콘, 질화산화실리콘, 산화갈륨, 산화저마늄, 산화이트륨, 산화지르코늄, 산화란타넘, 산화네오디뮴, 산화하프늄, 및 산화탄탈륨 등을 사용할 수 있다. 절연막(91)은 플라즈마 CVD(Chemical Vapor Deposition)법 또는 스퍼터링법 등에 의하여 형성할 수 있다.

[0210] 또한, 본 명세서에서 산화질화물이란 질소보다 산소의 함유량이 많은 재료를 뜻하고, 질화산화물이란 산소보다 질소의 함유량이 많은 재료를 뜻한다.

[0211] 또한, 도 7 및 도 8에 도시된 트랜지스터(90)는 채널 영역이 형성되는 산화물 반도체막(92b)의 단부에서 도전막(93) 및 도전막(94)과 중첩되지 않은 단부, 바꿔 말하면 도전막(93) 및 도전막(94)이 위치하는 영역과 다른 영역에 위치하는 단부와, 도전막(96)이 중첩되는 구성을 갖는다. 산화물 반도체막(92b)의 단부가 이 단부를 형성하기 위한 에칭 처리에서 플라즈마에 노출될 때, 에칭 가스로부터 발생된 염소 라디칼, 불소 라디칼 등이 산화

물 반도체를 구성하는 금속 원소와 결합되기 쉽다. 따라서, 산화물 반도체막의 단부에서는 상기 금속 원소와 결합된 산소가 이탈되기 쉬운 상태에 있기 때문에 산소 결손이 형성되어 n형화되기 쉽다. 하지만, 도 7 및 도 8에 도시된 트랜지스터(90)에서는 도전막(93) 및 도전막(94)과 중첩되지 않은 산화물 반도체막(92b)의 단부와 도전막(96)이 중첩되기 때문에 도전막(96)의 전위를 제어함으로써 상기 단부에 가해지는 전계를 제어할 수 있다. 따라서, 산화물 반도체막(92b)의 단부를 통하여 도전막(93)과 도전막(94) 사이를 흐르는 전류를 도전막(96)에 인가되는 전위에 의하여 제어할 수 있다. 이와 같은 트랜지스터(90)의 구조를 Surrounded Channel(S-Channel) 구조라고 부른다.

[0212] 구체적으로 말하면, S-Channel 구조의 경우, 트랜지스터(90)가 오프 상태가 되는 전위를 도전막(96)에 인가하였을 때 상기 단부를 통하여 도전막(93)과 도전막(94) 사이를 흐르는 오프 전류를 작게 억제할 수 있다. 그러므로, 트랜지스터(90)에서는 높은 온 전류를 얻기 위하여 채널 길이를 짧게 함으로써 결과적으로 산화물 반도체막(92b)의 단부에서 도전막(93)과 도전막(94) 사이의 길이가 짧게 되더라도 트랜지스터(90)의 오프 전류를 작게 억제할 수 있다. 따라서, 트랜지스터(90)는 채널 길이가 짧게 됨으로써 온 상태일 때 높은 온 전류를 얻을 수 있고, 오프 상태일 때 오프 전류를 작게 억제할 수 있다.

[0213] 또한, 구체적으로 말하면, S-Channel 구조의 경우, 트랜지스터(90)가 온 상태가 되는 전위를 도전막(96)에 인가하였을 때 상기 단부를 통하여 도전막(93)과 도전막(94) 사이를 흐르는 전류를 높게 할 수 있다. 이 전류는 트랜지스터(90)의 전계 효과 이동도와 온 전류의 증대에 기여한다. 그리고, 산화물 반도체막(92b)의 단부와 도전막(96)이 중첩됨으로써 절연막(95)에 가까운 산화물 반도체막(92b)의 계면 근방뿐만 아니라 산화물 반도체막(92b)의 넓은 범위에서 캐리어가 흐르기 때문에 트랜지스터(90)에서의 캐리어 이동량이 증가된다. 이 결과, 트랜지스터(90)의 온 전류가 높게 됨과 함께, 전계 효과 이동도가 높게 되고, 대표적으로는 전계 효과 이동도가 $10\text{cm}^2/\text{V}\cdot\text{s}$ 이상 또는 $20\text{cm}^2/\text{V}\cdot\text{s}$ 이상이 된다. 또한, 여기서 말하는 전계 효과 이동도는 산화물 반도체막의 물성값으로서의 이동도의 근사값이 아니라, 트랜지스터의 포화 영역에서의 전류 구동력의 지표이며 외관상의 전계 효과 이동도를 뜻한다.

[0214] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0215] (실시형태 7)

[0216] 본 실시형태에서는 도 6과 다른 구조를 갖는 반도체 장치의 일례에 대하여 설명한다.

[0217] 도 1의 OS-FET(121) 및 n형 Si-FET(113)에 대응하는 FET를 갖는 반도체 장치의 단면 구조의 일례를 도 9에 도시하였다. 또한, 패선 A1-A2의 영역은 트랜지스터(1102) 및 트랜지스터(1101)의 채널 길이 방향에서의 구조를 도시한 것이고, 패선 A3-A4의 영역은 트랜지스터(1102) 및 트랜지스터(1101)의 채널 폭 방향에서의 구조를 도시한 것이다. 다만, 본 발명의 일 형태에서는 트랜지스터(1102)의 채널 길이 방향과 트랜지스터(1101)의 채널 길이 방향이 반드시 일치되지 않아도 된다.

[0218] 또한, 트랜지스터의 채널 길이 방향이란 소스(소스 영역 또는 소스 전극) 및 드레인(드레인 영역 또는 드레인 전극) 사이에서 캐리어가 이동하는 방향을 뜻하고, 채널 폭 방향이란 기판에 수평한 면 내에서 채널 길이 방향에 수직인 방향을 뜻한다.

[0219] 또한, 도 9는 단결정 실리콘 기판에 채널 형성 영역을 갖는 트랜지스터(1102) 위에 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터(1101)가 형성된 경우를 예시한 것이다. 또한, 이와 같이 Si 트랜지스터와 OS 트랜지스터가 적층된 구조는 도 1의 OS-FET(121) 및 n형 Si-FET(113)와, OS-FET(122) 및 n형 Si-FET(114)에 적절히 사용할 수 있다. 예를 들어 도 1의 p형 Si-FET(101) 내지 p형 Si-FET(104) 및 n형 Si-FET(111) 내지 n형 Si-FET(114)로서 Si 트랜지스터를 사용하여 도 9의 트랜지스터(1102)와 같이 단결정 실리콘 기판에 제작하고, 도 1의 OS-FET(121) 내지 OS-FET(124)로서 OS 트랜지스터를 사용하여 도 9의 트랜지스터(1101)와 같이 단결정 실리콘 기판에 제작된 트랜지스터 위쪽에 제공할 수 있다.

[0220] 트랜지스터(1102)는 비정질, 미결정, 다결정, 또는 단결정인, 실리콘 또는 저마늄 등으로 이루어진 반도체막 또는 반도체 기판에 채널 형성 영역을 가져도 좋다. 또는, 트랜지스터(1102)는 산화물 반도체막 또는 산화물 반도체 기판에 채널 형성 영역을 가져도 좋다. 모든 트랜지스터가 산화물 반도체막 또는 산화물 반도체 기판에 채널 형성 영역을 갖는 경우에는, 트랜지스터(1102) 위에 트랜지스터(1101)를 적층시키지 않아도 되고, 트랜지스터(1101) 및 트랜지스터(1102)를 동일 층에 형성하여도 좋다.

[0221] 실리콘 박막을 사용하여 트랜지스터(1102)를 형성하는 경우, 이 박막에는 플라즈마 CVD법 등의 기상 성장법 또

는 스퍼터링법으로 제작된 비정질 실리콘, 레이저 조사 등의 처리에 의하여 비정질 실리콘을 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.

[0222] 트랜지스터(1102)가 형성되는 기판(1000)으로서는 예를 들어 실리콘 기판, 저마늄 기판, 실리콘 저마늄 기판 등을 사용할 수 있다. 도 9는 기판(1000)으로서 단결정 실리콘 기판을 사용한 경우를 도시한 것이다.

[0223] 또한, 트랜지스터(1102)는 소자 분리법에 의하여 전기적으로 분리되어 있다. 소자 분리법으로서는 트렌치 분리 법(STI법: Shallow Trench Isolation) 등을 사용할 수 있다. 도 9는 트렌치 분리법에 의하여 트랜지스터(1102)를 전기적으로 분리한 경우를 예시한 것이다. 구체적으로 말하면, 도 9는 에칭 처리 등에 의하여 기판(1000)에 형성된 트렌치에 산화실리콘 등이 포함된 절연물을 매립한 후, 이 절연물을 에칭 처리 등에 의하여 부분적으로 제거함으로써 형성되는 소자 분리 영역(1001)에 의하여 트랜지스터(1102)를 소자 분리시킨 경우를 도시한 것이다.

[0224] 또한, 트렌치 이외의 영역에 존재하는 기판(1000)의 볼록부에는 트랜지스터(1102)의 불순물 영역(1002) 및 불순물 영역(1003)과, 불순물 영역(1002)과 불순물 영역(1003)에 끼워진 채널 형성 영역(1004)이 제공된다. 또한, 트랜지스터(1102)는 채널 형성 영역(1004)을 덮는 절연막(1005)과, 절연막(1005)을 개재하여 채널 형성 영역(1004)과 중첩되는 게이트 전극(1006)을 갖는다.

[0225] 트랜지스터(1102)에서는 절연막(1005)을 개재하여 채널 형성 영역(1004)의 볼록부의 측부 및 상부와, 게이트 전극(1006)이 중첩됨으로써, 채널 형성 영역(1004)의 측부와 상부를 포함한 넓은 범위에서 캐리어가 흐른다. 그러므로, 기판 위에서의 트랜지스터(1102)의 접유 면적을 작게 억제하면서 트랜지스터(1102)에서의 캐리어 이동량을 증가시킬 수 있다. 이로써, 트랜지스터(1102)는 온 전류가 높게 됨과 함께 전계 효과 이동도가 높게 된다. 특히, 채널 형성 영역(1004)에서 볼록부의 채널 폭 방향의 길이(채널 폭)를 W로 하고, 채널 형성 영역(1004)에서 볼록부의 막 두께를 T로 하면, 채널 폭 W에 대한 막 두께 T의 비에 상당하는 종횡비가 높은 경우, 캐리어가 흐르는 범위는 더 넓어지기 때문에 트랜지스터(1102)의 온 전류를 더 높게 할 수 있고, 전계 효과 이동도도 더 높게 할 수 있다.

[0226] 또한, 멀크 반도체 기판을 사용한 트랜지스터(1102)의 경우, 종횡비는 0.5 이상인 것이 바람직하고, 1 이상인 것이 더 바람직하다.

[0227] 트랜지스터(1102) 위에는 절연막(1011)이 제공되어 있다. 절연막(1011)에는 개구부가 형성되어 있다. 그리고, 이 개구부에는 불순물 영역(1002)에 전기적으로 접속된 도전막(1012), 불순물 영역(1003)에 전기적으로 접속된 도전막(1013), 및 게이트 전극(1006)에 전기적으로 접속된 도전막(1014)이 형성되어 있다.

[0228] 그리고, 도전막(1012)은 절연막(1011) 위에 형성된 도전막(1016)에 전기적으로 접속되어 있고, 도전막(1013)은 절연막(1011) 위에 형성된 도전막(1017)에 전기적으로 접속되어 있고, 도전막(1014)은 절연막(1011) 위에 형성된 도전막(1018)에 전기적으로 접속되어 있다.

[0229] 도전막(1016) 내지 도전막(1018) 위에는 절연막(1020)이 제공되어 있다. 그리고, 절연막(1020) 위에는 산소, 수소, 및 물의 확산을 방지하는 블로킹 효과를 갖는 절연막(1021)이 제공되어 있다. 절연막(1021)은 밀도가 높고 치밀할수록, 또한 데그리팅 본드가 적고 화학적으로 안정적일수록 블로킹 효과가 더 높다. 산소, 수소, 및 물의 확산을 방지하는 블로킹 효과를 갖는 절연막(1021)에는 예를 들어 산화알루미늄, 산화질화알루미늄, 산화갈륨, 산화질화갈륨, 산화아이트륨, 산화질화아이트륨, 산화하프늄, 및 산화질화하프늄 등을 사용할 수 있다. 수소 및 물의 확산을 방지하는 블로킹 효과를 갖는 절연막(1021)에는 예를 들어 질화실리콘, 질화산화실리콘 등을 사용할 수 있다.

[0230] 절연막(1021) 위에는 절연막(1022)이 제공되어 있고, 절연막(1022) 위에는 트랜지스터(1101)가 제공되어 있다.

[0231] 트랜지스터(1101)는 절연막(1022) 위에 산화물 반도체를 포함한 반도체막(1030), 반도체막(1030)에 전기적으로 접속되고 소스 전극 또는 드레인 전극으로서 기능하는 도전막(1032) 및 도전막(1033), 반도체막(1030)을 덮는 게이트 절연막(1031), 및 게이트 절연막(1031)을 개재하여 반도체막(1030)과 중첩되는 게이트 전극(1034)을 갖는다. 또한, 절연막(1020) 내지 절연막(1022)에는 개구부가 형성되어 있고, 도전막(1033)은 이 개구부에서 도전막(1018)에 접속되어 있다.

[0232] 또한, 도 9에서 트랜지스터(1101)는 적어도 반도체막(1030)의 한 측에 게이트 전극(1034)을 가지면 좋지만, 절연막(1022)을 개재하여 반도체막(1030)과 중첩되는 게이트 전극을 더 가져도 좋다.

- [0233] 트랜지스터(1101)가 한 쌍의 게이트 전극을 갖는 경우, 한쪽의 게이트 전극에는 도통/비도통 상태를 제어하기 위한 신호가 공급되고, 다른 쪽의 게이트 전극에는 다른 소자로부터 전위가 공급되어도 좋다. 이 경우, 한 쌍의 게이트 전극에 같은 높이의 전위가 공급되어도 좋고, 다른 쪽의 게이트 전극에만 접지 전위 등의 고정 전위가 공급되어도 좋다. 다른 쪽의 게이트 전극에 공급되는 전위의 높이를 제어함으로써 트랜지스터의 문턱 전압을 제어할 수 있다.
- [0234] 또한, 도 9는 트랜지스터(1101)가 하나의 게이트 전극(1034)에 대응하는 하나의 채널 형성 영역을 갖는 싱글 게이트 구조인 경우를 예시한 것이다. 그러나, 트랜지스터(1101)는 서로 전기적으로 접속된 복수의 게이트 전극을 가짐으로써 하나의 활성층에 복수의 채널 형성 영역을 갖는 멀티 게이트 구조이라도 좋다.
- [0235] 또한, 도 9는 트랜지스터(1101)에 포함되는 반도체막(1030)이 절연막(1022) 위에 순차적으로 적층된 산화물 반도체막(1030a) 내지 산화물 반도체막(1030c)을 갖는 경우를 도시한 것이다. 다만, 본 발명의 일 형태에서는 트랜지스터(1101)에 포함되는 반도체막(1030)이 하나의 금속 산화물막으로 구성되어도 좋다.
- [0236] 또한, 트랜지스터를 제작함에 있어서, 도전막, 반도체막, 절연막 등의 각종 막은 스퍼터링법이나 플라즈마 CVD 법에 의하여 형성할 수 있지만, 예를 들어 열 CVD(Chemical Vapor Deposition)법 등 다른 방법에 의하여 형성하여도 좋다. 열 CVD법의 예로서 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법 등이 있다.
- [0237] 열 CVD법은 플라즈마를 사용하지 않는 성막 방법이기 때문에 플라즈마 대미지로 인하여 결함이 생성되지 않는 이점을 갖는다.
- [0238] 열 CVD법에 의한 성막은 원료 가스와 산화제를 체임버 내에 동시에 공급하고, 체임버 내를 대기압하 또는 감압하로 하고, 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 실시하여도 좋다.
- [0239] 또한, ALD법에 의한 성막은 체임버 내를 대기압하 또는 감압하로 하고, 반응을 위한 원료 가스가 순차적으로 체임버에 도입되고, 이 가스 도입의 절차를 반복함으로써 실시하여도 좋다. 예를 들어 각 스위칭 벨브(고속 벨브라고도 함)를 전환하여 2종류 이상의 원료 가스를 순차적으로 체임버에 공급한다. 이 경우, 복수 종류의 원료 가스가 섞이지 않도록 제 1 원료 가스와 동시에 또는 나중에 불활성 가스(아르곤, 또는 질소 등) 등을 도입한 후, 제 2 원료 가스를 도입한다. 또한, 불활성 가스를 동시에 도입하는 경우 불활성 가스는 캐리어 가스가 되고, 또한, 제 2 원료 가스를 도입할 때도 불활성 가스를 동시에 도입하여도 좋다. 또한, 불활성 가스의 도입 대신에 진공 배기에 의하여 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판 표면에 흡착됨으로써 제 1 층이 성막되고, 나중에 도입되는 제 2 원료 가스와 제 1 층이 반응함으로써 제 1 층 위에 제 2 층이 적층되어 박막이 형성된다. 상기 가스 도입 절차를 제어하면서 원하는 두께가 될 때까지 여러 번 반복함으로써 뛰어난 스텝 커버리지를 갖는 박막을 형성할 수 있다. 박막의 두께는 가스 도입 절차를 반복하는 횟수에 따라 조절할 수 있기 때문에 정밀한 막 두께 조절이 가능하므로 미세한 FET를 제작하는 경우에 ALD법은 적합하다.
- [0240] MOCVD법이나 ALD법 등의 열 CVD법에 의하여 상술한 실시형태에 기재된 도전막, 반도체막, 및 절연막 등 다양한 막을 형성할 수 있고, 예를 들어, In-Ga-Zn-O막을 형성하는 경우에는 트라이메틸인듐, 트라이메틸갈륨, 및 다이메틸아연을 사용한다. 또한, 트라이메틸인듐의 화학식은 $In(CH_3)_3$ 이다. 또한, 트라이메틸갈륨의 화학식은 $Ga(CH_3)_3$ 이다. 또한, 다이메틸아연의 화학식은 $Zn(CH_3)_2$ 이다. 또한, 이들 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨(화학식 $Ga(C_2H_5)_3$)을 사용할 수도 있고, 다이메틸아연 대신에 다이에틸아연(화학식 $Zn(C_2H_5)_2$)을 사용할 수도 있다.
- [0241] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화하프늄막을 형성하는 경우에는 용매와 하프늄 전구체 화합물을 함유한 액체(하프늄알콕사이드나 테트라카르бony메틸아마이드하프늄(TDMAH) 등의 하프늄아마이드)를 기화시킨 원료 가스와, 산화제로서 오존(O_3)의 2종류의 가스를 사용한다. 또한, 테트라카르보네이트아마이드하프늄의 화학식은 $Hf[N(CH_3)_2]_4$ 이다. 또한, 다른 재료액으로서 테트라카르보네이트아마이드하프늄 등이 있다.
- [0242] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화알루미늄막을 형성하는 경우에는 용매와 알루미늄 전구체 화합물을 함유한 액체(트라이메틸알루미늄(TMA) 등)를 기화시킨 원료 가스와, 산화제로서 H_2O 의 2종류의 가스를 사용한다. 또한, 트라이메틸알루미늄의 화학식은 $Al(CH_3)_3$ 이다. 또한, 다른 재료액으로서는 트리스(다이메틸아마이드)알루미늄, 트라이아이소부틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵タン다이오네이트) 등이

있다.

[0243] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화실리콘막을 형성하는 경우에는 헥사클로로다이실레인을 피성막면에 흡착시키고, 흡착물에 함유된 염소를 제거하고, 산화성 가스(O_2 , 일산하이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.

[0244] 예를 들어, ALD를 이용하는 성막 장치에 의하여 텅스텐막을 형성하는 경우에는 WF_6 가스와 B_2H_6 가스를 순차적으로 반복하여 도입함으로써 초기 텅스텐막을 형성한 후에 WF_6 가스와 H_2 가스를 동시에 도입하여 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.

[0245] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화물 반도체막, 예를 들어, In-Ga-Zn-O막을 형성하는 경우에는 $In(CH_3)_3$ 가스와 O_3 가스를 순차적으로 반복하여 도입함으로써 In-O층을 형성한 후, $Ga(CH_3)_3$ 가스와 O_3 가스를 동시에 도입함으로써 Ga-O층을 형성하고, 그 다음에 $Zn(CH_3)_2$ 가스와 O_3 가스를 동시에 도입함으로써 Zn-O층을 형성한다. 또한, 이들 층의 순서는 여기에 든 예에 한정되지 않는다. 또한, 이들 가스를 섞어서 In-Ga-O층이나 In-Zn-O층, Ga-Zn-O층 등의 혼합 화합물층을 형성하여도 좋다. 또한, O_3 가스 대신에 Ar 등의 불활성 가스로 벌링하여 얻어진 H_2O 가스를 사용하여도 좋지만 H를 포함하지 않는 O_3 가스를 사용하는 것이 더 바람직하다. 또한, $In(CH_3)_3$ 가스 대신에 $In(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한, $Ga(CH_3)_3$ 가스 대신에 $Ga(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한, $Zn(CH_3)_2$ 가스를 사용하여도 좋다.

[0246] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0247] (실시형태 8)

[0248] <산화물 반도체의 구조>

[0249] 본 실시형태에서는 산화물 반도체의 구조에 대하여 설명한다.

[0250] 본 명세서에서 "평행"이란 2개의 직선이 각도 -10° 이상 10° 이하로 배치된 상태를 뜻한다. 따라서, 각도가 -5° 이상 5° 이하인 경우도 그 범주에 포함된다. 또한, "대략 평행"이란 2개의 직선이 각도 -30° 이상 30° 이하로 배치된 상태를 뜻한다. 또한, "수직"이란 2개의 직선이 각도 80° 이상 100° 이하로 배치된 상태를 뜻한다. 따라서, 각도가 85° 이상 95° 이하인 경우도 그 범주에 포함된다. 또한, "대략 수직"이란 2개의 직선이 각도 60° 이상 120° 이하로 배치된 상태를 뜻한다.

[0251] 또한, 본 명세서에서 삼방정 또는 능면체정은 육방정계에 포함된다.

[0252] 산화물 반도체는 단결정 산화물 반도체와 그 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline Oxide Semiconductor), a-like OS(amorphous-like Oxide Semiconductor), 비정질 산화물 반도체 등이 있다.

[0253] 또한, 다른 관점에서는 산화물 반도체는 비정질 산화물 반도체와 그 이외의 결정성 산화물 반도체로 나누어진다. 결정성 산화물 반도체로서는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 nc-OS 등이 있다.

[0254] 비정질 구조의 정의는 일반적으로 준안정 상태로 고정화되지 않는 것이나, 등방적이며 불균질 구조를 갖지 않는 것 등이 알려져 있다. 또한, 결합 각도가 유연하고 단거리 질서성은 갖지만 장거리 질서성을 갖지 않는 구조라고 바꿔 말할 수도 있다.

[0255] 거꾸로 말하면, 본질적으로 안정된 산화물 반도체의 경우에는 완전한 비정질(completely amorphous) 산화물 반도체라고 부를 수는 없다. 또한, 등방적이지 않은(예를 들어 미소 영역에서 주기 구조를 갖는) 산화물 반도체를 완전한 비정질 산화물 반도체라고 부를 수는 없다. 다만, a-like OS는 미소 영역에서 주기 구조를 갖지만 공동(보이드라고도 함)을 갖고 불안정적인 구조를 갖는다. 따라서, 물성적으로는 비정질 산화물 반도체에 가깝다고 할 수 있다.

[0256] <CAAC-OS>

- [0257] 우선, CAAC-OS에 대하여 설명한다.
- [0258] CAAC-OS는 c축 배향된 복수의 결정부(펠릿이라고도 함)를 갖는 산화물 반도체 중 하나다.
- [0259] 투과 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면, 복수의 펠릿이 확인된다. 그러나, 고분해능 TEM 이미지를 관찰하여도 펠릿들 사이의 경계, 즉 결정 입계(그레인 바운더리(grain boundary)라고도 함)는 명확히 확인되지 않는다. 그러므로, CAAC-OS는 결정 입계에 기인한 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0260] 아래에서는 TEM에 의하여 관찰한 CAAC-OS에 대하여 설명한다. 도 10의 (A)는 시료 면에 대략 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고분해능 TEM 이미지다. 고분해능 TEM 이미지의 관찰에는 구면 수차 보정(Spherical Aberration Corrector) 기능을 이용하였다. 구면 수차 보정 기능을 이용한 고분해능 TEM 이미지를 특히 Cs 보정 고분해능 TEM 이미지라고 한다. Cs 보정 고분해능 TEM 이미지는 예를 들어 원자 분해능 분석 전자 현미경 JEM-ARM200F(JEOL Ltd. 제조) 등에 의하여 얻을 수 있다.
- [0261] 도 10의 (B)는 도 10의 (A)의 영역 (1)을 확대한 Cs 보정 고분해능 TEM 이미지다. 도 10의 (B)를 보면 펠릿에서 금속 원자가 층상으로 배열되어 있는 것이 확인된다. 금속 원자의 각 층은 CAAC-OS의 막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS 상면의 요철을 반영한 형상을 갖고, CAAC-OS의 피형성면 또는 상면에 평행하게 배열된다.
- [0262] 도 10의 (B)에 도시된 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 도 10의 (C)는 특징적인 원자 배열을 보조선으로 도시한 것이다. 도 10의 (B) 및 (C)를 보면, 하나의 펠릿의 크기가 1nm 이상 3nm 이하 정도이며, 펠릿들의 기울기에 의하여 생긴 틈의 크기는 0.8nm 정도임을 알 수 있다. 따라서, 펠릿을 나노 결정(nc: nanocrystal)이라고 할 수도 있다. 또한, CAAC-OS를 CANC(C-Axis Aligned nanocrystals)를 갖는 산화물 반도체라고 할 수도 있다.
- [0263] 여기서, Cs 보정 고분해능 TEM 이미지에 따라 기판(5120) 위의 CAAC-OS의 펠릿(5100)의 배치를 모식적으로 도시하면, 벽돌 또는 블록이 쌓인 것과 같은 구조가 된다(도 10의 (D) 참조). 도 10의 (C)에서 관찰된 펠릿들이 기울어져 있는 부분은 도 10의 (D)의 영역(5161)에 상당한다.
- [0264] 또한, 도 11의 (A)는 시료면에 대략 수직인 방향으로부터 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지다. 도 11의 (B), 도 11의 (C), 및 도 11의 (D)는 각각 도 11의 (A)의 영역 (1), 영역 (2), 및 영역 (3)을 확대한 Cs 보정 고분해능 TEM 이미지다. 도 11의 (B) 내지 (D)를 보면, 펠릿은 금속 원자가 삼각형, 사각형, 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 펠릿들 사이에서 금속 원자의 배열에 규칙성이 보이지 않는다.
- [0265] 다음에, X선 회절(XRD: X-Ray Diffraction)에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, out-of-plane법에 의하여 InGaZnO₄의 결정을 갖는 CAAC-OS의 구조를 해석하면, 도 12의 (A)에 도시된 바와 같이, 회절 각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되기 때문에 CAAC-OS의 결정이 c축 배향성을 갖고, c축이 CAAC-OS의 피형성면 또는 상면에 대략 수직인 방향으로 배향되는 것을 확인할 수 있다.
- [0266] 또한, out-of-plane법에 의하여 CAAC-OS의 구조를 해석하면, 2θ 가 31° 근방일 때의 피크에 더하여 2θ 가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 뜻한다. CAAC-OS는 out-of-plane법에 의한 구조 해석에서 2θ 가 31° 근방일 때 피크가 나타나고 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 더 바람직하다.
- [0267] 한편, c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의하여 CAAC-OS의 구조를 해석하면, 2θ 가 56° 근방일 때 피크가 나타난다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. CAAC-OS의 경우에는 2θ 를 56° 근방에 고정하고 시료면의 법선 벡터를 축(Φ축)으로 하여 시료를 회전시키면서 분석(Φ 스캔)을 실시하여도 도 12의 (B)에 도시된 바와 같이 명확한 피크는 나타나지 않는다. 한편, InGaZnO₄의 단결정 산화물 반도체의 경우에는 2θ 를 56° 근방에 고정하고 Φ 스캔을 실시하면, 도 12의 (C)에 도시된 바와 같이 (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 따라서, XRD를 이용한 구조 해석에 의하여 CAAC-OS는 a축 및 b축의 배향이 불규칙한 것을 알 수 있다.
- [0268] 다음에, 전자 회절에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어 InGaZnO₄의 결정을 갖는 CAAC-OS에

대하여 프로브 직경이 300nm인 전자 빔을 시료면에 평행하게 입사시키면, 도 13의 (A)와 같은 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 함)이 나타나는 경우가 있다. 이 회절 패턴에는 InGaZnO_4 의 결정의 (009)면에 기인한 스폷이 포함된다. 따라서, 전자 회절에 의해서도 CAAC-OS에 포함되는 펠릿이 c축 배향성을 갖고 c축이 CAAC-OS의 괴형성면 또는 상면에 대략 수직인 방향으로 배향되는 것을 알 수 있다. 한편, 도 13의 (B)는 같은 시료에 대하여 프로브 직경이 300nm인 전자 빔을 시료면에 수직으로 입사시킨 경우의 회절 패턴이다. 도 13의 (B)를 보면, 고리 형상의 회절 패턴이 확인된다. 따라서, 전자 회절에 의해서도 CAAC-OS에 포함되는 펠릿의 a축 및 b축이 배향성을 갖지 않는 것을 알 수 있다. 또한, 도 13의 (B)에서 제 1 고리는 InGaZnO_4 의 결정의 (010)면 및 (100)면 등에 기인하는 것으로 생각된다. 또한, 도 13의 (B)에서 제 2 고리는 (110)면 등에 기인하는 것으로 생각된다.

[0269] 상술한 바와 같이, CAAC-OS는 결정성이 높은 산화물 반도체다. 산화물 반도체의 결정성은 불순물의 혼입이나 결함의 생성 등으로 인하여 저하되는 경우가 있으므로, 거꾸로 말하면 CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고 할 수도 있다.

[0270] 또한, 불순물은 산화물 반도체의 주성분 이외의 원소이며, 수소, 탄소, 실리콘, 및 전이 금속 원소 등이 있다. 산화물 반도체를 구성하는 금속 원소보다 산소와의 결합력이 강한 원소(예를 들어 실리콘 등)는 산화물 반도체로부터 산소를 빼앗아 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다.

[0271] 산화물 반도체가 불순물이나 결함을 갖는 경우, 빛이나 열 등으로 인하여 특성이 변동하는 경우가 있다. 예를 들어 산화물 반도체에 포함되는 불순물은 캐리어 트랩이 되는 경우나 캐리어 발생원이 되는 경우가 있다. 또한, 산화물 반도체 내의 산소 결손은 캐리어 트랩이 되는 경우나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0272] 불순물 및 산소 결손이 적은 CAAC-OS는 캐리어 밀도가 낮은 산화물 반도체다. 구체적으로 말하면, 캐리어 밀도가 $8 \times 10^{11}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만이고, $1 \times 10^{-9}/\text{cm}^3$ 이상인 산화물 반도체로 할 수 있다. 이와 같은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성의 산화물을 반도체라고 한다. CAAC-OS는 불순물 농도가 낮고 결함 준위 밀도가 낮다. 즉, 안정적인 특성을 갖는 산화물 반도체라고 할 수 있다.

[0273] <nc-OS>

[0274] 다음에, nc-OS에 대하여 설명한다.

[0275] nc-OS는 고분해능 TEM 이미지에서 결정부가 확인되는 영역과 결정부가 명확히 확인되지 않는 영역을 갖는다. nc-OS에 포함되는 결정부의 크기는 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하인 경우가 많다. 또한, 결정부의 크기가 10nm보다 크고 100nm 이하인 산화물 반도체를 미결정 산화물 반도체라고 하는 경우가 있다. nc-OS는 예를 들어 고분해능 TEM 이미지에서는 결정 입체가 명확히 확인되지 않는 경우가 있다. 또한, 나노 결정은 CAAC-OS에 포함되는 펠릿과 기원이 같을 가능성이 있다. 따라서, 아래에서는 nc-OS의 결정부를 펠릿이라고 하는 경우가 있다.

[0276] nc-OS는 미소 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS는 상이한 펠릿들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, 막 전체에서 배향성이 확인되지 않는다. 그러므로, nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별하지 못하는 경우가 있다. 예를 들어, 펠릿보다 큰 직경을 갖는 X선을 사용한 out-of-plane법에 의하여 nc-OS의 구조를 해석하면, 결정면을 나타내는 피크가 겹출되지 않는다. 또한, nc-OS에 프로브 직경이 펠릿보다 큰(예를 들어 50nm 이상) 전자 빔을 이용하는 전자 회절을 행하면, 헤일로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS에 프로브 직경이 펠릿의 크기와 가깝거나 펠릿보다 작은 전자 빔을 이용하는 나노빔 전자 회절을 행하면, 스폿이 관측된다. 또한, nc-OS에 나노빔 전자 회절을 행하면, 회도가 높은 환상(고리 형상)의 영역이 관측되는 경우가 있다. 또한, 고리 형상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.

[0277] 이와 같이 펠릿(나노 결정)들 사이에서는 결정 방위에 규칙성이 보이지 않는 것으로부터 nc-OS를 RANC(Random Aligned nanocrystals)를 갖는 산화물 반도체 또는 NANC(Non-Aligned nanocrystals)를 갖는 산화물 반도체라고 할 수도 있다.

- [0278] nc-OS는 비정질 산화물 반도체보다 규칙성이 높은 산화물 반도체다. 따라서, nc-OS는 a-like OS나 비정질 산화물 반도체보다 결합 준위 밀도가 낮다. 다만, nc-OS는 상이한 펠릿들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS는 CAAC-OS와 비교하여 결합 준위 밀도가 높다.
- [0279] <a-like OS>
- [0280] a-like OS는 nc-OS와 비정질 산화물 반도체 사이의 구조를 갖는 산화물 반도체다.
- [0281] a-like OS는 고분해능 TEM 이미지에서는 공동이 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지에서 결정부가 명확히 확인되는 영역과 결정부가 확인되지 않는 영역을 갖는다.
- [0282] a-like OS는 공동을 가지므로 불안정한 구조를 갖는다. 아래에서는 a-like OS가 CAAC-OS 및 nc-OS와 비교하여 불안정한 구조를 갖는 것을 나타내기 위하여, 전자 조사에 의한 구조의 변화에 대하여 설명한다.
- [0283] 전자 조사를 실시하는 시료로서 a-like OS(시료 A라고 표기함), nc-OS(시료 B라고 표기함), 및 CAAC-OS(시료 C라고 표기함)를 준비한다. 이들 시료는 모두 In-Ga-Zn 산화물이다.
- [0284] 우선, 각 시료의 고분해능 단면 TEM 이미지를 취득한다. 고분해능 단면 TEM 이미지를 보면, 이들 시료 모두가 결정부를 갖는 것을 알 수 있다.
- [0285] 또한, 어느 부분을 하나의 결정부로 간주하는지는 아래와 같이 판정하면 좋다. 예를 들어, InGaZnO₄의 결정의 단위 격자는 In-0층 3층과 Ga-Zn-0층 6층의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 갖는 것이 알려져 있다. 이들 근접하는 층들 사이의 간격은 (009)면의 격자면 간격(d값이라고도 함)과 같은 정도이며, 그 값은 결정 구조 해석으로부터 0.29nm로 산출된다. 그러므로, 격자 무늬(lattice fringe)의 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO₄의 결정부로 간주할 수 있다. 격자 줄무늬는 InGaZnO₄의 결정의 a-b면에 대응한다.
- [0286] 도 14는 각 시료의 결정부(22군데~45군데)의 평균 크기를 조사하여 나타낸 예다. 다만, 상술한 격자 무늬의 길이를 결정부의 크기로 간주하였다. 도 14로부터 a-like OS는 누적 전자 조사량의 증가에 따라 결정부가 커지는 것을 알 수 있다. 구체적으로 말하면, 도 14의 (1)로 나타낸 바와 같이, TEM에 의한 관찰 초기에 크기가 1.2nm 정도이었던 결정부(초기핵(初期核)이라고도 함)는 누적 전자 조사량이 $4.2 \times 10^8 e^-/\text{nm}^2$ 가 되면 2.6nm 정도의 크기까지 성장된 것을 알 수 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사 시작 시점으로부터 누적 전자 조사량이 $4.2 \times 10^8 e^-/\text{nm}^2$ 가 될 때까지의 범위에서 결정부의 크기가 변화되지 않는 것을 알 수 있다. 구체적으로 말하면, 도 14의 (2) 및 (3)으로 나타낸 바와 같이, 누적 전자 조사량에 상관없이 nc-OS 및 CAAC-OS의 결정부의 크기는 각각 1.4nm 정도 및 2.1nm 정도임을 알 수 있다.
- [0287] 이와 같이 a-like OS에서는 전자 조사에 의한 결정부의 성장이 관찰되는 경우가 있다. 한편, nc-OS 및 CAAC-OS에서는 전자 조사에 의한 결정부의 성장이 거의 관찰되지 않는 것을 알 수 있다. 즉, a-like OS는 nc-OS 및 CAAC-OS와 비교하여 불안정한 구조를 갖는 것을 알 수 있다.
- [0288] 또한, a-like OS는 공동을 가지므로 nc-OS 및 CAAC-OS와 비교하여 밀도가 낮은 구조를 갖는다. 구체적으로 말하면, a-like OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 또한, nc-OS의 밀도 및 CAAC-OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 밀도가 단결정 산화물 반도체의 78% 미만인 산화물 반도체는 성막 자체가 어렵다.
- [0289] 예를 들어 In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에서 능면체정 구조를 갖는 단결정 InGaZnO₄의 밀도는 $6.357 g/cm^3$ 이 된다. 따라서, 예를 들어 In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에서 a-like OS의 밀도는 $5.0 g/cm^3$ 이상 $5.9 g/cm^3$ 미만이 된다. 또한, 예를 들어 In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에서 nc-OS의 밀도 및 CAAC-OS의 밀도는 $5.9 g/cm^3$ 이상 $6.3 g/cm^3$ 미만이 된다.
- [0290] 또한, 같은 조성을 갖는 단결정 산화물 반도체가 존재하지 않는 경우가 있다. 이 경우에는 조성이 상이한 단결정 산화물 반도체를 임의의 비율로 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상당하는 밀도를 어렵잖을 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상당하는 밀도는 조성이 상이한 단결정 산화물 반도체를 조합하는 비율에 대하여 각종 평균을 이용하여 어렵잖으면 좋다. 다만, 밀도를 어렵잖을 때는 가능한 한 적은 종류의 단결정 산화물 반도체를 조합하는 것이 바람직하다.

[0291] 이와 같이 산화물 반도체는 다양한 구조를 가지며 각각이 다양한 특성을 갖는다. 또한, 산화물 반도체는 예를 들어 비정질 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상을 갖는 적층막이라도 좋다.

[0292] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0293] (실시형태 9)

[0294] 본 발명의 일 형태에 따른 반도체 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하여 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 이 외에 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서 휴대 전화, 휴대형을 포함한 게임기, 휴대 정보 단말, 전자 서적 단말, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기, 및 의료 기기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 15에 도시하였다.

[0295] 도 15의 (A)는 휴대형 게임기이며, 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크로폰(5005), 스페커(5006), 조작 키(5007), 및 스타일러스(5008)(stylus) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 휴대형 게임기의 각종 접적 회로에 사용할 수 있다. 또한, 도 15의 (A)에 도시된 휴대형 게임기는 2개의 표시부(표시부(5003)와 표시부(5004))를 갖지만, 휴대형 게임기가 갖는 표시부의 개수는 이것에 한정되지 않는다.

[0296] 도 15의 (B)는 휴대 정보 단말이며, 제 1 하우징(5601), 제 2 하우징(5602), 제 1 표시부(5603), 제 2 표시부(5604), 접속부(5605), 및 조작 키(5606) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 휴대 정보 단말의 각종 접적 회로에 사용할 수 있다. 제 1 표시부(5603)는 제 1 하우징(5601)에 제공되어 있고, 제 2 표시부(5604)는 제 2 하우징(5602)에 제공되어 있다. 그리고, 제 1 하우징(5601) 및 제 2 하우징(5602)은 접속부(5605)에 의하여 접속되어 있고, 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도는 접속부(5605)에 의하여 변경할 수 있다. 접속부(5605)에 의한 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도에 따라 제 1 표시부(5603)의 영상을 전환하는 구성으로 하여도 좋다. 또한, 제 1 표시부(5603) 및 제 2 표시부(5604) 중 적어도 하나에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한 위치 입력 장치로서의 기능은 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다.

[0297] 도 15의 (C)는 노트북형 퍼스널 컴퓨터이며, 하우징(5401), 표시부(5402), 키보드(5403), 및 포인팅 디바이스(5404) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 노트북형 퍼스널 컴퓨터의 각종 접적 회로에 사용할 수 있다.

[0298] 도 15의 (D)는 전기 냉동 냉장고이며, 하우징(5301), 냉장실용 도어(5302), 및 냉동실용 도어(5303) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 전기 냉동 냉장고의 각종 접적 회로에 사용할 수 있다.

[0299] 도 15의 (E)는 비디오 카메라이며, 제 1 하우징(5801), 제 2 하우징(5802), 표시부(5803), 조작 키(5804), 렌즈(5805), 및 접속부(5806) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 비디오 카메라의 각종 접적 회로에 사용할 수 있다. 조작 키(5804) 및 렌즈(5805)는 제 1 하우징(5801)에 제공되어 있고, 표시부(5803)는 제 2 하우징(5802)에 제공되어 있다. 그리고, 제 1 하우징(5801)과 제 2 하우징(5802)은 접속부(5806)에 의하여 접속되어 있고, 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도는 접속부(5806)에 의하여 변경할 수 있다. 접속부(5806)에 의한 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도에 따라 표시부(5803)의 영상을 전환하는 구성으로 하여도 좋다.

[0300] 도 15의 (F)는 보통 자동차이며, 차체(5101), 차륜(5102), 계기판(dashboard)(5103), 및 라이트(5104) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 보통 자동차의 각종 접적 회로에 사용할 수 있다.

[0301] 예를 들어, 본 명세서 등에서 "X와 Y가 접속되어 있다"라고 명시적으로 기재하는 경우는 X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장에 나타내어진 접속 관계에 한정되지 않고, 도면 또는 문장에 나타내어진 접속 관계 이외의 것도 포함하는 것으로 한다.

[0302] 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0303] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는 X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어,

스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 스위치는 온/오프 상태가 제어되는 기능을 갖는다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘리는지 여부를 제어하는 기능을 갖는다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는다.

[0304] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는 X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 일례로서 X와 Y 사이에 다른 회로가 개재되더라도 X로부터 출력된 신호가 Y로 전달된다면 X와 Y가 기능적으로 접속되어 있는 것으로 한다.

[0305] 또한, "X와 Y가 전기적으로 접속되어 있다"라고 명시적으로 기재하는 경우는 X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 개재하여 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 회로를 개재하여 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 개재하지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, "전기적으로 접속되어 있다"라고 명시적으로 기재하는 경우에는 단순히 "접속되어 있다"라고 명시적으로 기재되는 경우와 같은 것으로 한다.

[0306] 또한, 예를 들어, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와 전기적으로 접속되어 있고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와 직접 접속되어 있고, Z1의 다른 일부가 X와 직접 접속되어 있고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와 직접 접속되어 있고, Z2의 다른 일부가 Y와 직접 접속되어 있는 경우에는 이하와 같이 나타낼 수 있다.

[0307] 예를 들어, "X와, Y와, 트랜지스터의 소스(또는 제 1 단자 등)와, 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 차례로 전기적으로 접속되어 있다"고 나타낼 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되어 있고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 차례로 전기적으로 접속되어 있다"고 나타낼 수 있다. 또는, "X는 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 차례로 접속되어 제공된다"라고 나타낼 수 있다. 상술한 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속의 차례에 대하여 규정함으로써 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)을 구별하여 기술적인 범위를 결정할 수 있다. 또한, 이들 표현 방법은 일례에 불과하고 상술한 표현 방법에 한정되지 않는다. 여기서 X, Y, Z1, 및 Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)로 한다.

[0308] 또한, 회로도상에서는 독립되어 있는 구성 요소끼리가 전기적으로 접속되어 있는 것처럼 도시되어 있는 경우라도 하나의 구성 요소가 복수의 구성 요소의 기능을 겸하는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는 하나의 도전막이 배선 기능 및 전극 기능의 양쪽 구성 요소의 기능을 겸한다. 따라서, 본 명세서에서 "전기적으로 접속"이란 이러한 하나의 도전막이 복수의 구성 요소의 기능을 겸하는 경우도 그 범주에 포함한다.

[0309] 또한, 어느 하나의 실시형태에 기재되는 내용(일부의 내용이라도 좋음)은 그 실시형태에 기재되는 다른 내용(일부의 내용이라도 좋음), 및/또는, 하나 또는 복수의 다른 실시형태에 기재되는 내용(일부의 내용이라도 좋음)에 적용하거나, 조합하거나, 또는 치환하거나 할 수 있다.

[0310] 또한, 실시형태에 기재되는 내용이란 각 실시형태에서 다양한 도면을 사용하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 뜻한다.

[0311] 또한, 어느 하나의 실시형태에서 설명되는 도면(일부이라도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 설명되는 다른 도면(일부이라도 좋음), 및/또는, 하나 또는 복수의 다른 실시형태에서 설명되는 도면(일부이라도 좋음)과 조합함으로써, 더 많은 도면을 구성할 수 있다.

[0312] 또한, 명세서 내에서 도면이나 문장으로 규정되지 않은 내용에 대하여 그 내용을 제외하는 것을 규정한 발명의 일 형태를 구성할 수 있다. 또는, 어떤 값에 대하여 상한값과 하한값 등으로 나타내어지는 수치 범위가 기재된 경우, 그 범위를 임의로 좁힘으로써, 또는 그 범위 내의 한 점을 제외함으로써 그 범위의 일부를 제외한 발명의 일 형태를 규정할 수 있다. 이로써, 예를 들어, 종래 기술이 본 발명의 일 형태의 기술적 범위 내에 들어가지 않는 것을 규정할 수 있다.

[0313] 구체적인 예로서는 어떤 회로에서 제 1 트랜지스터 내지 제 5 트랜지스터가 사용된 회로도가 기재되어 있다고 한다. 이 경우, 그 회로가 제 6 트랜지스터를 갖지 않음을 규정하여 발명을 구성할 수 있다. 또는, 그 회로가 용량 소자를 갖지 않음을 규정하여 발명을 구성할 수 있다. 또한, 그 회로가 어떤 특정의 접속 구조를 갖는 제 6 트랜지스터를 갖지 않음을 규정하여 발명을 구성할 수 있다. 또는, 그 회로가 어떤 특정의 접속 구조를 갖는 용량 소자를 갖지 않음을 규정하여 발명을 구성할 수 있다. 예를 들어, 게이트가 제 3 트랜지스터의 게이트에 접속되어 있는 제 6 트랜지스터를 갖지 않음을 규정하여 발명을 구성할 수 있다. 또는, 예를 들어, 제 1 전극이 제 3 트랜지스터의 게이트에 접속되어 있는 용량 소자를 갖지 않음을 규정하여 발명을 구성할 수 있다.

[0314] 다른 구체적인 예로서는 어떤 값에 대하여 예를 들어 "어떤 전압이 3V 이상 10V 이하인 것이 바람직하다"라고 기재되어 있다고 한다. 이 경우, 예를 들어 어떤 전압이 -2V 이상 1V 이하인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또는, 예를 들어 어떤 전압이 13V 이상인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또한, 예를 들어 그 전압이 5V 이상 8V 이하임을 규정하여 발명을 구성할 수도 있다. 또한, 예를 들어, 그 전압이 대략 9V임을 규정하여 발명을 구성할 수도 있다. 또한, 예를 들어 그 전압이 3V 이상 10V 이하이지만 9V인 경우를 제외함을 규정하여 발명을 구성할 수도 있다. 또한, 어떤 값에 대하여 "이와 같은 범위인 것이 바람직하다", "이들을 만족시키는 것이 적합하다" 등으로 기재되어 있더라도 어떤 값은 그 기재에 한정되지 않는다. 즉, "바람직하다", "적합하다" 등이라고 기재되어 있더라도 반드시 그 기재에 한정되는 것은 아니다.

[0315] 다른 구체적인 예로서는 어떤 값에 대하여 예를 들어 "어떤 전압이 10V인 것이 적합하다"라고 기재되어 있다고 한다. 이 경우, 예를 들어 어떤 전압이 -2V 이상 1V 이하인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또는, 예를 들어 어떤 전압이 13V 이상인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다.

[0316] 다른 구체적인 예로서는 어떤 물질의 성질에 대하여 예를 들어 "어떤 막은 절연막이다"라고 기재되어 있다고 한다. 이 경우, 예를 들어 이 절연막이 유기 절연막인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또는, 예를 들어 이 절연막이 무기 절연막인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또는, 예를 들어 이 막이 도전막인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또는, 예를 들어, 이 막이 반도체막인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다.

[0317] 다른 구체적인 예로서는 어떤 적층 구조에 대하여 예를 들어 "A막과 B막 사이에 어떤 막이 제공되어 있다"라고 기재되어 있다고 한다. 이 경우, 예를 들어 이 막이 4층 이상의 적층막인 경우를 제외함을 규정하여 발명을 구성할 수 있다. 또는, 예를 들어 A막과 상기 막 사이에 도전막이 제공된 경우를 제외함을 규정하여 발명을 구성할 수 있다.

[0318] 또한, 본 명세서 등에 기재되는 발명의 일 형태는 다양한 사람들이 실시할 수 있다. 그러나, 그 실시는 복수의 사람에 걸쳐 실시되는 경우가 있다. 예를 들어 송수신 시스템의 경우, A사가 송신기를 제조 및 판매하고, B사가 수신기를 제조 및 판매하는 경우가 있다. 다른 예로서는 트랜지스터 및 발광 소자를 갖는 발광 장치의 경우, 트랜지스터가 형성된 반도체 장치는 A사가 제조 및 판매한다. 그리고, B사가 그 반도체 장치를 구입하고, 그 반도체 장치에 발광 소자를 성막하여 발광 장치로서 완성시키는 경우가 있다.

[0319] 이와 같은 경우에는 A사 및 B사의 어느 쪽에 대해서도 특히 침해를 주장할 수 있는 발명의 일 형태를 구성할 수 있다. 즉, A사만이 실시하는 발명의 일 형태를 구성할 수 있고, 발명의 다른 일 형태로서 B사만이 실시하는 발명의 일 형태를 구성할 수 있다. 또한, A사 또는 B사에 대하여 특히 침해를 주장할 수 있는 발명의 일 형태는 명확하며, 본 명세서 등에 기재되어 있다고 판단할 수 있다. 예를 들어 송수신 시스템의 경우, 송신기만의 경우의 기재나, 수신기만의 경우의 기재가 본 명세서 등에 없더라도 송신기만으로 발명의 일 형태를 구성할 수 있고, 수신기만으로 발명의 다른 일 형태를 구성할 수 있고, 이들 발명의 일 형태는 명확하며, 본 명세서 등에 기재되어 있다고 판단할 수 있다. 다른 예로서는 트랜지스터 및 발광 소자를 갖는 발광 장치의 경우, 트랜지스터가 형성된 반도체 장치만의 경우의 기재나, 발광 소자를 갖는 발광 장치만의 경우의 기재가 본 명세서 등에 없더라도 트랜지스터가 형성된 반도체 장치만으로 발명의 일 형태를 구성할 수 있고, 발광 소자를 갖는 발광 장치

만으로 발명의 일 형태를 구성할 수 있고, 이를 발명의 일 형태는 명확하며, 본 명세서 등에 기재되어 있다고 판단할 수 있다.

[0320] 또한, 본 명세서 등에서는 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 모든 단자에 대하여 그 접속 대상이 특정되지 않더라도 당업자라면 발명의 일 형태를 구성할 수 있는 경우가 있다. 즉, 접속 대상을 특정하지 않더라도 발명의 일 형태가 명확하다고 할 수 있다. 그리고, 접속 대상이 특정된 내용이 본 명세서 등에 기재되어 있는 경우 접속 대상을 특정하지 않은 발명의 일 형태가 본 명세서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 특히, 단자의 접속 대상이 복수인 것이 고려되는 경우에는 그 단자의 접속 대상을 특정의 개소로 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 일부의 단자에 대해서만 그 접속 대상을 특정함으로써, 발명의 일 형태를 구성할 수 있는 경우가 있다.

[0321] 또한, 본 명세서 등에서는 어떤 회로에 대하여 적어도 접속 대상을 특정하면, 당업자라면 발명을 특정할 수 있는 경우가 있다. 또는, 어떤 회로에 대하여 적어도 기능을 특정하면 당업자라면 발명을 특정할 수 있는 경우가 있다. 즉, 기능을 특정하면 발명의 일 형태는 명확하다고 할 수 있다. 그리고, 기능이 특정된 발명의 일 형태가 본 명세서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 따라서, 어떤 회로에 대하여 기능을 특정하지 않아도 접속 대상을 특정하면 발명의 일 형태로서 기재되어 있는 것이며, 발명의 일 형태를 구성할 수 있다. 또는, 어떤 회로에 대하여 접속 대상을 특정하지 않아도 기능을 특정하면 발명의 일 형태로서 기재되어 있는 것이며, 발명의 일 형태를 구성할 수 있다. 또한, 본 명세서에서 회로의 설명에서 사용되는 "신호"라는 용어가 "회로"를 뜻하는 경우가 있고, "회로"라는 용어가 "신호"를 뜻하는 경우가 있다.

[0322] 또한, 본 명세서 등에서는 어느 하나의 실시형태에서 설명되는 도면 또는 문장에서 그 일부를 추출하여 발명의 일 형태를 구성할 수 있다. 따라서, 어떤 부분을 설명하는 도면 또는 문장이 기재되어 있는 경우, 그 일부분의 도면 또는 문장을 추출한 내용도 발명의 일 형태로서 기재되어 있는 것이며, 발명의 일 형태를 구성할 수 있는 것으로 한다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다. 따라서, 예를 들어 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 장치, 동작 방법, 제조 방법 등이 단수 또는 복수로 기재된 도면 또는 문장에서 그 일부분을 추출하여 발명의 일 형태를 구성할 수 있는 것으로 한다. 예를 들어 N개(N은 정수임)의 회로 소자(트랜지스터, 용량 소자 등)를 갖고 구성된 회로로부터 M개(M은 정수이고, M<N)의 회로 소자(트랜지스터, 용량 소자 등)를 추출하여 발명의 일 형태를 구성할 수 있다. 다른 예로서는 N개(N은 정수임)의 층을 갖고 구성된 단면도로부터 M개(M은 정수이고, M<N)의 층을 추출하여 발명의 일 형태를 구성할 수 있다. 다른 예로서는 N개(N은 정수임)의 요소를 갖고 구성된 흐름도로부터 M개(M은 정수이고, M<N)의 요소를 추출하여 발명의 일 형태를 구성할 수 있다. 다른 예로서는 "A는 B, C, D, E, 또는 F를 갖는다"라고 기재되어 있는 문장으로부터 일부의 요소를 임의로 추출하여 "A는 B와 E를 갖는다", "A는 E와 F를 갖는다", "A는 C와 E와 F를 갖는다", 또는, "A는 B와 C와 D와 E를 갖는다" 등의 발명의 일 형태를 구성할 수 있다.

[0323] 또한, 본 명세서 등에서는 어느 하나의 실시형태에서 설명되는 도면 또는 문장에서 구체적인 예가 적어도 하나 기재되는 경우, 그 구체적인 예의 상위 개념을 도출하는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 어느 하나의 실시형태에서 설명되는 도면 또는 문장에서 구체적인 예가 적어도 하나 기재되는 경우, 그 구체적인 예의 상위 개념도 발명의 일 형태로서 기재되어 있는 것이며, 발명의 일 형태를 구성할 수 있다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다.

[0324] 또한, 본 명세서 등에서는 적어도 도면의 내용(도면 내의 일부이라도 좋음)은 발명의 일 형태로서 기재되어 있는 것이며, 발명의 일 형태를 구성할 수 있다. 따라서, 어떤 내용에 대하여 도면에 기재되어 있으면 문장으로 기재되어 있지 않더라도 그 내용은 발명의 일 형태로서 기재되어 있는 것이며, 발명의 일 형태를 구성할 수 있다. 마찬가지로, 도면의 일부를 추출한 도면에 대해서도 발명의 일 형태로서 기재되어 있는 것이며, 발명의 일 형태를 구성할 수 있다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다.

부호의 설명

[0325] 90: 트랜지스터

91: 절연막

92a: 산화물 반도체막

92b: 산화물 반도체막

92c: 산화물 반도체막

93-94: 도전막

95: 절연막

96: 도전막

97: 기판

101-104: p형 Si-FET

111-118: n형 Si-FET

121-124: OS-FET

131-132: 용량 소자

151: IN

152: INB

161: OUT

162: OUTB

171-172: 저항 소자

801: 반도체 기판

810: 소자 분리 영역

811-813: 절연막

825-827: 도전막

834-837: 도전막

844: 도전막

851-853: 도전막

861: 절연막

862: 게이트 절연막

863: 절연막

901: 반도체막

910-911: 영역

921-922: 도전막

931: 게이트 전극

1000: 기판

1001: 소자 분리 영역

1002-1003: 불순물 영역

1004: 채널 형성 영역

1005: 절연막

1006: 게이트 전극

1011: 절연막

- 1012-1014: 도전막
1016-1018: 도전막
1020-1022: 절연막
1030: 반도체막
1030a: 산화물 반도체막
1030c: 산화물 반도체막
1031: 게이트 절연막
1032-1033: 도전막
1034: 게이트 전극
1101-1102: 트랜지스터
5001-5002: 하우징
5003-5004: 표시부
5005: 마이크로폰
5006: 스피커
5007: 조작 키
5008: 스타일러스
5100: 웨이팅
5101: 차체
5102: 차륜
5103: 계기판
5104: 라이트
5120: 기판
5161: 영역
5301: 하우징
5302: 냉장실용 도어
5303: 냉동실용 도어
5401: 하우징
5402: 표시부
5403: 키보드
5404: 포인팅 디바이스
5601-5602: 하우징
5603-5604: 표시부
5605: 접속부
5606: 조작 키
5801-5802: 하우징
5803: 표시부

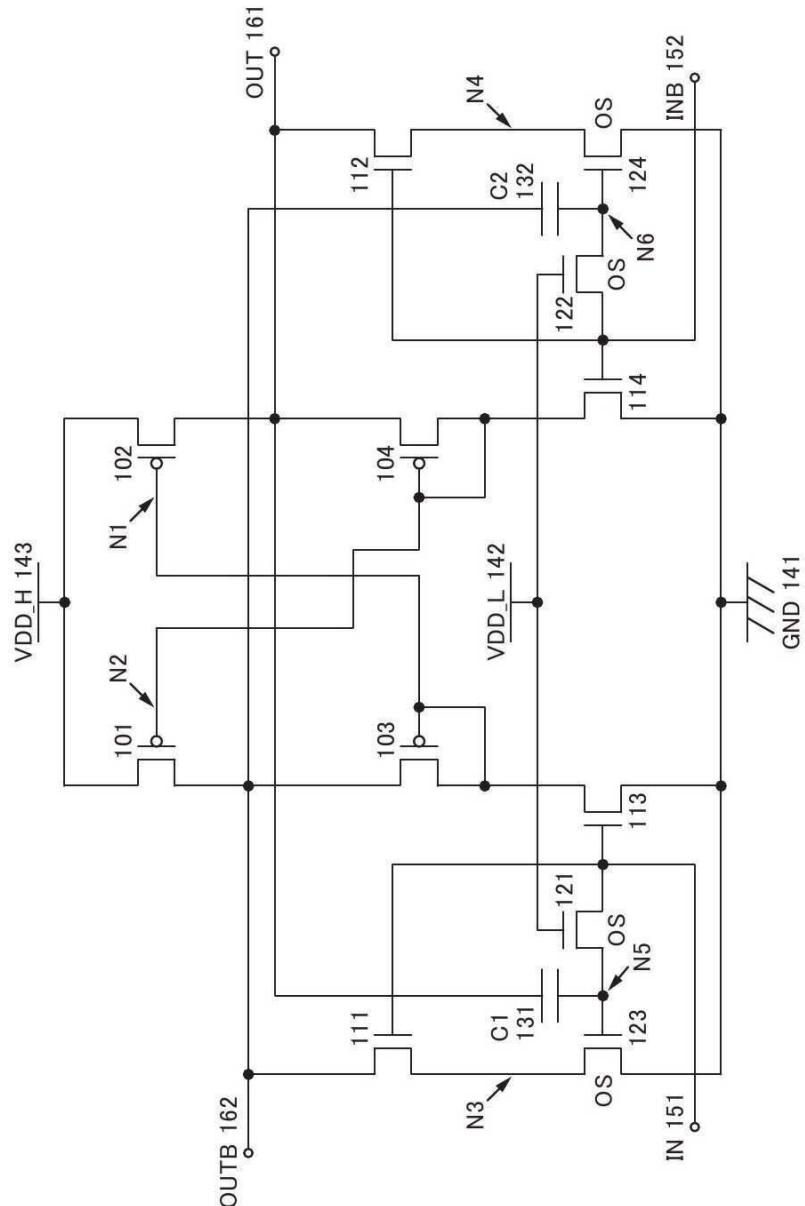
5804: 조작 키

5805: 렌즈

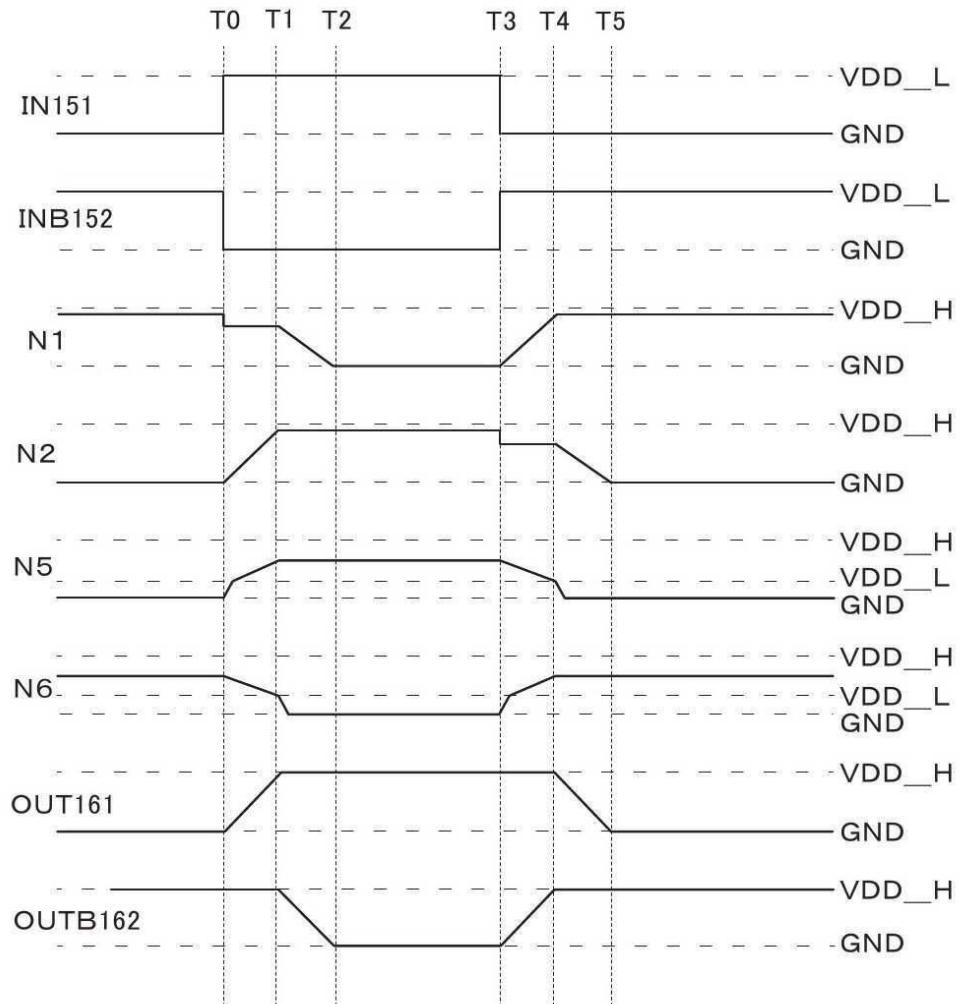
5806: 접속부

도면

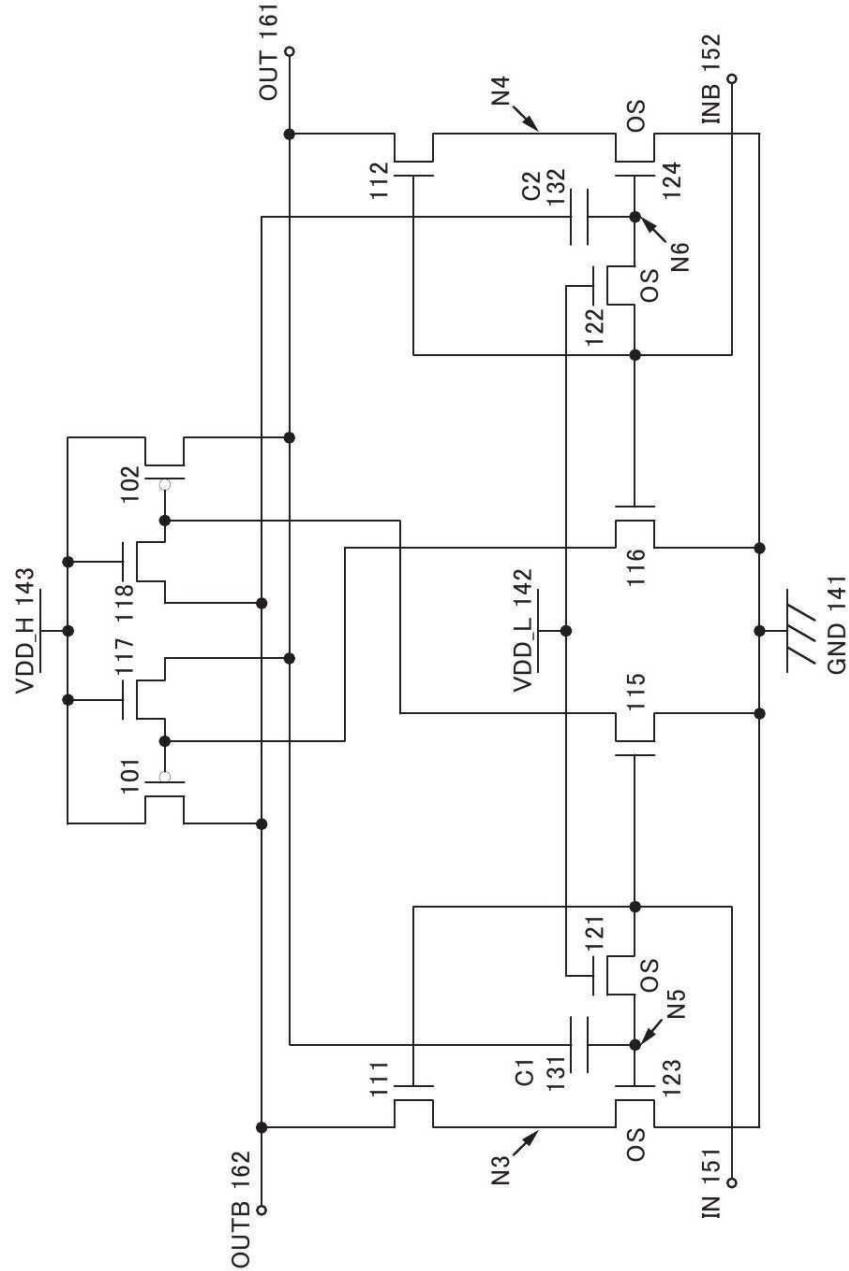
도면1



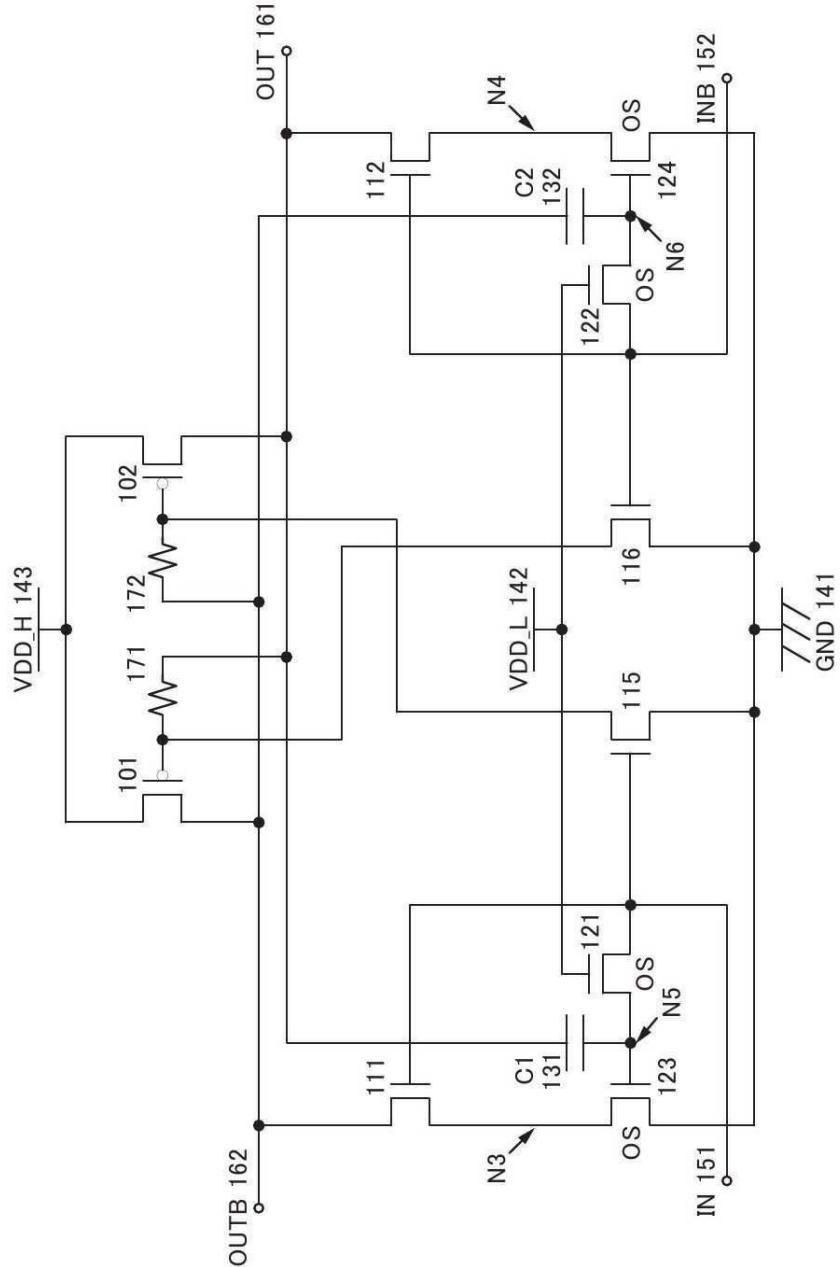
도면2



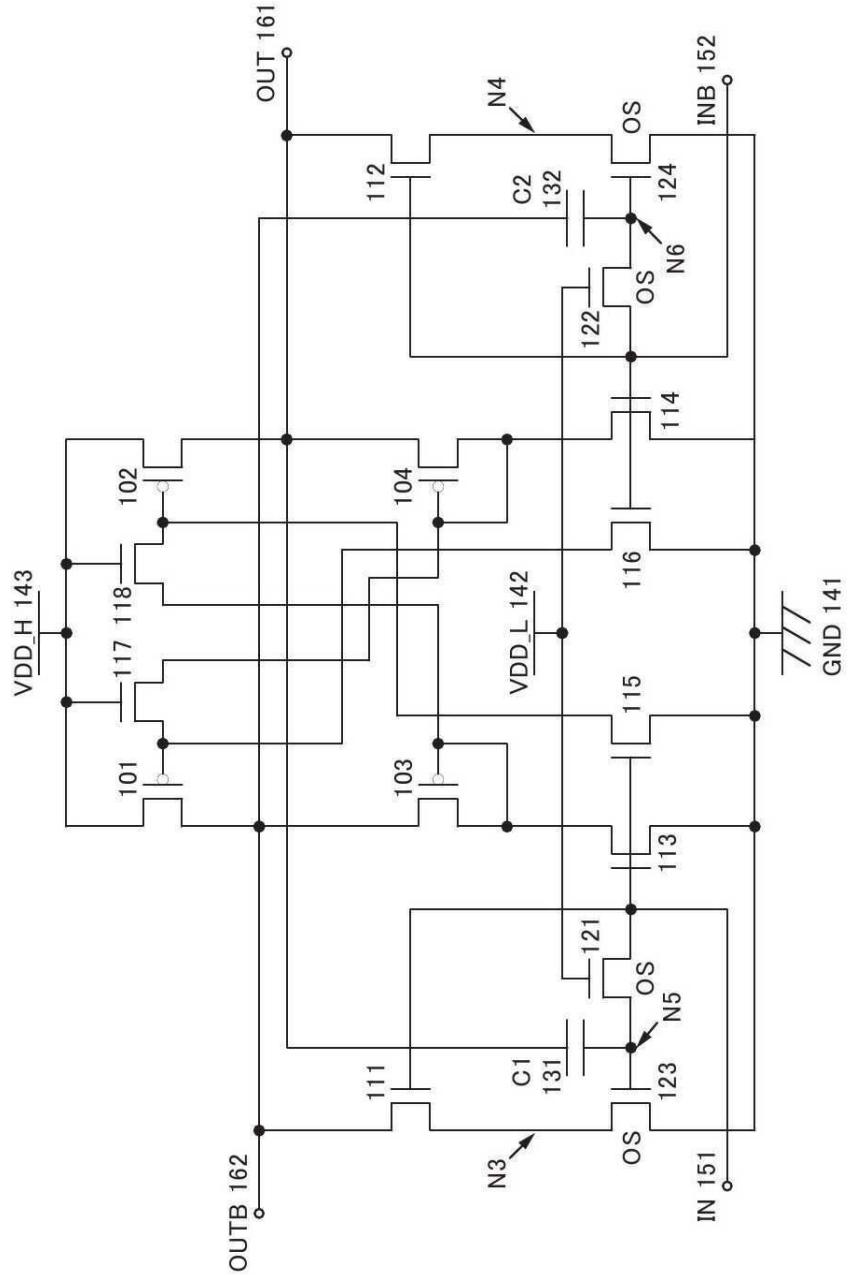
도면3



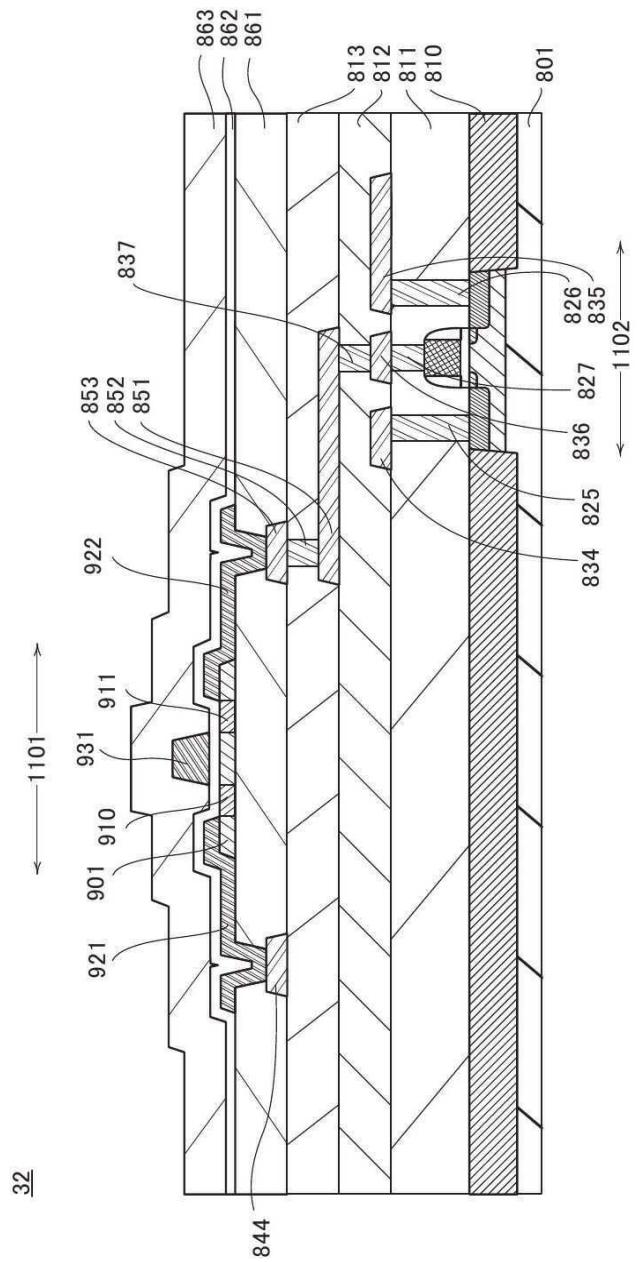
도면4



도면5

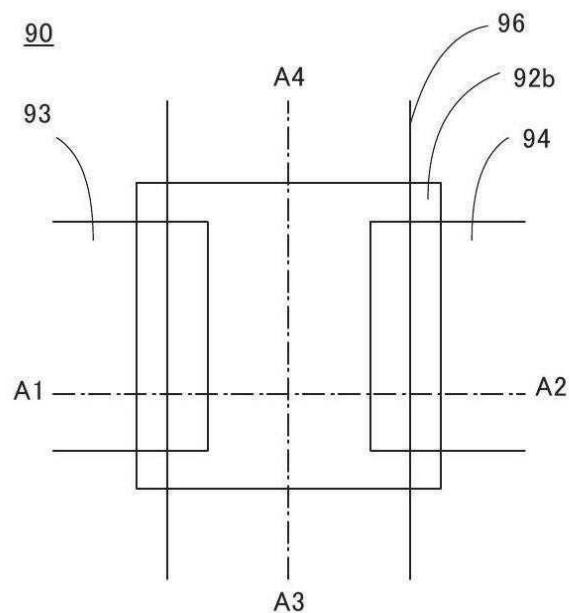


도면6

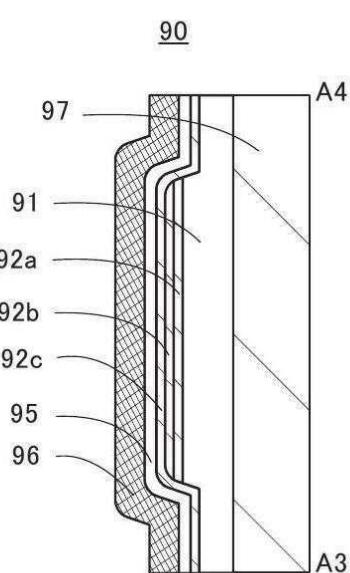


도면7

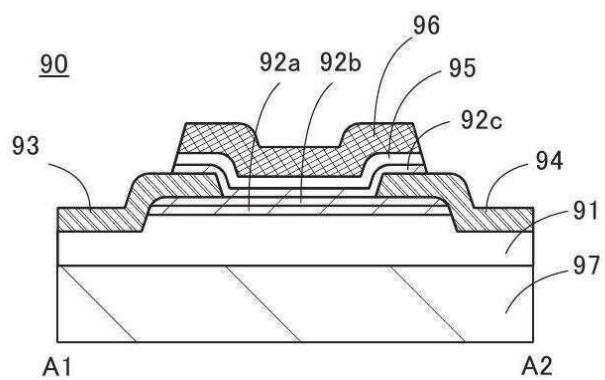
(A)



(C)

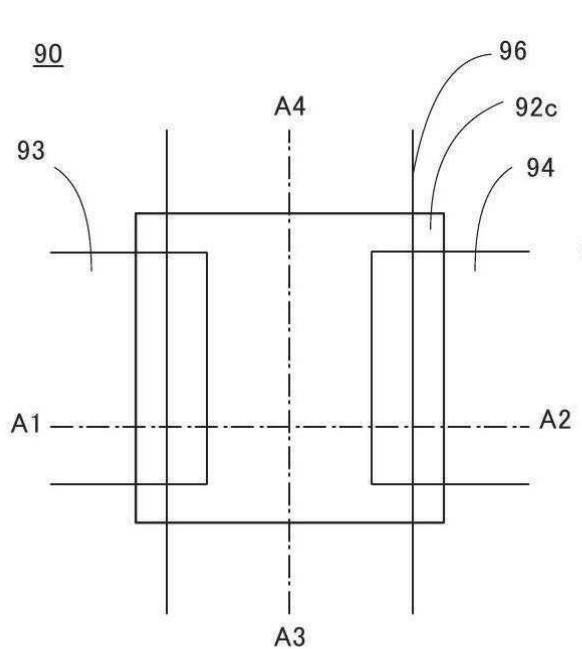


(B)

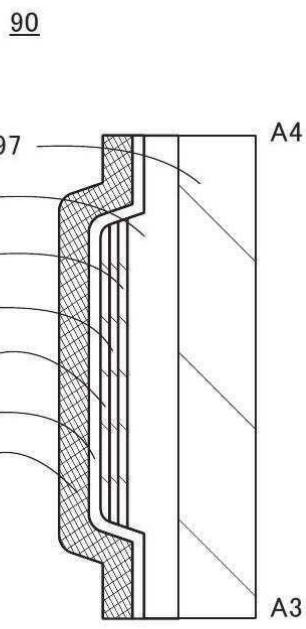


도면8

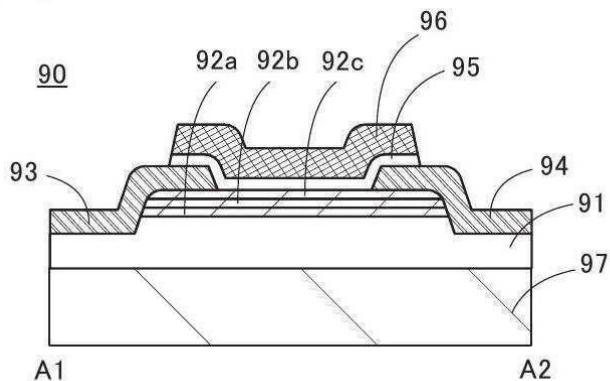
(A)



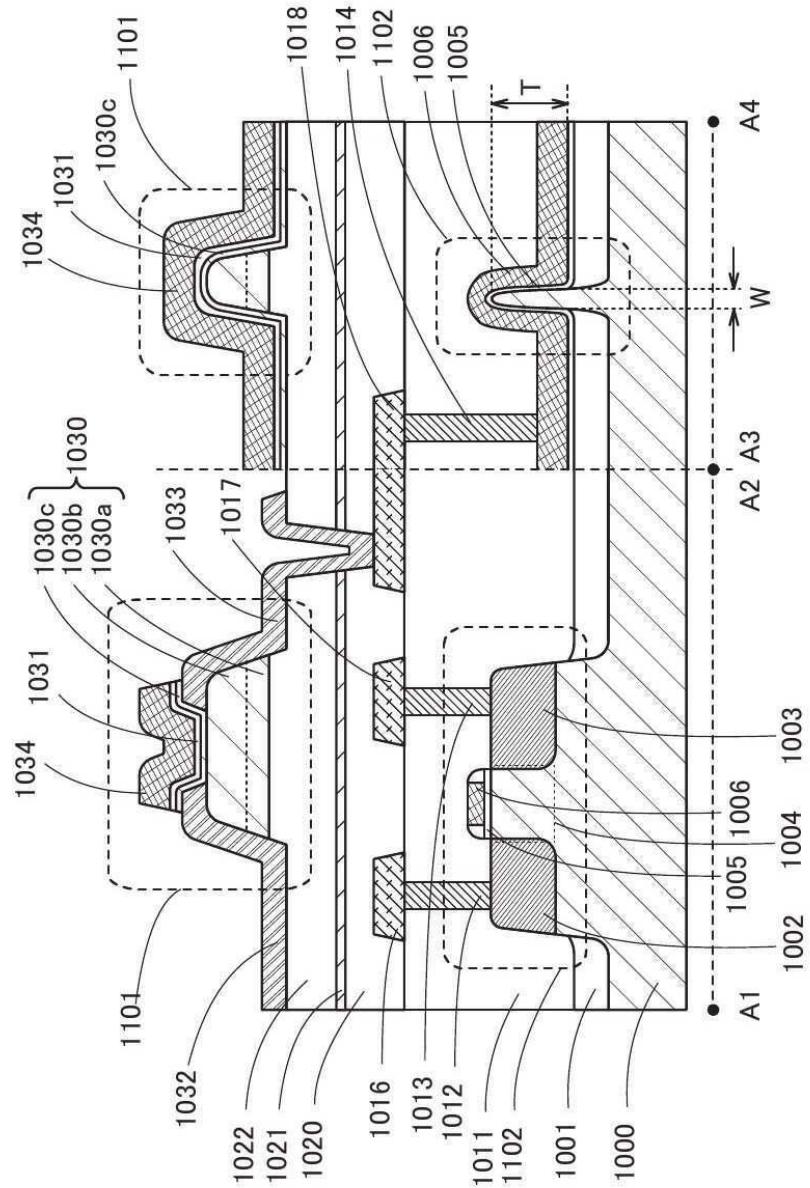
(C)



(B)

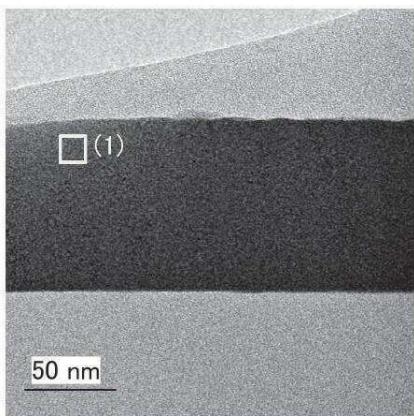


도면9

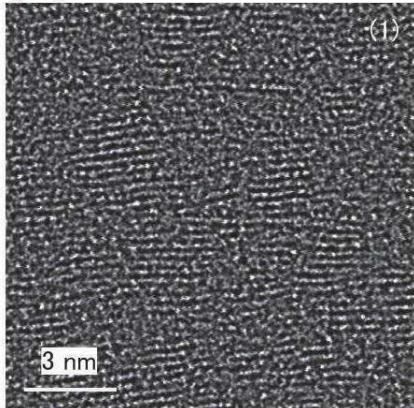


도면10

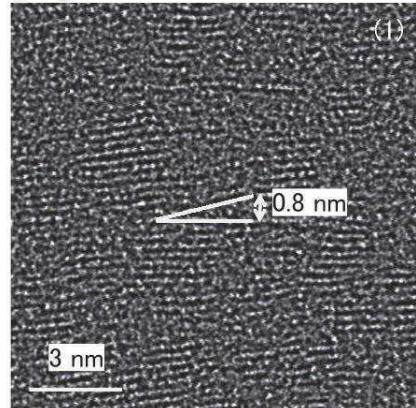
(A)



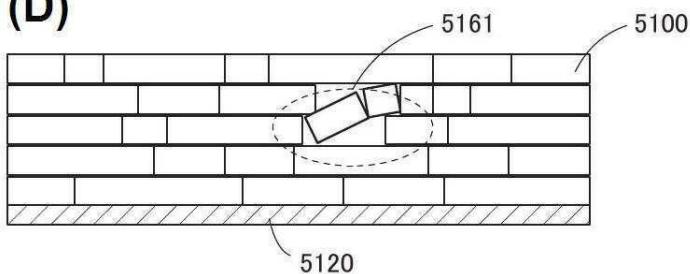
(B)



(C)

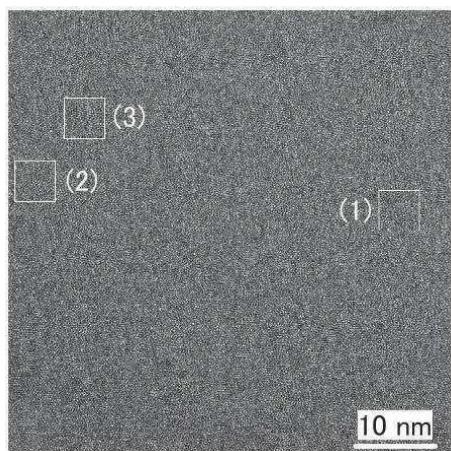


(D)

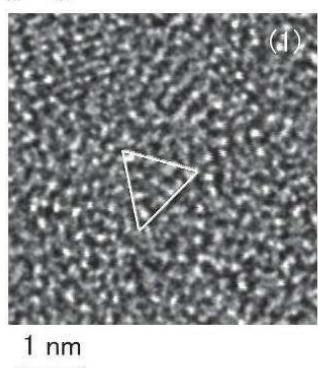


도면11

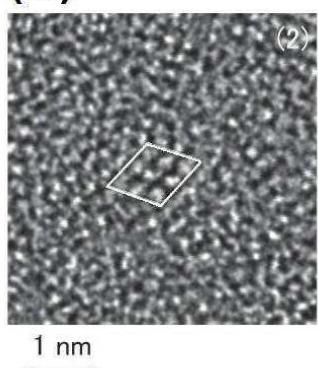
(A)



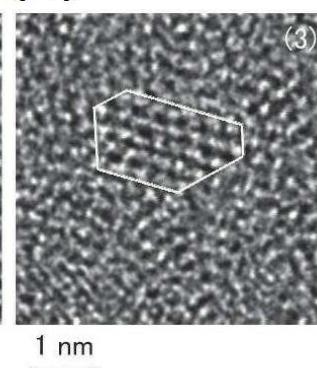
(B)



(C)

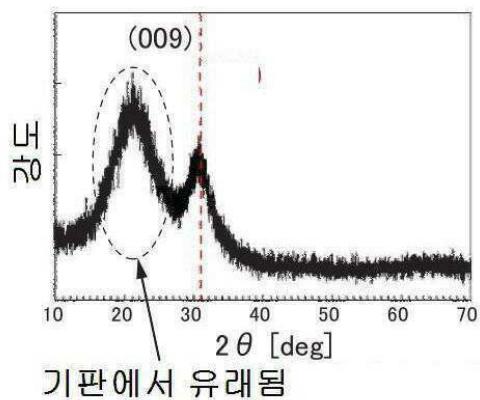


(D)

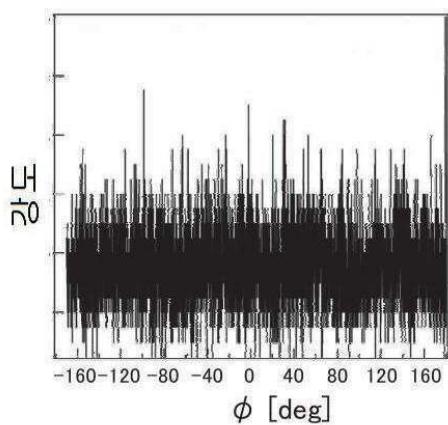


도면12

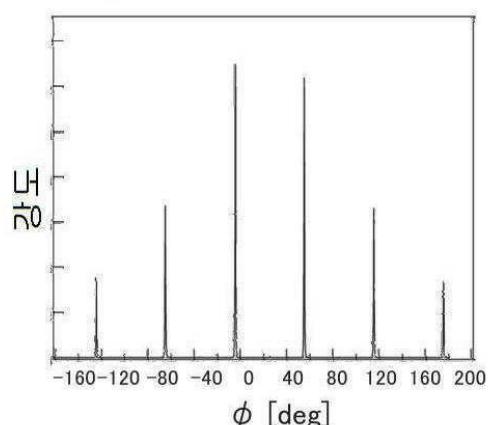
(A)



(B)

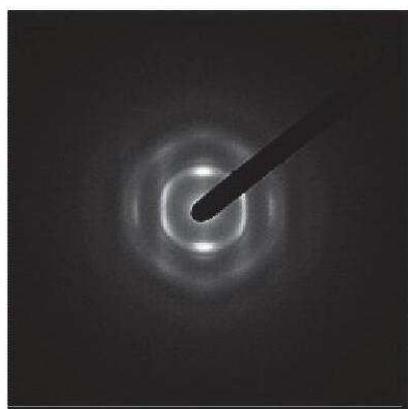


(C)

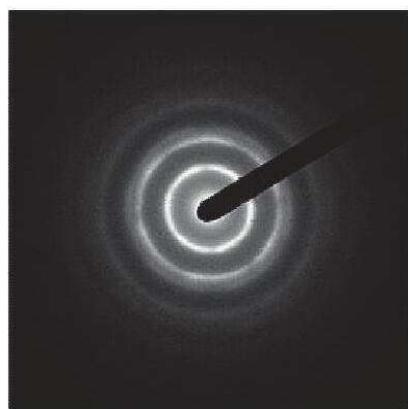


도면13

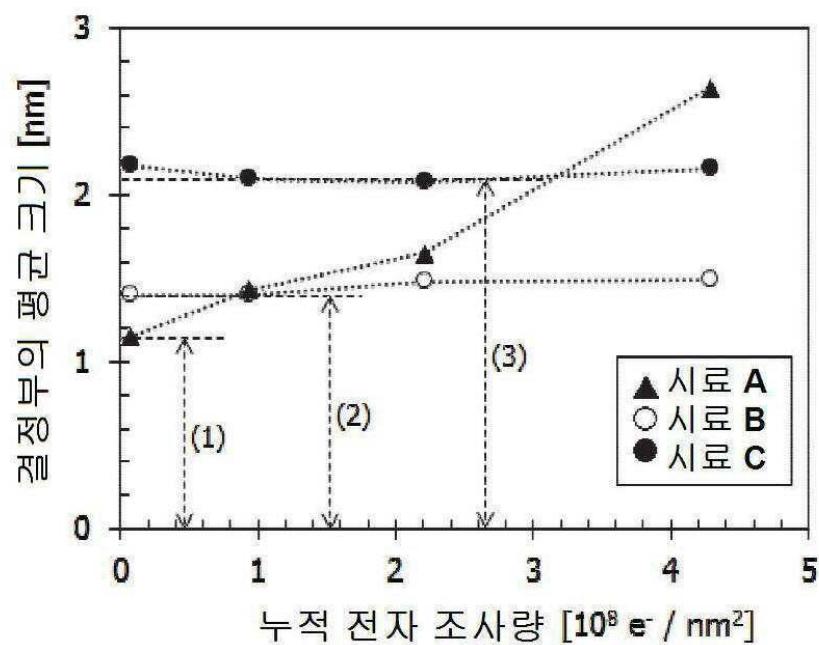
(A)



(B)



도면14



도면15

