

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5197544号
(P5197544)

(45) 発行日 平成25年5月15日 (2013.5.15)

(24) 登録日 平成25年2月15日 (2013.2.15)

(51) Int.Cl.

F I

G 1 1 C 16/06 (2006.01)

G 1 1 C 17/00 6 3 9 C

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 2 2 E

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 4 1

G 1 1 C 29/42 (2006.01)

G 1 1 C 29/00 6 3 1 D

H 0 3 M 13/19 (2006.01)

H 0 3 M 13/19

請求項の数 5 (全 14 頁)

(21) 出願番号 特願2009-231832 (P2009-231832)
 (22) 出願日 平成21年10月5日 (2009.10.5)
 (65) 公開番号 特開2011-81858 (P2011-81858A)
 (43) 公開日 平成23年4月21日 (2011.4.21)
 審査請求日 平成24年2月8日 (2012.2.8)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100076233
 弁理士 伊藤 進
 (72) 発明者 櫻田 健次
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 内川 浩典
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 審査官 小林 紀和

最終頁に続く

(54) 【発明の名称】 メモリシステム

(57) 【特許請求の範囲】

【請求項 1】

ホストと記憶装置とからなるメモリシステムであって、

2^N (Nは2以上の自然数) 個の閾値電圧分布に基づきNビットの符号化データを記憶する半導体メモリセルと、

閾値電圧に対応した通常対数尤度比データからなる第1の対数尤度比テーブルと、前記第1の対数尤度比テーブルにおいて隣り合う2つの対数尤度比の符号が反転する箇所と対応する箇所の、2つの対数尤度比の絶対値が、前記第1の対数尤度比テーブルのそれぞれの対数尤度比の絶対値と異なる対数尤度比データからなる第2の対数尤度比テーブルと、を記憶する記憶部と、

前記第1の対数尤度比テーブルまたは第2の対数尤度比テーブルと、前記閾値電圧とから算出された対数尤度比を用いて確率に基づく反復計算による復号処理をするデコーダと、を具備し、

前記第1の対数尤度比テーブルと前記閾値電圧とから算出された対数尤度比による前記復号処理がエラーの場合に、前記第2の対数尤度比テーブルと前記閾値電圧とから算出された対数尤度比による前記復号処理を行うことを特徴とするメモリシステム。

【請求項 2】

前記第2の対数尤度比テーブルの前記対応する箇所の前記2つの対数尤度比の値が、いずれも「0」であることを特徴とする請求項1に記載のメモリシステム。

【請求項 3】

前記第 1 の対数尤度比テーブルの対数尤度比の符号が反転する前記箇所の 2 つの対数尤度比の絶対値の差よりも、前記第 2 の対数尤度比テーブルの前記対応する箇所の 2 つの対数尤度比の絶対値の差が大きく、かつ前記対応する箇所の 2 つの対数尤度比のうちの閾値電圧が高電圧側の全ての対数尤度比の絶対値が、他方側の対数尤度比の絶対値よりも大きい、または、小さいことを特徴とする請求項 1 に記載のメモリシステム。

【請求項 4】

前記第 2 の対数尤度比テーブルが、

前記第 1 の対数尤度比テーブルの対数尤度比の符号が反転する前記箇所の 2 つの対数尤度比の絶対値の差よりも、前記第 2 の対数尤度比テーブルの前記対応する箇所の 2 つの対数尤度比の絶対値の差が大きく、かつ前記対応する箇所の 2 つの対数尤度比のうちの閾値電圧が高電圧側の全ての対数尤度比の絶対値が、他方側の対数尤度比の絶対値よりも大きい第 3 の対数尤度比テーブルと、

10

前記第 1 の対数尤度比テーブルの対数尤度比の符号が反転する前記箇所の 2 つの対数尤度比の絶対値の差よりも、前記第 2 の対数尤度比テーブルの前記対応する箇所の 2 つの対数尤度比の絶対値の差が大きく、かつ前記対応する箇所の 2 つの対数尤度比のうちの閾値電圧が高電圧側の全ての対数尤度比の絶対値が、他方側の対数尤度比の絶対値よりも小さい第 4 の対数尤度比テーブルと、からなり、

前記第 2 の対数尤度比テーブルとして、前記第 3 の対数尤度比テーブルまたは第 4 の対数尤度比テーブルの少なくともいずれかを用いて前記復号処理を行うことを特徴とする請求項 1 に記載のメモリシステム。

20

【請求項 5】

前記 N が 2 以上 7 以下であることを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データを符号化処理して符号化データとして記憶し、読み出し時に符号化データを復号処理するメモリシステムに関し、特に対数尤度比テーブルを用いて確率に基づく反復計算による復号処理を行うメモリシステムに関する。

【背景技術】

30

【0002】

ホストと半導体メモリ部を有する記憶装置とを具備するメモリシステムにおいては、誤り訂正符号によるデータの符号化および復号に関する開発が行われている。

【0003】

誤り訂正符号は、BCH 符号または RS 符号のような代数系の硬判定復号符号と、確率に基づく反復計算による軟判定復号符号とに大別できる。そして、軟判定復号符号に属する低密度パリティ検査符号（以下、「LDPC 符号」という。）が注目されている。LDPC 符号は、符号性能の理論的限界であるシャノン限界に迫る優れた性能が報告されている。

【0004】

40

ここで、NAND 型半導体メモリ部を有する記憶装置では、1 個のメモリセルに複数ビットのデータを記憶する、いわゆる多値メモリ化が記憶密度の高密度化に大きく寄与している。多値メモリにおいては、それぞれのメモリセルの電荷蓄積層に注入された電荷量に対応した閾値電圧がワード線に印加された場合にデータが読み出される。

【0005】

出願人は、特開 2008 - 59679 号公報に、4 値メモリセルを有する半導体メモリ装置において、ハードビット読み出し電圧 3 種類と、ソフトビット読み出し電圧 12 種類との合計 15 種類の読み出し電圧によりデータを読み出す、いわゆる 16 レベル読み出し方法を開示している。

【0006】

50

しかし対数尤度比テーブルを用いて確率に基づく反復計算による復号処理を行うメモリシステムにおいては閾値電圧分布の変化により誤り訂正能力が低下することがあった。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-59679号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は誤り訂正能力の高いメモリシステムを提供することを目的とする。

10

【課題を解決するための手段】

【0009】

本願発明の一態様によれば、ホストと記憶装置とからなるメモリシステムであって、 2^N (N は2以上の自然数)個の閾値電圧分布に基づき N ビットの符号化データを記憶する半導体メモリセルと、閾値電圧に対応した通常対数尤度比データからなる第1の対数尤度比テーブルと、第1の対数尤度比テーブルにおいて隣り合う2つの対数尤度比の符号が反転する箇所と対応する箇所の、2つの対数尤度比の絶対値が、第1の対数尤度比テーブルのそれぞれの対数尤度比の絶対値と異なる対数尤度比データからなる第2の対数尤度比テーブルと、を記憶する記憶部と、第1の対数尤度比テーブルまたは第2の対数尤度比テーブルと、閾値電圧とから算出された対数尤度比を用いて確率に基づく反復計算による復号処理をするデコーダと、を具備し、第1の対数尤度比テーブルと閾値電圧とから算出された対数尤度比による復号処理がエラーの場合に、第2の対数尤度比テーブルと閾値電圧とから算出された対数尤度比による復号処理を行うことを特徴とするメモリシステムが提供される。

20

【発明の効果】

【0010】

本発明は、誤り訂正能力の高いメモリシステムを提供する。

【図面の簡単な説明】

【0011】

【図1】第1の実施形態のメモリシステムの概略構成を示す構成図である。

30

【図2】第1の実施形態のメモリシステムの構成を示す構成図である。

【図3】閾値電圧分布と記憶データと対数尤度比テーブルとの関係を示す説明図である。

【図4】公知のメモリシステムのLLRテーブルの一例であり、横軸は閾値電圧に対応しており図面右側が高電圧側である。

【図5】閾値電圧分布の変化によるLLRの変化を説明するための図であり、(A)は閾値電圧分布とLLRテーブルとが正しく対応している場合を、(B)は閾値電圧分布の低電圧側へのシフトにより閾値電圧分布とLLRテーブルとが正しく対応していない場合を示している。

【図6】第1の実施の形態のメモリシステムのLLRテーブルを示している。

【図7】第1の実施の形態のメモリシステムの動作の流れを説明するためのフローチャートである。

40

【図8】第2の実施の形態のメモリシステムのLLRテーブルを示している。

【図9】閾値電圧分布のシフトによるLLRの変化を説明するための図であり、(A)は閾値電圧分布とLLRテーブルとが正しく対応している場合を、(B)は閾値電圧分布の高電圧側へのシフトにより閾値電圧分布とLLRテーブルとが正しく対応していない場合を示している。

【図10】第2の実施の形態の変形例のメモリシステムのLLRテーブルを示している。

【図11】第3の実施の形態のメモリシステムの動作の流れを説明するためのフローチャートである。

【発明を実施するための形態】

50

【 0 0 1 2 】

< 第 1 の実施形態 >

最初に、図 1 および図 2 を用いて本発明の第 1 の実施形態のメモリシステム 5 について説明する。図 1 に示すようにメモリシステム 5 はパソコンまたはデジタルカメラ等のホスト 4 と、ホスト 4 と着脱可能に接続される記憶装置であるメモリカード 3 とを具備する。ホスト 4 はホスト CPU (不図示) の制御により、メモリカード 3 とデータの送受信を行う。

【 0 0 1 3 】

なお、メモリシステムとしてはホストとホストの内部に収納されホストの起動データ等を記憶する、いわゆるエンベデッドタイプの記憶装置とを有するものであってもよく、記憶装置は半導体ディスク：SSD (Solid State Drive) 等の形態であってもよい。あるいはメモリカード 3 に相当する記憶装置とホストが一体化して、携帯音楽プレーヤとして機能するメモリシステム等であってもよい。

10

【 0 0 1 4 】

図 1 に示すように、記憶装置であるメモリカード 3 は、半導体メモリ部 1 3 と、メモリコントローラ 2 とを有する。半導体メモリ部 1 3 はフラッシュメモリ部であり、単位セルである多数のメモリセル 1 3 D が、ワード線制御部 1 3 A により制御された読み出し電圧をメモリセル 1 3 D に印加するためのワード線 1 3 E 等で接続された構成を有する。

【 0 0 1 5 】

メモリカード 3 のメモリセル 1 3 D は、1 個のメモリセルに N ビット (N は 2 以上の自然数) のデータを閾値電圧分布に基づき記憶可能な多値メモリセルである。以下、N = 3 の 8 値メモリセルを例に説明する。

20

【 0 0 1 6 】

メモリコントローラ 2 は、バス 1 7 を介して接続された、ROM 1 0 と、CPU コア 1 1 と、RAM 1 8 と、ホスト I / F (インターフェイス) 1 4 と、誤り検出訂正部 (以下「ECC 部」という) 1 5 と、NAND I / F (インターフェイス) 1 6 とを有する。

【 0 0 1 7 】

メモリコントローラ 2 は、CPU コア 1 1 の制御のもと、ホスト I / F 1 4 を介してホスト 4 とのデータ送受信を、NAND I / F 1 6 を介してメモリ部 1 3 とのデータ送受信を行う。またメモリコントローラ 2 は、メモリ部 1 3 のアドレス管理を CPU コア 1 1 で実行される FW (Firm Ware) で実現している。また、ホスト 4 からのコマンド入力に応じたメモリカード 3 全体の制御も CPU コア 1 1 が FW により実行する。ROM 1 0 には、メモリカード 3 の制御プログラム等が格納されており、RAM 1 8 には、アドレス管理で必要となるアドレス変換テーブル等が記憶される。

30

【 0 0 1 8 】

ECC 部 1 5 は、データ記憶時に誤り訂正符号を生成し付与するエンコーダ 1 2 と、データ読み出し時に、読み出された符号化データを復号するデコーダ 1 とを有する。本実施の形態の ECC 部 1 5 は、確率に基づく反復計算により軟判定復号処理される軟判定復号符号である L D P C 符号を用いる。もちろん軟判定復号符号と硬判定復号符号とからなる

40

【 0 0 1 9 】

そして図 2 に示すように、メモリカード 3 は、メモリセル 1 3 D にワード線 1 3 E を介して所定の読み出し電圧を印加する制御を行うワード線制御部 1 3 A と、読み出し電圧に基づいた対数尤度比テーブルを記憶する記憶部である対数尤度比テーブル記憶部 2 0 と、対数尤度比を用いて軟判定復号処理するデコーダ 1 とを有する。そして、対数尤度比テーブル記憶部 2 0 には、第 1 の対数尤度比テーブル 2 1 と第 2 の対数尤度比テーブル 2 2 とが記憶されている。

【 0 0 2 0 】

なお、対数尤度比テーブル記憶部 2 0 は ROM 1 0 の一部であっても良いし、メモリカ

50

ード3の起動時にROM10からRAM18に転送されることによりRAM18の一部となってもよいし、ECC部15内にあってもよい。

【0021】

次に本実施の形態のメモリシステム5の動作について説明する。

【0022】

ホスト4からメモリカード3に送信されたデータはエンコーダ12により符号化され符号化データとして半導体メモリ部13に記憶される。そしてホスト4から読み出し指示があった場合には、CPUコア11の制御により半導体メモリ部13から符号化データが読み出され、デコーダ1による復号処理が行われ復号処理後のデータがホスト4に送信される。

10

【0023】

LDP符号により符号化された符号化データの復号処理においては、所定の読み出し電圧により読み出されたデータから最初にデータの確からしさを示す対数尤度比(Log Likelihood Ratio 以下、「LLR」ともいい。符号「」で示す。)が対数尤度比テーブルをもとに算出される。対数尤度比の絶対値| |を信頼度といい、信頼度が、大きいほど信頼性が高く、反対に、信頼度が0に近いほど信頼性が低いことを意味する。そして、LDP復号処理ではLLRをもとに、確率に基づく反復計算による軟判定復号処理により誤り訂正処理が行われる。

【0024】

本実施の形態のメモリシステム5では、閾値電圧とLLRの関係を予め算出しておき、対数尤度比テーブル記憶部20に記憶しておく。例えば、図3のように、 2^3 (8)個の閾値電圧分布のうち、データ(111)を記憶したメモリセルの閾値電圧分布がP1(x)であるとき、そのハイビットのLLR(H)、アッパービットのLLR(U)、ローヤビットのLLR(L)は、それぞれ図中の式により算出される。すなわち、それぞれのビットが「0」か「1」のいずれかである確率から算出したLLRがLLRテーブルとして記憶されている。

20

【0025】

しかし、メモリセルの製造時のばらつき等により、同じデータを記憶してもメモリセル毎に閾値電圧は異なる場合がある。すなわち同じデータを記憶した複数のメモリセルの閾値電圧には所定の分布がある。そして、閾値電圧分布の中央付近の電圧で読み出されたデータの信頼性は高く、閾値電圧分布の上限付近または下限付近の電圧で読み出されたデータの信頼性は低い。

30

【0026】

このため、例えば図4に示すように、それぞれの閾値電圧分布を中央値を基準に4分割し、それぞれの範囲内の閾値電圧の場合のLLRをLLRテーブルとして記憶している。なお分割数は4に限られるものではなく、また閾値分布を略等間隔に均等に分割されるものにも限られない。例えば、LLRは閾値電圧に対して急激に変化するポイントがあり、そのポイントをもとに分割することが好ましい。

【0027】

すでに説明したように同じデータを記憶してもメモリセル毎に閾値電圧は異なる。さらに、閾値電圧分布が閾値電圧に対してシフト移動することがある。ここで、図5(A)に示すように、閾値電圧がAの範囲では、LLRテーブル作成時には、(データが0であるメモリセルに相当する領域11の面積)>(データが1であるメモリセルに相当する領域12の面積)であるために、データは「0」であり、そのLLRは例えば、(領域11の面積)/(領域12の面積)により算出される正の値である。これに対して、閾値電圧がBの範囲では、データは「1」であり、そのLLRは負の値である。すなわち、図5(A)に示す箇所は、隣り合う2つの対数尤度比の符号が反転する箇所である。

40

【0028】

この場合に、図5(B)に示すように閾値電圧分布が左側、すなわち閾値電圧が低電圧側にシフトすることにより、最適読み出しレベルがずれると、閾値電圧がAの範囲では、

50

(領域 1 1 の面積) < (領域 1 2 の面積) であることから、実際にはデータは「1」であり、その LLR は (領域 1 1 の面積) / (領域 1 2 の面積) により算出される負の値である。

【0029】

すなわち、LLR の符号が誤って反転する現象、すなわち、「0」のデータを「1」として復号処理する誤処理が発生することになる。LDPC 復号処理では多数のビットデータが互いに対数尤度比情報をやりとりするイタレーション処理により復号処理を行うために、いずれかのビットデータの値が誤っていると全体の符号処理が影響を受け、訂正能力が低下したり、処理速度が低下したりする。

【0030】

このため、図 6 に示すように、本実施の形態のメモリシステム 5 は、閾値電圧に対応した通常対数尤度比データからなる第 1 の対数尤度比テーブル 2 1 に加えて、第 2 の対数尤度比テーブル 2 2 を有する。通常対数尤度比データからなる第 1 の対数尤度比テーブル 2 1 とは多数のメモリセルの平均的な閾値電圧分布に対応した LLR を記憶したテーブルである。

【0031】

これに対して第 2 の対数尤度比テーブル 2 2 は、第 1 の対数尤度比テーブルにおいて隣り合う 2 つの対数尤度比の符号が反転する箇所と対応する箇所の、2 つの対数尤度比が 0 である対数尤度比データからなる。すなわち、メモリセルのばらつき等を考慮した閾値電圧分布に対応した LLR を記憶したテーブルである。

【0032】

例えば図 6 において上段に示した第 1 の LLR テーブル 2 1 において、データ (HUL) が (001) と (101) との境界における LLR (H) は、「6」と「-5」とであり、この箇所で符号が反転している。これに対して、図 6 において下段に示した第 2 の LLR テーブル 2 2 においては、データ (HUL) が (001) と (101) との境界における LLR (H) は、2 つとも「0」となっている。すなわち、「6」または「-5」であった LLR が「0」となっている。

【0033】

そしてメモリシステム 5 のデコーダ 1 は、第 1 の対数尤度比テーブル 2 1 または第 2 の対数尤度比テーブル 2 2 から算出された対数尤度比を用いて確率に基づく反復計算による復号処理をする。

【0034】

対数尤度比が 0 とは、その信頼度が最低であることを意味しているために、イタレーション処理の初期において、そのデータは「0」であるか「1」であるか不明であるとして扱われる。このため、データが「1」であっても「0」であっても全体の LDPC 復号処理に与える悪影響は小さくなる。

【0035】

次に図 7 のフローチャートに従い本実施の形態のメモリシステム 5 における復号処理について説明する。

【0036】

<ステップ S 1 0>

ワード線 1 3 E に印加する電圧により、メモリセルの閾値電圧が検知される。

【0037】

<ステップ S 1 1>

検知された閾値電圧と、LLR テーブル記憶部 2 0 に記憶されている第 1 の LLR テーブル 2 1 とから、LLR が算出される。

【0038】

<ステップ S 1 2>

所定個数のビットデータを単位として、LDPC 復号処理が行われる。

【0039】

<ステップ S 1 3 >

予め定められた最大イタレーション回数、例えば N 1 回内で、復号処理が完了した場合 (Y e s) には、ステップ S 1 8 において復号データがホストに転送される。

【 0 0 4 0 】

<ステップ S 1 4 >

S 1 3 において、最大イタレーション回数の処理を行っても、復号処理が完了しなかった場合 (N o) には、検知された閾値電圧と、第 2 の L L R テーブル 2 2 とから、L L R が算出される。

【 0 0 4 1 】

<ステップ S 1 5 >

所定個数のビットデータを単位として、L D P C 復号処理が行われる。

【 0 0 4 2 】

<ステップ S 1 6 >

予め定められた最大イタレーション回数、例えば N 2 回内で、復号処理が完了した場合 (Y e s) には、ステップ S 1 8 において復号データがホストに転送される。

【 0 0 4 3 】

<ステップ S 1 7 >

S 1 6 において、最大イタレーション回数の処理を行っても、復号処理が完了しなかった場合 (N o) には、例えばエラーコマンドがホストに送信される。

【 0 0 4 4 】

以上の説明のように、本実施の形態のメモリシステム 5、メモリカード 3、およびメモリコントローラ 2 は、閾値電圧に対応した通常対数尤度比データからなる第 1 の対数尤度比テーブルと、前記第 1 の対数尤度比テーブルにおいて隣り合う 2 つの対数尤度比の符号が反転する箇所と対応する箇所の、2 つの対数尤度比の絶対値が、前記第 1 の対数尤度比テーブルのそれぞれの対数尤度比の絶対値よりも小さい対数尤度比データからなる第 2 の対数尤度比テーブルと、を記憶する L L R テーブル記憶部 2 0 を有し、第 1 の対数尤度比テーブルと閾値電圧とから算出された対数尤度比による前記復号処理がエラーの場合に、第 2 の対数尤度比テーブルと閾値電圧とから算出された対数尤度比による前記復号処理を行う。特に、第 2 の対数尤度比テーブルの対応する箇所の、2 つの対数尤度比が共に「0」であることが好ましい。

【 0 0 4 5 】

また、本実施の形態のメモリシステム 5 の制御方法は、 2^N (N は 2 以上の自然数) 個の閾値電圧分布に基づき N ビットの符号化データを記憶した半導体メモリセルの閾値電圧を検出する閾値電圧検知工程と、閾値電圧に対応した通常対数尤度比データからなる第 1 の対数尤度比テーブルと検知した前記閾値電圧とから第 1 の L L R を算出する第 1 の L L R 算出工程と、第 1 の L L R に基づきイタレーション復号処理を行う第 1 の L D P C 復号工程と、前記第 1 の L D P C 復号工程において復号できなかった場合に、前記第 1 の対数尤度比テーブルにおいて隣り合う 2 つの対数尤度比の符号が反転する箇所と対応する箇所の、2 つの対数尤度比の絶対値が、前記第 1 の対数尤度比テーブルのそれぞれの対数尤度比の絶対値よりも小さい対数尤度比データからなる第 2 の対数尤度比テーブルと前記検知した閾値電圧とから第 2 の L L R を算出する第 2 の L L R 算出工程と、第 2 の L L R に基づきイタレーション復号処理を行う第 2 の L D P C 復号工程と、を具備する。

【 0 0 4 6 】

<第 2 の実施形態>

以下、図面を参照して本発明の第 2 の実施形態のメモリシステム 5 A について説明する。第 2 の実施形態のメモリシステム 5 A は、第 1 の実施形態のメモリシステム 5 と類似しているため同じ構成要素の説明は省略する。

【 0 0 4 7 】

本実施形態のメモリシステム 5 A の L L R テーブル記憶部 2 0 A は、第 1 の実施形態のメモリシステム 5 とは異なる第 2 の L L R テーブル 2 2 A を記憶する。すなわち、L L R

10

20

30

40

50

テーブル記憶部 20A は、第 1 の対数尤度比テーブル 21 と同じ、閾値電圧に対応した通常の対数尤度比データからなる第 1 の対数尤度比テーブル 21A と、第 2 の対数尤度比テーブル 22A とを有する。第 2 の対数尤度比テーブル 22A は、第 1 の対数尤度比テーブル 21A において隣り合う 2 つの対数尤度比の符号が反転する箇所と対応する箇所の、2 つの対数尤度比の絶対値の差が第 1 の対数尤度比テーブル 21A よりも大きく、かつ、2 つの対数尤度比のうちの閾値電圧が高電圧側の対数尤度比（第 1 の LLR）の絶対値が低電圧側の対数尤度比（第 2 の LLR）の絶対値よりも大きい。

【0048】

すなわち、メモリシステム 5A は図 5（B）に示す閾値電圧分布が低電圧側にシフトした場合、またはリードレベルが高電圧側にシフトした場合を想定した図 8 に示す第 2 の LLR テーブル 22A を有する。

10

【0049】

第 1 の LLR および第 2 の LLR は適宜、定められるが、例えば第 1 の対数尤度比テーブル 21A の中の対数尤度比のうち最も絶対値が小さい LLR を基準 LLR とし、第 1 の LLR は、基準 LLR よりも大きな絶対値とし、第 2 の LLR は基準 LLR よりも小さな絶対値とする。

【0050】

図 8 上段に示した LLR テーブル記憶部 20A に記憶する第 1 の LLR テーブル 21A において太線枠で囲った隣り合う 2 つの対数尤度比の符号が反転する箇所の LLR の絶対値の最小は「5」であり、絶対値の最大差は「1」である。そして図 8 下段に示した LLR テーブル記憶部 20A に記憶する第 2 の LLR テーブル 22A において、第 1 の対数尤度比テーブル 21A において隣り合う 2 つの対数尤度比の符号が反転する箇所と対応する箇所（太線枠）の第 1 の LLR の絶対値は「7」を、第 2 の LLR の絶対値は「1」である。

20

【0051】

上記実施の形態のメモリシステム 5A は、第 1 の実施の形態のメモリシステム 5 が有する効果に加えて、閾値電圧分布またはリードレベルがシフトしていた場合には、メモリシステム 5 より誤り訂正能力が高い。

【0052】

< 第 2 の実施形態の変形例 >

30

以下、図 9、図 10 を参照して本発明の第 2 の実施形態の変形例のメモリシステム 5B について説明する。本変形例のメモリシステム 5B は、第 2 の実施形態のメモリシステム 5A と類似しているため同じ構成要素の説明は省略する。

【0053】

メモリシステム 5A は図 5（B）に示したような閾値電圧分布が低電圧側にシフトした場合、またはリードレベルが高電圧側にシフトした場合を想定した第 2 の LLR テーブル 22A を有していた。これに対して、メモリシステム 5B は図 9（B）に示すように閾値電圧分布が高電圧側にシフトした場合、またはリードレベルが低電圧側にシフトした場合を想定している。

【0054】

40

すなわち、図 9（B）に示すように閾値電圧分布が右側、すなわち閾値電圧が高電圧側にシフトすることにより、最適読み出しレベルがずれると、閾値電圧が A の範囲では、（領域 11 の面積）<<（領域 12 の面積）となり、信頼度が上昇するが、閾値電圧が B の範囲では、信頼度が低下する。

【0055】

このため、メモリシステム 5B は第 2 の対数尤度比テーブルとして図 10 の下段に示す第 2 の対数尤度比テーブル B（22B）を有する。図 10 に例示する LLR テーブル記憶部 20B に記憶する第 1 の LLR テーブル 21B および第 2 の LLR テーブル B（22B）では、第 1 の LLR の絶対値として「1」を、第 2 の LLR の絶対値として「7」を用いている。すなわち、第 1 の LLR および第 2 の LLR の絶対値が第 2 の LLR テーブル

50

Bでは、メモリシステム5Aの第2の対数尤度比テーブルA(22A)とは逆である。

【0056】

上記変形例のメモリシステム5Bは、第1の実施の形態のメモリシステム5が有する効果に加えて、閾値電圧分布またはリードレベルがシフトしていた場合には、メモリシステム5A等より誤り訂正能力が高い。

【0057】

<第3の実施形態>

以下、図面を参照して本発明の第3の実施形態のメモリシステム5Cについて説明する。第3の実施形態のメモリシステム5Cは、第2の実施形態のメモリシステム5A等と類似しているため同じ構成要素の説明は省略する。

【0058】

メモリシステム5Aは図5(B)に示した閾値電圧分布が低電圧側にシフトした場合を想定した第2のLLRテーブルA(22A)を有しており、メモリシステム5Bは閾値電圧分布が高電圧側にシフトした場合を想定した第2のLLRテーブルB(22B)を有していた。

【0059】

これに対して、メモリシステム5Cは、第2のLLRテーブルとして、第2のLLRテーブルA(22A)と第2のLLRテーブルB(22B)とを記憶するLLRテーブル記憶部20Cを有する。以下、第2のLLRテーブルAを第3のLLRテーブル、第2のLLRテーブルBを第4のLLRテーブルともいう。言い換えれば、メモリシステム5Cの第2のLLRテーブルは、第3のLLRテーブル22Aと第4のLLRテーブル22Bとを有する。

【0060】

図11は、メモリシステム5Cの動作の流れを説明するためのフローチャートである。図11に示すように、メモリシステム5Cでは通常のLLRテーブル(第1のLLRテーブル)を用いて算出したLLRによる復号処理に失敗した場合に、第3のLLRテーブル22Aから算出したLLRによる復号処理を行い、これに失敗した場合には、第4のLLRテーブル22Bから算出したLLRによる復号処理を行う。

【0061】

通常のLLRテーブル(第1のLLRテーブル)を用いて算出したLLRによる復号処理に失敗した場合に、第4のLLRテーブル22Bから算出したLLRによる復号処理を行い、これに失敗した場合には、第3のLLRテーブル22Aから算出したLLRによる復号処理を行っても良い。

【0062】

メモリシステム5Cは閾値電圧分布またはリードレベルが高電圧側、低電圧側のいずれにシフトしていた場合であっても復号処理が可能である。すなわち復号処理の信頼度の高いメモリシステムである。

【0063】

<追加説明>

上記実施の形態のメモリシステム5、5A~5Cおよびメモリシステム5、5A~5Cの制御方法は、閾値電圧分布がシフトしても、高い確率で誤り訂正が可能な誤り訂正能力の高い能力の高いメモリシステムである。また、LLRテーブルを切り換えて処理するために、復号処理時間を大幅に短縮できる場合がある処理速度の速いメモリシステムである。また、メモリシステム5、5A~5Cの記憶装置であるメモ리카ード3、3A~3Cまたはメモリコントローラ2、2A~2Cが、他の構成要素と組み合わされて使用された場合においても上記説明と同様の効果を有する。

【0064】

なお、メモリシステム5等の記憶装置であるメモ리카ード3またはメモリコントローラ2またはECC部15、デコーダ1が、他の構成要素と組み合わされて使用された場合においても上記説明と同様の効果を有する。

10

20

30

40

50

【 0 0 6 5 】

なお、以上の説明では、 $N = 3$ の 8 値記憶メモリセルのメモリシステム 5 等を例に説明したが、 $N = 2$ の 4 値記憶メモリセルのメモリシステム、 $N = 4$ の 16 値記憶メモリセルのメモリシステム等においても本発明の効果はあり、むしろ N が大きくなるほど、本発明の効果は顕著である。すなわち、 N は 2 以上であるが、3 以上または 4 以上の場合に本発明の効果は顕著である。 N の上限は工業的実施の見地から 7 以下である。

【 0 0 6 6 】

また、確率に基づく反復計算により復号する符号であれば、LDPC 符号に限られるものではなく、また復号アルゴリズムの種類は、Sum-product 復号、min-sum 復号、または正規化 min-sum 復号のいずれの復号アルゴリズムを用いるものでもよい。

10

【 0 0 6 7 】

また経時変化、例えば、読み出し回数の増加に伴い閾値電圧分布が変化することもある。このため、所定の読み出し回数以上の場合には第 2 の対数尤度比テーブル 22 を優先して使用するように制御してもよい。あるいは所定の回数、例えば 10 回以上連続して第 2 の対数尤度比テーブル 22 を用いて LLR 算出を行うことになった場合には、以降は第 2 の対数尤度比テーブル 22 を優先して使用するように制御してもよい。さらに、そのとき、所定の回数、例えば 10 回以上連続して第 1 の対数尤度比テーブル 21 を用いて LLR 算出を行うことになった場合には、以降は再び第 1 の対数尤度比テーブル 21 を優先して使用するように制御してもよい。

【 0 0 6 8 】

20

もちろんメモリセル単位で優先して使用する対数尤度比テーブルを変更してもよいし、特定のメモリセルの集団単位で優先して使用する対数尤度比テーブルを変更してもよい。さらにメモ리카ードの積算使用時間が所定時間を超えた場合に第 2 の対数尤度比テーブル 22 を優先して使用するように制御してもよい。さらに特定のメモリセルの集団、例えば読み出し回数の多いメモリセルの集団については、読み出し回数の少ないメモリセルの集団よりも短い積算使用時間が経過後に第 2 の対数尤度比テーブル 21 を用いて LLR 算出を行うように制御してもよい。

【 0 0 6 9 】

また、第 1 の対数尤度比テーブル 21 を用いた LDPC 復号処理のイタレーション回数の上限值 N_1 を、第 2 の対数尤度比テーブル 22 を用いた LDPC 復号処理のイタレーション回数の上限值 N_2 未満の回数に設定しておくことも可能である。

30

【 0 0 7 0 】

なお、第 3 の対数尤度比テーブル、第 4 の対数尤度比テーブルを有する場合にも上記と同じような方法で制御することができる。

【 0 0 7 1 】

上記のように、本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

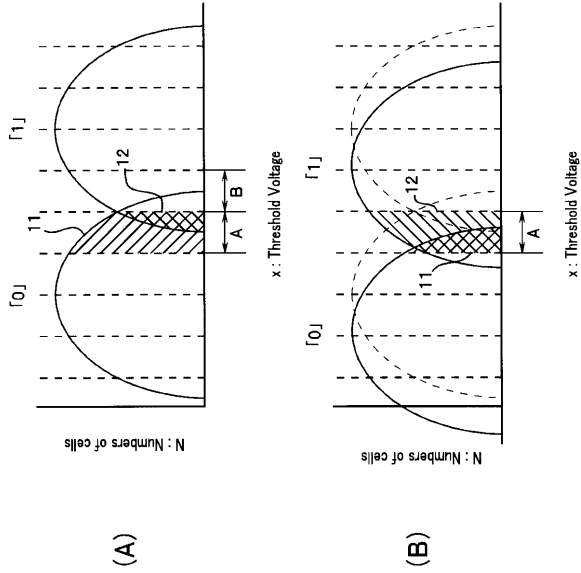
【 符号の説明 】

【 0 0 7 2 】

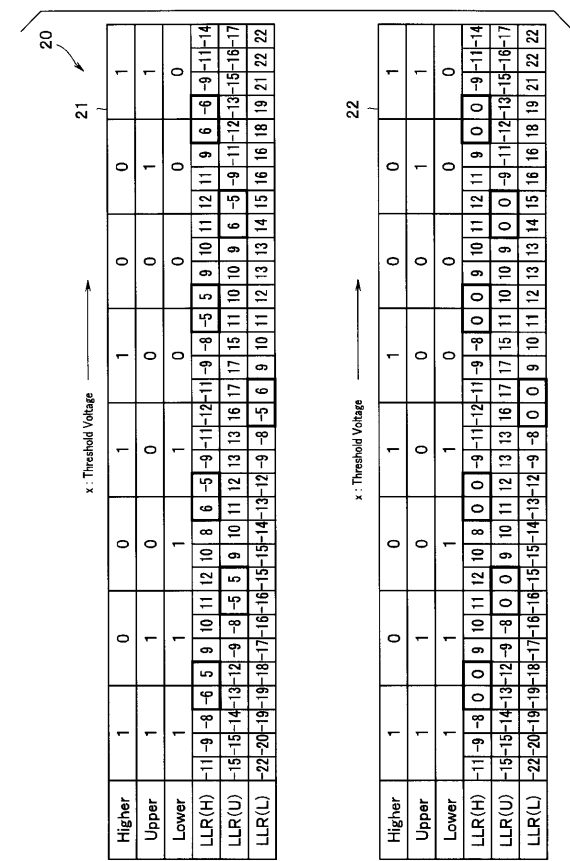
1 ... デコーダ、2、2A ~ 2C ... メモリコントローラ、3、3A ~ 3C ... メモ리카ード、4 ... ホスト、5、5A ~ 5C ... メモリシステム、10 ... ROM、11 ... CPU コア、12 ... エンコーダ、13 ... 半導体メモリ部、13A ... ワード線制御部、13D ... 半導体メモリセル、13E ... ワード線、15 ... ECC 部、17 ... バス、18 ... RAM、20、20A ~ 20C ... 対数尤度比テーブル記憶部、21、21A ~ 21C ... 第 1 の対数尤度比テーブル、22、22A ~ 22C ... 第 2 の対数尤度比テーブル

40

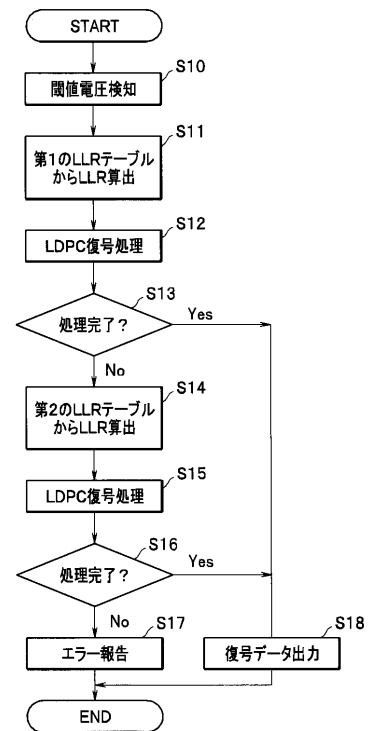
【 図 5 】



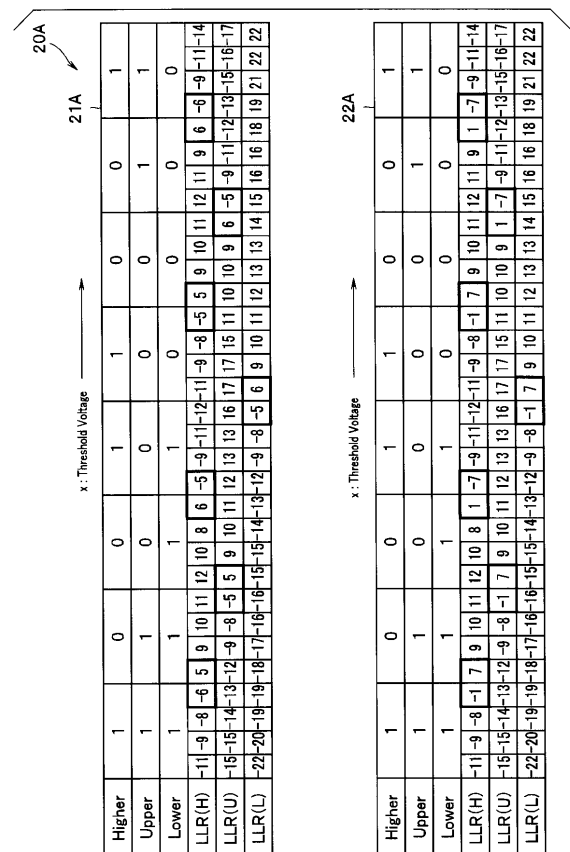
【 図 6 】



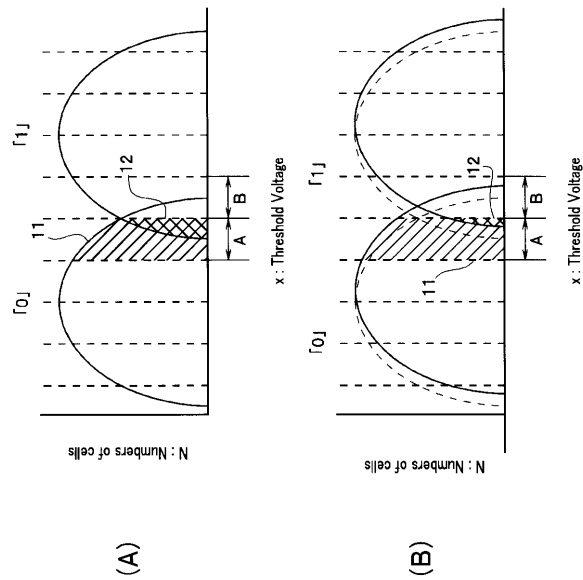
【圖 7】



【 図 8 】



【図 9】



【図 10】

20B

21B

x: Threshold Voltage

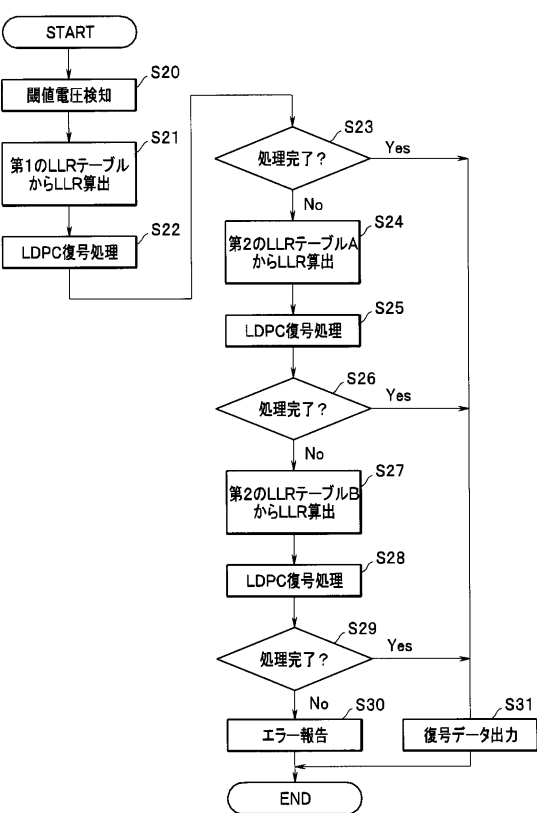
	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Higher	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Upper	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Lower	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
LLR(H)	-11	-9	-8	-6	5	9	10	11	12	10	8	6	-5	-9	-11	-12	-11	-9	-8	-5	9	10	11
LLR(U)	-15	-14	-13	-12	-9	-8	5	9	10	11	12	13	13	16	17	17	15	11	10	9	6	-5	-9
LLR(L)	-22	-20	-19	-19	-18	-17	-16	-16	-15	-15	-14	-13	-12	-9	-8	-5	6	9	10	11	12	13	14

22B

x: Threshold Voltage

	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Higher	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Upper	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Lower	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
LLR(H)	-11	-9	-8	-7	1	9	10	11	12	10	8	7	-1	-9	-11	-12	-11	-9	-8	-7	1	9	10
LLR(U)	-15	-14	-13	-12	-9	-8	-7	1	9	10	11	12	13	13	16	17	17	15	11	10	9	7	-1
LLR(L)	-22	-20	-19	-19	-18	-17	-16	-16	-15	-15	-14	-13	-12	-9	-8	-7	1	9	10	11	12	13	14

【図 11】



フロントページの続き

(56)参考文献 特開 2 0 1 0 - 1 6 5 4 2 6 (J P , A)
特表 2 0 1 1 - 5 1 5 7 8 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C	1 6 / 0 6
G 1 1 C	1 6 / 0 2
G 1 1 C	1 6 / 0 4
G 1 1 C	2 9 / 4 2
H 0 3 M	1 3 / 1 9